



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I474451 B

(45)公告日：中華民國 104 (2015) 年 02 月 21 日

(21)申請案號：100133133

(22)申請日：中華民國 100 (2011) 年 09 月 15 日

(51)Int. Cl. : H01L23/488 (2006.01) H01L21/60 (2006.01)

(71)申請人：南茂科技股份有限公司 (中華民國) CHIPMOS TECHNOLOGIES INC. (TW)

新竹縣寶山鄉新竹科學工業園區研發一路 1 號

(72)發明人：劉安鴻 LIU, AN HONG (TW)；劉宏信 LIU, HUNG HSIN (TW)；楊佳達 YANG, JAR DAR (TW)；黃祺家 HUANG, CHI CHIA (TW)；李宜璋 LEE, YI CHANG (TW)；黃祥銘 HUANG, HSIANG MING (TW)

(74)代理人：陳翠華

(56)參考文獻：

TW 200701483A

TW 200941651A

審查人員：湯欽全

申請專利範圍項數：8 項 圖式數：6 共 23 頁

(54)名稱

覆晶封裝結構及其形成方法

FLIP CHIP PACKAGE STRUCTURE AND FORMING METHOD THEREOF

(57)摘要

本發明係關於一種覆晶封裝結構，包含一基板、一晶片、一凸塊結構以及一阻焊層。基板上具有一電路層，晶片具有一中央區域及位於中央區域兩側之二邊緣區域。凸塊結構係面對基板設置於晶片之中央區域，阻焊層係設置於基板，且部分覆蓋電路層。當晶片設置於基板上時，晶片係藉由凸塊結構與基板電性連接，且阻焊層適可與晶片之二邊緣區域接觸，以與凸塊結構共同支撐晶片。

A flip chip package structure comprises a substrate, a chip, a bump structure and a solder resist layer is provided. The substrate has a circuitry disposed on the surface. The chip comprises a central portion and two edge portions disposed on two sides of the central portion. The bump structure is disposed on the central portion of the chip opposite the substrate. The solder resist layer is disposed on the substrate and partially covered the circuitry. The chip is electrically connected to the substrate by the bump structure, and the solder resist layer is adapted to contact two edge portions for supporting the chip with the bump structure as the chip is disposed on the substrate.

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：100133133

※ 申請日：100.9.15

※IPC 分類：H01L 23/488 (2006.01)
H01L 21/60 (2006.01)

一、發明名稱：（中文/英文）

覆晶封裝結構及其形成方法 / FLIP CHIP PACKAGE
STRUCTURE AND FORMING METHOD THEREOF

二、中文發明摘要：

本發明係關於一種覆晶封裝結構，包含一基板、一晶片、一凸塊結構以及一阻焊層。基板上具有一電路層，晶片具有一中央區域及位於中央區域兩側之二邊緣區域。凸塊結構係面對基板設置於晶片之中央區域，阻焊層係設置於基板，且部分覆蓋電路層。當晶片設置於基板上時，晶片係藉由凸塊結構與基板電性連接，且阻焊層適可與晶片之二邊緣區域接觸，以與凸塊結構共同支撐晶片。

三、英文發明摘要：

A flip chip package structure comprises a substrate, a chip, a bump structure and a solder resist layer is provided. The substrate has a circuitry disposed on the surface. The chip comprises a central portion and two edge portions disposed on two sides of the central portion. The bump structure is disposed on the central portion of the chip opposite the substrate. The solder resist layer is disposed on the substrate and partially covered the circuitry. The chip is

electrically connected to the substrate by the bump structure, and the solder resist layer is adapted to contact two edge portions for supporting the chip with the bump structure as the chip is disposed on the substrate.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100 覆晶封裝結構

110 基板

120 晶片

130 凸塊結構

140 阻焊層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體封裝結構；特別是關於一種使用於半導體領域的覆晶封裝結構。

【先前技術】

覆晶封裝結構因為具有尺寸小、接腳密度大且散熱效率高等優點，因此被廣泛地使用於各種類型的電子邏輯元件，尤其在現今數位化社會中對電子產品的多工需求，使得諸如個人電腦中常見的中央處理器（Central Processing Unit，CPU）或圖形處理器（Graphics Processing Unit，GPU），亦或是兼具無線網路及藍牙通訊技術的網路晶片等，都可輕易見到覆晶封裝結構的身影。

覆晶封裝結構主要係由基板、晶片及用以電性連接該基板及該晶片之凸塊結構所形成。當凸塊結構設置於基板及晶片間，並用以頂持及電性連接基板與晶片時，將使得基板與晶片間形成一間隙。同時，該間隙適可利用如自然流入或毛細現象等，以充填一填充劑，使其具有將晶片與基板固定及絕緣，並避免凸塊結構間彼此接觸而短路之功用。

然而，隨著製程的進步及對電子元件微小化的需求，基板與晶片的尺寸雖然愈趨縮小，但所需具備的訊號接腳數量卻不減反增。如此一來，不僅將導致基板與晶片間的間隙變小，從而增加製程上的困難，並且在另一方面，過小的間隙也將導致填充劑無法順利地流入及充填於其間，從而導致電路層氧化或接點間短路的情況，嚴重影響覆晶封裝結構的使用壽命。

有鑑於此，如何在微小化覆晶封裝結構的同時，依舊可維持兩者間所具有之間隙的尺寸，使填充料可順利地藉由毛細現象填充於其間，乃為目前業界引領期盼所欲解決之問題。

【發明內容】

本發明之目的在於提供一種覆晶封裝結構，其在微小化基板與晶片尺寸的同時，不但可供晶片穩固地置於基板上，且可維持兩者間之間隙尺寸，從而使填充料可完整地填充於該間隙，以達到將晶片與基板固定並絕緣，同時避免凸塊結構彼此接觸而導致短路之目的。

為達上述目的，本發明之覆晶封裝結構包含一基板、一晶片、一凸塊結構以及一阻焊層。基板上具有一電路層，晶片具有一中央區域及位於中央區域兩側之二邊緣區域。凸塊結構係面對基板設置於晶片之中央區域，阻焊層係設置於基板，且部分覆蓋電路層。當晶片設置於基板上時，晶片係藉由凸塊結構與基板電性連接，且阻焊層適可與晶片之二邊緣區域接觸，以與凸塊結構共同支撐晶片。

為讓本發明之上述目的、技術特徵、和優點能更明顯易懂，下文係以較佳實施例、配合所附圖式進行詳細說明。

【實施方式】

第 1A 圖及第 1B 圖係為本發明之覆晶封裝結構 100 之第一實施例。如圖所示，覆晶封裝結構 100 具有一基板 110、一晶片 120、一凸塊結構 130 以及一阻焊層 140。其中，基板 100 上具有一電路層 112（圖式中所繪製之電路層僅為示意），且晶片 120 具有一中

央區域 122 及位於中央區域 122 兩側之二邊緣區域 124。此外，凸塊結構 130 係面對基板 110 設置於晶片 120 之中央區域 122，阻焊層 140 係設置於基板 110，且用以部分覆蓋電路層 112。其中，於本實施例中，凸塊結構 130 例如為金凸塊、結線凸塊及複合凸塊...等。

如第 1B 圖所示，當晶片 120 設置於基板 110 上時，晶片 120 適可藉由凸塊結構 130 與基板 110 電性連接，同時，阻焊層 140 適可與晶片 120 之二邊緣區域 124 相接觸，以與凸塊結構 130 共同支撐晶片 120，避免晶片 120 僅中央區域 122 具有支撐，而產生左右傾斜的情況。

覆晶封裝結構 100 更進一步包含一抗氧化層 150，其係覆蓋於基板 110 之電路層 112 上，用以協助避免電路層 112 之氧化。其中，抗氧化層 150 係為鎳金或鎳鈹金。此外，當阻焊層 140 與凸塊結構 130 共同支撐晶片 120 時，於基板 110 及晶片 120 間將形成一間隙 200，且一填料層 210 適可填充於間隙 200 中，成為基板 110 及晶片 120 間的絕緣物質，在避免短路情況發生的同時，也具有固定基板 110 與晶片 120 之功效。

需說明的是，如第 1A 圖所示，於本發明之第一實施例中，阻焊層 140 係由基板 110 之二側邊 116 朝基板 110 之一中央部 114，藉由覆蓋 3/4 基板 110 面積之方式設置，以與凸塊結構 130 共同支撐晶片 120。因此，由於基板 110 與晶片 120 間尚留存有足夠的間隙 200，故當使用填充劑（圖未示出）充填間隙 200 時，其將可順利無阻礙地流入間隙 200 中，以形成填料層 210。舉例來說，當一封

裝結構具有 8 mm (寬) * 11.5 mm (長) 之面積尺寸，且阻焊層 140 覆蓋了 3/4 該面積尺寸時，則中央部 114 將預留 2 mm 寬的間隔，且二側邊 116 之寬度則各為 3 mm 左右。

第 2A 圖及第 2B 圖係為本發明之第二實施例。如圖所示，第二實施例之覆晶封裝結構 100 所具有之基板 110、晶片 120、凸塊結構 130 及阻焊層 140 間的相互空間關係，係皆與第一實施例相同，其區別僅在於：第二實施例所示之阻焊層 140 係由基板 110 之二側邊 116 朝基板 110 之中央部 114，藉由覆蓋 1/2 基板 110 面積之方式設置，以與凸塊結構 130 共同支撐晶片 120。因此，相較於第一實施例，第二實施例所示之覆晶封裝結構 100 係使用較少之阻焊層 140，即可與凸塊結構 130 來共同支撐晶片 120，以避免晶片 120 發生左右傾斜的情況，同時依舊使填充劑可由未被阻焊層 140 覆蓋之處順利地流入於間隙 200 內進行充填。

第 3A 圖及第 3B 圖係為本發明之第三實施例。如圖所示，第三實施例之覆晶封裝結構 100 所具有之基板 110、晶片 120、凸塊結構 130 及阻焊層 140 間的相互空間關係，係皆與第一實施例及第二實施例相同，其區別僅在於，第三實施例所示之阻焊層 140 係由基板 110 之二側邊 116 朝基板 110 之中央部 114，藉由覆蓋 1/4 基板 110 面積之方式設置，以與凸塊結構 130 共同支撐晶片 120。因此，相較於第一實施例及第二實施例，第三實施例所示之覆晶封裝結構 100 可利用更為少量之阻焊層 140，與凸塊結構 130 共同支撐晶片 120，避免晶片 120 發生左右傾斜的情況，並使填充劑可更加順利地流入於間隙 200 中。

第 4A 圖及第 4B 圖係為本發明之第四實施例。如圖所示，第四實施例之覆晶封裝結構 100 所具有之基板 110、晶片 120 及凸塊結構 130 間的相互空間關係，雖皆與前述之該等實施例相同，但於本實施例中，阻焊層 140 並非是從基板 110 之二側邊 116 朝基板 110 之中央部 114 之方式覆蓋於基板 110 上。相反地，第四實施例之阻焊層 140 乃是以設置於基板 110 之四邊角之方式，與凸塊結構 130 來共同支撐晶片 120，使基板 110 與晶片 120 間可具有更多之間隙 400，以供填充劑流入及填充於其間。

本發明更揭露形成前述覆晶封裝結構 100 之方法，如第 5 圖所示，包含下列步驟。首先，如步驟 310 所示，於基板 100 上形成電路層 112，並於其上形成抗氧化層 150 以覆蓋並保護電路層 112。接著如步驟 320 所示，形成阻焊層 140 於基板 110，且使阻焊層 140 僅部分覆蓋電路層 112。如步驟 330 所示，將具有凸塊結構 130 之晶片 120 設置於基板 110 上，使基板 110 與晶片 120 間形成間隙 200。如步驟 340 所示，利用凸塊結構 130 與阻焊層 140 共同支撐晶片 120。接著，如步驟 350 所示，將填充劑導入基板 110 與晶片 120 所形成之間隙 200。最後，如步驟 360 所示，硬化該填充劑，使形成填料層 210，以充填於間隙 200 間，藉以強化基板 110 與晶片 120 間之穩固性，同時避免基板 110、晶片 120 及凸塊結構 130 間因絕緣不良而導致短路情況的發生。

此外，於步驟 320 的形成阻焊層 140 之方法中，更可進一步包含步驟 321：形成阻焊層 140，使其由基板 110 之二側邊 116 朝基板 110 之一中央部 114 以覆蓋 $3/4$ 基板 110 之面積、覆蓋 $1/2$ 基板

110 之面積以及覆蓋 1/4 基板 110 之面積之方式設置於基板 110，以與凸塊結構 130 共同支撐晶片 120。或者，於步驟 320 中，也可進一步包含步驟 322：形成阻焊層 140 於基板 110 之四邊角，以與凸塊結構 130 共同支撐晶片 120。

如第 6 圖所示，前述之覆晶封裝結構 100 之形成方法，亦可在如步驟 321 及步驟 322 所形成之阻焊層 140 後，具有下列步驟。首先，如步驟 323 所示，將填充劑塗佈於基板 110 中，以覆蓋阻焊層 140 未覆蓋之電路層 112。接著，如步驟 331 所示，將具有凸塊結構 130 之晶片 120 設置於基板 110，使該晶片 120 與基板 110 對應之區域形成間隙 200。如步驟 340 所示，利用凸塊結構 130 與阻焊層 140 共同支撐晶片 120。而多餘之填充劑可由未覆蓋阻焊層 140 之區域流出，最後，如步驟 360 所示，硬化該填充劑，使其形成填料層 210，以充填於間隙 200 間。

於本發明中，凸塊結構 130 較佳係為金結線凸塊（Gold Stud Bump）且係以單一或複數矩陣之方式，面對基板 110 設置於晶片 120 之中央區域 122。此外，基板 110 與晶片 120 間所形成之間隙 200 所具有之一高度，係介於 20~50 微米之間，且較佳係為 30 微米，而阻焊層 140 之厚度可介於 5~20 微米之間，其較佳係為 15 微米，如此將使一般規格的填充劑即可順利流動，而無須使用特殊規格的填充劑，降低生產所需成本。

需說明的是，於第 5 圖中所述之步驟 350 中所提及之填充劑可為底部填充劑（Underfill）及封裝材料（Molding Material）填充劑，其可於間隙 200 形成後，再予以流入進行填充，達到本發明

避免短路及固定基板 110 與晶片 120 之功效。另一方面，於第 6 圖之步驟 323 中所提及之填充劑，則為非導電性黏著劑（Non-Conductive Past，NCP）。其需先塗佈於阻焊層 140 未覆蓋之電路層 112 後，才得以進行後續基板 110 與晶片 120 間之設置作業，以供多餘之填充劑可由基板 110 上該阻焊層 140 未覆蓋之區域順利流出。

綜上所述，由於本發明之覆晶封裝結構 100 可藉由凸塊結構 130 及阻焊層 140 的設置，維持基板 110 與晶片 120 間所具有之間隙 200 之高度，故其可在不變動原有填充劑的前提下，依舊完成將填充劑充填於間隙 200 之作業，從而形成填料層 210，以達到將晶片 120 與基板 110 絕緣，同時避免凸塊結構 130 彼此接觸而導致短路之目的。

上述之實施例僅用來例舉本發明之實施態樣，以及闡釋本發明之技術特徵，並非用來限制本發明之保護範疇。任何熟悉此技術者可輕易完成之改變或均等性之安排均屬於本發明所主張之範圍，本發明之權利保護範圍應以申請專利範圍為準。

【圖式簡單說明】

第 1A 圖係為本發明覆晶封裝結構之第一實施例示意圖；

第 1B 圖係為第 1A 圖之 A-A 線段之剖面圖；

第 2A 圖係為本發明覆晶封裝結構之第二實施例示意圖；

第 2B 圖係為第 2A 圖之 B-B 線段之剖面圖；

第 3A 圖係為本發明覆晶封裝結構之第三實施例示意圖；

第 3B 圖係為第 3A 圖之 C-C 線段之剖面圖；

第 4A 圖係為本發明覆晶封裝結構之第四實施例示意圖；

第 4B 圖係為第 4A 圖之 D-D 線段之剖面圖；

第 5 圖係為本發明覆晶封裝結構之製造流程圖；以及

第 6 圖係為本發明覆晶封裝結構之另一製造流程圖。

【主要元件符號說明】

100 覆晶封裝結構

110 基板

112 電路層

114 中央部

116 側邊

120 晶片

122 中央區域

124 邊緣區域

130 凸塊結構

140 阻焊層

150 抗氧化層

200 間隙

210 填料層

七、申請專利範圍：

1. 一種覆晶封裝結構，包含：

一基板，其上形成有一電路層；

一晶片，具有一中央區域及位於該中央區域兩側之二邊緣區域；

一凸塊結構，係面對該基板設置於該晶片之該中央區域；以及

一阻焊層（solder resist），係設置於該基板之四邊角，且部分覆蓋該電路層；

其中，當該晶片設置於該基板上時，該晶片係藉由該凸塊結構與該基板電性連接，且該阻焊層適可與該晶片之該二邊緣區域接觸，以與該凸塊結構共同支撐該晶片。

2. 如請求項 1 所述之覆晶封裝結構，更包含一抗氧化層，係覆蓋於該基板之該電路層。

3. 如請求項 1 所述之覆晶封裝結構，更包含一間隙（gap）及一填料層，該間隙係形成於該基板與該晶片之間，而該填料層則充填於該間隙內。

4. 如請求項 3 所述之覆晶封裝結構，其中該間隙具有一高度，且該高度係介於 20～50 微米。

5. 一種形成一覆晶封裝結構之方法，包含下列步驟：

(a)於一基板上形成一電路層，並於其上形成一抗氧化層以覆蓋該電路層；

(b)形成一阻焊層於該基板之四邊角，以部分覆蓋該電路層；

(c)將具有一凸塊結構之一晶片設置於該基板，並於該基板與該晶片間形成一間隙，其中，該晶片具有一中央區域及位於該中央區域兩側之二邊緣區域，且該晶片之該二邊緣區域之面積部分接觸該阻焊層；以及

(d)利用該凸塊結構與該阻焊層以共同支撐該晶片。

6. 如請求項 5 所述之方法，更包含下列步驟：

(e)將一填充劑導入該基板與該晶片所形成之該間隙；以及

(f)硬化該填充劑，使其成為一填料層，充填於該間隙。

7. 如請求項 5 所述之方法，更包含下列步驟：

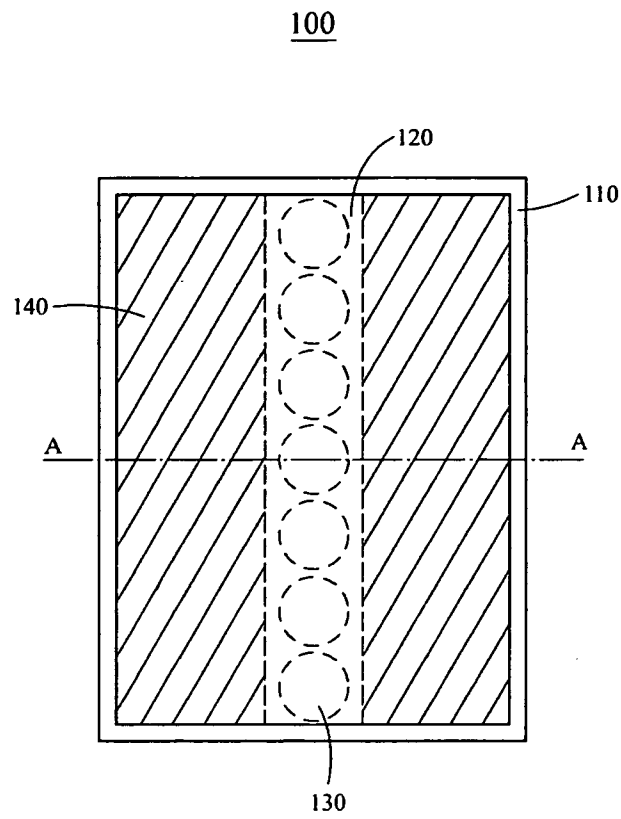
(b1)將一填充劑塗佈於該基板上，以覆蓋該阻焊層未覆蓋之該電路層。

8. 如請求項 7 所述之方法，更包含下列步驟：

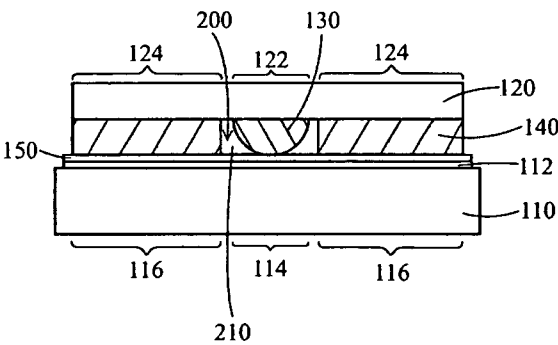
(g)使該填充劑覆蓋該電路層之區域形成於該間隙；以及

(h)硬化該填充劑，使其成為一填料層並充填於該間隙。

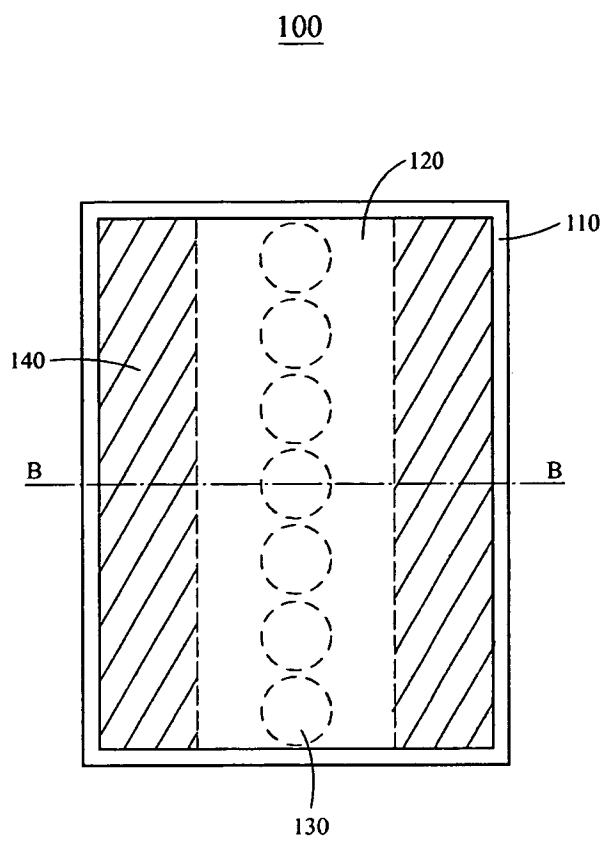
八、圖式：



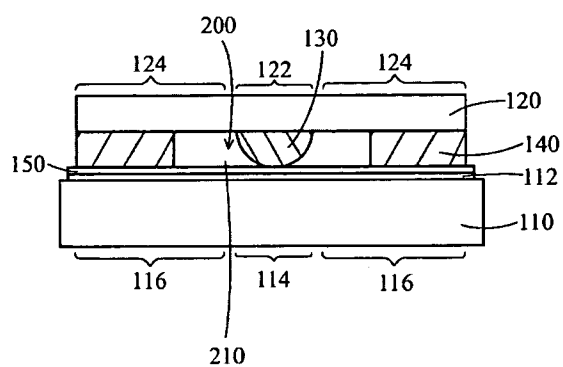
第 1A 圖



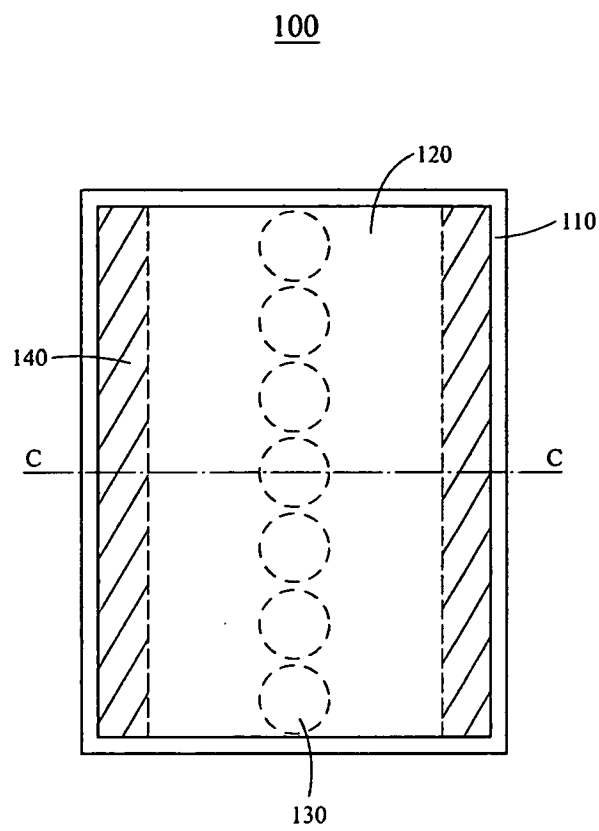
第 1B 圖



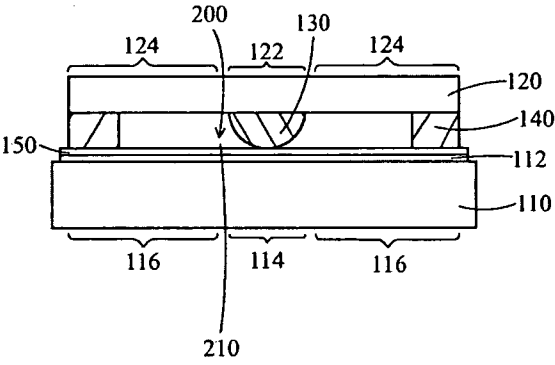
第 2A 圖



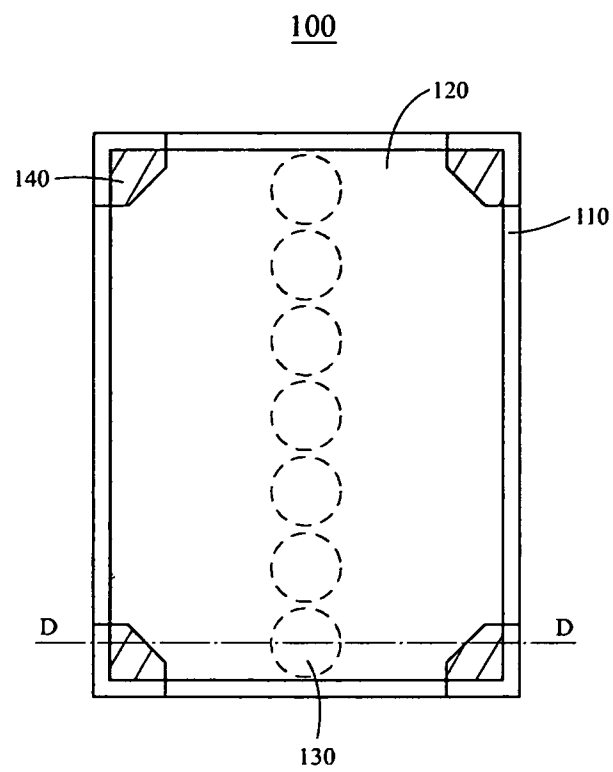
第 2B 圖



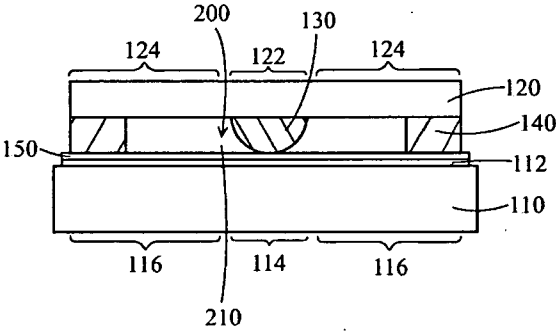
第 3A 圖



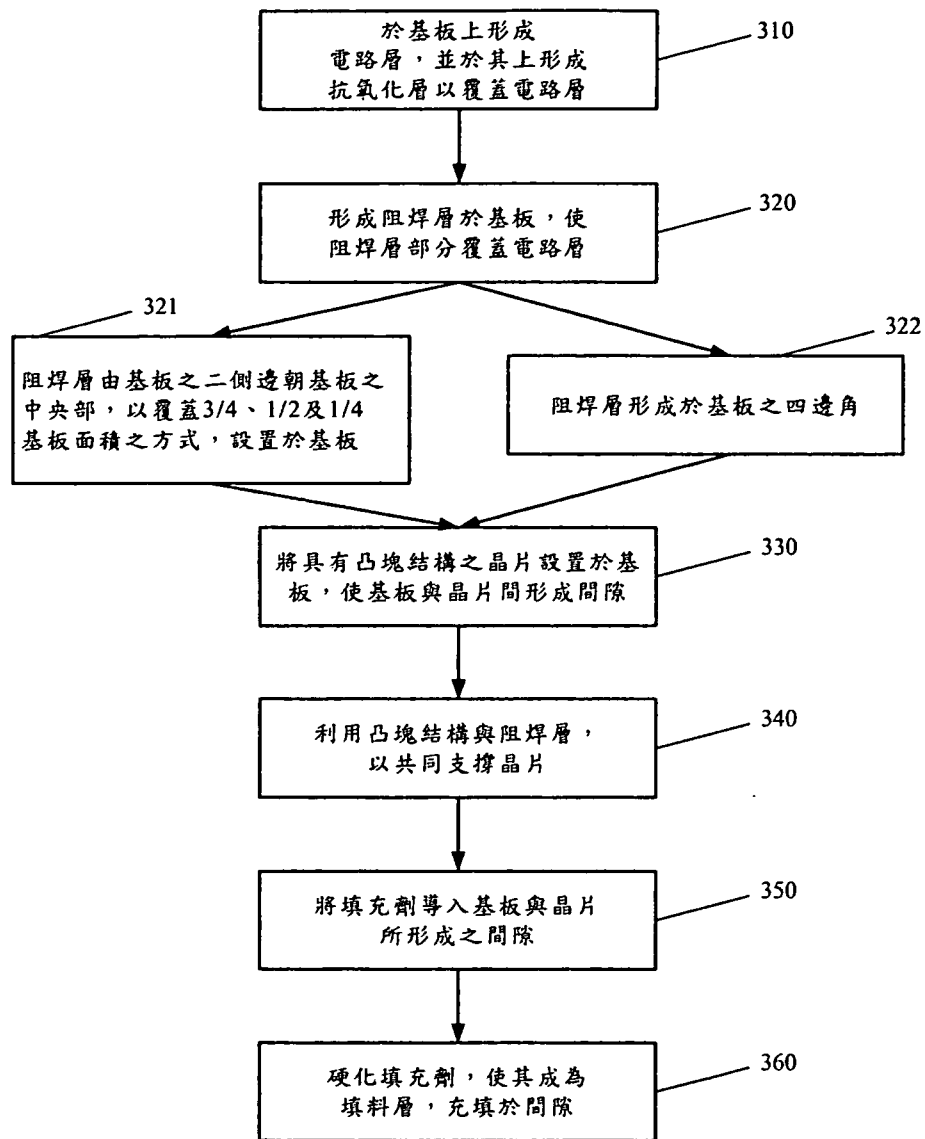
第 3B 圖



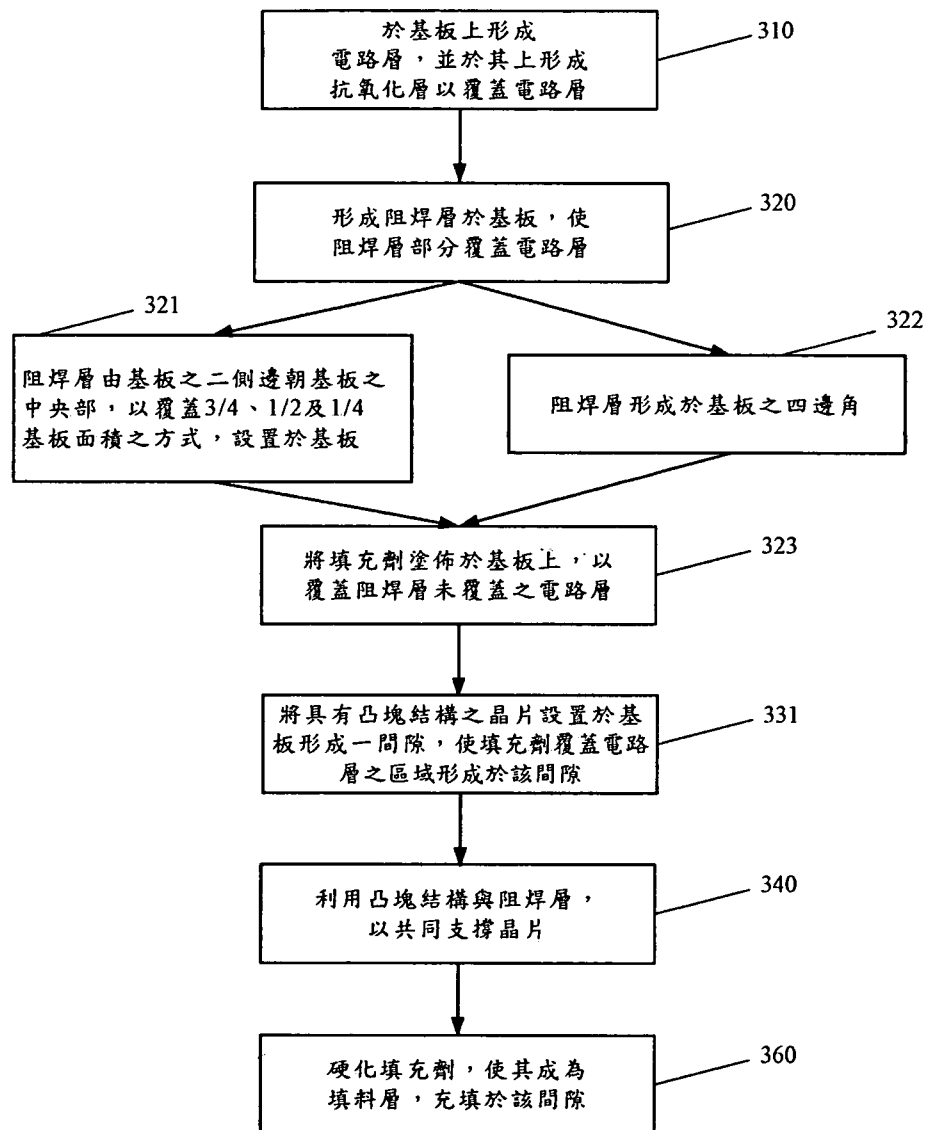
第 4A 圖



第 4B 圖



第 5 圖



第 6 圖