



(12) 发明专利

(10) 授权公告号 CN 108461099 B

(45) 授权公告日 2021.12.17

(21) 申请号 201710969117.4
 (22) 申请日 2017.10.18
 (65) 同一申请的已公布的文献号
 申请公布号 CN 108461099 A
 (43) 申请公布日 2018.08.28
 (30) 优先权数据
 10-2017-0023052 2017.02.21 KR
 (73) 专利权人 爱思开海力士有限公司
 地址 韩国京畿道
 (72) 发明人 金明珍
 (74) 专利代理机构 北京三友知识产权代理有限公司 11127
 代理人 李辉 刘久亮

(51) Int.Cl.
 G11C 7/10 (2006.01)
 (56) 对比文件
 CN 103635883 A, 2014.03.12
 US 2007067556 A1, 2007.03.22
 CN 1941167 A, 2007.04.04
 CN 103635883 A, 2014.03.12
 CN 104978150 A, 2015.10.14
 CN 1890753 A, 2007.01.03
 CN 104681082 A, 2015.06.03
 US 8509020 B2, 2013.08.13

审查员 邓国秀

权利要求书3页 说明书13页 附图12页

(54) 发明名称

半导体存储装置

(57) 摘要

半导体存储装置可以包括存储单元阵列区域、外围区域和接口区域。存储单元阵列区域可以包括至少一个存储平面。外围区域可以被形成与存储单元阵列区域的一侧相邻。接口区域可以被形成与外围区域的一侧相邻,并且可以包括多个数据输入/输出焊盘。接口区域可以包括配置为将通过所述数据输入/输出焊盘输入的数据发送至所述存储单元阵列区域或者通过所述数据输入/输出焊盘输出从存储单元阵列接收的数据的至少一个SerDes区域。

100



1. 一种半导体存储装置,该半导体存储装置包括:
存储单元阵列区域,所述存储单元阵列区域包括至少一个存储平面;
外围区域,所述外围区域被形成为与所述存储单元阵列区域的一侧相邻;以及
接口区域,所述接口区域被形成为与所述外围区域的一侧相邻,所述接口区域包括多个数据输入/输出焊盘,其中:
所述接口区域包括配置为将通过所述数据输入/输出焊盘输入的数据发送至所述存储单元阵列区域或者通过所述数据输入/输出焊盘输出从存储单元阵列区域接收的数据的至少一个SerDes区域;
所述至少一个SerDes区域包括第一SerDes区域和第二SerDes区域,其中,所述第一SerDes区域包括第一中继器,并且所述第二SerDes区域包括第二中继器;
所述接口区域包括不在所述第一SerDes区域或所述第二SerDes区域中的第三中继器;
并且
数据通过所述第三中继器从所述第一SerDes区域被传送至所述第二中继器。
2. 根据权利要求1所述的半导体存储装置,其中,多个SerDes装置被形成在所述SerDes区域中,并且所述多个SerDes装置中的每一个均包括串行器和解串器。
3. 根据权利要求2所述的半导体存储装置,其中,所述SerDes区域被设置成与所述多个数据输入/输出焊盘相邻。
4. 根据权利要求2所述的半导体存储装置,其中,所述多个SerDes装置中的每一个与所述多个数据输入/输出焊盘中的对应的一个数据输入/输出焊盘联接。
5. 根据权利要求4所述的半导体存储装置,其中,所述接口区域包括至少一个中继器,并且所述中继器被配置为将来自所述SerDes区域的数据发送至所述存储单元阵列区域。
6. 根据权利要求1所述的半导体存储装置,其中,所述接口区域还包括被配置为接收控制信号的焊盘。
7. 根据权利要求1所述的半导体存储装置,其中,所述外围区域包括形成在所述存储单元阵列区域与所述接口区域之间的数据路径逻辑区域。
8. 根据权利要求7所述的半导体存储装置,
其中,所述外围区域还包括形成在所述存储单元阵列区域与所述接口区域之间的第一区域和第二区域,并且
其中,所述数据路径逻辑区域被设置在所述第一区域与所述第二区域之间。
9. 根据权利要求8所述的半导体存储装置,其中,被配置为控制所述半导体存储装置的操作的控制逻辑被形成在所述第一区域与所述第二区域中的任一个区域中。
10. 根据权利要求8所述的半导体存储装置,其中,被配置为生成用于所述半导体存储装置的操作的内部电压的电压生成器被形成在所述第一区域和所述第二区域中的任一个区域中。
11. 根据权利要求7所述的半导体存储装置,其中,所述数据路径逻辑区域包括:
地址计数器,所述地址计数器被配置为生成内部地址;以及
时钟生成器,所述时钟生成器被配置为生成内部时钟。
12. 根据权利要求1所述的半导体存储装置,其中:
所述外围区域包括含有第四中继器的第一区域和含有第五中继器的第二区域;并且

所述存储单元阵列包括第一存储平面、第二存储平面、第三存储平面和第四存储平面。

13. 根据权利要求12所述的半导体存储装置, 其中, 数据通过所述第三中继器从所述第一SerDes区域被传送至所述第二中继器, 从而通过所述第五中继器被传送至所述第三存储平面和所述第四存储平面。

14. 一种半导体存储装置, 该半导体存储装置包括:

存储单元阵列区域, 所述存储单元阵列区域包括至少一个存储平面;

外围区域, 所述外围区域被形成为与所述存储单元阵列区域的一侧相邻; 以及

接口区域, 所述接口区域被形成为与所述外围区域的一侧相邻, 所述接口区域包括多个数据输入/输出焊盘, 其中:

所述接口区域包括配置为将通过所述数据输入/输出焊盘输入的数据发送至所述存储单元阵列区域或者通过所述数据输入/输出焊盘输出从存储单元阵列区域接收的数据的至少一个SerDes区域;

所述至少一个SerDes区域包括第一SerDes区域和第二SerDes区域, 其中, 所述第一SerDes区域包括第一中继器, 并且所述第二SerDes区域包括第二中继器;

所述接口区域包括不在所述第一SerDes区域或所述第二SerDes区域中的第三中继器;

所述外围区域包括含有第四中继器的第一区域和含有第五中继器的第二区域;

所述存储单元阵列包括第一存储平面、第二存储平面、第三存储平面和第四存储平面;

并且

数据从所述第一SerDes区域被传送至所述第一中继器, 从而通过所述第四中继器被传送至所述第一存储平面和所述第二存储平面。

15. 一种半导体存储装置, 该半导体存储装置包括:

存储单元阵列区域, 所述存储单元阵列区域包括至少一个存储平面;

外围区域, 所述外围区域被形成为与所述存储单元阵列区域的一侧相邻; 以及

接口区域, 所述接口区域被形成为与所述外围区域的一侧相邻, 所述接口区域包括多个数据输入/输出焊盘, 其中:

所述接口区域包括配置为将通过所述数据输入/输出焊盘输入的数据发送至所述存储单元阵列区域或者通过所述数据输入/输出焊盘输出从存储单元阵列区域接收的数据的至少一个SerDes区域;

所述至少一个SerDes区域包括第一SerDes区域和第二SerDes区域, 其中, 所述第一SerDes区域包括第一中继器, 并且所述第二SerDes区域包括第二中继器;

所述接口区域包括不在所述第一SerDes区域或所述第二SerDes区域中的第三中继器;

所述外围区域包括含有第四中继器的第一区域和含有第五中继器的第二区域;

所述存储单元阵列包括第一存储平面、第二存储平面、第三存储平面和第四存储平面;

并且

数据通过所述第三中继器从所述第二SerDes区域被传送至所述第一中继器, 从而通过所述第四中继器被传送至所述第一存储平面和所述第二存储平面。

16. 一种半导体存储装置, 该半导体存储装置包括:

存储单元阵列区域, 所述存储单元阵列区域包括至少一个存储平面;

外围区域, 所述外围区域被形成为与所述存储单元阵列区域的一侧相邻; 以及

接口区域,所述接口区域被形成为与所述外围区域的一侧相邻,所述接口区域包括多个数据输入/输出焊盘,其中:

所述接口区域包括配置为将通过所述数据输入/输出焊盘输入的数据发送至所述存储单元阵列区域或者通过所述数据输入/输出焊盘输出从存储单元阵列区域接收的数据的至少一个SerDes区域;

所述至少一个SerDes区域包括第一SerDes区域和第二SerDes区域,其中,所述第一SerDes区域包括第一中继器,并且所述第二SerDes区域包括第二中继器;

所述接口区域包括不在所述第一SerDes区域或所述第二SerDes区域中的第三中继器;

所述外围区域包括含有第四中继器的第一区域和含有第五中继器的第二区域;

所述存储单元阵列包括第一存储平面、第二存储平面、第三存储平面和第四存储平面;并且

数据从所述第二SerDes区域被传送至所述第二中继器,从而通过所述第五中继器被传送到所述第三存储平面和所述第四存储平面。

17. 一种存储系统,该存储系统包括:

一个或多个根据权利要求1至16中任一项所述的半导体存储装置,

其中,所述一个或多个半导体存储装置在不使用内部控制器的情况下与主机通信。

18. 一种存储系统,该存储系统包括:

一个或多个根据权利要求1至16中任一项所述的半导体存储装置;以及控制器,所述控制器用于控制所述一个或多个半导体存储装置的操作。

19. 一种计算系统,该计算系统包括:

处理器;

随机接入存储器;

用户接口;

系统总线;以及

根据权利要求17或18所述的存储系统,

其中,所述存储系统通过所述系统总线电联接至所述处理器、所述随机接入存储器、和所述用户接口。

半导体存储装置

技术领域

[0001] 本公开的各种实施方式一般涉及电子装置,并且更具体地涉及半导体存储装置。

背景技术

[0002] 半导体存储装置是通过使用包括诸如硅(Si)、锗(Ge)、砷化镓(GaAs)、磷化铟(InP)等的材料的半导体来实现的存储装置。半导体存储装置分为易失性存储装置和非易失性存储装置。

[0003] 易失性存储装置是在电源关闭时丢失存储在其中的数据的装置。易失性存储装置的代表示例包括静态RAM(SRAM)、动态RAM(DRAM)、同步DRAM(SDRAM)等。非易失性存储装置是即使在电源关闭时也能维持存储在其中的数据的存储装置。非易失性存储装置的代表性示例包括只读存储器(ROM)、可编程ROM(PROM)、电可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、闪存、相变随机存取存储器(PRAM)、磁RAM(MRAM)、阻变式RAM(RRAM)、铁电RAM(FRAM)等。闪存可以分为NOR型存储器和NAND型存储器。

发明内容

[0004] 本公开的各种实施方式致力于能够减小生产成本并减小芯片尺寸的半导体存储装置。

[0005] 本公开的实施方式可以提供一种半导体存储装置,该半导体存储装置包括:存储单元阵列区域,该存储单元阵列区域包括至少一个存储平面;外围区域,该外围区域被形成为与存储单元阵列区域的一侧相邻;以及接口区域,该接口区域被形成为与外围区域的一侧相邻,接口区域包括多个数据输入/输出焊盘。外围区域可以包括形成在存储单元阵列区域与接口区域之间的数据路径逻辑区域。接口区域可以包括配置为将通过数据输入/输出焊盘输入的数据发送至存储单元阵列区域或者通过数据输入/输出焊盘输出从存储单元阵列接收的数据的至少一个SerDes(串行器/解串器)区域。

附图说明

[0006] 图1是例示半导体存储装置的引脚配置的示图。

[0007] 图2是例示图1中的半导体存储装置的结构框图。

[0008] 图3是例示图2中的存储单元阵列的实施方式的示图。

[0009] 图4是例示图2中的存储单元阵列的实施方式的示图。

[0010] 图5是例示典型半导体存储装置的内部布局的示图。

[0011] 图6是更详细地例示图5中的半导体存储装置的内部布局的示图。

[0012] 图7是例示根据本公开的実施方式的半导体存储装置的内部布局的示图。

[0013] 图8A是更详细地例示图7中的半导体存储装置的内部布局的示图。

[0014] 图8B是更详细地例示图8A中的接口区域的示图。

[0015] 图9是例示根据本公开的實施方式的半导体存储装置与主机之间的连接的框图。

- [0016] 图10是例示包括半导体存储装置的存储系统的框图。
- [0017] 图11是例示9中的系统的示例应用的框图。
- [0018] 图12是例示图10中的存储系统的示例应用的框图。
- [0019] 图13是例示包括参照图12所示的存储系统的计算系统的框图。

具体实施方式

[0020] 以下,将参照附图来详细描述根据本公开的实施方式。现将参照附图,其中,贯穿不同的附图,相同的附图标记用于表示相同或类似的组件。可以省略公知配置和功能的细节,以避免使本公开不必要地模糊不清。

[0021] 图1是例示半导体存储装置的引脚配置的示图。

[0022] 参照图1,半导体存储装置100可以通过多条线来与外部控制器通信。

[0023] 半导体存储装置100可以通过芯片使能 (CE#) 线、命令锁存使能 (CLE) 线、地址锁存使能 (ALE) 线、写入使能 (WE#) 线、读取使能 (RE#) 线、就绪/忙碌 (RB#) 线、以及数据输入/输出 (DQ0至DQ7) 线来与控制器通信。

[0024] 芯片使能 (CE#) 线是指指示对应的半导体存储装置100可操作的信号。可以将芯片使能 (CE#) 线的信号选择性地施加到联接至同一通道的存储装置。当芯片使能 (CE#) 线的信号下降至低电平时,这指示可以在对应的芯片中进行所有操作。当芯片使能 (CE#) 线的信号为高电平时,对应的芯片可能处于待机状态。

[0025] 当在执行芯片中的操作的同时就绪/忙碌 (RB#) 线信号下降至低电平时,不允许芯片与外部装置交换另一个信号。当就绪/忙碌 (RB#) 线信号为高电平时,这指示芯片处于就绪状态。

[0026] 当命令CMD被输入至存储装置时,命令锁存使能信号CLE变为高电平。当地址ADD被输入至存储装置时,地址锁存使能信号ALE变为高电平。

[0027] 当写入使能信号WE#从高电平转变为低电平时,命令CMD和地址ADD被输入至所选择的存储装置。

[0028] 当在存储装置上加载命令和地址时,切换写入使能信号WE#。当在控制器上加载数据时,切换读取使能信号RE#。

[0029] 数据输入/输出 (DQ0至DQ7) 线用于向半导体存储装置100输入命令、地址和数据,或将数据从半导体存储装置100输出至控制器。因为数据为8位数据,所以提供了8条数据输入/输出 (DQ0至DQ7) 线。然而,数据输入/输出线的数量不限于八条,并且在各种实施方式中,其可以扩展至十六条或三十二条。

[0030] 图2是例示图1中的半导体存储装置100的配置的框图。

[0031] 参照图2,半导体存储装置100可以包括存储单元阵列110、外围电路120、控制逻辑130和接口140。

[0032] 存储单元阵列110可以通过行线RL来联接至地址解码器121。行线RL可以包括源极选择线SSL、字线WL和漏极选择线DSL。换句话说,存储单元阵列110可以通过源极选择线SSL、字线WL和漏极选择线DSL来联接至地址解码器121。此外,存储单元阵列110可以通过位线BL联接至读/写电路123。

[0033] 存储单元阵列110包括多个存储块BLK1至BLKz。多个存储块BLK1至BLKz通过行线

RL联接至地址解码器121。存储块BLK1至BLKz通过位线BL1至BLm联接至读/写电路123。存储块BLK1至BLKz中的每一个均包括多个存储单元。在一个实施方式中,多个存储单元可以是非易失性存储单元。多个存储单元当中的联接至同一字线的存储单元被定义为一页。换句话说,存储单元阵列110由多个页构成。

[0034] 在一个实施方式中,存储单元阵列110可以包括至少一个存储平面。每个存储平面均可以包括多个存储块。稍后将参照图5来描述包括在存储单元阵列110中的存储平面。

[0035] 半导体存储装置100中的每个存储单元可以由能够存储单个数据位的单级单元(SLC)、能够存储两个数据位的多级单元(MLC)、能够存储三个数据位的三级单元(TLC)、或能够存储四个数据位的四级单元(QLC)形成。

[0036] 外围电路120可以包括地址解码器121、电压生成器122、读/写电路123和数据输入/输出电路124。

[0037] 外围电路120可以驱动存储单元阵列110。例如,外围电路120可以驱动存储单元阵列110来执行编程操作、读取操作或擦除操作。

[0038] 地址解码器121通过行线RL联接至存储单元阵列110。地址解码器121可以在控制逻辑130的控制下操作。地址解码器121可以通过包括在半导体存储装置100中的输入/输出缓冲器(未示出)来从控制逻辑130接收地址ADDR。

[0039] 地址解码器121可以对接收到的地址ADDR当中的块地址进行解码。地址解码器121根据经解码的块地址来选择存储块BLK1至BLKz中的对应的一个存储块。地址解码器121可以对接收到的地址ADDR当中的行地址进行解码。地址解码器121可以通过根据经解码的行地址通过将电压生成器122供应的电压施加到至少一个字线WL来选择所选择的存储块的至少一个字线WL。

[0040] 在编程操作期间,地址解码器121可以将编程电压施加至所选择的字线,并将电平比编程电压的电平低的通过电压施加至未选择的字线。在编程验证操作期间,地址解码器121可以向所选择的字线施加验证电压,并向未选择的字线施加高于验证电压的验证通过电压。

[0041] 在读取操作期间,地址解码器121可以向所选择的字线施加读取电压,并向未选择的字线施加高于读取电压的通过电压。

[0042] 在一个实施方式中,半导体存储装置100的擦除操作是基于存储块来执行的。在擦除操作期间,要输入至半导体存储装置100的地址ADDR包括块地址。地址解码器121可以解码块地址,并根据经解码的块地址来选择对应的一个存储块。在擦除操作期间,地址解码器121可以向联接至所选择的存储块的字线施加接地电压。

[0043] 在一个实施方式中,地址解码器121可以对所接收的地址ADDR当中的列地址进行解码。经解码的列地址DCA可以被发送至读/写电路123。在一个实施方式中,地址解码器121可以包括诸如行解码器、列解码器和地址缓冲器之类的组件。

[0044] 电压生成器122可以使用提供给半导体存储装置100的外部电源电压来生成多个电压。电压生成器122可以在控制逻辑130的控制下操作。

[0045] 在一个实施方式中,电压生成器122可以通过调节外部电源电压来产生内部电源电压。由电压生成器122生成的内部电源电压用作半导体存储装置100的操作电压。

[0046] 在一个实施方式中,电压生成器122可以使用外部电源电压或内部电源电压来生

成多个电压。电压生成器122可以生成半导体存储装置100所需要的各种电压。例如,电压生成器122可以生成多个编程电压、多个通过电压、多个选择读取电压和多个未选择读取电压。

[0047] 例如,电压生成器122可以包括用于接收内部电源电压的多个泵电容器(pumping capacitor),并且通过在控制逻辑130的控制下选择性地使能多个泵电容器来生成多个电压。

[0048] 所生成的电压可以由地址解码器121供应给存储单元阵列110。

[0049] 读/写电路123包括第一页缓冲器PB1至第m页缓冲器PBm。第一页缓冲器PB1至第m页缓冲器PBm分别通过第一位线BL1至第m位线BLm联接至存储单元阵列110。第一页缓冲器PB1至第m页缓冲器PBm可以在控制逻辑130的控制下操作。

[0050] 第一页缓冲器PB1至第m页缓冲器PBm可以执行与数据输入/输出电路124的数据通信。在编程操作期间,第一页缓冲器PB1至第m页缓冲器PBm通过数据输入/输出电路124和数据线DL接收要存储的数据DATA。

[0051] 在编程操作期间,当编程脉冲被施加至所选择的字线时,第一页缓冲器PB1至第m页缓冲器PBm可以通过位线BL1至BLm将通过数据输入/输出电路124接收的数据DATA发送至所选择的存储单元。基于所发送的数据DATA来编程所选择的页中的存储单元。联接至施加有编程许可电压(例如,接地电压)的位线的存储单元可以具有增大的阈值电压。可以保持联接至施加有编程禁止电压(例如,电源电压)的位线的存储单元的阈值电压。在编程验证操作期间,第一页缓冲器PB1至第m页缓冲器PBm通过位线BL1至BLm来从所选择的存储单元中读取页数据。

[0052] 在读取操作期间,读/写电路123通过位线BL从所选择的页的存储单元中读取数据DATA,并将所读取的数据DATA输出至数据输入/输出电路124。

[0053] 在擦除操作期间,读/写电路123可以浮置位线BL。在一个实施方式中,读/写电路123可以包括列选择电路。

[0054] 数据输入/输出电路124通过数据线DL联接至第一页缓冲器PB1至第m页缓冲器PBm。数据输入/输出电路124可以在控制逻辑130的控制下操作。在编程操作期间,数据输入/输出电路124从外部控制器(未示出)接收要存储的数据DATA。在读取操作期间,数据输入/输出电路124将从包括在读/写电路123中的第一页缓冲器PB1至第m页缓冲器PBm接收的数据输出至外部控制器。

[0055] 控制逻辑130可以联接至地址解码器121、电压生成器122、读/写电路123和数据输入/输出电路124。控制逻辑130可以控制半导体存储装置100的整体操作。控制逻辑130可以响应于从外部装置发送的命令CMD而操作。

[0056] 接口140可以提供半导体存储装置100与外部装置之间的数据通信接口。接口可以根据半导体存储装置100的类型而包括NAND接口或NOR接口。

[0057] 图3是例示图2中的存储单元阵列110的实施方式的示图。

[0058] 参照图3,存储单元阵列110_2包括多个存储块BLK1~BLKz。在图3中,为了描述起见,例示了第一存储块BLK1的内部配置,并省略了其它存储块BLK2至BLKz的内部配置。应当理解,第二存储块BLK2至第Z存储块BLKz中的每一个均具有与第一存储块BLK1的配置基本相同的配置。

[0059] 参照图3,第一存储块BLK1包括多个单元串CS11至CS1m和CS21至CS2m。在一个实施方式中,单元串CS11至CS1m和CS21至CS2m中的每一个均可以形成为“U”形。在第一存储块BLK1中,沿着行方向(即,正(+)X方向)布置了m个单元串。在图3中,两个单元串被例示为沿列方向(即,正(+)Y方向)布置。然而,该例示是为了便于描述而进行的,并且应当理解,可以沿着列方向布置3个或更多的单元串。

[0060] 多个单元串CS11至CS1m和CS21至CS2m中的每一个均包括至少一个源极选择晶体管SST、第一存储单元MC1至第n存储单元MCn、管晶体管PT和至少一个漏极选择晶体管DST。

[0061] 选择晶体管SST和DST以及存储单元MC1至MCn可以具有类似的结构。在一个实施方式中,选择晶体管SST和DST以及存储单元MC1至MCn中的每一个均可以包括沟道层、隧穿绝缘层、电荷存储层和阻挡绝缘层。在一个实施方式中,可以向每个单元串提供用于设置沟道层的柱状物。在一个实施方式中,可以向每个单元串提供用于设置沟道层、隧穿绝缘层、电荷存储层和阻挡绝缘层中的至少一个的柱状物。

[0062] 每个单元串的源极选择晶体管SST联接在公共源极线CSL与存储单元MC1至MCp之间。

[0063] 在一个实施方式中,布置在同一行中的单元串的源极选择晶体管联接至沿着行方向延伸的源极选择线,并且布置在不同行中的单元串的源极选择晶体管联接至不同的源极选择线。在图3中,第一行中的单元串CS11至CS1m的源极选择晶体管联接至第一源极选择线SSL1。第二行中的单元串CS21至CS2m的源极选择晶体管联接至第二源极选择线SSL2。

[0064] 在一个实施方式中,单元串CS11至CS1m和CS21至CS2m的源极选择晶体管可以共同地联接至单个源极选择线。

[0065] 每个单元串中的第一存储单元MC1至第n存储单元MCn联接在源极选择晶体管SST与漏极选择晶体管DST之间。

[0066] 第一存储单元MC1至第n存储单元MCn可以分为第一存储单元MC1至第p存储单元MCp和第p+1存储单元MCp+1至第n存储单元MCn。第一存储单元MC1至第p存储单元MCp沿着与正(+)Z方向相反的方向依次布置,并且串联联接在源极选择晶体管SST与管晶体管PT之间。第p+1存储单元MCp+1至第n存储单元MCn沿着+Z方向依次布置,并且串联联接在管晶体管PT与漏极选择晶体管DST之间。第一存储单元MC1至第p存储单元MCp和第p+1存储单元MCp+1至第n存储单元MCn通过管晶体管PT彼此联接。每个单元串的第一存储单元MC1至第n存储单元MCn的栅极分别联接至第一字线WL1至第n字线WLn。

[0067] 在一个实施方式中,第一存储单元MC1至第n存储单元MCn中的至少一个可以用作虚拟存储单元。当设置了虚拟存储单元时,可以稳定地控制对应的单元串的电电压或电流。因此,提高了存储在存储块BLK1中的数据的安全性。

[0068] 单元串的相应管晶体管PT的栅极联接至管线PL。

[0069] 每个单元串的漏极选择晶体管DST联接在对应的位线与存储单元MCp+1至MCn之间。沿着行方向布置的单元串连接至沿着行方向延伸的漏极选择线。第一行中的单元串CS11至CS1m的漏极选择晶体管联接至第一漏极选择线DSL1。第二行中的单元串CS21至CS2m的漏极选择晶体管联接至第二漏极选择线DSL2。

[0070] 沿着列方向布置的单元串联接至沿着列方向延伸的位线。沿着行方向布置的单元格串中联接至同一字线的存储单元形成单个页。例如,第一行的单元串CS11至CS1m当中的

联接至第一字线WL1的存储单元形成单页。第二行的单元串CS21至CS2m当中的联接至第一字线WL1的存储单元形成另一个单页。可以通过选择漏极选择线DSL1和DSL2中的任一个来选择沿着单行方向布置的单元串。可以通过选择字线WL1至WLn中的任一个来从所选择的单元串中选择一个页。

[0071] 图4是例示图2中的存储单元阵列110的实施方式的示意图。

[0072] 参照图4,存储单元阵列110_3包括多个存储块BLK1'至BLKz'。在图4中,为了描述起见,例示了第一存储块BLK1'的内部配置,而省略了其它存储块BLK2至BLKz'的内部配置。应当理解,第二存储块BLK2'至第Z存储块BLKz'中的每一个均具有与第一存储块BLK1'基本相同的配置。

[0073] 第一存储块BLK1'包括多个单元串CS11'至CS1m'和CS21'至CS2m'。多个单元串CS11'至CS1m'和CS21'至CS2m'中的每一个均沿着正(+)Z方向延伸。在第一存储块BLK1'中,沿着+X方向布置了m个单元串。在图4中,两个单元串被例示为沿着+Y方向(即,列方向)布置。然而,该例示是为了便于描述而进行的,应当理解,可以沿着列方向布置3个或更多个单元串。

[0074] 单元串CS11'至CS1m'和CS21'至CS2m'中的每一个均包括至少一个源极选择晶体管SST、第一存储单元MC1至第n存储单元MCn、以及至少一个漏极选择晶体管DST。

[0075] 每个单元串的源极选择晶体管SST联接在公共源极线CSL与存储单元MC1至MCn之间。布置在同一行中的单元串的源极选择晶体管联接至同一源极选择线。布置在第一行中的单元串CS11'至CS1m'的源极选择晶体管联接至第一源极选择线SSL1。布置在第二行中的单元串CS21'至CS2m'的源极选择晶体管联接至第二源极选择线SSL2。在一个实施方式中,单元串CS11'至CS1m'和CS21'至CS2m'的源极选择晶体管可以共同地联接至单个源极选择线。

[0076] 每个单元串中的第一存储单元MC1至第n存储单元MCn串联联接在源极选择晶体管SST与漏极选择晶体管DST之间。第一存储单元MC1至第n存储单元MCn的栅极分别联接至第一字线WL1至第n字线WLn。

[0077] 在一个实施方式中,第一存储单元MC1至第n存储单元MCn中的至少一个可以用作虚拟存储单元。当设置了虚拟存储单元时,可以稳定地控制对应的单元串的电位或电流。因此,提高了存储在存储块BLK1'中的数据的安全性。

[0078] 每个单元串的漏极选择晶体管DST联接在对应的位线与存储单元MC1至MCn之间。沿着行方向(即,正(+)X方向)布置的单元串的漏极选择晶体管联接至沿着行方向延伸的漏极选择线。第一行中的单元串CS11'至CS1m'的漏极选择晶体管联接至第一漏极选择线DSL1。第二行中的单元串CS21'至CS2m'的漏极选择晶体管联接至第二漏极选择线DSL2。

[0079] 结果,除了从每个单元串排除了晶体管PT之外,图4中的存储块BLK1'具有与图3中的存储块BLK1类似的等效电路。

[0080] 图5是例示典型的半导体存储装置200的内部布局的示意图。

[0081] 参照图5,传统的半导体存储装置200包括多个存储平面210、211、212和213。存储平面210、211、212和213中的每一个均可以包括多个存储块。存储平面210、211、212和213中的每一个均可以形成存储单元阵列。因此,每个存储平面210、211、212、213均可以对应于图2中的存储单元阵列110。因此,由存储平面210、211、212和213所占据的区域可以被标示为

“存储单元阵列区域”。在图5中，例示了存储单元阵列区域包括四个存储平面的实施方式。然而，包括在存储单元阵列中的存储平面的数量不限于此，并且可以以各种方式改变包括在存储单元阵列区域中的存储平面的数量。

[0082] 外围区域可以被形成为与存储单元阵列区域的一侧相邻。外围区域可以包括数据路径逻辑区域230、中继器区域240、第一区域250、第二区域260等。接口区域220可以被形成为与外围区域的一侧相邻。

[0083] 接口区域220可以接收从设置在半导体存储装置200外部的装置输入的控制信号和数据。对于该操作，可以在接口区域220中形成数据输入/输出焊盘和用于接收控制信号的焊盘。尽管图5中没有示出，但接口区域220可以包括控制电路、ESD电路、钳位电路等。

[0084] 数据路径逻辑区域230可以设置在接口区域220与存储单元阵列区域之间。通常，数据路径逻辑区域230可以包括解串器和串行器，并且可以将从接口区域接收的数据发送至存储单元阵列区域，并且将从存储单元阵列区域读取的数据发送至接口区域。稍后将参照图6来详细描述接口区域的配置。

[0085] 中继器区域240可以设置在数据路径逻辑区域230与存储单元阵列区域之间。形成在中继器区域240中的中继器可以用于在数据路径逻辑区域230与存储单元阵列区域之间发送数据。

[0086] 可以在第一区域250与第二区域260中形成用于半导体存储装置200的操作的其它电路。例如，图2中所示的控制逻辑130和电压生成器122可以被形成在第一区域250或第二区域260中。

[0087] 根据半导体存储装置的典型内部布局，数据路径逻辑区域230可以包括用于数据传输的解串器和串行器。解串器和串行器的组合也可以被标示为“SerDes装置”，并且可以是配置为从包括在接口区域220中的数据输入/输出焊盘接收数据或将数据输出至数据输入/输出焊盘的组件。更具体地，SerDes装置可以被配置为在发送数据之前时分复用或时分解复用数据。因为SerDes装置被包括在数据路径逻辑区域230中，所以增大了由包括数据路径逻辑区域230的外围区域所占据的表面面积。因此，难以减小安装了半导体存储装置200的芯片的尺寸。接口区域220可以包括上述焊盘、控制电路、ESD电路、钳位电路等。近来，因为去除了电容器，所以可以在接口区域220中形成剩余区域221和223。在根据本公开的半导体存储装置中，SerDes装置设置在接口区域220中的剩余区域221和223中，使得可以减小由外围区域所占据的表面面积，从而可以减小半导体存储装置的总体尺寸。

[0088] 图6是更详细地例示图5中的半导体存储装置的内部布局的示意图。

[0089] 参照图6，关于半导体存储装置200的内部布局，例示了接口区域220、数据路径逻辑区域230、第一区域250和第二区域260的布局。包括在存储单元阵列中的存储平面210、211、212和213以与图5中相同的方式来例示，因此，将省略其重复说明。

[0090] 如上所述，接口区域220可以包括多个焊盘225和227。焊盘225和227可以包括数据输入/输出焊盘。在一个实施方式中，标示为DQ0至DQ7的八个数据输入/输出焊盘可以被包括在焊盘225和227中。此外，焊盘225和227还可以包括用于发送/接收控制信号的焊盘。

[0091] 数据路径逻辑区域230可以包括解串器231、地址计数器233、时钟生成器235和串行器237。如上所述，解串器231和串行器237被标示为SerDes装置，并且可以将通过数据输

入/输出焊盘输入的数据发送至存储单元阵列区域中的存储平面210、211、212和213,或可以将从存储平面210、211、212和213接收的数据输出至输入/输出焊盘。地址计数器233可以生成用于半导体存储装置200的内部操作的内部地址。时钟生成器235可以生成用于半导体存储装置200的内部操作的内部时钟。

[0092] 控制逻辑251可以形成在第一区域250中。电压生成器261可以形成在第二区域260中。然而,该布局是针对例示性示例来进行的,并且在第一区域250和第二区域260中可以改变控制逻辑251和电压生成器261的具体布局。

[0093] 参照图6,通过箭头标示来自中继器区域240的数据传输。如果通过接口区域220中的数据输入/输出焊盘来输入数据,则数据被发送至数据路径逻辑230。数据由SerDes装置处理,然后被发送至中继器区域240。中继器区域240可以将数据发送至第一区域250中的中继器253或第二区域260中的中继器263。中继器253、263可以将接收到的数据发送至存储单元阵列区域中的存储平面210、211、212和213。从存储平面210、211、212和213发送的数据可以按照与上述处理相反的方向而被发送至接口区域220的数据输入/输出焊盘。

[0094] 如上所述,在根据本公开的实施方式的半导体存储装置中,不同于图6,SerDes装置(即,串行器237和解串器231)设置在接口区域220中的剩余区域221和223中。因此,可以减小半导体存储装置的尺寸。因此,也可以减小半导体存储装置的生产成本。

[0095] 图7是例示根据本公开的实施方式的半导体存储装置300的内部布局的示意图。

[0096] 参照图7,根据本公开的实施方式的半导体存储装置300可以包括具有存储平面310、311、312和313的存储单元阵列区域340、外围区域342和接口区域320。外围区域342可以设置在存储单元阵列区域340与接口区域320之间,并且可以包括数据路径逻辑区域330、第一区域350和第二区域360。

[0097] 按照与图6中的装置类似的方式,第一区域350可以包括控制逻辑351和中继器353,第二区域360可以包括电压生成器361和中继器363。数据路径逻辑区域330可以包括地址计数器333和时钟生成器335。另外,数据路径逻辑区域330可以设置在第一区域350与第二区域360之间。

[0098] 不同于图6中所示的装置,图7中所示的数据路径逻辑区域330不包括解串器和串行器(即,SerDes装置)。相反,接口区域320可以包括SerDes区域321和323,并且解串器和串行器可以被形成在SerDes区域321和323中。在图7中,粗箭头表示数据传送路径。换句话说,通过接口区域320中的焊盘325和327的数据输入/输出焊盘输入的数据可以由形成在SerDes区域321和323中的至少一个SerDes装置处理,然后被发送至中继器353和363。中继器353和363可以将接收到的数据发送至存储平面310、311、312和313。

[0099] 因此,可以减小数据路径逻辑区域330的表面面积,并且在传统技术中已经是剩余区域的区域可以用作SerDes区域321和323,从而使得由接口区域320所占据的面积可以维持为原样。因此,减小了外围区域的表面面积,从而也可以减小半导体存储装置的整体尺寸。

[0100] 图8A是更详细地例示图7中的半导体存储装置300的内部布局的示意图。图8B是更详细地例示图8A中的接口区域320的示意图。以下,将参照图8A和图8B二者来描述半导体存储装置的内部布局。

[0101] 参照图8A和图8B,内部布局中除了接口区域320以外的部分与图7中所示的相同;

因此,将省略其重复说明。

[0102] 接口区域320可以包括SerDes区域321和323。焊盘225和227可以包括八个数据输入/输出焊盘370、371、372、373、374、375、376和377。SerDes区域321和323可以包括多个SerDes装置380、381、382、383、384、385、386和387。在一个实施方式中,尽管如图8A和图8B所示的数据输入/输出焊盘的数量大于SerDes装置380、381、382、383、384、385、386和387的数量,但SerDes装置380、381、382、383、384、385、386和387的数量可以与数据输入/输出焊盘370、371、372、373、374、375、376和377的数量相同,以使得SerDes装置380、381、382、383、384、385、386和387可以按照一对一的方式分别联接至数据输入/输出焊盘370、371、372、373、374、375、376和377。然而,本公开的实施方式不限于此。例如,包括在SerDes区域中的SerDes装置的数量可以与数据输入/输出焊盘的数量不同。在一个实施方式中,如图8A和8B所示,包括SerDes装置380、381、382、383、384、385、386和387的SerDes区域321和323可以被形成在与数据输入/输出焊盘370、371、372、373、374、375、376和377相邻的区域中,并且每个SerDes装置380、381、382、383、384、385、386和387可以与对应的数据输入/输出焊盘370、371、372、373、374、375、376和377联接。然而,本公开的实施方式不限于此。例如,SerDes装置可以被形成在与数据输入/输出焊盘不相邻的区域中。在这种情况下,尽管SerDes装置未被设置成与对应的数据输入/输出焊盘相邻,但是SerDes装置可以通过布线连接来与对应的数据输入/输出焊盘联接。换句话说,尽管包括SerDes装置380、381、382、383、384、385、386和387的SerDes区域321和323可以被设置成与数据输入/输出焊盘370、371、372、373、374、375、376和377相邻,但是在一些实施方式中,SerDes区域321和323可以被设置在与数据输入/输出焊盘间隔开的位置处。

[0103] SerDes区域321和323可以分别包括中继器391和392。接口区域320还可以包括未设置在SerDes区域321或323中的中继器393。尽管图8A和图8B中未直接示出,但SerDes装置380、381、382、383、384、385、386和387可以通过布线与对应的中继器391、392和393联接。

[0104] 在输入至设置在接口区域320的左侧处的数据输入/输出焊盘370、371、372和373的数据中,要发送至存储平面312和313的数据可以由设置成与数据输入/输出焊盘370、371、372和373相邻的SerDes区域321中的SerDes装置380、381、382和383来处理,然后可以通过中继器393来发送至中继器392。然后,数据可以通过中继器363来被发送至存储平面312和313。在输入至设置在接口区域320的左侧处的数据输入/输出焊盘370、371、372和373的数据中,要发送至存储平面310和311的数据可以由设置成与数据输入/输出焊盘370、371、372和373相邻的SerDes区域321中的SerDes装置380、381、382和383来处理,然后可以被发送至中继器391。然后,数据可以通过中继器353来被发送至存储平面310和311。

[0105] 在输入至设置在接口区域320的右侧处的数据输入/输出焊盘374、375、376和377的数据中,要发送至存储平面310和311的数据可以由设置成与数据输入/输出焊盘374、375、376和377相邻的SerDes区域323中的SerDes装置384、385、386和387来处理,然后可以通过中继器393来发送至中继器391。然后,数据可以通过中继器353来被发送至存储平面310和311。在输入至设置在接口区域320的右侧处的数据输入/输出焊盘374、375、376和377的数据中,要发送至存储平面312和313的数据可以由设置成与数据输入/输出焊盘374、375、376和377相邻的SerDes区域323中的SerDes装置384、385、386和387来处理,然后可以被发送至中继器392。然后,数据可以通过中继器363来被发送至存储平面312和313。因此,

接口区域320可以包括SerDes区域321和323, SerDes区域321和323可以将通过数据输入/输出焊盘370、371、372、373、374、375、376和377输入的数据发送至存储单元阵列区域340。另外, 接口区域320可以包括SerDes区域321和323, SerDes区域321和323可以通过数据输入/输出焊盘370、371、372、373、374、375、376和377输出从存储单元阵列区域340接收的数据。

[0106] 然而, 上面已经描述的数据输入/输出焊盘的布局、SerDes装置的布局以及中继器的布局仅仅是出于例示性的目的; 因此, 如有需要, 可以改变布局。例如, SerDes装置不必被布置成与数据输入/输出焊盘相邻, 而是可以设置在接口区域320中所形成的剩余区域中。这样, 在本公开中, 可以减小由数据路径逻辑区域330所占据的表面面积, 并且传统技术中已经是剩余区域的区域可以用作SerDes区域321和323, 以使得接口区域320所占据的表面面积可以维持为原样。结果, 减小了外围区域所占据的表面面积, 从而可以减小半导体存储装置的整体尺寸。

[0107] 图9是例示根据本公开的实施方式的半导体存储装置1300与主机400之间的连接的框图。参照图9, 不同于图10中所示的存储系统1000, 半导体存储装置1300可以不包括内部控制器。因此, 半导体存储装置1300一般可以由主机400管理。在图9中所示的半导体存储装置1300被实现为NAND闪存装置的情况下, 图9中所示的存储系统可以被标示为“原始NAND闪存装置”。术语“原始NAND闪存装置”可以是指一般由被实现在包括半导体存储装置的封装件外部的宿主400的存储控制单元410管理的存储装置或封装件。宿主400中的存储控制单元410可以执行由本文稍后将描述的控制器1200执行的存储管理和访问功能。

[0108] 图10是例示包括半导体存储装置的存储系统1000的框图。

[0109] 参照图10, 存储系统1000包括半导体存储装置1300和控制器1200。

[0110] 半导体存储装置1300可以具有与参照图2或图7和图8所述的半导体存储装置的配置和操作相同的配置和操作。以下, 将省略重复说明。

[0111] 控制器1200联接至宿主Host和半导体存储装置1300。控制器1200可以响应于来自宿主Host的请求来访问半导体存储器装置1300。例如, 控制器1200可以控制半导体存储装置1300的读取、写入、去除和后台操作。控制器1200可以提供宿主Host与半导体存储装置1300之间的接口。控制器1200可以驱动用于控制半导体存储装置1300的固件。不同于图9中所示的半导体存储装置1300在不使用控制器的情况下联接至宿主400的存储控制单元410的实施方式, 图10中的半导体存储装置1300可以由控制器1200控制, 并且控制器1200可以联接至宿主。

[0112] 控制器1200包括随机存取存储器 (RAM) 1210、处理单元1220、宿主接口1230、存储器接口1240和纠错块1250。

[0113] RAM 1210用作用于处理单元1220的操作存储器、半导体存储装置1300与宿主之间的缓存存储器、以及半导体存储装置1300与宿主之间的缓冲存储器中的至少一个。

[0114] 处理单元1220控制控制器1200的整体操作。处理单元1220可以控制半导体存储装置1000的读取、编程、擦除和后台操作。处理单元1220可以驱动用于控制半导体存储装置的固件。处理单元1220可以执行闪存转换层 (FTL) 的功能。处理单元1220可以通过FTL将由宿主提供的逻辑块地址 (LBA) 转换为物理块地址 (PBA)。FTL可以接收LBA, 并使用映射表来将LBA转换为PBA。通过FTL执行的地址映射方法的示例可以包括根据映射单元的各种方法。代表性的地址映射方法包括页映射方法、块映射方法和混合映射方法。

[0115] 处理单元1220可以使从主机Host接收的数据随机化。例如,处理单元1220可以使用随机化种子来使从主机Host接收的数据随机化。随机化的数据作为要存储的数据被提供给半导体存储装置1300,然后被编程在存储单元阵列中。

[0116] 在读取操作期间,处理单元1220可以使从半导体存储装置1300接收的数据去随机化。例如,处理单元1220可以使用去随机化种子来使从半导体存储装置1300接收的数据去随机化。去随机化的数据可以被输出至主机Host。

[0117] 在一个实施方式中,处理单元1220可以驱动软件或固件来执行随机化或去随机化操作。

[0118] 主机接口1230包括用于在主机Host与控制器1200之间执行数据交换的协议。在一个实施方式中,控制器1200可以被配置为通过诸如通用串行总线(USB)协议、多媒体卡(MMC)协议、外围组件互连(PCI)协议、PCI-快速(PCI-E)协议、高级技术附件(ATA)协议、串行ATA协议、并行ATA协议、小型计算机小接口(SCSI)协议、增强型小磁盘接口(ESDI)协议、以及集成驱动电子(IDE)协议、专用协议等的各种接口协议中的至少一种来与主机通信。

[0119] 存储器接口1240可以与半导体存储装置1300连接。例如,存储器接口1240包括NAND接口或NOR接口。

[0120] 纠错块1250可以使用纠错码(ECC)来检测并纠正从半导体存储装置1300接收的数据中的错误。纠错块1250可以使用ECC来纠正所读取的页数据中的错误。纠错块1250可以使用低密度奇偶校验(LDPC)码,博斯-乔赫里-霍克文黑姆(Bose-Chaudhri-Hocquenghem, BCH)码,涡轮(turbo)码,里德-索罗门码,卷积码,递归系统码(RSC),诸如格型编码调制(TCM)、块编码调制(BCM)的编码调制或汉明码来纠正错误。

[0121] 在读取操作期间,纠错块1250可以纠正读取的页数据中的错误。当读取的页数据中包括超过可纠正位数的错误位数时,解码可能失败。当页数据中包括小于或等于可纠正位数的错误位数时,解码可成功。解码成功指示对应的读取命令已经通过。解码失败指示对应的读取命令已经失败。当解码成功时,控制器1200可以向主机输出已纠错的页数据。

[0122] 控制器1200和半导体存储装置1300可以集成到单个半导体装置中。在一个实施方式中,控制器1200和半导体存储装置1300可以集成到单个半导体装置中,以形成存储卡。例如,控制器1200和半导体存储装置1300可以集成到单个半导体装置中,并形成诸如个人计算机存储卡国际协会(PCMCIA)、紧凑型闪存卡(CF)、智能媒体卡(SMC),记忆棒多媒体卡(MMC、RS-MMC或MMC微型)、SD卡(SD、迷你SD、微型SD或SDHC)或通用闪存(UFS)之类的存储卡。

[0123] 控制器1200和半导体存储装置1300可以集成到单个半导体装置中,以形成固态驱动器(SSD)。SSD包括形成为将数据存储在半导体的存储器中的存储装置。当存储系统用作SSD时,可以显著地提高联接至存储系统2000的主机Host的操作速度。

[0124] 在一个实施方式中,存储系统可以被设置为诸如计算机、超移动PC(UMPC)、工作站、上网本、个人数字助理(PDA)、便携式计算机、网络平板电脑、无线电话、移动电话、智能电话、电子书、便携式多媒体播放器(PMP)、游戏控制台、导航装置、黑匣子、数码相机、三维电视、数字音频记录器、数字音频播放器、数字图片记录器、数字图片播放器、数字视频记录器、数字视频播放器、能够在无线环境中发送/接收信息的装置的电子装置中的各种元件之一,用于形成家庭网络的各种装置之一,用于形成计算机网络的各种电子装置之一,用于形

成远程信息处理网络的各种电子装置之一,RFID装置,用于形成计算系统的各种元件之一等。

[0125] 在一个实施方式中,半导体存储装置1300或存储系统1000可以按照各种类型的封装来嵌入。例如,半导体存储装置1300或存储系统1000可以按照诸如以下类型的类型来封装:堆叠式封装(PoP)、球栅阵列(BGA)、芯片级封装(CSP)、塑料引线芯片载体(PLCC)、塑料双列直插封装(PDIP)、窝伏尔组件内管芯(Die in WafflePack)、晶圆形式管芯、板上芯片(COB)、陶瓷双列直插封装(CERDIP)、塑料标准四边形扁平封装(MQFP)、薄四边形扁平封装(TQFP)、小外形(SOIC)、收缩型小外形封装(SSOP)、薄型小外形(TSOP)、薄四边形扁平封装(TQFP)、系统级封装(SIP)、多芯片封装(MCP)、晶圆级制造封装(WFP)、晶圆级处理堆叠封装(WSP)等。

[0126] 图11是例示图9中的系统的应用示例的框图。

[0127] 参照图11,半导体存储装置2100包括多个半导体存储芯片。半导体存储芯片可以被分成多个组。半导体存储装置2100可以在无需使用控制器的情况下与主机500通信。具体地,主机500的存储控制单元510可以与半导体存储装置2100通信。主机500可以通过存储控制单元510来控制半导体存储装置2100的半导体存储芯片。每个半导体存储芯片可以具有与参照图9所述的半导体存储装置1300的实施方式的配置和操作相同的配置和操作。

[0128] 图12是示出图10中的存储系统的应用示例的框图。

[0129] 参照图12,存储系统2000包括半导体存储装置2100和控制器2200。半导体存储装置2100包括多个存储芯片。半导体存储芯片可以被分成多个组。存储系统2000可以与主机600通信。具体地,主机600的存储控制单元610可以与存储系统2000的控制器2200通信。主机600可以通过存储控制单元610来控制存储系统2000。具体地,存储系统2000的控制器2200可以基于从主机600接收的命令、数据等来控制半导体存储装置2100。

[0130] 在图12中,例示了多个组分别通过第一通道CH1至第K通道CHk来与控制器2200通信。每个半导体存储芯片可以具有与参照图10所述的半导体存储装置1300的实施方式的配置和操作相同的配置和操作。

[0131] 每个组可以通过一个公共通道来与控制器2200通信。控制器2200具有与参照图10所述的控制器1200的配置相同的配置,并且可以通过多个通道CH1至CHk来控制半导体存储装置2100的多个存储芯片。

[0132] 在图12中,多个半导体存储芯片已经被例示为联接至每个通道。然而,应当理解,存储系统2000可以被修改为使得单个存储芯片联接至每个通道的配置。

[0133] 参照图11和图12二者,与图11中的半导体存储装置2100与主机500直接联接的实施方式相比,图12的实施方式被配置为使得半导体存储装置2100联接至控制器2200,并且控制器2200与主机600联接。与图11中的存储控制单元510相比,图12的存储控制单元610可以被标示为“管理式存储控制单元”。

[0134] 图13是例示包括参照图12所示的存储系统的计算系统的框图。

[0135] 参照图13,计算系统3000可以包括中央处理单元3100、RAM 3200、用户接口3300、电源3400、系统总线3500和存储系统2000。

[0136] 存储系统2000通过系统总线3500电联接至CPU 3100、RAM 3200、用户接口3300和电源3400。通过用户接口3300提供或由CPU 3100处理的数据可以被存储在存储系统2000

中。

[0137] 在图13中,半导体存储装置2100已经被例示为通过控制器2200联接至系统总线3500。然而,如图11所示,半导体存储装置2100可以直接联接至系统总线3500。控制器2200的功能可以由CPU 3100和RAM 3200执行。

[0138] 在图13中,例示了使用参照图12所述的存储系统2000。然而,存储系统2000可以用参照图10所述的存储系统1000来代替。在一个实施方式中,计算系统3000可以包括参照图12和图10所述的存储系统1000和2000二者。

[0139] 本公开的各种实施方式可以提供能够减小生产成本并减小芯片尺寸的半导体存储装置。

[0140] 尽管已经公开了本公开的实施方式,但是本领域技术人员将理解,在不脱离本公开的范围和精神的情况下,可以进行各种修改、添加和替换。

[0141] 因此,本公开的范围必须由所附权利要求和权利要求的等同物来限定,而不是由前面的描述来限定。

[0142] 在上述实施方式中,可以选择性地执行所有步骤,或者可以跳过一个或更多个步骤。此外,每个实施方式中的步骤可能可以不总是按照常规顺序来执行。此外,本说明书和附图中公开的实施方式旨在帮助本领域普通技术人员更清楚地理解本公开,而不是旨在限制本公开的界限。换句话说,本公开所属领域的普通技术人员将能够容易地理解,基于本公开的技术范围可以进行各种修改。

[0143] 已经参照附图描述了本发明的实施方式,并且在本说明书中使用的特定术语或词语应根据本发明的精神来解释,而不限制本发明的主题。应当理解,本文描述的基本发明构思的许多变型和修改将仍然落入所附权利要求及其等同物所限定的本公开的精神和范围内。

[0144] 相关申请的交叉引用

[0145] 本申请要求于2017年2月21日在韩国知识产权局提交的韩国专利申请第10-2017-0023052号的优先权,其全部公开内容通过引用结合于此。

100



图1

100

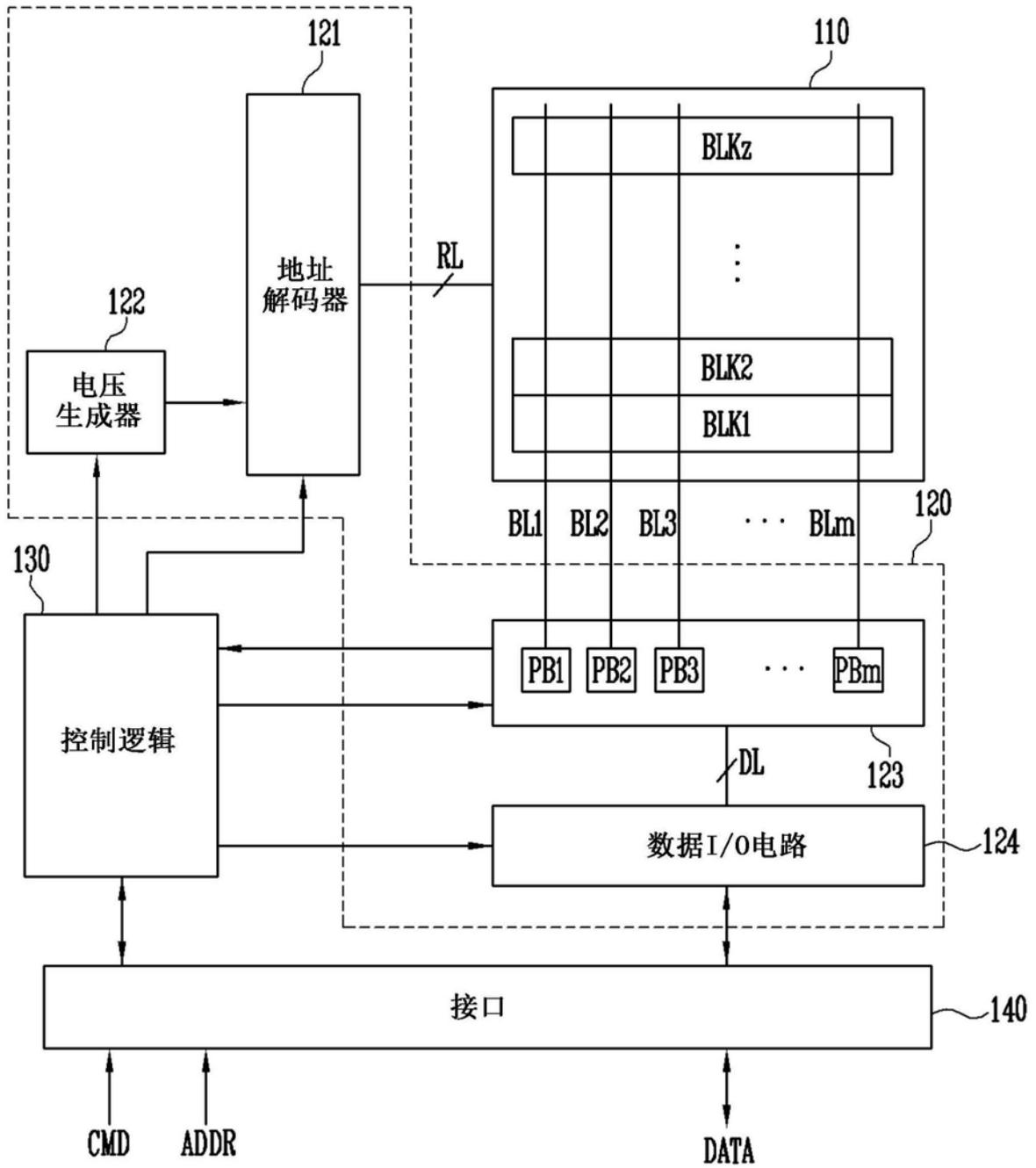


图2

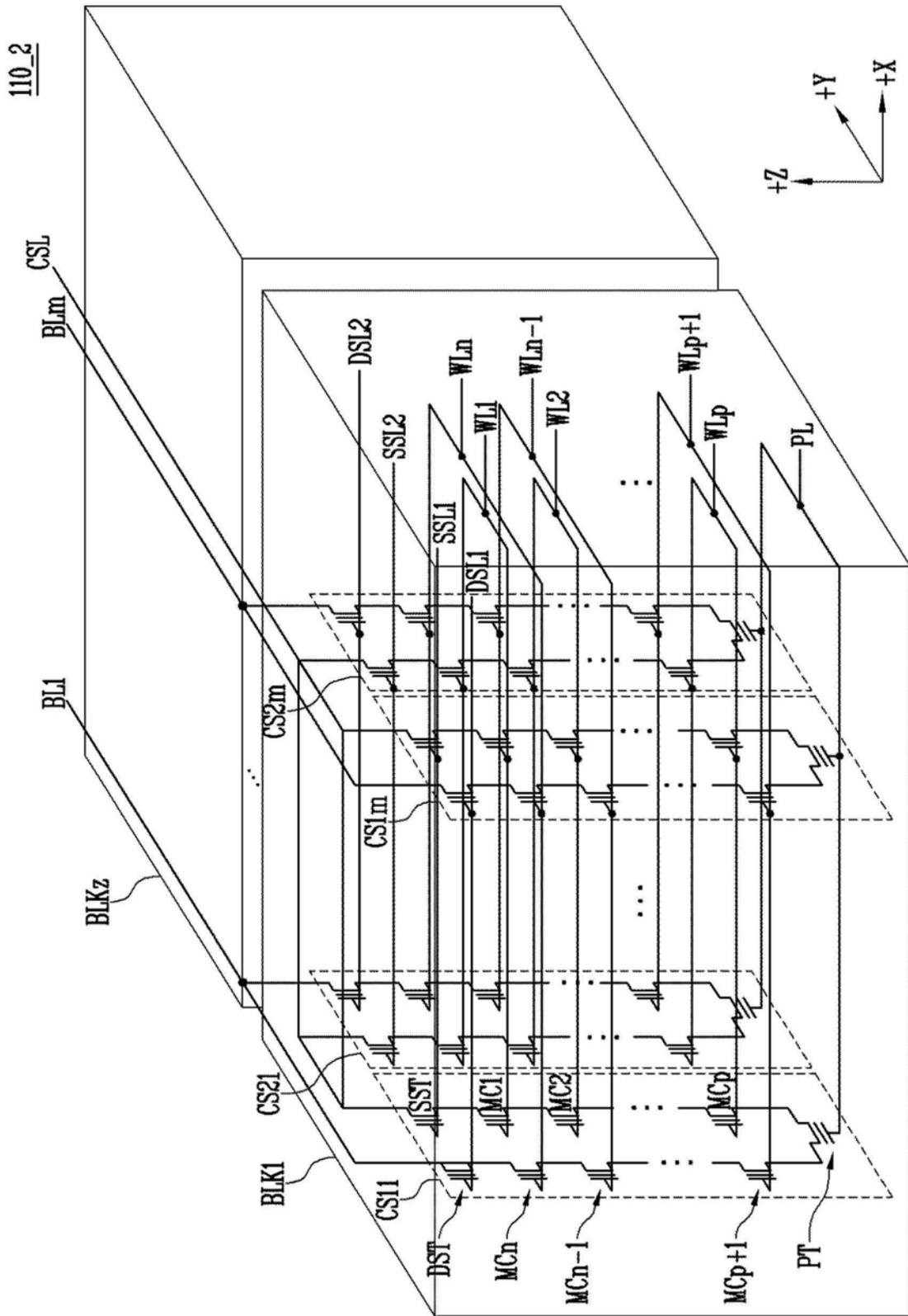


图3

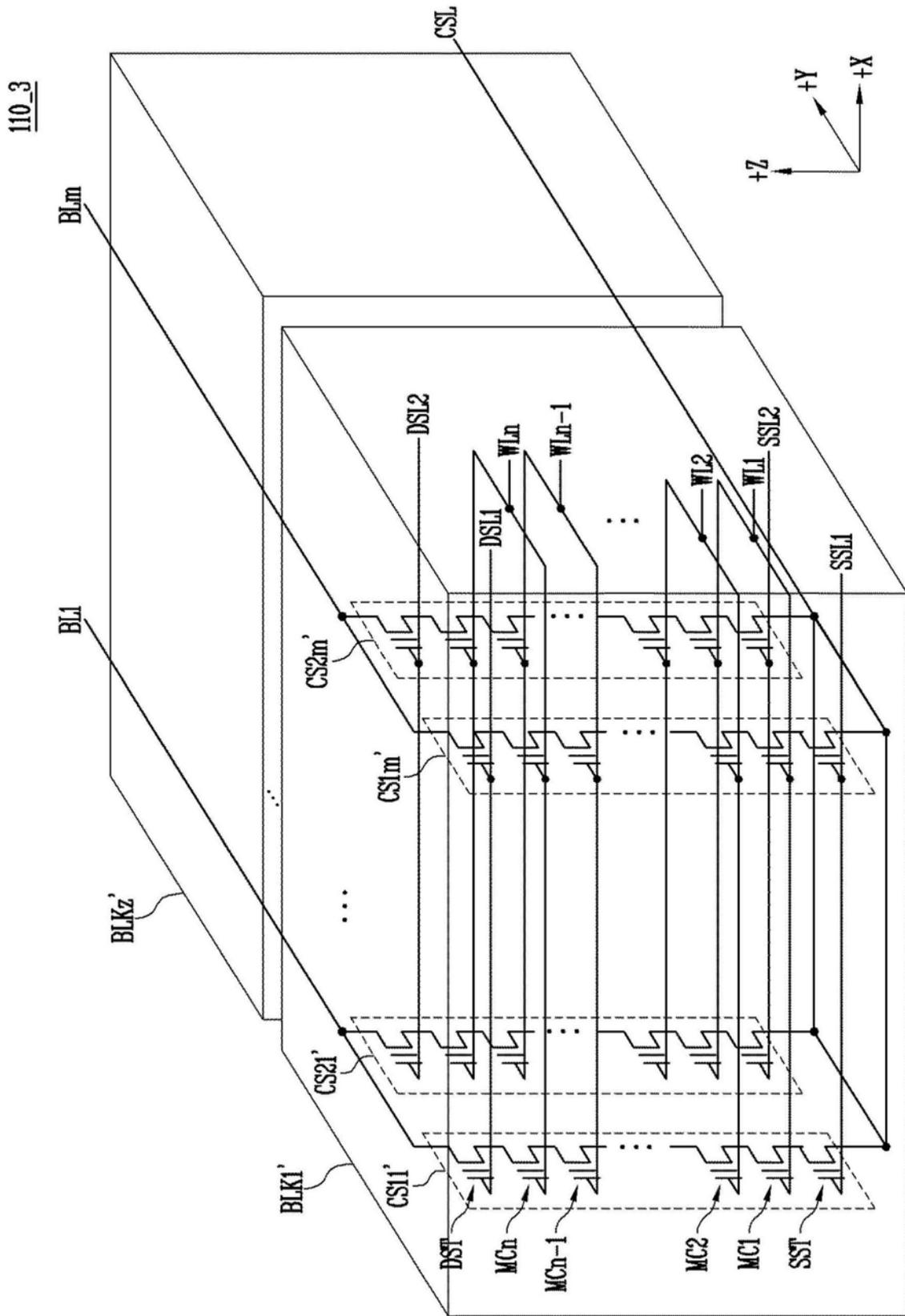


图4

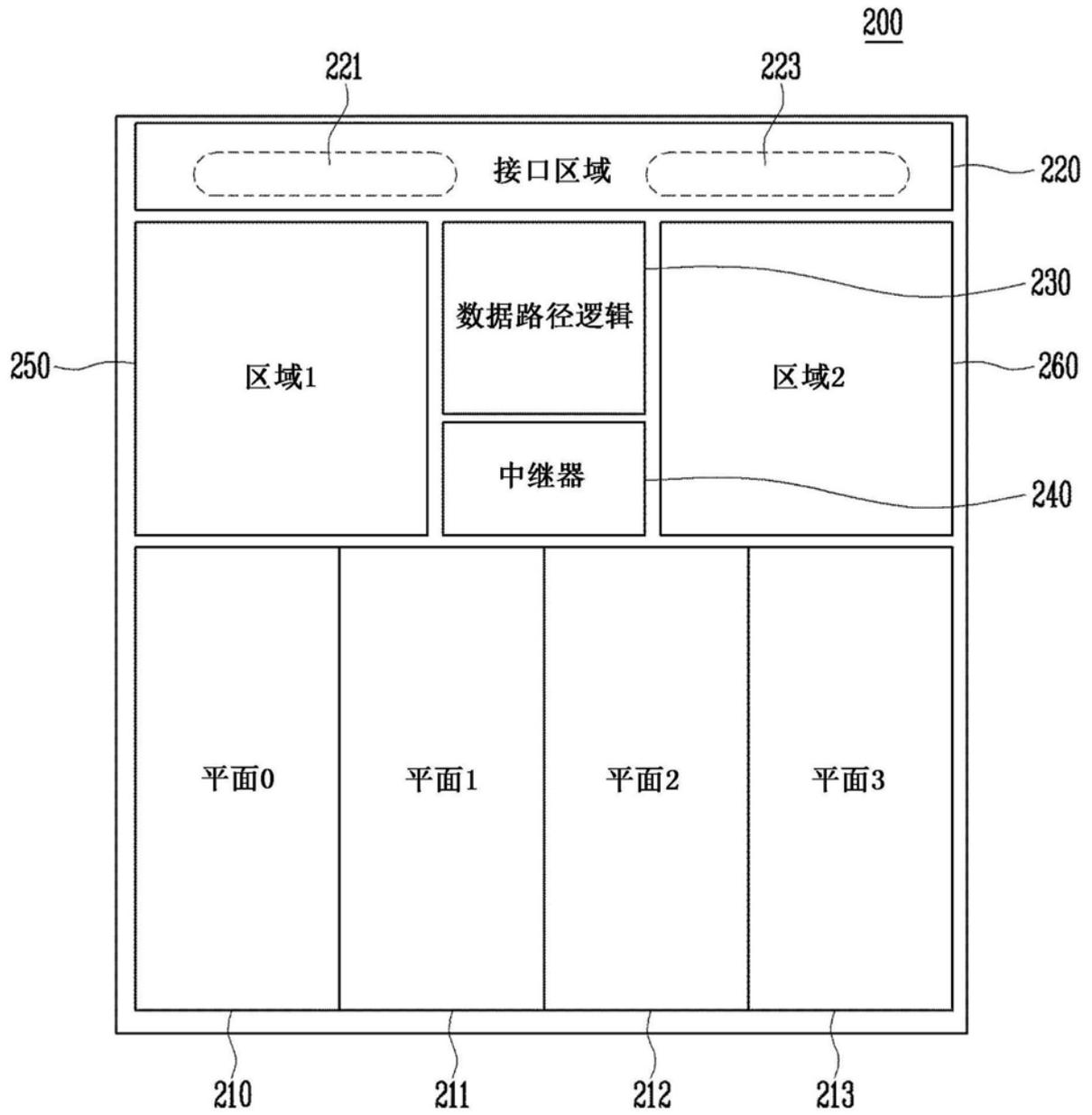


图5

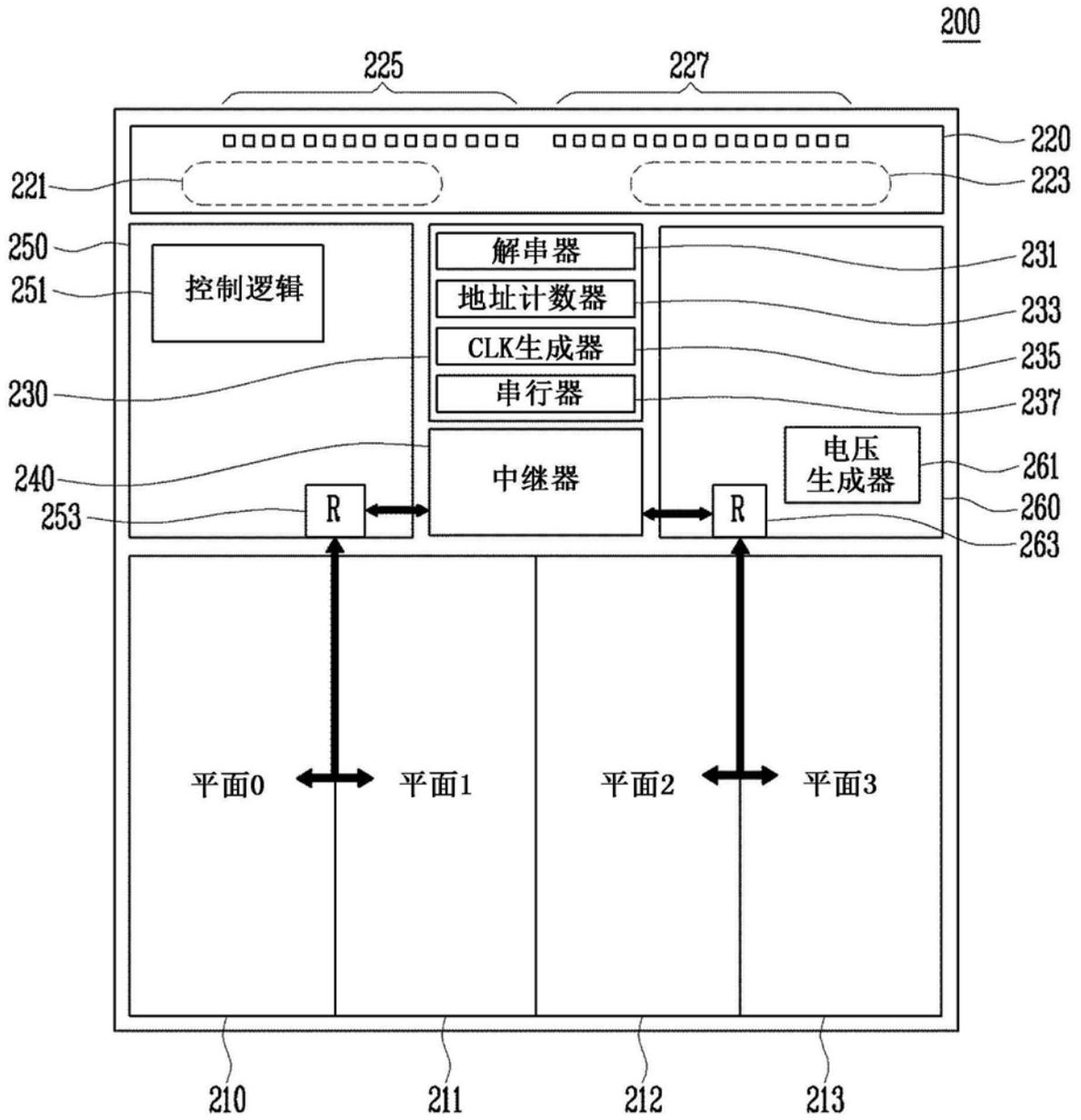


图6

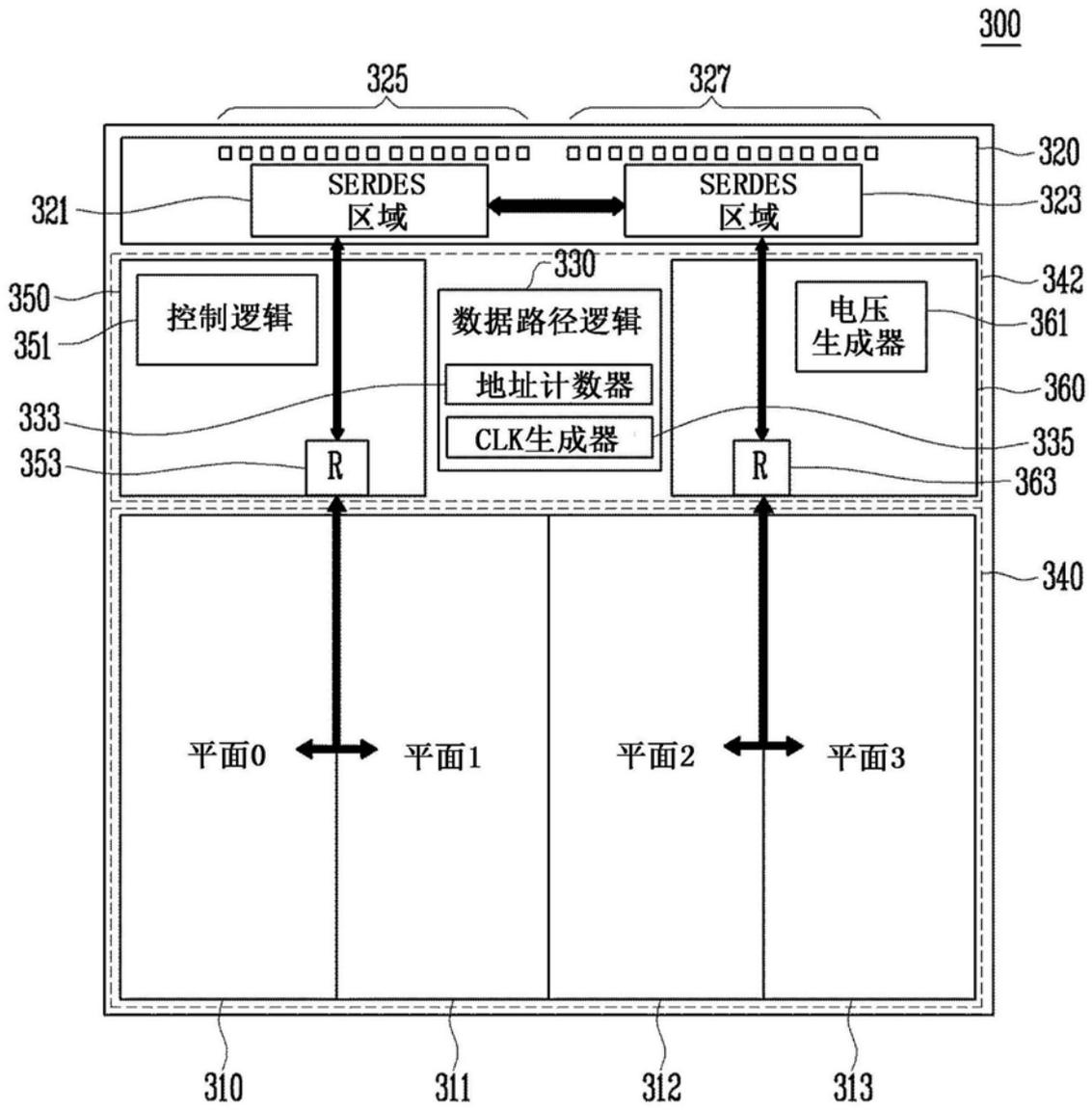


图7

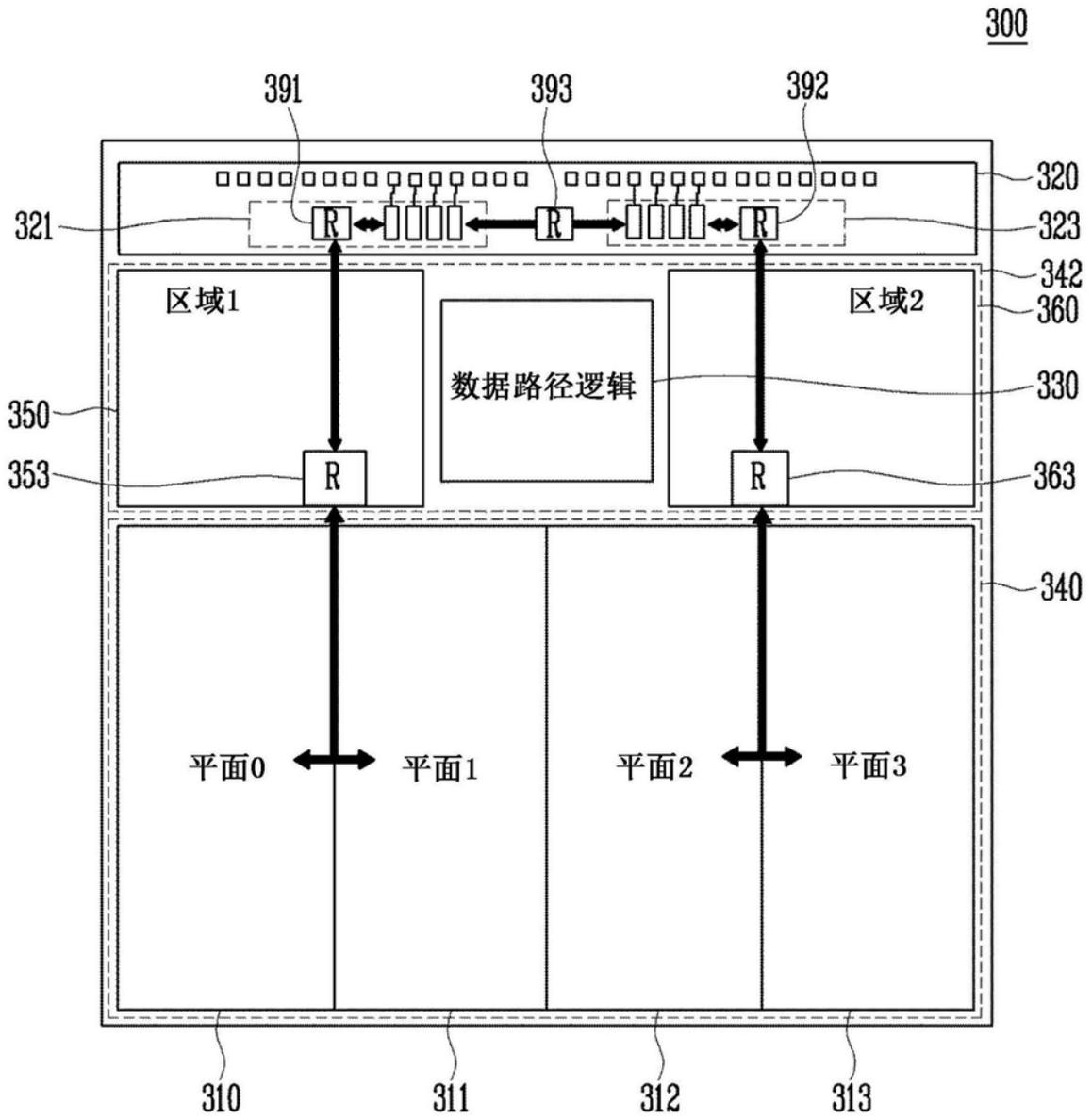


图8A

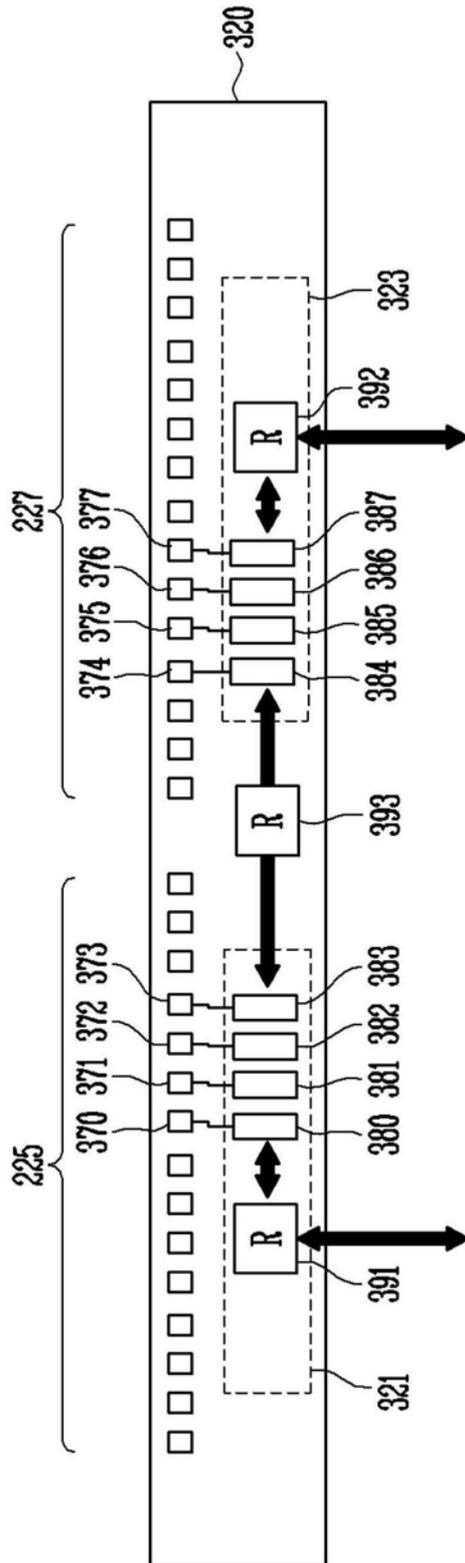


图8B

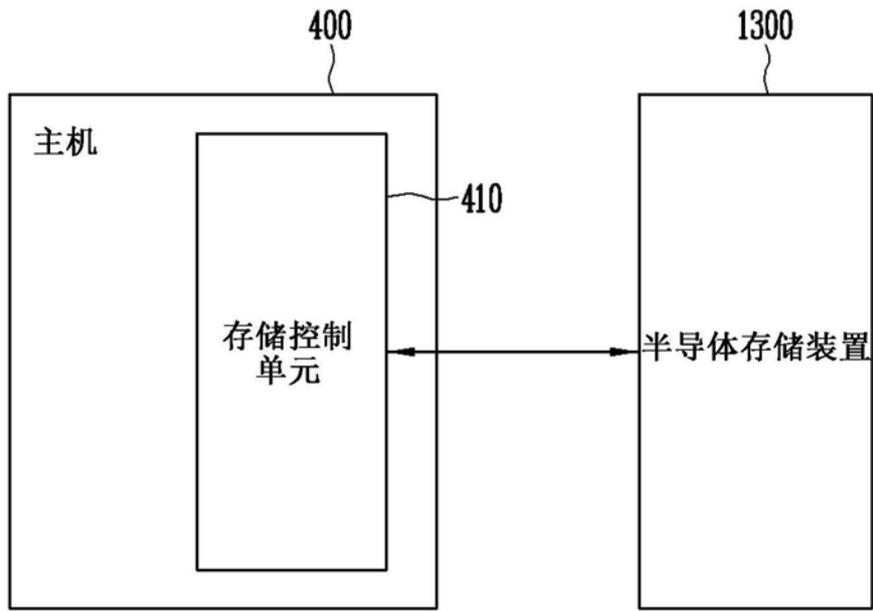


图9

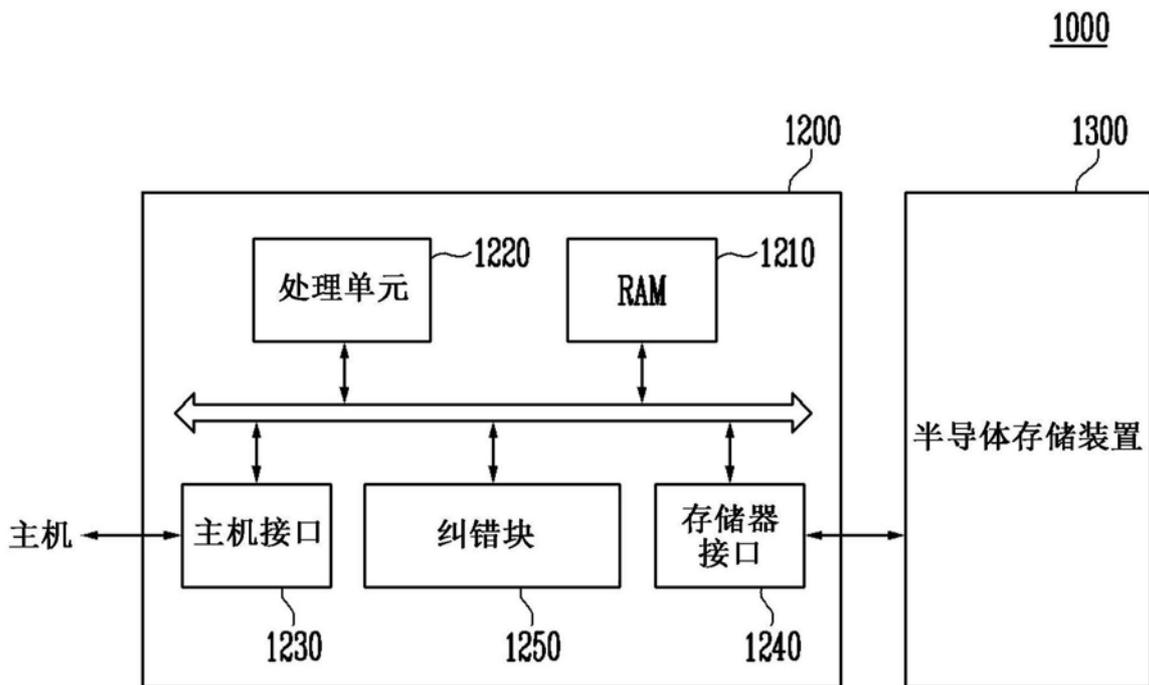


图10

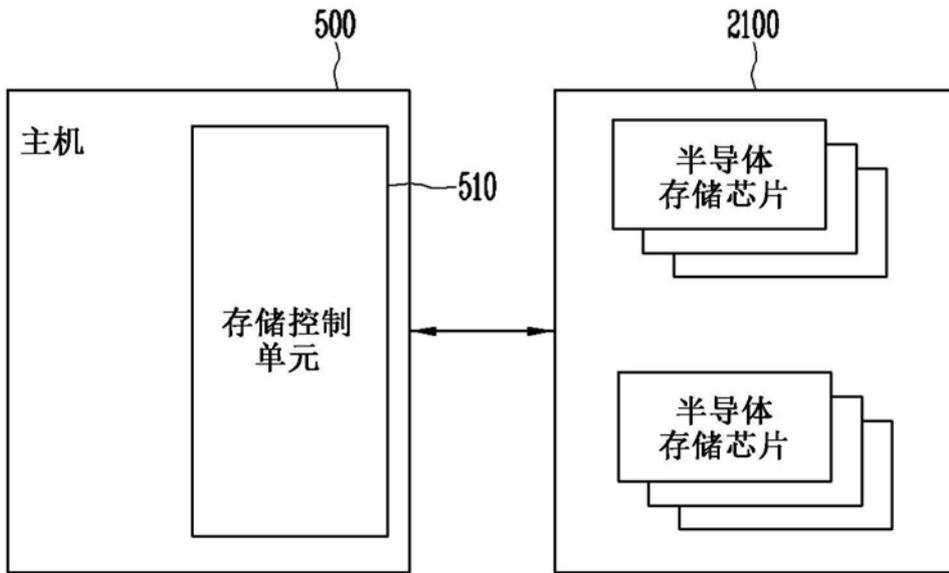


图11

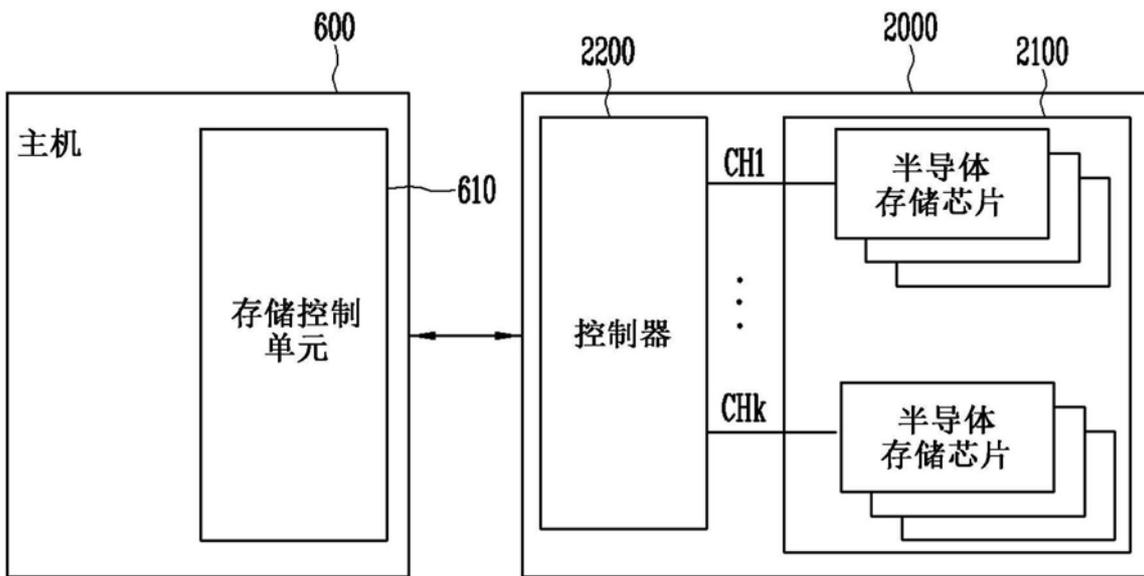


图12

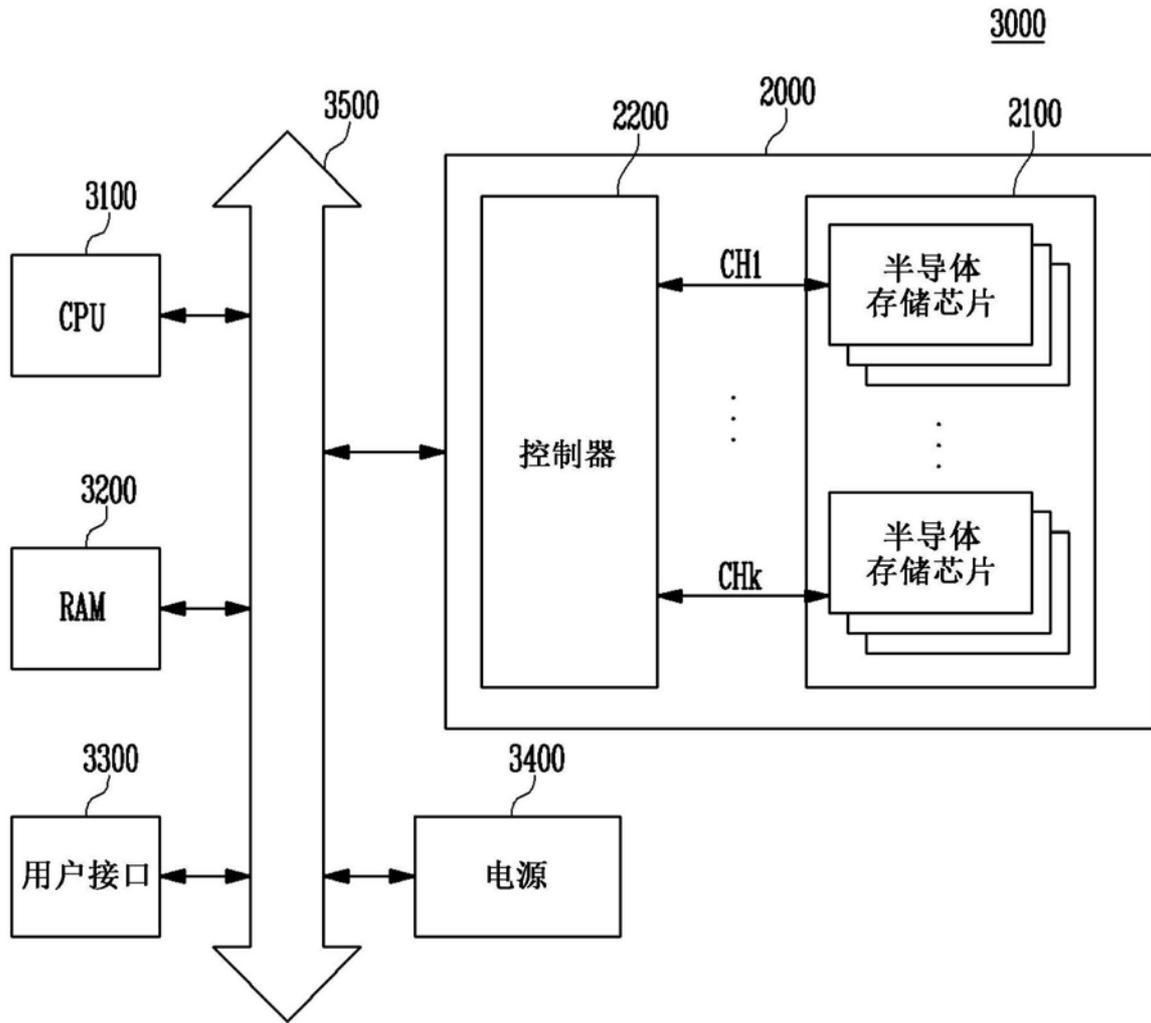


图13