

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6822100号  
(P6822100)

(45) 発行日 令和3年1月27日(2021.1.27)

(24) 登録日 令和3年1月12日(2021.1.12)

(51) Int.Cl. F I  
**G 0 6 F 3 0 / 3 9 8 ( 2 0 2 0 . 0 1 )**  
 G 0 6 F 1 7 / 5 0 6 6 6 L  
 G 0 6 F 1 7 / 5 0 6 6 6 V

請求項の数 8 (全 16 頁)

(21) 出願番号	特願2016-230121 (P2016-230121)	(73) 特許権者	000005223
(22) 出願日	平成28年11月28日 (2016.11.28)		富士通株式会社
(65) 公開番号	特開2018-88056 (P2018-88056A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成30年6月7日 (2018.6.7)	(74) 代理人	100099759
審査請求日	令和1年8月7日 (2019.8.7)		弁理士 青木 篤
		(74) 代理人	100119987
			弁理士 伊坪 公一
		(74) 代理人	100133835
			弁理士 河野 努
		(74) 代理人	100135976
			弁理士 宮本 哲夫

最終頁に続く

(54) 【発明の名称】 ピアモデル生成プログラム、ピアモデル生成方法及び情報処理装置

(57) 【特許請求の範囲】

【請求項1】

複数の配線層を有する基板に形成されるビアの口径、前記複数の配線層の何れかに形成されるグランド導体と前記ビアとの間の逃げ距離、及び前記ビアと前記グランド導体に接続されたグランドビアとの間のグランドビア距離を含むピア配置情報を取得し、

前記基板の比誘電率を含む基板情報を取得し、

前記ビアの口径と前記逃げ距離と前記基板の比誘電率とを使用した第1の2.5次元電磁界解析により前記ビアのキャパシタンス成分を算出し、

前記ビアの口径と前記グランドビア距離と前記基板の比誘電率とを使用した第2の2.5次元電磁界解析により前記ビアのインダクタンス成分を算出し、

前記第1の2.5次元電磁界解析により算出されたキャパシタンス成分、及び前記第2の2.5次元電磁界解析により算出されたインダクタンス成分を含むピアモデルを生成する、

ことを含む処理をコンピュータに実行させるピアモデル生成プログラム。

【請求項2】

前記生成されたピアモデルを出力することを更に含む、請求項1に記載のピアモデル生成プログラム。

【請求項3】

前記生成されたピアモデルは、Sパラメータを含む、請求項1又は2に記載のピアモデル生成プログラム。

## 【請求項 4】

前記ビアモデルを使用して、前記ビアを含む伝送線路を伝送する信号を解析することを更に含む、請求項 1 ~ 3 の何れか一項に記載のビアモデル生成プログラム。

## 【請求項 5】

前記ビア配置情報は、差動信号を伝送する一对のビアの間の距離を更に含み、

前記一对のビアの間の距離は、前記ビアのインダクタンス成分を算出するとき使用される、請求項 1 ~ 4 の何れか一項に記載のビアモデル生成プログラム。

## 【請求項 6】

前記グランドビア距離は、複数のグランドビアとの間の距離を含み、

前記複数のグランドビアとの間の距離は、前記ビアのインダクタンス成分を算出するとき使用される、請求項 1 ~ 5 の何れか一項に記載のビアモデル生成プログラム。

10

## 【請求項 7】

情報処理装置が実行するビアモデル生成方法であって、

前記情報処理装置の動作を制御する処理部が、

複数の配線層を有する基板に形成されるビアの口径、前記複数の配線層の何れかに形成されるグランド導体と前記ビアとの間の逃げ距離、及び前記ビアと前記グランド導体に接続されたグランドビアとの間のグランドビア距離を含むビア配置情報を取得し、

前記基板の比誘電率を含む基板情報を取得し、

前記ビアの口径と前記逃げ距離と前記基板の比誘電率とを使用した第 1 の 2 . 5 次元電磁界解析により前記ビアのキャパシタンス成分を算出し、

20

前記ビアの口径と前記グランドビア距離と前記基板の比誘電率とを使用した第 2 の 2 . 5 次元電磁界解析により前記ビアのインダクタンス成分を算出し、

前記第 1 の 2 . 5 次元電磁界解析により算出されたキャパシタンス成分、及び前記第 2 の 2 . 5 次元電磁界解析により算出されたインダクタンス成分を含むビアモデルを生成する、

ビアモデル生成方法。

## 【請求項 8】

複数の配線層を有する基板に形成されるビアの口径、前記複数の配線層の何れかに形成されるグランド導体と前記ビアとの間の逃げ距離、及び前記ビアと前記グランド導体に接続されたグランドビアとの間のグランドビア距離を含むビア配置情報を取得するビア配置情報取得部と、

30

前記基板の比誘電率を含む基板情報を取得する基板情報取得部と、

前記ビアの口径と前記逃げ距離と前記基板の比誘電率とを使用した第 1 の 2 . 5 次元電磁界解析により前記ビアのキャパシタンス成分を算出するキャパシタンス成分算出部と、

前記ビアの口径と前記グランドビア距離と前記基板の比誘電率とを使用した第 2 の 2 . 5 次元電磁界解析により前記ビアのインダクタンス成分を算出するインダクタンス成分算出部と、

前記第 1 の 2 . 5 次元電磁界解析により算出されたキャパシタンス成分、及び前記第 2 の 2 . 5 次元電磁界解析により算出されたインダクタンス成分を含むビアモデルを生成するビアモデル生成部と、

40

ことを有する情報処理装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、ビアモデル生成方法、ビアモデル生成プログラム及びビアモデル生成プログラムを実行する情報処理装置に関する。

## 【背景技術】

## 【0002】

差動信号を伝送する伝送線路に形成されるビアとも称されるスルーホールと、接地されたスルーホールとの間の距離、及びスルーホールの口径を適宜設計することにより基板の

50

特性インピーダンスを整合させることが知られてる（例えば、特許文献 1 を参照）。

【 0 0 0 3 】

また、多層配線基板に形成されるビアを、ビアのランド径、逃げ径を使用して、層毎にキャパシタンス成分及びリアクタンス成分を抽出してモデル化することが知られている（例えば、特許文献 2 を参照）。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献 1】特開 2 0 0 7 - 2 5 8 3 5 8 号公報

【特許文献 2】特開 2 0 0 6 - 1 1 7 5 3 号公報

10

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

プリント基板上で信号を伝送する伝送線路の通信速度が高速化することによって、伝送線路の S I (signal integrity) 解析等の伝送線路解析に使用される伝送線路モデルの精度を向上させることが望まれている。伝送線路モデルの精度を向上させるため、伝送線路に含まれるビアは、3次元電磁界解析を使用してモデル化されることがある。

【 0 0 0 6 】

しかしながら、3次元電磁界解析を使用してビアをモデル化する場合、ビアの配置情報を示す C A D (computer-aided design) データを生成する等の工程の数が多くなるため、短時間でビアをモデル化することは容易ではない。

20

【 0 0 0 7 】

一実施形態では、短時間で精度良くビアをモデル化することができるピアモデル生成プログラムを提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 8 】

1つの態様では、ピアモデル生成プログラムは以下の処理をコンピュータに実行させる。コンピュータは、複数の配線層を有する基板に形成されるビアの口径、複数の配線層の何れかに形成されるグランド導体とビアとの間の逃げ距離、及びピアとグランド導体に接続されたグランドピアとの間のグランドピア距離を含むピア配置情報を取得する。次いで、コンピュータは、基板の比誘電率を含む基板情報を取得する。次いで、コンピュータは、ビアの口径と逃げ距離と基板の比誘電率とを使用した第 1 の 2 . 5 次元電磁界解析によりビアのキャパシタンス成分を算出する。次いで、コンピュータは、ビアの口径とグランドピア距離と基板の比誘電率とを使用した第 2 の 2 . 5 次元電磁界解析によりビアのインダクタンス成分を算出する。そして、コンピュータは、第 1 の 2 . 5 次元電磁界解析により算出されたキャパシタンス成分、及び第 2 の 2 . 5 次元電磁界解析により算出されたインダクタンス成分を含むピアモデルを生成する。

30

【発明の効果】

【 0 0 0 9 】

一実施形態では、短時間で精度良くピアをモデル化することができる。

40

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】( a ) は通信速度が低速な基板に形成されるビアの第 1 のモデル化を示す図であり、( b ) は通信速度が低速な基板に形成されるビアの第 2 のモデル化を示す図である。

【図 2】3次元電磁界解析を使用する第 3 のモデル化の工程を示す図である。

【図 3】3次元電磁界解析を使用する第 3 のモデル化の特徴を説明するための図である。

【図 4】ピアとピアに隣接するグランドピアとの間を電流が流れる状態の電磁界解析を示す図であり、( a ) は 3次元電磁界解析を示し、( b ) は 2 . 5次元電磁界解析を示す。

【図 5】2 . 5次元電磁界解析を使用してピアをモデル化するときの問題点を説明するための図である。

50

【図6】実施形態に係るピアモデル生成プログラムの工程を概略的に示す図である。

【図7】第1実施形態に係る情報処理装置を示す図である。

【図8】図7に示す情報処理装置におけるピアモデル生成処理のフローチャートである。

【図9】(a)は図8に示すS101の処理で信号配線データが抽出されるCADデータに対応するCAD画像の一例を示す図であり、(b)は(a)に示すCAD画像を示すCADデータをモデル化した伝送線路を示す図である。

【図10】図8に示すS104の処理のより詳細な処理を示すフローチャートである。

【図11】図10に示すS204の処理の一例を説明するための図である。

【図12】図10に示すS206の処理の一例を説明するための図である。

【図13】第2実施形態に係る情報処理装置を示す図である。

【図14】図13に示す情報処理装置におけるピアモデル生成処理のフローチャートである。

【図15】3次元電磁界解析を使用する第3のモデル化の特徴と、2.5次元電磁界解析を使用する実施形態に係るモデル化の特徴を比較するための図である。

【発明を実施するための形態】

【0011】

以下図面を参照して、本発明に係るピアモデル生成方法、ピアモデル生成プログラム及びピアモデル生成プログラムを実行する情報処理装置について説明する。但し、本発明の技術的範囲はそれらの実施の形態に限定されない。実施形態に係るピアモデル生成プログラムは、2.5次元電磁界解析によりピアをモデル化するとき、キャパシタンス成分はグラウンド導体との間の逃げ距離を使用して算出するのに対し、インダクタンス成分はグラウンドピアとの距離を使用して算出する。実施形態に係るピアモデル生成プログラムは、2.5次元電磁界解析によりピアをモデル化するので、3次元電磁界解析によりピアをモデル化するよりも短時間でピアをモデル化してピアモデルを生成することができる。また、実施形態に係るピアモデル生成プログラムは、ピアのインダクタンス成分の算出は、グラウンドピアとの距離を使用するので、逃げの影響によりインダクタンス成分の算出誤差が大きくなることを防止できる。

【0012】

(関連するピアのモデル化方法について)

実施形態に係るピアモデル生成プログラムについて説明する前に、SI解析等のプリント基板の伝送線路解析に使用されるピアのモデル化方法について説明する。

【0013】

図1(a)は通信速度が低速な基板に形成されるピアの第1のモデル化を示す図であり、図1(b)は通信速度が低速な基板に形成されるピアの第2のモデル化を示す図である。

【0014】

図1(a)に示される第1のモデル化ではピアは単純な容量としてモデル化され、図1(b)に示される第2のモデル化ではピアはLC等価回路としてモデル化される。ピアをLC等価回路としてモデル化する一例は、「Method of Modeling differential Vias Issue: 2.1 Date: Jan. 25, 2011 Lambert Simonovich, Dr. Eric Bogatin, Dr. Yazhi Cao」に記載される。第1のモデル化及び第2のモデル化によりモデル化されたピアは、通信速度が1Gbps以下のときには有用であるが、通信速度が1Gbpsを超えるとSI解析の解析精度が悪くなる。通信速度が10Gbps等である場合等において高精度のSI解析を実現するために、3次元電磁界解析でピアのSパラメータを抽出してモデル化する第3のモデル化により、ピアをモデル化する。

【0015】

図2は、3次元電磁界解析を使用する第3のモデル化の工程を示す図である。

【0016】

まず、オペレータは、円筒形状等のピアの概形等をCADツール等により作成すると共に、ピアの径、差動ピア間隔、逃げ形状等のピアのサイズ等のピア配置情報をピアの概形

10

20

30

40

50

にパラメータとしてGUIを介して入力する(STEP1)。次いで、オペレータの指示に応じて、情報処理装置は、ANSYS社HFSS等の3次元電磁界解析シミュレータを使用して、STEP1で作成されたビアの3次元電磁界解析を実行してビアのSパラメータをビアモデルとして抽出する(STEP2)。そして、オペレータの指示に応じて、情報処理装置は、STEP2で抽出されたSパラメータを使用して、SI解析を実行する(STEP3)。

【0017】

3次元電磁界解析を使用する第3のモデル化によりビアをモデル化することにより、高精度のSI解析が実現される。しかしながら、3次元電磁界解析を使用する第3のモデル化によりビアをモデル化する場合、SI解析のターンアラウンドタイムが長くなるという課題があった。

10

【0018】

図3は、3次元電磁界解析を使用する第3のモデル化の特徴を説明するための図である。

【0019】

3次元電磁界解析を使用する第3のモデル化は、高精度のSI解析が可能になるものの、SI解析のターンアラウンドタイムが長くなるという問題がある。一例では、図2においてSTEP1で示されるSパラメータの生成に3～5時間掛かり、図2においてSTEP2で示される3次元電磁界解析で10時間程度掛かるため、SI解析のターンアラウンドタイムが1日程度になるおそれがある。

20

【0020】

(実施形態に係るビアのモデル化方法について)

実施形態に係るビアのモデル化は、3次元電磁界解析ではなく2.5次元電磁界解析を使用して、ビアを高精度且つ短時間でモデル化するものである。ここで、3次元電磁界解析は電磁界解析対象の形状を立体的にモデル化するものであり、2.5次元電磁界解析は電磁界解析対象の形状を平面的にモデル化するものである。2.5次元は、3次元を張る基底ベクトルの1つの方向、例えばz軸方向の形状や特性は均一であるとして3次元形状を2次元として扱い、解析対象物の実際のz軸方向の特性を簡略化する。一方、3次元は、解析対象物のz軸方向の特性を忠実に模擬するため、2.5次元より精度は高いが、電磁界解析モデルの作成時間が長くなり、2.5次元と比較して電磁界解析の計算量も増加する。

30

【0021】

図4はビアとビアに隣接するグランドビアとの間を電流が流れる状態の電磁界解析を示す図であり、図4(a)は3次元電磁界解析を示し、図4(b)は2.5次元電磁界解析を示す。

【0022】

ビアは、信号層、電源層及びグランド層が多層配線された基板の表面から裏面まで貫通する、または一部の層間を貫く非貫通の導電性の部材であり、ビアの基板の表面及び裏面の周囲には半田を接着するためのランドが形成される。グランドビアは、ビアと同様に基板の表面から裏面まで貫通する、または一部の層間を貫く非貫通の導電性の部材である。グランドビアは、グランド層に形成されるグランド導体と接続される。ここで、グランド導体とビアとの間の空間を逃げ又はクリアランスと称し、グランド導体とビアとの間の距離を逃げ距離と称する。また、ビアとグランドビアとの間の距離は、グランドビア距離と称する。

40

【0023】

図4(a)に示すように、3次元電磁界解析は、グランド層に配置されたグランド導体の形状を反映して、導体の断面形状の表面に分布する電荷、導体表面に与えた電圧から、導体のキャパシタンス成分及びインダクタンス成分を算出する。

【0024】

図4(b)に示すように、2.5次元電磁界解析は、導体の長手方向すなわち電流が流

50

れる方向の特性が均一であるとして、導体の断面形状の表面に分布する電荷、導体表面に与えた電圧から、導体のキャパシタンス成分及びインダクタンス成分を算出する。

【 0 0 2 5 】

2.5次元電磁界解析は、電流が流れる方向の特性が均一であるとして導体のキャパシタンス成分及びインダクタンス成分を算出するため、3次元電磁界解析よりも高速に解析が実行可能である。しかしながら、2.5次元電磁界解析は、電流が流れる方向の特性が均一であるとするため、実際にグランドビアに電流が流れる経路と、解析上グランドビアに電流が流れる経路とが相違するという問題がある。

【 0 0 2 6 】

図5は、2.5次元電磁界解析を使用してビアをモデル化するときの問題点を説明するための図である。図5において、差動ビアは、信号を伝送する伝送線路に組み込まれたビアであり、信号の伝送に応じた電流が流れる。一方、グランドビアは、差動ビアに流れる電流のリターン電流が流れるビアである。

10

【 0 0 2 7 】

2.5次元電磁界解析は、電流が流れる方向の特性が均一であるとするため、グランドビアを流れるリターン電流のリターン経路は、グランド層に形成されるグランド導体の先端部になり、リターン経路とビアとの間の距離は逃げ距離となる。しかしながら、実際のリターン経路は、グランドビアであるので、実際のリターン経路とビアとの間の距離はグランドビアとビアとの間の距離であるグランドビア距離となる。2.5次元電磁界解析では、リターン経路とビアとの間の距離が実際の距離であるグランドビア距離よりも短い逃げ距離になるので、ビアのリアクタンス成分の抽出精度が悪くなる。一方、ビアのキャパシタンス成分は、ビアとの間の距離が逃げ距離であるグランド導体の結合が強く、ビアのキャパシタンス成分の算出にはグランドビアの影響はほとんど影響しない。

20

【 0 0 2 8 】

(実施形態に係るビアモデル生成プログラムの概要)

図6は、実施形態に係るビアモデル生成プログラムの工程を概略的に示す図である。図6に示す例では、差動信号が入力される一对のビアと、一对のビアの外側に離隔して配置される一对のグランドビアが配置される。

【 0 0 2 9 】

まず、情報処理装置は、層厚及び比誘電率を含む層構成、ビアの口径、逃げの形状及びサイズ、並びにグランドビアの位置等を含むビア配置情報を取得する(STEP1)。一例では、情報処理装置は、オペレータの入力に応じてGUIを介して、ビア配置情報を取得する。他の例では、情報処理装置は、記憶部に記憶されるCADデータ及び層構成ライブラリからビア配置情報を取得する。また、情報処理装置は、ビアの口径、逃げの形状及びサイズ、並びにグランドビアの位置等をオペレータの入力に応じてGUIを介して取得し、層厚及び比誘電率を含む層構成を層構成ライブラリから取得してもよい。次いで、情報処理装置は、ビアの口径と逃げの形状及びサイズと基板の比誘電率とを使用した第1の2.5次元電磁界解析によりビアのキャパシタンス成分を算出する(STEP2)。次いで、情報処理装置は、ビアの口径とグランドビアの位置から演算されるグランド距離と基板の比誘電率とを使用した第2の2.5次元電磁界解析によりビアのインダクタンス成分を算出する(STEP3)。

30

40

【 0 0 3 0 】

次いで、情報処理装置は、第1の2.5次元電磁界解析により算出されたキャパシタンス成分、及び第2の2.5次元電磁界解析により算出されたインダクタンス成分により一对のビアをモデル化して、ビアモデルを生成する(STEP4)。一例では、ビアモデルは、Sパラメータとして生成される。他の例では、ビアモデルは、キャパシタンス成分及びインダクタンス成分をHSPICEによるシミュレーションが可能なW-エレメントとして伝送線路のシンボルに割り付けて生成される。そして、一例では、情報処理装置は、STEP4で生成されたビアモデルを出力する(STEP5)。他の例では、情報処理装置は、STEP4で生成されたビアモデルを使用して、ビアを含む伝送線路を伝送する信

50

号の S I 解析を実行する ( S T E P 6 )。

【 0 0 3 1 】

実施形態に係るピアモデル生成プログラムでは、 S T E P 1 ~ S T E P 4 による 2 . 5 次元モデルの作成時間は、 1 分程度であるので、 S パラメータ等のピアモデルを早急に生成することができる。実施形態に係るピアモデル生成プログラムでは、 S パラメータ等のピアモデルを早急に生成することができるので、 S I 解析のターンアラウンドタイムは数分程度と短くすることができる。また、実施形態に係るピアモデル生成プログラムでは、ピアを周波数に依存する有損失の伝送線路モデルとしてモデル化することができる。

【 0 0 3 2 】

( 第 1 実施形態に係る情報処理装置の構成及び機能 )

図 7 は、第 1 実施形態に係る情報処理装置を示す図である。

【 0 0 3 3 】

情報処理装置 1 は、通信部 1 1 と、記憶部 1 2 と、入力部 1 3 と、出力部 1 4 と、処理部 2 0 とを有する。通信部 1 1、記憶部 1 2、入力部 1 3、出力部 1 4 及び処理部 2 0 は、バス 2 0 0 を介して互いに接続される。情報処理装置 1 は、 2 . 5 次元電磁界解析によりピアのキャパシタンス成分をグランド導体との間の逃げ距離を使用して算出し、ピアのインダクタンス成分をグランドピアとの距離を使用して算出するピアモデル生成プログラムを実行する。

【 0 0 3 4 】

通信部 1 1 は、イーサネット ( 登録商標 ) などの有線の通信インターフェース回路を有する。通信部 1 1 は、不図示の L A N を介して他の情報処理装置と通信を行う。

【 0 0 3 5 】

記憶部 1 2 は、例えば、半導体記憶装置、磁気テープ装置、磁気ディスク装置、又は光ディスク装置のうち少なくとも一つを備える。記憶部 1 2 は、処理部 2 0 での処理に用いられるオペレーティングシステムプログラム、ドライバプログラム、アプリケーションプログラム、データ等を記憶する。例えば、記憶部 1 2 は、アプリケーションプログラムとして、ピアモデル生成プログラム等を記憶する。ピアモデル生成プログラムは、例えば C D - R O M、 D V D - R O M 等のコンピュータ読み取り可能な可搬型記録媒体から、公知のセットアッププログラム等を用いて記憶部 1 2 にインストールされてもよい。

【 0 0 3 6 】

また、記憶部 1 2 は、ピアモデル生成プログラムを使用して実行される処理で使用される種々のデータを記憶する。例えば、記憶部 1 2 は、ピアの口径、逃げ径、ランド径、差動ピアを形成する P O S ピアと N E G ピアとの間の距離、ピアの中心を基点としたときのグランドピアの位置等を記憶する。さらに、記憶部 1 2 は、所定の処理に係る一時的なデータを一時的に記憶してもよい。

【 0 0 3 7 】

入力部 1 3 は、データの入力が可能であればどのようなデバイスでもよく、例えば、タッチパネル、キーボード等である。オペレータは、入力部 1 3 を用いて、文字、数字、記号等を入力することができる。入力部 1 3 は、オペレータにより操作されると、その操作に対応する信号を生成する。そして、生成された信号は、オペレータの指示として、処理部 2 0 に供給される。

【 0 0 3 8 】

出力部 1 4 は、映像や画像等の表示が可能であればどのようなデバイスでもよく、例えば、液晶ディスプレイ又は有機 E L ( E l e c t r o - L u m i n e s c e n c e ) ディスプレイ等である。出力部 1 4 は、処理部 2 0 から供給された映像データに応じた映像や、画像データに応じた画像等を表示する。また、出力部 1 4 は、紙などの表示媒体に、映像、画像又は文字等を印刷する出力装置であってもよい。

【 0 0 3 9 】

処理部 2 0 は、一又は複数個のプロセッサ及びその周辺回路を有する。処理部 2 0 は、情報処理装置 1 の全体的な動作を統括的に制御するものであり、例えば、 C P U である。

10

20

30

40

50

処理部 20 は、記憶部 12 に記憶されているプログラム（ドライバプログラム、オペレーティングシステムプログラム、アプリケーションプログラム等）に基づいて処理を実行する。また、処理部 20 は、複数のプログラム（アプリケーションプログラム等）を並列に実行できる。

#### 【0040】

処理部 20 は、信号配線データ抽出部 21 と、配線ビア分離部 22 と、基板配線モデル化部 23 と、ビアモデル化部 24 と、ビアモデル出力部 25 とを有する。ビアモデル化部 24 は、ビア配置情報取得部 241 と、基板情報取得部 242 と、キャパシタンス成分解析データ生成部 243 と、キャパシタンス成分算出部 244 とを有する。ビアモデル化部 24 は、インダクタンス成分解析データ生成部 245 と、インダクタンス成分算出部 246 と、ビアモデル生成部 247 とを更に有する。これらの各部は、処理部 20 が備えるプロセッサで実行されるプログラムにより実現される機能モジュールである。あるいは、これらの各部は、ファームウェアとして情報処理装置 1 に実装されてもよい。

10

#### 【0041】

（第 1 実施形態に係る情報処理装置のビアモデル生成処理）

図 8 は、情報処理装置 1 におけるビアモデル生成処理のフローチャートである。図 8 に示すビアモデル生成処理は、予め記憶部 12 に記憶されているプログラムに基づいて、主に処理部 20 により情報処理装置 1 の各要素と協働して実行される。

#### 【0042】

まず、信号配線データ抽出部 21 は、信号配線データを抽出する（S101）。ビアモデル生成処理で生成されたビアモデルをプリレイアウトシミュレーションで使用する場合、信号配線データは、GUI を介してオペレータによって入力された情報から抽出されてもよい。また、生成されたビアモデルをポストレイアウトシミュレーションで使用する場合、信号配線データは、基板配線の配線幅及び配線ピッチ、並びにビアの形状等の配置配線情報を含むレイアウト情報を示す CAD データから抽出されてもよい。次いで、配線ビア分離部 22 は、S101 の処理で抽出された信号配線データに対応する信号配線を基板配線とビアとに分離する（S102）。次いで、基板配線モデル化部 23 は、S102 の処理で分離された基板配線のそれぞれをキャパシタンス成分及びインダクタンス成分としてモデル化する（S103）。一例では、基板配線モデル化部 23 は、2.5 次元電磁界解析又は 3 次元電磁界解析により基板配線をキャパシタンス成分及びインダクタンス成分としてモデル化する。また、基板配線モデル化部 23 は、モデル化した基板配線のキャパシタンス成分及びインダクタンス成分から S パラメータを生成してもよく、モデル化したキャパシタンス成分及びインダクタンス成分を W - エlement として伝送線路のシンボルに割り付けてもよい。次いで、ビアモデル化部 24 は、S102 の処理で分離されたビアのそれぞれをキャパシタンス成分及びインダクタンス成分としてモデル化してビアモデルを生成する（S104）。ビアモデル化部 24 は、モデル化したキャパシタンス成分及びインダクタンス成分を示すビアモデルを生成する。ビアモデル化部 24 は、モデル化したビアのキャパシタンス成分及びインダクタンス成分から S パラメータを生成してもよく、モデル化したキャパシタンス成分及びインダクタンス成分を W - エlement として伝送線路のシンボルに割り付けてもよい。そして、ビアモデル出力部 25 は、S104 の処理で生成されたビアモデルを出力する（S105）。

20

30

40

#### 【0043】

図 9 (a) は S101 の処理で信号配線データが抽出される CAD データに対応する CAD 画像の一例を示す図であり、図 9 (b) は図 9 (a) に示す CAD 画像を示す CAD データをモデル化した伝送線路を示す図である。

#### 【0044】

図 9 に示す例は、基板は 16 層であり、16 層配線から差動ビアを介して 10 層配線に接続される。10 層配線の下方のビアはスタブである。

#### 【0045】

図 10 は、S104 の処理のより詳細な処理を示すフローチャートである。

50

## 【 0 0 4 6 】

まず、ビア配置情報取得部 2 4 1 は、ビア配置情報を取得する ( S 2 0 1 )。ビア配置情報は、基板に形成されるビアの口径、複数の配線層の何れかに形成されるグランド導体と信号を伝送する差動ビアとの間の逃げ距離、及びビアとグランド導体に接続されたグランドビアとの間のグランドビア距離を含む。また、ビア配置情報は、差動ビアのランド径、差動ビアを形成する P O S ビアと N E G ビアとの間の距離を含む。ビア配置情報は、図 9 ( a ) に示すような配置配線情報を含む C A D データから取得してもよく、オペレータによって G U I に入力された情報から取得されてもよい。ビア配置情報取得部 2 4 1 は、取得したビア配置情報を記憶部 1 2 に記憶されるビア情報テーブルに保存する。

## 【 0 0 4 7 】

次いで、基板情報取得部 2 4 2 は、基板情報を取得する ( S 2 0 2 )。基板情報は、基板の層厚、誘電体である基板材料の比誘電率を含む。基板情報は、記憶部 1 2 に記憶される層構成ライブラリから取得されてもよく、オペレータによって G U I に入力された情報から取得されてもよい。基板情報取得部 2 4 2 は、取得した基板情報を記憶部 1 2 に記憶される基板情報テーブルに保存する。

## 【 0 0 4 8 】

次いで、キャパシタンス成分解析データ生成部 2 4 3 は、ビアの口径と逃げ距離と基板の比誘電率とを含むキャパシタンス成分解析データを生成する ( S 2 0 3 )。キャパシタンス成分解析データ生成部 2 4 3 は、記憶部 1 2 に記憶されるビア情報テーブルからビアの口径及び逃げ距離を取得し、記憶部 1 2 に記憶される基板情報テーブルから基板の比誘電率を取得する。次いで、キャパシタンス成分算出部 2 4 4 は、S 2 0 3 の処理で生成されたキャパシタンス成分解析データを使用した第 1 の 2 . 5 次元電磁界解析によりビアのキャパシタンス成分を算出する ( S 2 0 4 )。

## 【 0 0 4 9 】

図 1 1 は、S 2 0 4 の処理の一例を説明するための図である。

## 【 0 0 5 0 】

図 1 1 に示す例では、逃げの断面形状は円形であるので、キャパシタンス成分解析データ生成部 2 4 3 は、ビアの構造を同軸構造に近似してビアのキャパシタンス成分を算出する。図 1 1 に示す例では、逃げの断面形状は円形であるが、逃げの断面形状は矩形等の他の形状であってもよい。また、図 1 1 に示す例では、逃げは P O S ビア及び N E G ビアのそれぞれに対応して形成されるが、逃げは P O S ビア及び N E G ビアの双方を含むように形成されてもよい。

## 【 0 0 5 1 】

次いで、インダクタンス成分解析データ生成部 2 4 5 は、ビアの口径とグランドビア距離と基板の比誘電率とを含むインダクタンス成分解析データを生成する ( S 2 0 5 )。インダクタンス成分解析データ生成部 2 4 5 は、記憶部 1 2 に記憶されるビア情報テーブルからビアの口径及びグランドビア距離を取得し、記憶部 1 2 に記憶される基板情報テーブルから基板の比誘電率を取得する。次いで、インダクタンス成分算出部 2 4 6 は、S 2 0 5 の処理で生成されたインダクタンス成分解析データを使用した第 2 の 2 . 5 次元電磁界解析によりビアのインダクタンス成分を算出する ( S 2 0 6 )。

## 【 0 0 5 2 】

図 1 2 は、S 2 0 6 の処理の一例を説明するための図である。

## 【 0 0 5 3 】

図 1 2 に示す例では、P O S ビアは P O S グランドビア及び N E G ビアとの間のインダクタンス成分が算出され、N E G ビアは N E G グランドビア及び P O S ビアとの間のインダクタンス成分が算出される。

## 【 0 0 5 4 】

次いで、ビアモデル生成部 2 4 7 は、S 2 0 4 の処理により算出されたキャパシタンス成分、及び S 2 0 6 の処理により算出されたインダクタンス成分によりビアをモデル化してビアモデルを生成する ( S 2 0 7 )。ビアモデル生成部 2 4 7 は、S 2 0 4 の処理によ

10

20

30

40

50

り算出されたキャパシタンス成分、及びS 2 0 6の処理により算出されたインダクタンス成分、及び記憶部 1 2 に記憶される基板情報テーブルから基板の層厚を取得してピアモデルを生成する。

#### 【 0 0 5 5 】

次いで、ピア配置情報取得部 2 4 1 は、S 1 0 2 の処理で分離された全てのピアをモデル化したか否かを判定する ( S 2 0 8 )。ピア配置情報取得部 2 4 1 は、S 1 0 2 の処理で分離された全てのピアをモデル化していないと判定した ( S 2 0 8 - N O ) とき、次のピアのピア配置情報を取得する ( S 2 0 1 )。以降、ピア配置情報取得部 2 4 1 が、S 1 0 2 の処理で分離された全てのピアをモデル化したと判定する ( S 2 0 8 - Y E S ) まで、S 2 0 1 ~ S 2 0 8 の処理が繰り返される。

10

#### 【 0 0 5 6 】

( 第 2 実施形態に係る情報処理装置の構成及び機能 )

図 1 3 は、第 2 実施形態に係る情報処理装置を示す図である。

#### 【 0 0 5 7 】

情報処理装置 2 は、処理部 3 0 を処理部 2 0 の代わりに有することが情報処理装置 1 と相違する。処理部 3 0 は、S I 解析実行部 3 1、及び S I 解析結果出力部 3 2 をピアモデル出力部 2 5 の代わりに有することが処理部 2 0 と相違する。S I 解析実行部 3 1、及び S I 解析結果出力部 3 2 以外の情報処理装置 2 の構成要素の構成及び機能は、同一符号が付された情報処理装置 1 の構成要素の構成及び機能と同一なので、ここでは詳細な説明は省略する。

20

#### 【 0 0 5 8 】

( 第 2 実施形態に係る情報処理装置のピアモデル生成処理 )

図 1 4 は、情報処理装置 2 におけるピアモデル生成処理のフローチャートである。図 1 4 に示すピアモデル生成処理は、予め記憶部 1 2 に記憶されているプログラムに基づいて、主に処理部 3 0 により情報処理装置 1 の各要素と協働して実行される。図 1 4 に示すピアモデル生成処理は、ピアモデルを出力するのではなく、生成されたピアモデルを使用して S I 解析を実行し、実行した S I 解析の解析結果を出力することが、図 8 に示すピアモデル生成処理と相違する。

#### 【 0 0 5 9 】

S 3 0 1 ~ S 3 0 4 の処理は、S 1 0 1 ~ S 1 0 4 の処理と同様なので、ここでは、詳細な説明は省略する。S I 解析実行部 3 1 は、S 3 0 3 の処理でモデル化された基板配線及び S 3 0 4 の処理で生成されたピアモデルを含む伝送線路を伝送する信号の S I 解析を実行する ( S 3 0 5 )。そして、S I 解析結果出力部 2 6 は、S 3 0 5 の処理で実行された S P 解析の解析結果を出力する ( S 3 0 6 )。

30

( 実施形態に係る情報処理装置の作用効果 )

図 1 3 は、3次元電磁界解析を使用する第 3 のモデル化の特徴と、2.5次元電磁界解析を使用する実施形態に係るモデル化の特徴を比較するための図である。

#### 【 0 0 6 0 】

実施形態に係る情報処理装置は、ピアのモデル化において 2.5次元電磁界解析を使用するため、3次元電磁界解析を使用するモデル化と同様に、10 G b p s の高速伝送の S I 解析において使用可能な高精度のモデルを提供することができる。

40

#### 【 0 0 6 1 】

また、実施形態に係る情報処理装置は、ピアのモデル化において 2.5次元電磁界解析によりピアをモデル化するので、3次元電磁界解析によりピアをモデル化するよりも短時間でピアをモデル化することができる。例えば、実施形態に係るピアのモデル化では、3次元モデルは、3次元電磁界解析では 3 ~ 5 時間掛かっていたものが、1分程度で生成することができる。また、実施形態に係るピアのモデル化では、モデル化のための解析時間は、3次元電磁界解析では 10 時間程度掛かっていたものが、5分程度で生成することができる。一例として基板一枚のピア箇所モデリングに要する時間として、高速伝送パターンが 10 本 (ピア種類 2 x 10 本) があるとすると、3次元電磁界解析では、ピアのモデル

50

化は、最大260時間以上掛かかる。一方、実施形態に係る情報処理装置によるモデル化では、GUIによる情報入力又はCADデータからの情報抽出の時間だけなので、ビアのモデル化は、数分で可能である。

【0062】

また、実施形態に係るビアのモデル化では、ビアのインダクタンス成分の算出は、グラウンドピアとの距離を使用するので、逃げの影響によりインダクタンス成分の算出誤差が大きくなることを防止できる。

【0063】

(実施形態に係る情報処理装置の変形例)

図12に示す例では、差動ビアのPOSビア及びNEGビアのそれぞれに単一のグラウンドピアが関連付けられる。しかしながら、差動ビアのPOSビア及びNEGビアのそれぞれに複数のグラウンドピアが関連付けられてもよい。差動ビアのPOSビア及びNEGビアのそれぞれに複数のグラウンドピアが関連付けられることで、ビアをより高精度にモデル化することができる。

10

【0064】

また、情報処理装置1は、SI解析に使用されるが、実施形態に係る情報処理装置は、PI (Power Integrity) 解析、及び電磁波妨害 (electromagnetic interference、EMI) 解析等の他の伝送線路解析に使用されてもよい。

【符号の説明】

【0065】

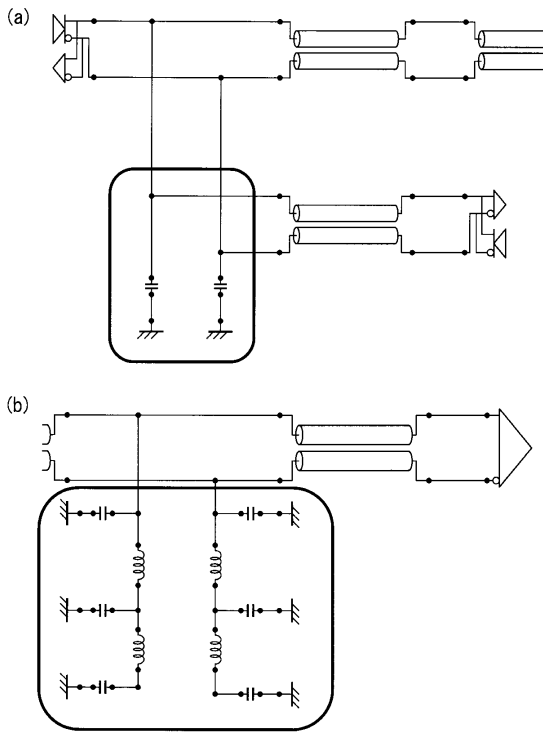
20

- 1 情報処理装置
- 24 ビアモデル化部
- 25 SI解析実行部(解析実行部)
- 241 ビア配置情報取得部
- 242 基板情報取得部
- 243 キャパシタンス成分解析データ生成部
- 244 キャパシタンス成分算出部
- 245 インダクタンス成分解析データ生成部
- 246 インダクタンス成分算出部
- 247 ビアモデル生成部

30

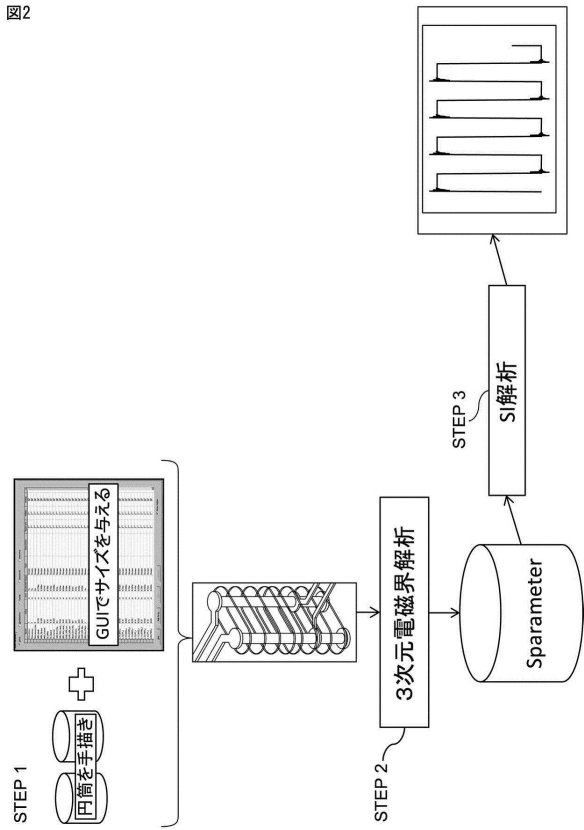
【 図 1 】

図1



【 図 2 】

図2



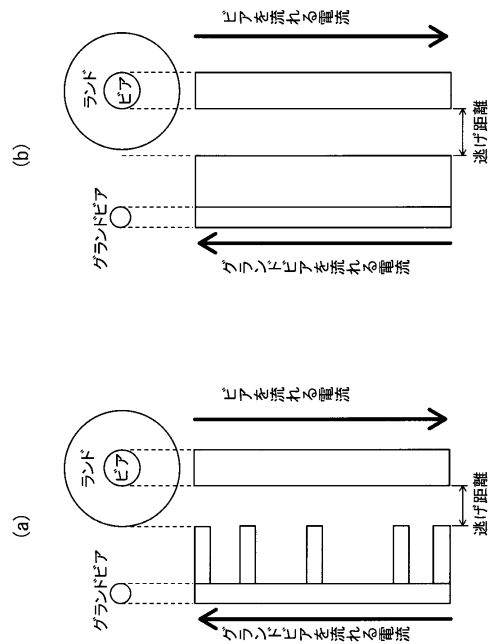
【 図 3 】

図3

	3D電磁界解析
精度	高
SI解析向けビアモデル生成に掛かる時間	遅い (1日)
	S/パラメータ生成 3~5h
	3次元電磁界解析 10h

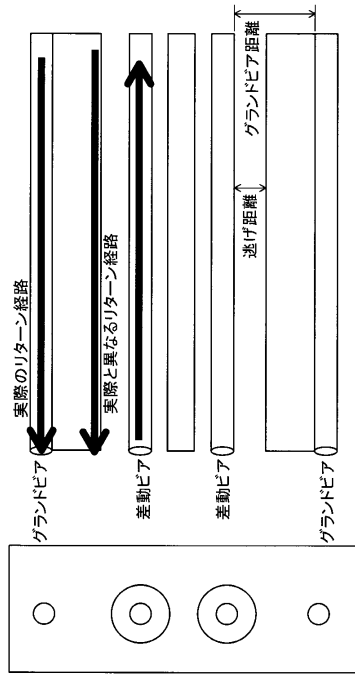
【 図 4 】

図4



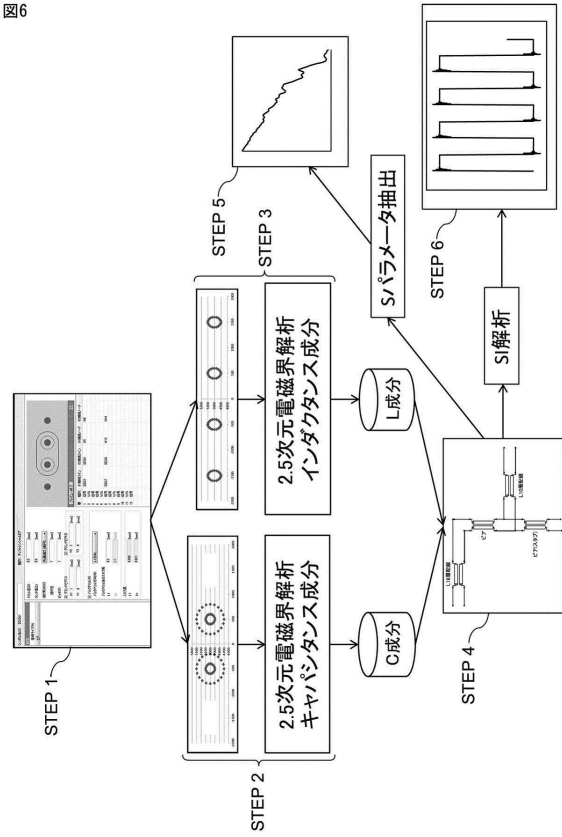
【図5】

図5



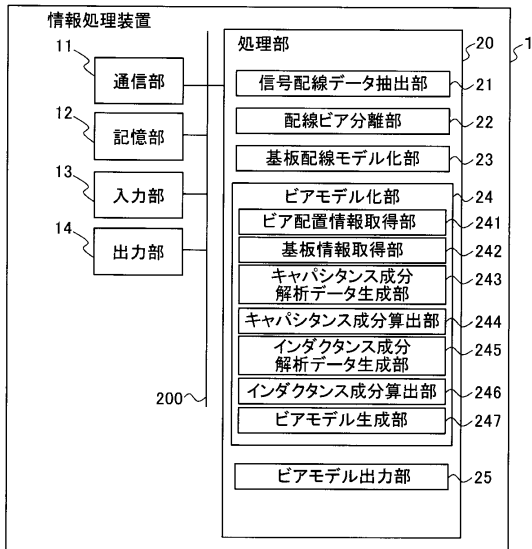
【図6】

図6



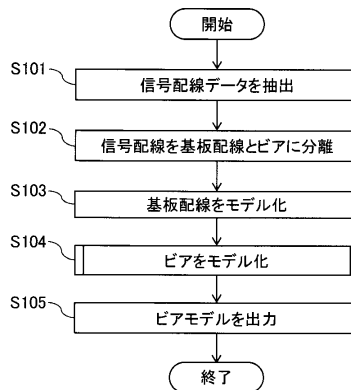
【図7】

図7

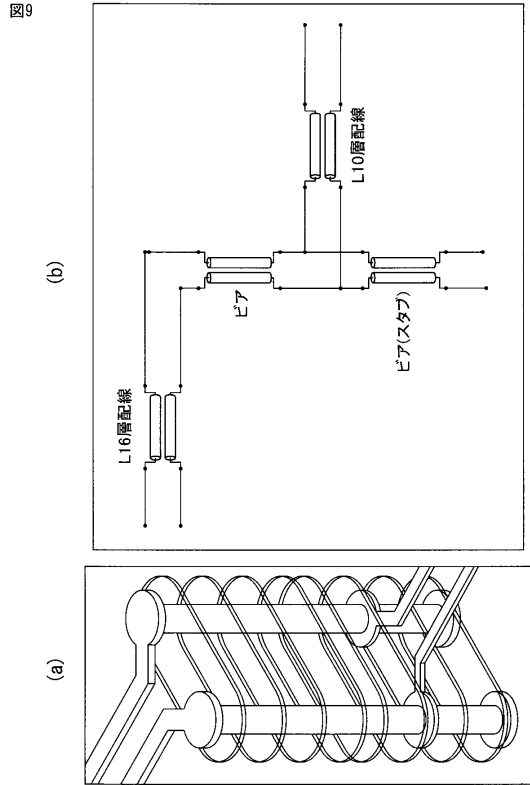


【図8】

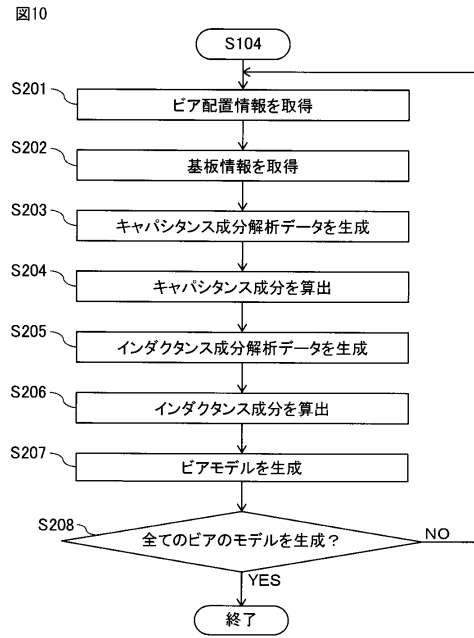
図8



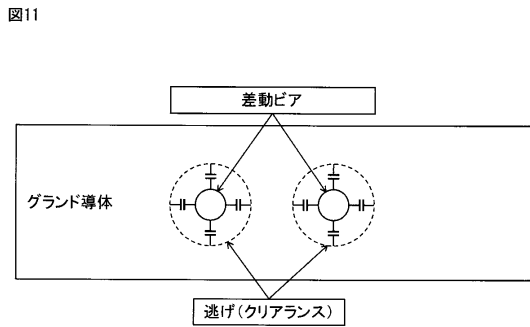
【図9】



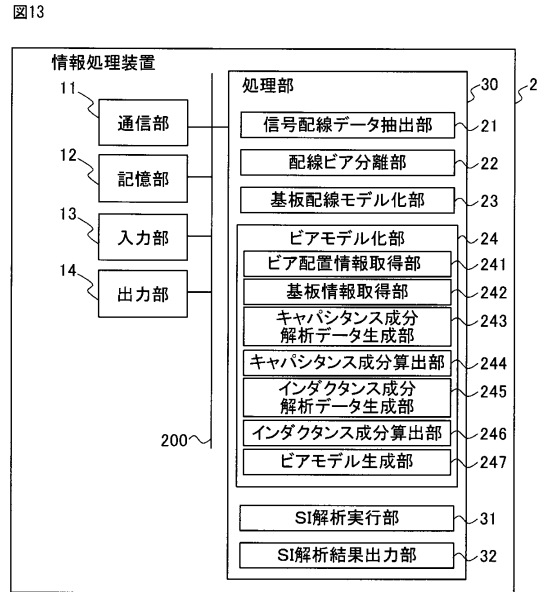
【図10】



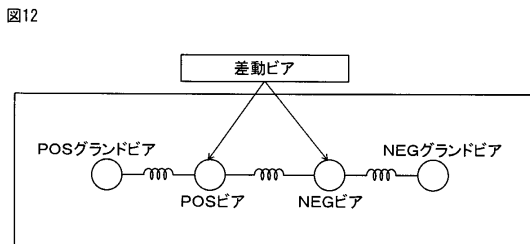
【図11】



【図13】

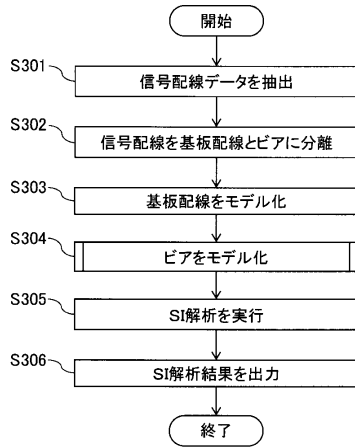


【図12】



【 図 1 4 】

図14



【 図 1 5 】

図15

	3D電磁界解析	2.5D電磁界解析 (本実施形態)
精度	高	高(~10Gbps) 3Dと同程度の精度
SI解析向け ビアモデル生成に 要する時間	遅い (1日)	速い(数分)
	3次元モデル生成 3~5h	2.5次元モデル生成 1min.
	3次元解析時間 10h	2.5次元解析時間 5min.

---

フロントページの続き

- (72)発明者 寺前 久美子  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
- (72)発明者 川田 彦之  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
- (72)発明者 福田 孝志  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
- (72)発明者 田中 恵  
神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内

審査官 堀井 啓明

- (56)参考文献 特開2006-011753(JP,A)  
米国特許出願公開第2012/0215515(US,A1)

- (58)調査した分野(Int.Cl., DB名)  
G06F30/00-30/398