

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

3 132 789

②1 N° d'enregistrement national : 22 01326

⑤1 Int Cl⁸ : H 01 L 21/768 (2022.01), H 01 L 21/336

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 15.02.22.

③0 Priorité :

④3 Date de mise à la disposition du public de la demande : 18.08.23 Bulletin 23/33.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Se reporter à la fin du présent fascicule*

⑥0 Références à d'autres documents nationaux apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : STMICROELECTRONICS (ROUSSET) SAS Société par actions simplifiée — FR.

⑦2 Inventeur(s) : RIVERO Christian et FORNARA Pascal.

⑦3 Titulaire(s) : STMICROELECTRONICS (ROUSSET) SAS Société par actions simplifiée.

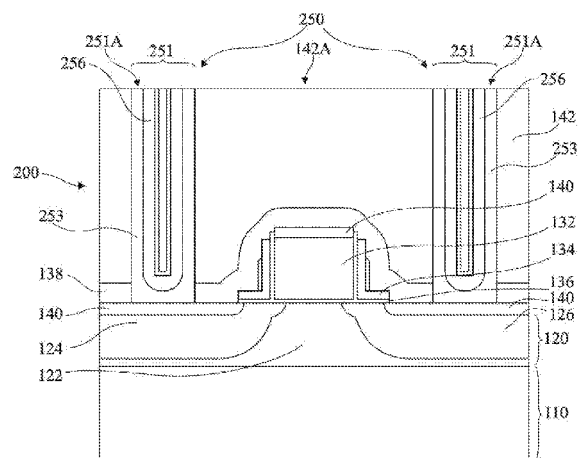
⑦4 Mandataire(s) : CABINET BEAUMONT.

⑤4 Contact pour composant électronique.

⑤7 Contact pour composant électronique

La présente description concerne un procédé de fabrication d'un contact (250) sur une région semiconductrice (124, 126) d'un composant électronique (200), ledit procédé comprenant :- une étape de formation d'un empilement de couches adaptées à être électriquement conductrices sur les parois latérales et au fond d'un orifice (251) traversant une région diélectrique (142) du composant électronique, à partir d'une première surface (142A) de ladite région diélectrique, le fond de l'orifice débouchant au droit de la région semiconductrice, ladite étape de formation comprenant la formation d'une couche (253) de polysilicium et d'une couche d'un premier métal en contact avec la couche de polysilicium, ledit premier métal étant choisi dans le groupe des terres rares, et étant adapté à former avec le polysilicium un siliciure de métal ; puis- une étape de recuit thermique adaptée à faire réagir le premier métal et le polysilicium, conduisant à la formation d'une couche (256) de siliciure de métal comprenant au moins une portion s'étendant dans la direction longitudinale de l'orifice.

Figure pour l'abrégié: Fig. 2G



FR 3 132 789 - A1



Description

Titre de l'invention : *Contact pour composant électronique*

Domaine technique

[0001] La présente description concerne de façon générale les dispositifs électroniques, et plus particulièrement les composants électroniques à base de semiconducteur.

Technique antérieure

[0002] Dans un dispositif électronique tel qu'un circuit intégré, des composants électroniques sont généralement connectés à un premier niveau de métal d'une partie d'interconnexion (connue par la personne du métier sous l'acronyme anglo-saxon "BEOL", Back End Of Line). En particulier, certains composants électroniques tels que des transistors, des diodes, etc., comprennent des régions semiconductrices connectées électriquement au premier niveau de métal. Typiquement, un transistor, par exemple de type MOS, comprend de telles régions semiconductrices de drain, source et/ou de grille. Pour ces régions semiconductrices, la connexion électrique est généralement assurée par un plot électriquement conducteur, ou contact, en contact direct d'une part avec la région semiconductrice et d'autre part avec le premier niveau de métal.

[0003] Il est généralement recherché une résistance la plus faible possible du contact électrique entre la région semiconductrice et le premier niveau de métal.

[0004] Ceci peut être recherché pour des applications dans lesquelles on cherche à minimiser la résistance d'un transistor en tension, connue sous la dénomination "Ron", sans que cela impacte d'autres facteurs de performance du transistor, par exemple la capacité hors tension, connue sous la dénomination "Coff" que l'on peut également chercher à minimiser. En particulier, ceci peut être recherché lorsqu'il devient difficile d'agir sur les paramètres d'un transistor, par exemple sur le canal ou la grille pour minimiser à la fois le Ron et le Coff.

[0005] La minimisation du Ron et du Coff est par exemple recherchée pour des composants électroniques utilisés dans des applications de communication RF (radiofréquence), par exemple pour les technologies de commutation de signaux RF (RF switch) et/ou les modules frontaux d'antennes radio (FEM, Front-End Modules).

Résumé de l'invention

[0006] Il existe un besoin d'un contact électrique entre une région semiconductrice d'un composant électronique et un premier niveau de métal d'une partie d'interconnexion, dont la résistance soit la plus faible possible.

[0007] Un mode de réalisation pallie tout ou partie des inconvénients des contacts de composant électronique connus.

- [0008] Un mode de réalisation prévoit un procédé de fabrication d'un contact sur une région semiconductrice d'un composant électronique, ledit procédé comprenant :
- une étape de formation d'un empilement de couches adaptées à être électriquement conductrices sur les parois latérales et au fond d'un orifice traversant une région diélectrique du composant électronique selon une direction longitudinale, le fond de l'orifice débouchant au droit de la région semiconductrice, ladite étape de formation étant réalisée à partir d'une première surface de ladite région diélectrique et comprenant la formation d'une couche de polysilicium et d'une couche d'un premier métal en contact avec la couche de polysilicium, ledit premier métal étant choisi dans le groupe des terres rares, et étant adapté à former avec le polysilicium un siliciure de métal ; puis
 - une étape de recuit thermique adaptée à faire réagir le premier métal et le polysilicium, conduisant à la formation d'une couche de siliciure de métal comprenant au moins une portion s'étendant dans la direction longitudinale de l'orifice.
- [0009] Selon un mode de réalisation, le composant électronique comprend une couche d'interface de siliciure destinée à former une interface entre ladite région semiconductrice et le contact, le fond de l'orifice débouchant sur ladite couche d'interface de siliciure.
- [0010] Selon un mode de réalisation, l'étape de recuit est réalisée à une température comprise entre 500°C et 850°C, par exemple entre 675°C et 850°C, et/ou pendant une durée comprise entre 30 secondes et 5 minutes.
- [0011] Selon un mode de réalisation, la couche de polysilicium est formée sur les parois latérales et au fond de l'orifice, et la couche du premier métal est formée sur la couche de polysilicium.
- [0012] Selon un mode de réalisation particulier, l'étape de formation comprend en outre la formation d'une couche de barrière de diffusion, après la formation de la couche du premier métal, et sur ladite couche du premier métal.
- [0013] Selon un mode de réalisation particulier, l'étape de formation comprend en outre une étape de remplissage de l'orifice conduisant à la formation d'une couche de remplissage en un deuxième métal, ladite étape de remplissage étant après la formation de la couche du premier métal, par exemple après la formation de la couche de barrière de diffusion.
- [0014] Selon un mode de réalisation, la couche du premier métal est formée sur les parois latérales et au fond de l'orifice, avant la couche de polysilicium.
- [0015] Selon un mode de réalisation particulier, l'étape de formation comprend en outre la formation d'une couche de barrière de diffusion avant la couche du premier métal, et en contact avec ladite couche du premier métal.
- [0016] Selon un mode de réalisation particulier, l'étape de formation comprend en outre la

formation d'une couche d'accroche sur les parois latérales et au fond de l'orifice, avant la couche du premier métal, et en contact avec ladite couche du premier métal, ou avant la couche de barrière de diffusion, et en contact avec ladite couche barrière.

- [0017] Selon un mode de réalisation particulier, l'étape de formation comprend une étape de gravure, au moins au fond de l'orifice, d'une portion de la couche de barrière de diffusion et/ou d'une portion de la couche d'accroche, l'étape de gravure étant avant la formation de la couche du premier métal.
- [0018] Selon un mode de réalisation particulier, la formation de la couche de polysilicium correspond à un comblement de l'orifice.
- [0019] Selon un mode de réalisation, le procédé comprend en outre une étape de planarisation des couches de l'empilement, adaptée à faire affleurer le contact à la première surface de la région diélectrique, l'étape de planarisation comprenant par exemple un polissage mécano-chimique.
- [0020] Un mode de réalisation prévoit un composant électronique comprenant au moins un contact sur au moins une région semiconductrice d'un composant électronique, le contact étant disposé dans un orifice traversant une région diélectrique du composant électronique selon une direction longitudinale à partir d'une première surface de ladite région diélectrique, le fond de l'orifice débouchant au droit de la région semiconductrice, ledit contact comprenant une couche de siliciure de métal comprenant au moins une portion s'étendant dans la direction longitudinale de l'orifice.
- [0021] Selon un mode de réalisation, le composant électronique comprend une couche d'interface de siliciure entre la région semiconductrice et le contact, le fond de l'orifice débouchant sur ladite couche d'interface de siliciure.
- [0022] Selon un mode de réalisation, la couche de siliciure de métal présente une forme de U, comprenant des première et deuxième portions s'étendant dans la direction longitudinale de l'orifice, reliées par une troisième portion au niveau du fond de l'orifice.
- [0023] Selon un mode de réalisation, une portion de la couche de siliciure de métal, par exemple la troisième portion, est en contact direct avec la région semiconductrice ou la couche d'interface de siliciure.
- [0024] Selon un mode de réalisation, le composant électronique comprend, par exemple est, un transistor de type MOS disposé dans et sur un substrat, le transistor comprenant une région semiconductrice de grille recouvrant une région de canal située entre une région semiconductrice dopée de drain et une région semiconductrice dopée de source, au moins un contact étant disposé sur la région semiconductrice de drain, la région semiconductrice de source et/ou la région semiconductrice de grille, une couche d'interface de siliciure étant par exemple intercalée entre ladite région semiconductrice et le contact.
- [0025] Selon un mode de réalisation :

- le premier métal est choisi parmi : le titane, le cobalt, le platine, le nickel, le tungstène ;
- le deuxième métal est le tungstène ou le cuivre ;
- le siliciure de métal est un siliciure de titane, un siliciure de cobalt, ou un siliciure de nickel ;
- le troisième métal est du titane, du cobalt ou du nickel ; et/ou
- la couche de barrière de diffusion comprend du nitrure de titane et/ou une bicouche tantale/nitrure de tantale.

[0026] Un mode de réalisation prévoit un dispositif électronique comprenant au moins un composant électronique selon un mode de réalisation.

[0027] Selon un mode de réalisation, ledit dispositif est un commutateur de signaux radio-fréquences.

Brève description des dessins

[0028] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0029] la [Fig.1A] est une vue en coupe d'un exemple de composant électronique ;

[0030] la [Fig.1B] représente schématiquement un détail en coupe d'un contact d'un composant électronique similaire au composant de la [Fig.1A] ;

[0031] la [Fig.2A], la [Fig.2B], la [Fig.2C], la [Fig.2D], la [Fig.2E], et la [Fig.2F] sont des vues en coupe représentant des étapes d'un procédé de fabrication d'un contact selon un mode de réalisation ;

[0032] la [Fig.2G] représente un composant électronique en coupe comprenant deux contacts obtenus par le procédé de fabrication des figures 2A à 2F ;

[0033] la [Fig.3A], la [Fig.3B], la [Fig.3C], la [Fig.3D], la [Fig.3E] et la [Fig.3F] sont des vues en coupe représentant des étapes d'un procédé de fabrication d'un contact selon un autre mode de réalisation ;

[0034] la [Fig.4A], la [Fig.4B], la [Fig.4C] et la [Fig.4D] sont des vues en coupe représentant des étapes d'un procédé de fabrication d'un contact selon un autre mode de réalisation ; et

[0035] la [Fig.4E] représente un composant électronique en coupe comprenant deux contacts obtenus par le procédé de fabrication des figures 4A à 4D.

Description des modes de réalisation

[0036] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

- [0037] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, les étapes de fabrication et les détails des éléments d'un composant électronique (autres que les contacts concernés par les modes de réalisation), tels que le drain, la source, le canal, et la grille pour un transistor MOS, ne sont pas détaillés, étant réalisables avec les procédés usuels de fabrication de composants électroniques.
- [0038] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0039] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures ou à un composant électronique dans une position normale d'utilisation.
- [0040] Dans la description qui suit, lorsqu'on fait référence à la direction longitudinale de l'orifice, il faut comprendre la direction selon laquelle l'orifice traverse la région diélectrique, ou, dit autrement, la direction correspondant à la profondeur de l'orifice.
- [0041] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0042] La [Fig.1A] est une coupe d'un exemple de composant électronique 100. La [Fig.1B] représente schématiquement et en coupe un détail d'un contact d'un composant électronique similaire au composant de la [Fig.1B].
- [0043] Le composant électronique représenté comprend, ou est, un transistor de type MOS. Le transistor est situé dans et sur un substrat 120. Le substrat est un semiconducteur, de préférence en silicium. On a représenté sous le substrat une couche d'isolant 110, par exemple une couche connue par la personne du métier sous l'acronyme anglo-saxon "BOX" (buried oxide), ou couche d'oxyde enterré. Par exemple le substrat est un film de silicium sur le BOX, lui-même sur un autre substrat de silicium, selon une technologie SOI (Silicium On Insulator en anglais).
- [0044] Le transistor comprend une région de grille 132 recouvrant une région de formation de canal 122 située entre deux régions semiconductrices dopées, respectivement le drain 124 et la source 126. Ces régions semiconductrices sont connectées à un premier niveau de métal 162 d'une partie d'interconnexion 160 avec des plots électriquement conducteurs, ou contacts 150. Dit autrement, un contact est relié, de préférence connecté, d'une part avec la région semiconductrice et d'autre part avec le premier

niveau de métal. Bien que cela ne soit pas représenté, on peut également prévoir un contact entre le premier niveau de métal et la région de grille.

- [0045] La région de grille 132 est généralement en polysilicium (silicium polycristallin). Elle peut être flanquée par une région latérale isolante ou espaceur 134. En outre, la région de grille est généralement isolée du canal et/ou de l'espaceur par une couche d'oxyde de grille 136.
- [0046] Le transistor est de préférence délimité par des tranchées d'isolement (non représentées), typiquement du type tranchée d'isolation superficielle, connues par la personne du métier sous l'acronyme anglo-saxon "STI" (Shallow Trench Isolation). De telles tranchées peuvent résulter d'une gravure et d'un remplissage, par un isolant électrique, des parties gravées. L'isolant est par exemple un oxyde tel qu'un oxyde de silicium.
- [0047] On peut prévoir de former une couche de siliciure de métal 140 (désigné "siliciure") à l'interface entre la région semiconductrice 122, 124 et le contact 150. Une telle couche de siliciure permet de réduire fortement la valeur de la résistance électrique d'accès du contact, c'est-à-dire la résistance entre la région semiconductrice et le contact. Par exemple, comme illustré en [Fig.1A], les régions de drain, de source, voire de grille, peuvent comporter des parties en siliciure de métal en regard des contacts pour permettre de réduire la résistance d'accès.
- [0048] En outre, comme illustré en [Fig.1A], une couche d'arrêt de gravure 138, typiquement en nitrure de silicium (SiN), pour la future gravure du contact, peut être disposée sur les régions de drain, de source et de grille, et notamment sur les couches de siliciure. La couche d'arrêt de gravure est surmontée par une région en un matériau diélectrique 142, par exemple un matériau diélectrique connu par la personne du métier sous l'acronyme anglo-saxon "PMD" (Pre Metal Dielectrique). Selon un exemple, le PMD est du dioxyde de silicium (SiO₂) plus ou moins dopé.
- [0049] Un exemple de procédé de fabrication d'un contact, comprenant la formation préalable d'une couche d'interface en siliciure de métal est le suivant, est décrit en reprenant les références numériques des figures 1A et 1B.
- [0050] Après un recuit des régions semiconductrices concernées, par exemple une région de source et/ou une région de drain, effectué par exemple à 1030°C pendant quelques secondes, on protège avec un masque spécifique, généralement formé d'une bicouche d'oxyde de silicium et de nitrure de silicium, les régions qui ne doivent pas être siliciurées.
- [0051] Puis, on effectue un dépôt pleine plaque d'une bicouche cobalt/nitrure de titane (Co/TiN). On procède ensuite à un premier traitement thermique rapide (recuit rapide), typiquement à 530°C pendant quelques secondes, de façon à former du mono-siliciure de cobalt (CoSi). Un tel traitement thermique rapide est connu par la personne du

métier sous l'acronyme anglo-saxon "RTP" (Rapid Thermal Processing).

- [0052] On retire ensuite la bicouche Co/TiN, et on procède à un recuit de densification, typiquement à 830°C pendant quelques secondes, ce qui conduit à transformer le mono siliciure de cobalt en di-siliciure de cobalt (CoSi_2) formant la couche de siliciure 140 sur chaque région semiconductrice, puis on effectue un dépôt d'une couche d'arrêt 138 pour la future gravure du contact, par exemple du nitrure de silicium (SiN).
- [0053] Puis, on forme une région diélectrique 142 à l'aide d'un matériau diélectrique, par exemple un PMD, sur la couche d'arrêt 138.
- [0054] On procède ensuite à une gravure d'un orifice traversant 151 dans la région diélectrique 142 de façon à former l'emplacement du futur contact électrique. De préférence, l'orifice traverse la couche d'arrêt 138 jusqu'à la couche de siliciure 140 (CoSi_2).
- [0055] On dépose sur les parois latérales et au fond de l'orifice (sur la couche de siliciure) une couche de titane (Ti) 152 puis une couche de nitrure de titane (TiN) 154 formant couche barrière de diffusion. Ensuite, on comble l'orifice avec un métal de remplissage 156, par exemple en tungstène (W).
- [0056] Un premier niveau de métal 162 de la partie d'interconnexion 160 peut alors être formé sur chaque contact, par exemple des plots en cuivre (Cu) ou en aluminium (Al), lesdits plots en métal étant isolés par un matériau diélectrique 164, par exemple un oxyde de silicium contenant du carbone (SiOC), ou un phosphore de silicium connu sous l'abréviation anglo-saxonne "PSG" (Phospho-Silicon Glass). Une couche d'arrêt de gravure 166, par exemple un nitrure de carbone et silicium (SiCN), peut être prévue avant de former le premier niveau de métal, en prévision de la gravure (du métal ou du diélectrique selon le procédé mis en œuvre) pour former ledit premier niveau de métal dans le matériau diélectrique de la partie d'interconnexion.
- [0057] Concernant le contact 150 formé par ce procédé, et en particulier l'interface entre la région semiconductrice siliciurée et le contact, on constate que les couches 152, 154 respectivement en Ti et TiN sont intercalées entre la couche de siliciure et le tungstène, ce qui augmente la résistance d'accès du contact. En outre, en ajoutant la résistance du tungstène, la résistance globale du contact entre la région semiconductrice siliciurée et le premier niveau de métal reste importante du fait de l'empilement de résistances des couches 152, 154, 156 respectivement en Ti, TiN et W.
- [0058] Les inventeurs proposent un contact sur une région semiconductrice et un procédé de fabrication d'un tel contact permettant de répondre aux besoins d'amélioration décrits précédemment, et de pallier tout ou partie des inconvénients des contacts décrits précédemment. En particulier, les inventeurs proposent un contact et un procédé de fabrication d'un tel contact permettant de diminuer la résistance d'accès, ainsi que la résistance globale dudit contact.

- [0059] Des modes de réalisation de contacts vont être décrits ci-après. Les modes de réalisation décrits sont non limitatifs et diverses variantes apparaîtront à la personne du métier à partir des indications de la présente description.
- [0060] Dans les modes de réalisation décrits, le contact est un contact électrique d'un composant électronique, par exemple un transistor de type MOS tel que celui décrit en relation avec les figures 1A et 1B. Le contact est de préférence formé sur une région semiconductrice siliciurée, c'est-à-dire surmontée d'une couche d'interface de siliciure, par exemple une région de source et/ou une région de drain, voire une région de grille.
- [0061] En outre, la structure de départ des modes de réalisation décrits est une structure issue d'un procédé de fabrication d'un orifice traversant pour l'emplacement du futur contact sur la région semiconductrice, avec formation préalable d'une couche d'interface de siliciure sur ladite région semiconductrice. Par exemple, la structure de départ peut être une structure issue d'un procédé similaire à celui décrit en relation avec les figures 1A et 1B jusqu'à l'étape (incluse) de gravure de l'orifice dans la région diélectrique 142. L'orifice 251 traverse la couche d'arrêt 138 pour déboucher sur la couche d'interface de siliciure 140.
- [0062] Dans les modes de réalisation représentés, la direction longitudinale de l'orifice correspond sensiblement à la verticale.
- [0063] Les figures 2A à 2F sont des vues en coupe représentant un procédé de fabrication d'un contact 250 selon un mode de réalisation.
- [0064] La [Fig.2A] représente la structure obtenue à l'issue du dépôt d'une couche 253 de polysilicium sur la structure de départ, et en particulier sur les parois latérales 251C et au fond 251B de l'orifice 251. Ce dépôt peut, par exemple, être réalisé en utilisant une technique de dépôt chimique en phase vapeur, connue sous l'acronyme anglo-saxon "CVD" (Chemical Vapor Deposition), ou par épitaxie. A titre d'exemple, la couche 253 présente une épaisseur uniforme d'environ 50 nanomètres (nm).
- [0065] La [Fig.2B] représente la structure obtenue à l'issue du dépôt d'une couche 254 de titane (Ti) (premier métal) sur la couche 253 puis d'une couche 255 de nitrure de titane (TiN) sur la couche 254. Ainsi la couche 254 de titane est en contact avec la couche 253 de polysilicium. Ces dépôts peuvent, par exemple, être réalisés en utilisant une technique CVD, ou une technique de dépôt physique en phase vapeur, connue sous l'acronyme anglo-saxon "PVD" (Physical Vapor Deposition).
- [0066] La couche 255 de TiN forme une couche barrière, adaptée à limiter, voire bloquer, la diffusion du métal de remplissage (décrit ci-après) dans le Ti.
- [0067] A titre d'exemple, la couche 254 de Ti présente une épaisseur uniforme d'environ 35 nm, et la couche 255 de TiN présente une épaisseur uniforme d'environ 15 nm.
- [0068] Les couches 253, 254, 255 comprennent généralement des portions qui débordent à

l'extérieur de l'orifice 251 sur la surface supérieure 142A (première surface) de la région diélectrique 142.

- [0069] La [Fig.2C] représente la structure obtenue à l'issue d'une étape de remplissage de l'orifice revêtu des couches 253, 254, 255 par un métal de remplissage (deuxième métal), par exemple en tungstène (W). Alternativement au tungstène, le métal de remplissage (deuxième métal) peut être du cuivre.
- [0070] Cette étape de remplissage peut, par exemple, être réalisée en utilisant une technique CVD ou une technique de dépôt de couches atomiques, en anglais ALD, Atomic Layer Deposition).
- [0071] Cette étape de remplissage conduit à la formation d'une couche 257 comprenant une portion sensiblement verticale de métal de remplissage dans l'orifice 251, en contact avec la couche 255 de TiN. En outre, une portion sensiblement horizontale de la couche de métal de remplissage peut recouvrir les portions des couches 253, 254, 255 qui débordent à l'extérieur de l'orifice 251.
- [0072] La [Fig.2D] représente la structure obtenue à l'issue d'une étape de traitement thermique rapide (recuit rapide), pour faire réagir le polysilicium de la couche 253 avec le titane de la couche 254, conduisant à la formation d'une couche continue 256 de siliciure de titane ($TiSi_2$) qui s'étend entre le résidu non consommé de la couche 253 de polysilicium et la couche 255 de TiN.
- [0073] Le traitement peut, par exemple, être réalisé à 675 °C pendant 30 secondes et sous diazote (N_2).
- [0074] L'ordre des étapes de remplissage et de traitement thermique peut être inversée. En d'autres termes, l'étape de remplissage peut être prévue après l'étape de traitement thermique.
- [0075] La [Fig.2E] représente la structure obtenue à l'issue d'une étape de retrait des portions des couches 253, 254, 255, de la couche 257 de métal de remplissage et de la couche 256 de siliciure de titane, qui s'étendent au-dessus de l'orifice 251 et au-dessus de la surface supérieure 142A de la région diélectrique 142, de façon à former un contact métallique 250 affleurant à la surface supérieure 142A de la région diélectrique 142. Cette étape de retrait (planarisation) peut s'effectuer de façon classique par polissage mécano-chimique, connu sous l'acronyme anglo-saxon "CMP" (Chemical Mechanical Polishing).
- [0076] Après cette étape de planarisation, la couche 256 de siliciure de titane présente une forme de U, c'est à dire comprend des première et deuxième portions verticales 256A, 256B reliées par une troisième portion horizontale 256C.
- [0077] La [Fig.2F] représente la structure obtenue à l'issue d'une étape de formation d'un premier niveau de métal 162 de la partie d'interconnexion 160, formé sur le contact 250, étape qui peut être similaire à celle décrite en relation avec les figures 1A et 1B.

- [0078] Bien que le procédé soit décrit pour une seule région semiconductrice, le procédé peut être mis en oeuvre pour réaliser, de préférence simultanément, des contacts sur plusieurs régions semiconductrices d'un composant électronique.
- [0079] La [Fig.2G] représente un composant électronique 200 comprenant deux contacts 250 obtenus par le procédé de fabrication des figures 2A à 2F.
- [0080] Le composant électronique 200 de la [Fig.2G] diffère du composant électronique de la [Fig.1A] principalement par ses contacts 250. En effet, chacun des contacts 250 du composant électronique 200 présente une couche continue de siliciure 256 (TiSi_2 dans le mode représenté) en forme de U, affleurant à l'embouchure supérieure 251A de l'orifice 251 et s'étendant pratiquement jusqu'au fond 251B dudit orifice, à l'épaisseur de la couche 253 de polysilicium près. La résistance du siliciure de titane étant d'environ au moins deux fois inférieure à celle du tungstène, cette couche continue de siliciure permet de réduire de manière importante la résistance d'accès, et la résistance globale, du contact.
- [0081] En ajustant l'épaisseur initiale de la couche de polysilicium, en particulier l'épaisseur de polysilicium au fond de l'orifice, de manière à ce qu'une majeure partie de, voire toute, l'épaisseur de polysilicium au fond de l'orifice soit consommée à l'issue de l'étape de traitement pour former le siliciure, la couche 256 de siliciure peut venir au plus près de, voire en contact avec, la couche d'interface de siliciure 140 sur la région semiconductrice 124, 126, ce qui peut réduire davantage la résistance d'accès et la résistance globale du contact.
- [0082] Les autres éléments du composant électronique 200 peuvent être similaires à ceux décrits en relation avec les figures 1A et 1B.
- [0083] Les figures 3A à 3F sont des vues en coupe représentant un procédé de fabrication d'un contact 350 selon un autre mode de réalisation.
- [0084] La [Fig.3A] représente la structure obtenue à l'issue du dépôt d'une première couche 352 de Ti (troisième métal) sur la structure de départ, et en particulier sur les parois latérales 351C et au fond 351B de l'orifice 351. Cette couche forme une couche d'accroche, permettant l'accroche de l'empilement de couches décrit plus après sur la région diélectrique 142 dans l'orifice.
- [0085] La [Fig.3B] représente la structure obtenue à l'issue du dépôt d'une couche 355 de TiN sur la couche d'accroche 352 en Ti. Cette couche 355 de TiN forme une couche barrière adaptée à limiter, voire bloquer, l'oxydation en surface du titane, et éviter ainsi la formation d'oxyde de titane qui pourrait bloquer la réaction entre le titane et le polysilicium décrite ci-après.
- [0086] La [Fig.3C] représente la structure obtenue à l'issue du dépôt d'une deuxième couche 354 de Ti (couche du premier métal) sur la couche barrière 355.
- [0087] Les dépôts de ces trois couches peuvent, par exemple, être réalisés en utilisant une

technique CVD ou une technique PVD.

- [0088] A titre d'exemple, la couche d'accroche 352 présente une épaisseur uniforme d'environ 15 nm, la couche barrière 355 présente une épaisseur uniforme d'environ 15 nm, et la couche du premier métal 354 présente une épaisseur uniforme d'environ 35 nm.
- [0089] Les couches 352, 355, 354 comprennent généralement des portions qui débordent à l'extérieur de l'orifice 351 sur la surface supérieure 142A (première surface) de la région diélectrique 142.
- [0090] La [Fig.3D] représente la structure obtenue à l'issue d'une étape de remplissage (comblement) en polysilicium de l'orifice revêtu des couches 352, 355, 354. Le remplissage en polysilicium peut être réalisé en utilisant par exemple par une technique CVD ou par épitaxie.
- [0091] Cette étape de remplissage conduit à la formation d'une couche 353 de polysilicium ayant une portion sensiblement verticale dans l'orifice 351, en contact avec la deuxième couche 354 de Ti (couche du premier métal). En outre, une portion sensiblement horizontale de la couche 353 de polysilicium peut recouvrir les portions des couches 352, 355, 354 qui débordent à l'extérieur de l'orifice 351.
- [0092] La [Fig.3E] représente la structure obtenue à l'issue d'une étape de traitement thermique rapide (recuit rapide) permettant de faire réagir le polysilicium de la couche 353 avec le titane de la couche 354, conduisant à la formation d'une couche continue 356 de siliciure de titane ($TiSi_2$) qui s'étend entre le résidu non consommé de la couche 353 de polysilicium et la couche barrière 355 de TiN.
- [0093] Le traitement peut par exemple être réalisé à 675°C pendant 30 secondes et sous N_2 .
- [0094] La [Fig.3F] représente la structure obtenue à l'issue d'une étape de retrait des portions des couches 352, 355, 354, de la couche 353 de polysilicium et de la couche 356 de siliciure de titane qui s'étendent au-dessus de l'orifice 351 et au-dessus de la surface supérieure 142A de la région diélectrique 142, de façon à former un contact métallique 350 affleurant à la surface supérieure 142A de la région diélectrique 142. Cette étape de retrait (planarisation) peut s'effectuer de façon classique par polissage mécano-chimique (CMP).
- [0095] Après cette étape de planarisation, la couche 356 de siliciure de titane présente une forme de U, c'est à dire comprend des première et deuxième portions verticales 356A, 356B reliées par une troisième portion horizontale 356C.
- [0096] Similairement à ce qui est décrit en relation avec la [Fig.2F], un premier niveau de métal de la partie d'interconnexion peut être formé sur le contact 350.
- [0097] Le mode de réalisation des figures 3A-3F peut permettre de diminuer davantage la résistance d'accès par rapport à celui des figures 2A-2F.
- [0098] Les figures 4A à 4D sont des vues en coupe représentant un procédé de fabrication

d'un contact 450 selon un autre mode de réalisation.

- [0099] On part d'une structure similaire à la structure de la [Fig.3B], avec une couche d'accroche 452 de Ti (troisième métal) et une couche barrière 455 de TiN, puis on vient graver des portions de couches 452, 455 localisées au fond 451B de l'orifice 451 et sur les surfaces planes de part et d'autre dudit orifice, par exemple par gravure plasma de manière à accéder à la couche d'interface de siliciure 140. Selon un exemple, la gravure est anisotrope. La [Fig.4A] représente la structure obtenue à l'issue de cette étape de gravure.
- [0100] La [Fig.4B] représente la structure obtenue à l'issue du dépôt d'une deuxième couche 454 de Ti (couche du premier métal), similairement à la couche décrite en relation avec la [Fig.3C], à ceci près que, du fait de la gravure, cette deuxième couche 454 de Ti vient jusqu'au fond 451B de l'orifice 451, en contact avec la couche d'interface de siliciure 140 sur la région semiconductrice 124, et sur la surface supérieure 142A de la région diélectrique 142.
- [0101] La [Fig.4C] représente la structure obtenue à l'issue d'une étape de remplissage en polysilicium de l'orifice 451, conduisant à la formation d'une couche 453 de polysilicium comprenant une portion sensiblement verticale dans l'orifice 451 en contact avec la deuxième couche 454 de Ti. Le remplissage est similaire à celui décrit en relation avec la [Fig.3D].
- [0102] La [Fig.4D] représente la structure obtenue à l'issue d'une étape de traitement thermique rapide (recuit rapide) permettant de faire réagir le polysilicium de la couche 453 avec le titane de la couche 454, conduisant à la formation d'une couche continue 456 de siliciure de titane ($TiSi_2$) qui s'étend sensiblement en forme de U, avec des première et deuxième portions verticales 456A, 456B reliées par une troisième portion horizontale 456C. Cette troisième portion horizontale 456C est en contact direct avec la couche d'interface de siliciure 140 sur la région semiconductrice 124, ce qui permet de réduire davantage la résistance d'accès du contact.
- [0103] Le traitement thermique peut être similaire à celui décrit en relation avec la [Fig.3E].
- [0104] Ensuite, similairement à ce qui est décrit en relation avec la [Fig.3F], une étape de retrait des portions de la couche 454, de la couche 453 de polysilicium et de la couche 456 de siliciure de titane qui s'étendent au-dessus de l'orifice 451 et/ou au-dessus de la surface supérieure 142A de la région diélectrique 142 est réalisée, de façon à former un contact métallique 450 affleurant à la surface supérieure 142A de la région diélectrique 142.
- [0105] Le mode de réalisation des figures 4A-4D peut permettre de diminuer encore davantage la résistance d'accès par rapport à celui des figures 3A-3F.
- [0106] La [Fig.4E] représente un composant électronique 400 comprenant deux contacts 450 obtenus par le procédé de fabrication des figures 4A à 4D.

- [0107] Chacun des contacts 450 présente une couche continue 456 de siliciure (TiSi_2 dans le mode représenté) en forme de U, affleurant à l'embouchure supérieure 451A de l'orifice 451 et s'étendant jusqu'au fond 451B dudit orifice, en contact avec la couche d'interface de siliciure 140 sur la région semiconductrice 124, 126. Ceci permet de réaliser une continuité électrique entre les siliciures, et ainsi de réduire davantage la résistance d'accès du contact, et la résistance globale du contact jusqu'au premier niveau de métal.
- [0108] On a représenté dans les figures 2A à 2F, 3A à 3F, 4A à 4D une région de drain 124, mais cela pourrait être une région de source et/ou une région de grille.
- [0109] Pour les modes de réalisation décrits, et plus généralement pour un contact et un procédé de fabrication d'un contact selon un mode de réalisation, le premier métal peut, alternativement au titane, être un autre élément de terre rare, par exemple du cobalt (Co), ou encore du nickel (Ni) ou du platine (Pt). La couche barrière de diffusion peut, alternativement au Ti/TiN, être une bicouche tantale/nitride de tantale (Ta/TaN), ou toute autre couche ou multicouche adaptée à former une barrière de diffusion. Le troisième métal, pour la couche d'accroche peut, alternativement au Ti, être du tantale (Ta) ou du Ni.
- [0110] Selon le premier métal choisi, le siliciure formé par la réaction avec le polysilicium peut être un siliciure de titane, un siliciure de cobalt, ou un siliciure de nickel.
- [0111] Dans les modes de réalisation décrits, le composant électronique considéré est un transistor MOS, mais ceci n'est pas limitatif, les modes de réalisation décrits pouvant s'appliquer à un autre type de transistor ou plus largement à tout autre composant électronique comprenant une région semiconductrice destinée à être connectée électriquement par l'intermédiaire d'un contact.
- [0112] Il ressort de la description que les modes de réalisation permettent de diminuer la résistance globale du contact entre la région semiconductrice siliciurée sur laquelle il est formé et le premier niveau de métal.
- [0113] Ainsi, par exemple, les modes de réalisation permettent de minimiser le R_{on} d'un transistor, sans que cela impacte d'autres facteurs de performance du transistor, par exemple sans que cela impacte le Coff. En outre, cet effet peut se cumuler avec d'autres améliorations pour minimiser le R_{on} et/ou le Coff, par exemple avec des améliorations apportées à la structure même du transistor.
- [0114] Les modes de réalisation peuvent trouver des applications pour des composants électroniques utilisés dans des applications de communication RF (radiofréquence), par exemple pour des technologies de commutation de signaux RF (RF switch) et/ou des modules frontaux d'antennes radio (FEM, Front-End Modules). En particulier pour les RF switch, il est avantageux de réduire la résistance d'accès des contacts.
- [0115] Divers modes de réalisation et variantes ont été décrits. La personne du métier

comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier.

[0116] Enfin, la mise en oeuvre pratique des modes de réalisation et variantes décrits est à la portée de la personne du métier à partir des indications fonctionnelles données ci-dessus.

Revendications

- [Revendication 1] Procédé de fabrication d'un contact (250 ; 350 ; 450) sur une région semiconductrice (124, 126) d'un composant électronique (200 ; 300 ; 400), ledit procédé comprenant :
- une étape de formation d'un empilement de couches adaptées à être électriquement conductrices sur les parois latérales (251C ; 351C ; 451C) et au fond (251B ; 351B ; 451B) d'un orifice (251 ; 351 ; 451) traversant une région diélectrique (142) du composant électronique selon une direction longitudinale, le fond de l'orifice débouchant au droit de la région semiconductrice (124, 126), ladite étape de formation étant réalisée à partir d'une première surface (142A) de ladite région diélectrique et comprenant la formation d'une couche (253 ; 353 ; 453) de polysilicium et d'une couche (254 ; 354 ; 454) d'un premier métal en contact avec la couche de polysilicium, ledit premier métal étant choisi dans le groupe des terres rares, et étant adapté à former avec le polysilicium un siliciure de métal ; puis
 - une étape de recuit thermique adaptée à faire réagir le premier métal et le polysilicium, conduisant à la formation d'une couche (256 ; 356 ; 456) de siliciure de métal comprenant au moins une portion (256A, 256B ; 356A, 356B ; 456A, 456B) s'étendant dans la direction longitudinale de l'orifice.
- [Revendication 2] Procédé selon la revendication 1, dans lequel le composant électronique comprend une couche d'interface de siliciure (140) destinée à former une interface entre ladite région semiconductrice et le contact (250 ; 350 ; 450), le fond (251B ; 351B ; 451B) de l'orifice (251 ; 351 ; 451) débouchant sur ladite couche d'interface de siliciure.
- [Revendication 3] Procédé selon la revendication 1 ou 2, dans lequel l'étape de recuit est réalisée à une température comprise entre 500°C et 850°C, par exemple entre 675°C et 850°C, et/ou pendant une durée comprise entre 30 secondes et 5 minutes.
- [Revendication 4] Procédé selon l'une quelconque des revendications 1 à 3, dans lequel la couche (253) de polysilicium est formée sur les parois latérales (251C) et au fond (251B) de l'orifice (251), et la couche (254) du premier métal est formée sur la couche (253) de polysilicium.
- [Revendication 5] Procédé selon la revendication 4, dans lequel l'étape de formation comprend en outre la formation d'une couche de barrière de diffusion (255), après la formation de la couche (254) du premier métal, et sur

- ladite couche du premier métal.
- [Revendication 6] Procédé selon la revendication 4 ou 5, dans lequel l'étape de formation comprend en outre une étape de remplissage de l'orifice (251) conduisant à la formation d'une couche de remplissage (257) en un deuxième métal, ladite étape de remplissage étant après la formation de la couche (254) du premier métal, par exemple après la formation de la couche de barrière de diffusion (255).
- [Revendication 7] Procédé selon l'une quelconque des revendications 1 à 3, dans lequel la couche (354 ; 454) du premier métal est formée sur les parois latérales (351C ; 451C) et au fond (351B ; 451B) de l'orifice (351 ; 451), avant la couche (353 ; 453) de polysilicium.
- [Revendication 8] Procédé selon la revendication 7, dans lequel l'étape de formation comprend en outre la formation d'une couche de barrière de diffusion (355 ; 455) avant la couche (354 ; 454) du premier métal, et en contact avec ladite couche du premier métal.
- [Revendication 9] Procédé selon la revendication 7 ou 8, dans lequel l'étape de formation comprend en outre la formation d'une couche d'accroche (352 ; 452) sur les parois latérales (351C ; 451C) et au fond (351B ; 451B) de l'orifice (351 ; 451), avant la couche (354 ; 454) du premier métal, et en contact avec ladite couche du premier métal, ou avant la couche de barrière de diffusion (355 ; 455), et en contact avec ladite couche barrière.
- [Revendication 10] Procédé selon la revendication 8 ou 9, dans lequel l'étape de formation comprend une étape de gravure, au moins au fond (451B) de l'orifice (451), d'une portion de la couche de barrière de diffusion (455) et/ou d'une portion de la couche d'accroche (452), l'étape de gravure étant avant la formation de la couche (454) du premier métal.
- [Revendication 11] Procédé selon l'une quelconque des revendications 7 à 10, dans lequel la formation de la couche (353 ; 453) de polysilicium correspond à un comblement de l'orifice (351 ; 451).
- [Revendication 12] Procédé selon l'une quelconque des revendications 1 à 11, comprenant en outre une étape de planarisation des couches de l'empilement, adaptée à faire affleurer le contact (250 ; 350 ; 450) à la première surface (142A) de la région diélectrique (142), l'étape de planarisation comprenant par exemple un polissage mécano-chimique.
- [Revendication 13] Composant électronique (200 ; 300 ; 400) comprenant au moins un contact (250 ; 350 ; 450) sur au moins une région semiconductrice (124, 126) d'un composant électronique (200 ; 300 ; 400), le contact étant disposé dans un orifice (251 ; 351 ; 451) traversant une région di-

électrique (142) du composant électronique selon une direction longitudinale à partir d'une première surface (142A) de ladite région diélectrique, le fond (251B ; 351B ; 451B) de l'orifice débouchant au droit de la région semiconductrice (124, 126), ledit contact comprenant une couche (256 ; 356 ; 456) de siliciure de métal comprenant au moins une portion (256A, 256B ; 356A, 356B ; 456A, 456B) s'étendant dans la direction longitudinale de l'orifice.

- [Revendication 14] Composant électronique (200 ; 300 ; 400) selon la revendication 13, comprenant une couche d'interface de siliciure (140) entre la région semiconductrice (124, 126) et le contact (250 ; 350 ; 450), le fond (251B ; 351B ; 451B) de l'orifice (251 ; 351 ; 451) débouchant sur ladite couche d'interface de siliciure.
- [Revendication 15] Composant électronique (400) selon la revendication 14, dans lequel une portion (456C) de la couche de siliciure de métal (456), est en contact direct avec la couche d'interface de siliciure (140).
- [Revendication 16] Composant électronique (200 ; 300 ; 400) selon l'une quelconque des revendications 13 à 15, dans lequel la couche de siliciure de métal (256 ; 356 ; 456) présente une forme de U, comprenant des première (256A ; 356A ; 456A) et deuxième (256B ; 356B ; 456B) portions s'étendant dans la direction longitudinale de l'orifice, reliées par une troisième portion (256C ; 356C ; 456C) au niveau du fond (251B ; 351B ; 451B) de l'orifice.
- [Revendication 17] Composant électronique (200 ; 300 ; 400) selon l'une quelconque des revendications 13 à 16, ledit composant électronique comprenant, par exemple étant, un transistor de type MOS disposé dans et sur un substrat (120), le transistor comprenant une région semiconductrice de grille (132) recouvrant une région de canal (122) située entre une région semiconductrice dopée de drain (124) et une région semiconductrice dopée de source (126), au moins un contact (250 ; 350 ; 450) étant disposé sur la région semiconductrice de drain, la région semiconductrice de source et/ou la région semiconductrice de grille, une couche d'interface de siliciure (140) étant par exemple intercalée entre ladite région semiconductrice et le contact.
- [Revendication 18] Procédé selon l'une quelconque des revendications 1 à 12, dans lequel :
- le premier métal est choisi parmi : le titane, le cobalt, le platine, le nickel, le tungstène ; et
 - le siliciure de métal est un siliciure de titane, un siliciure de cobalt, ou un siliciure de nickel ;

- [Revendication 19] Dispositif électronique comprenant au moins un composant électronique (200 ; 300 ; 400) selon l'une quelconque des revendications 13 à 18.
- [Revendication 20] Dispositif selon la revendication 19, ledit dispositif étant un commutateur de signaux radiofréquences.

[Fig. 1A]

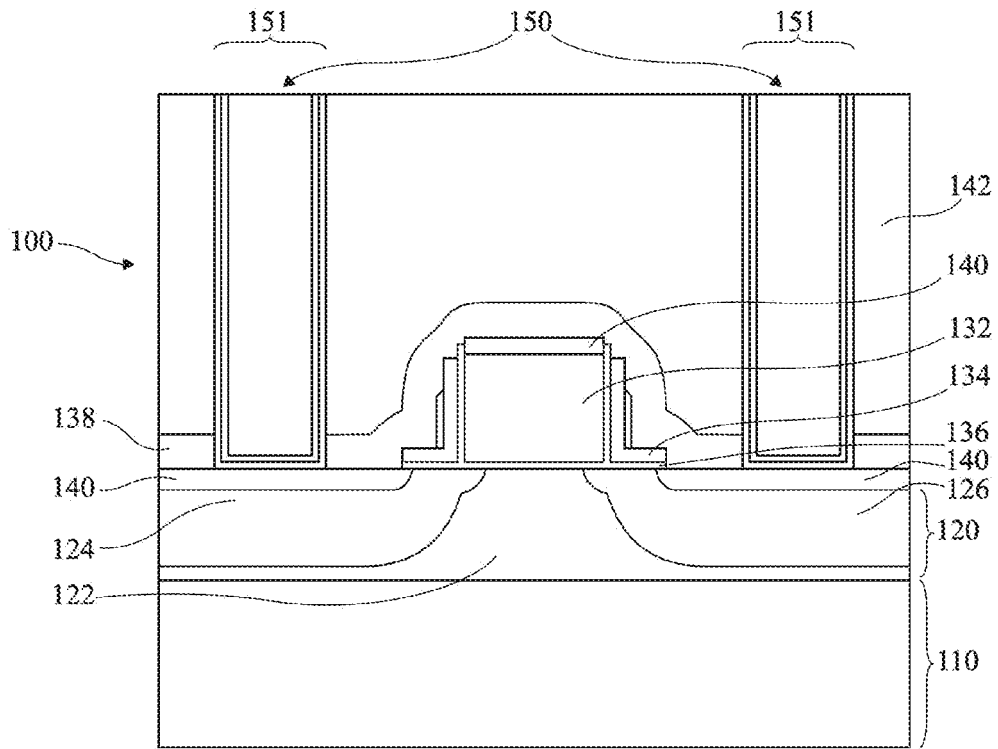


Fig 1A

[Fig. 1B]

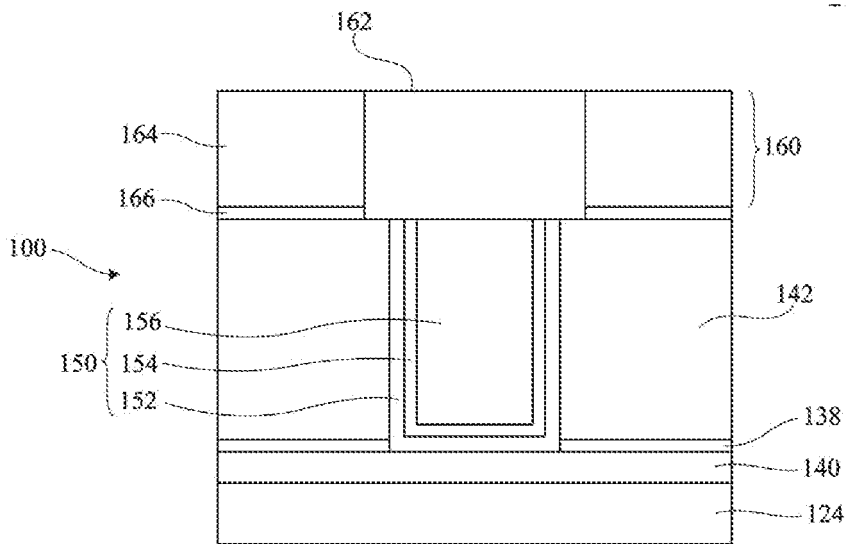


Fig 1B

[Fig. 2A]

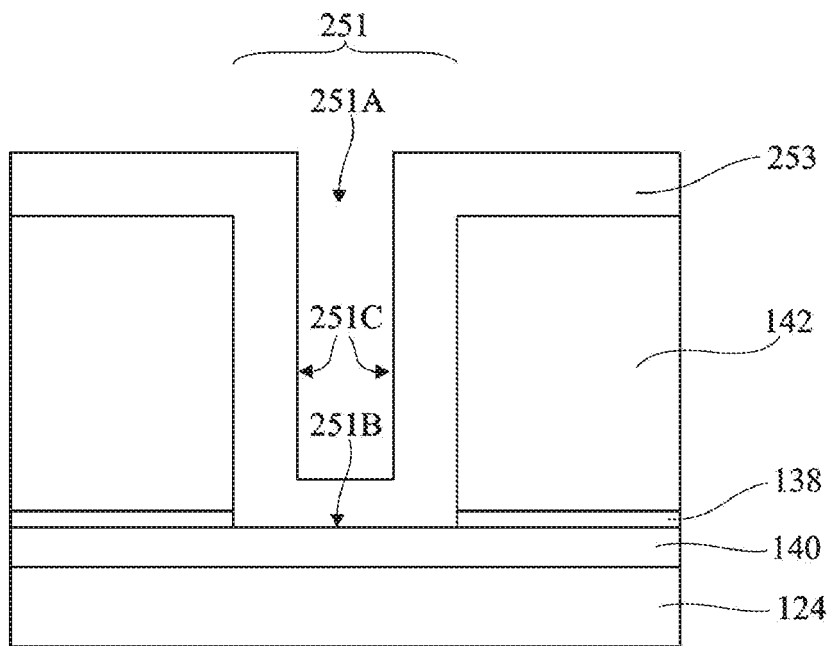


Fig 2A

[Fig. 2B]

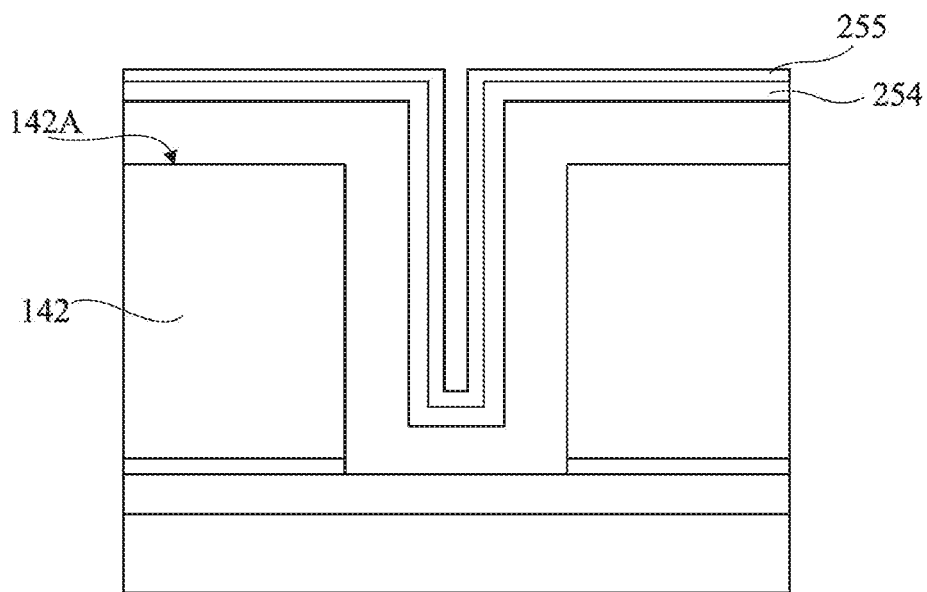


Fig 2B

[Fig. 2C]

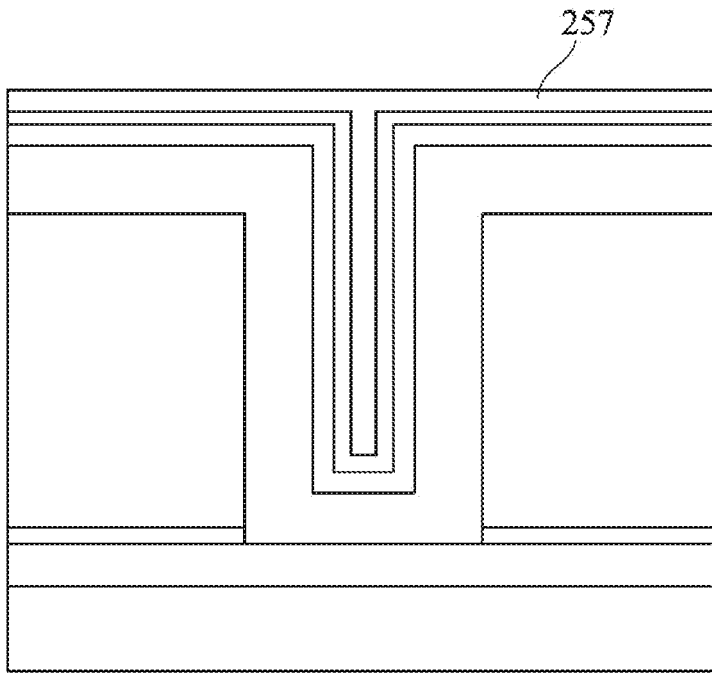


Fig 2C

[Fig. 2D]

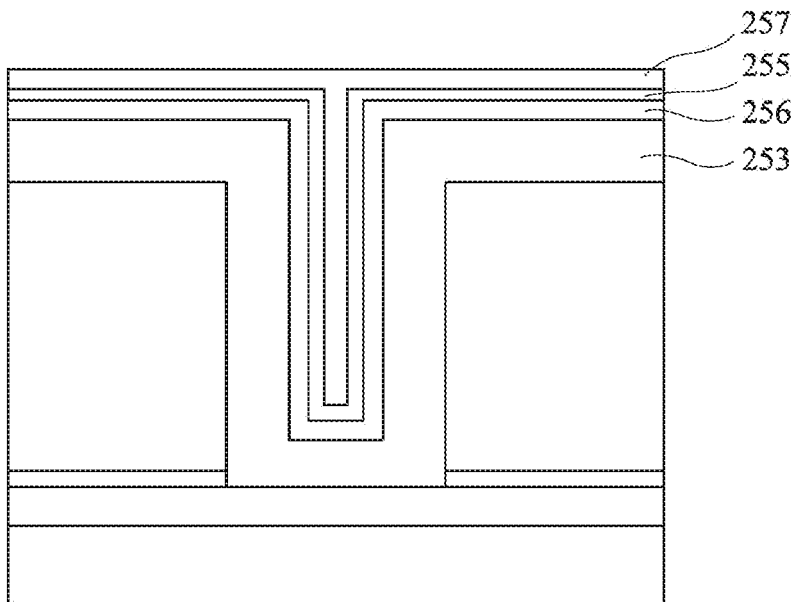


Fig 2D

[Fig. 2E]

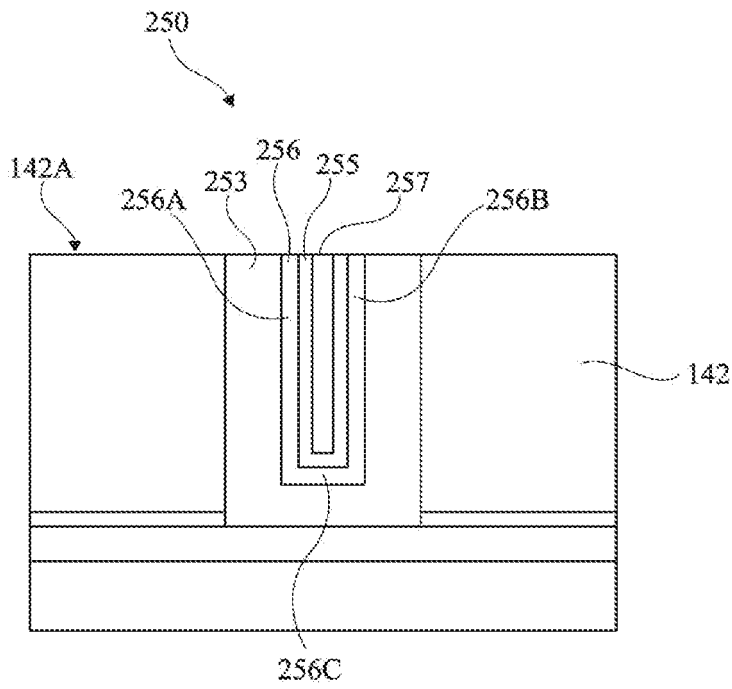


Fig 2E

[Fig. 2F]

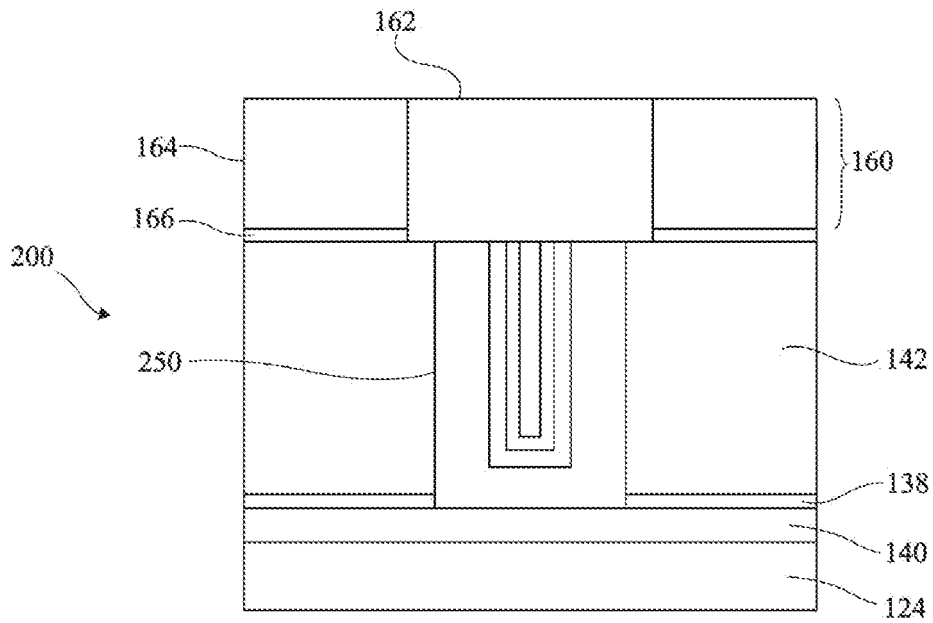


Fig 2F

[Fig. 2G]

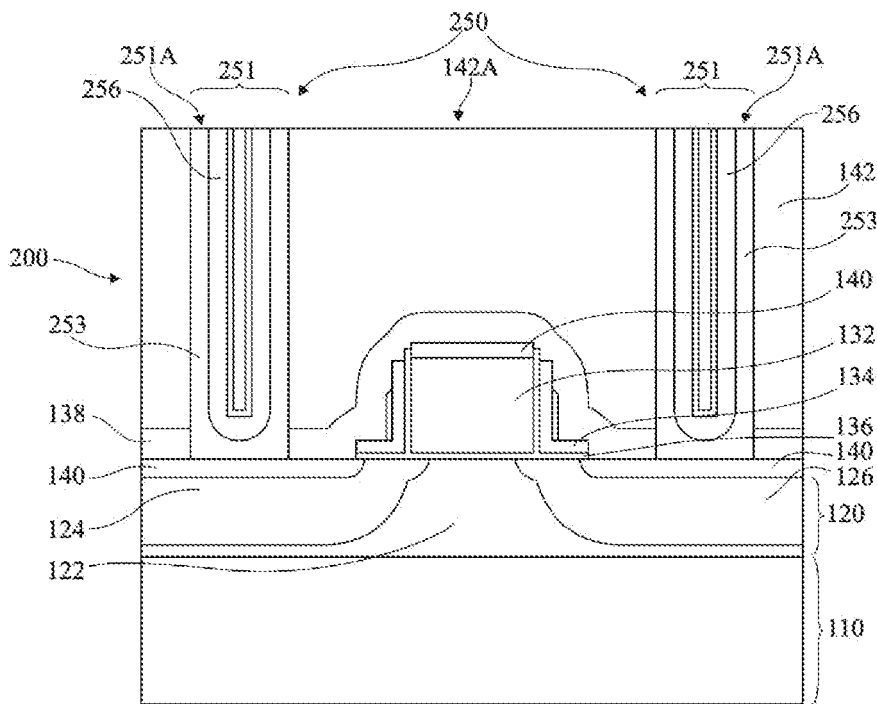


Fig 2G

[Fig. 3A]

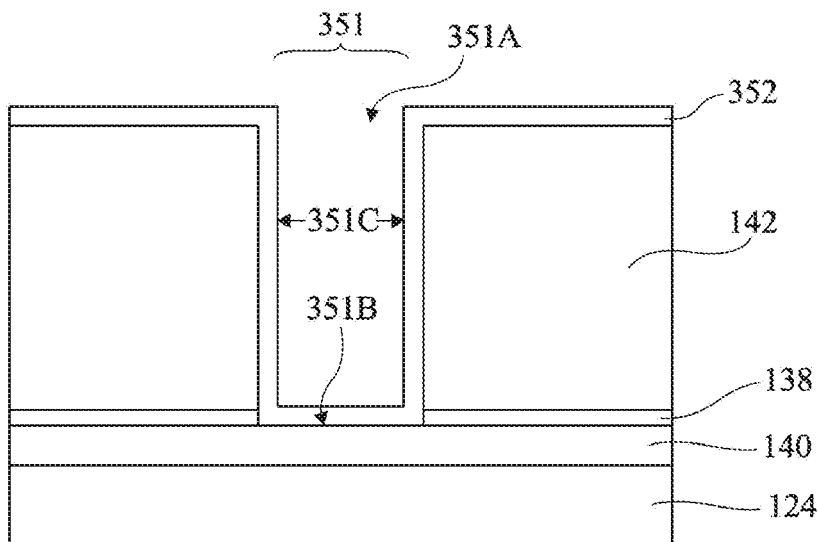


Fig 3A

[Fig. 3B]

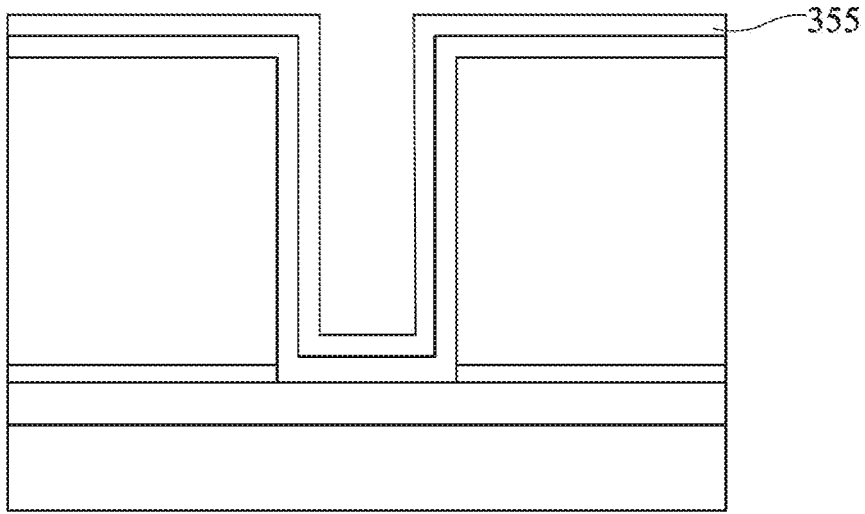


Fig 3B

[Fig. 3C]

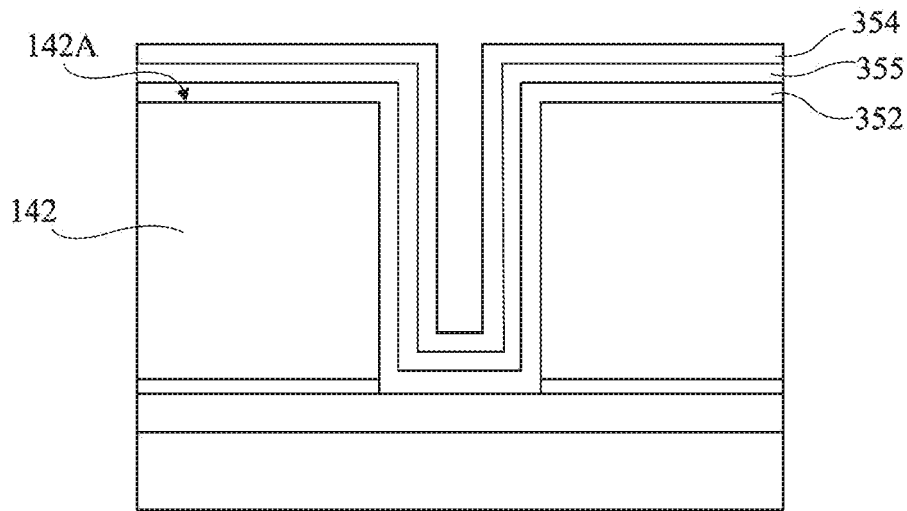


Fig 3C

[Fig. 3D]

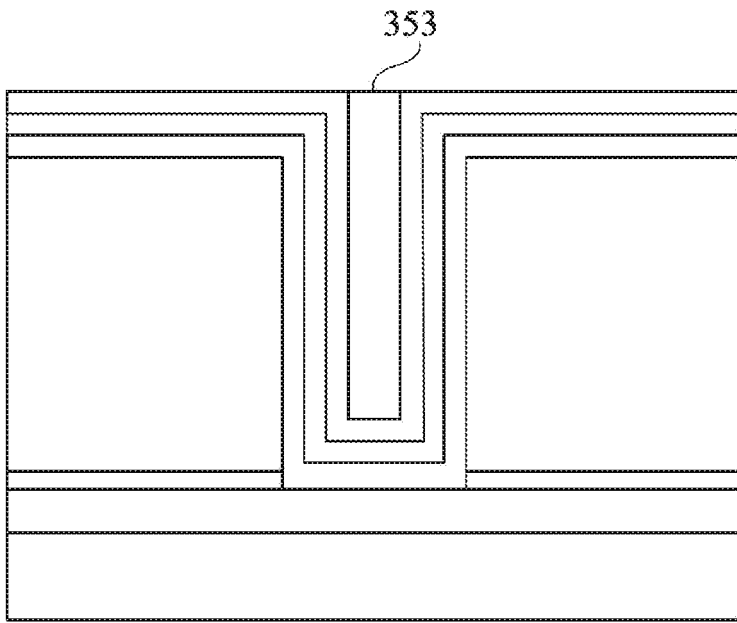


Fig 3D

[Fig. 3E]

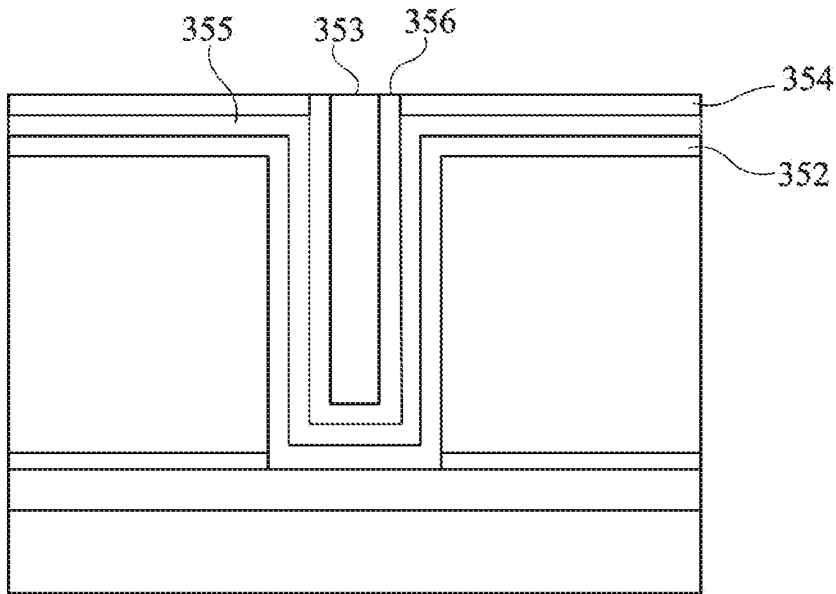


Fig 3E

[Fig. 3F]

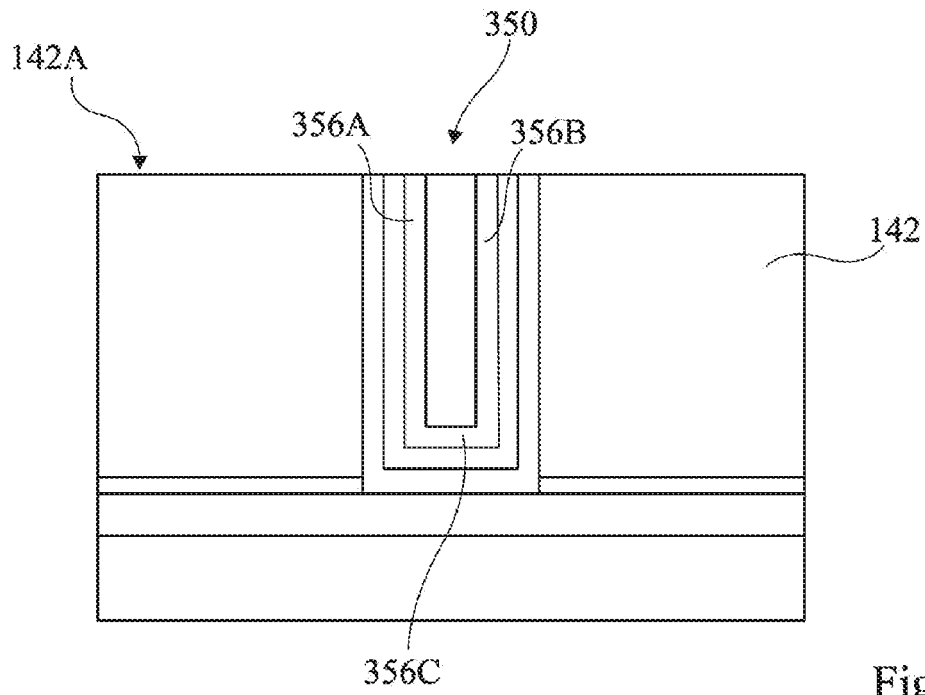


Fig 3F

[Fig. 4A]

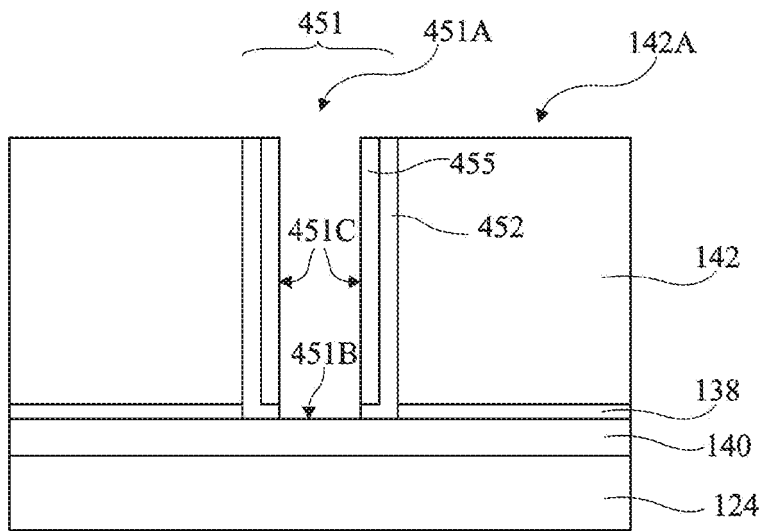


Fig 4A

[Fig. 4B]

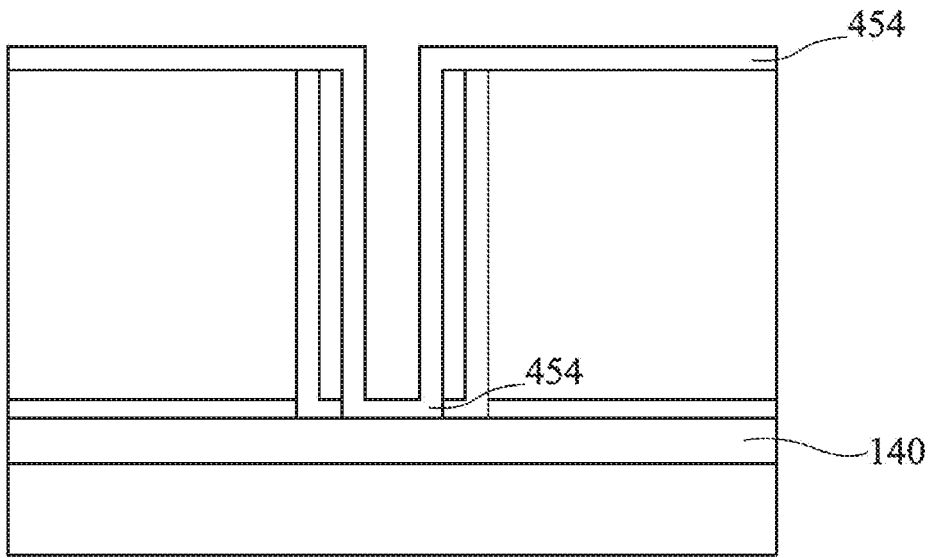


Fig 4B

[Fig. 4C]

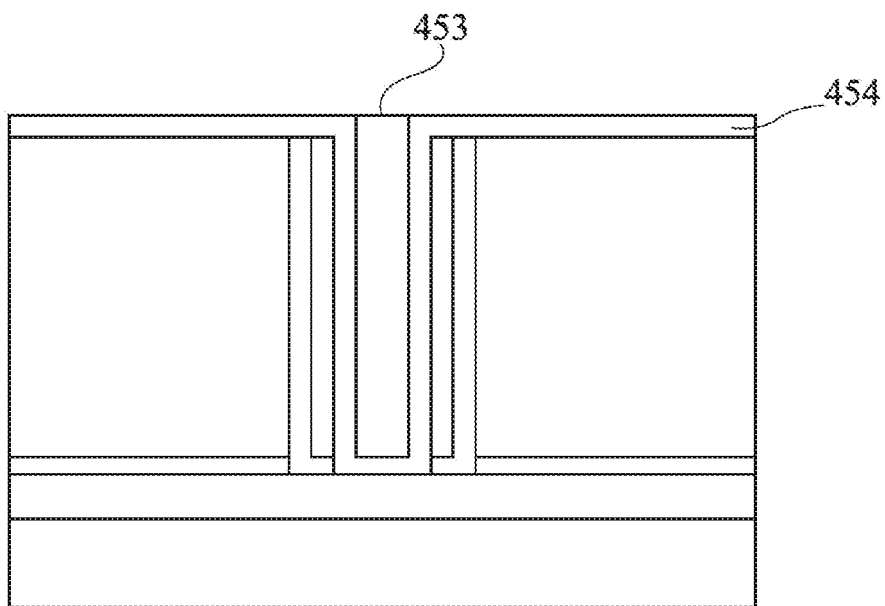


Fig 4C

[Fig. 4D]

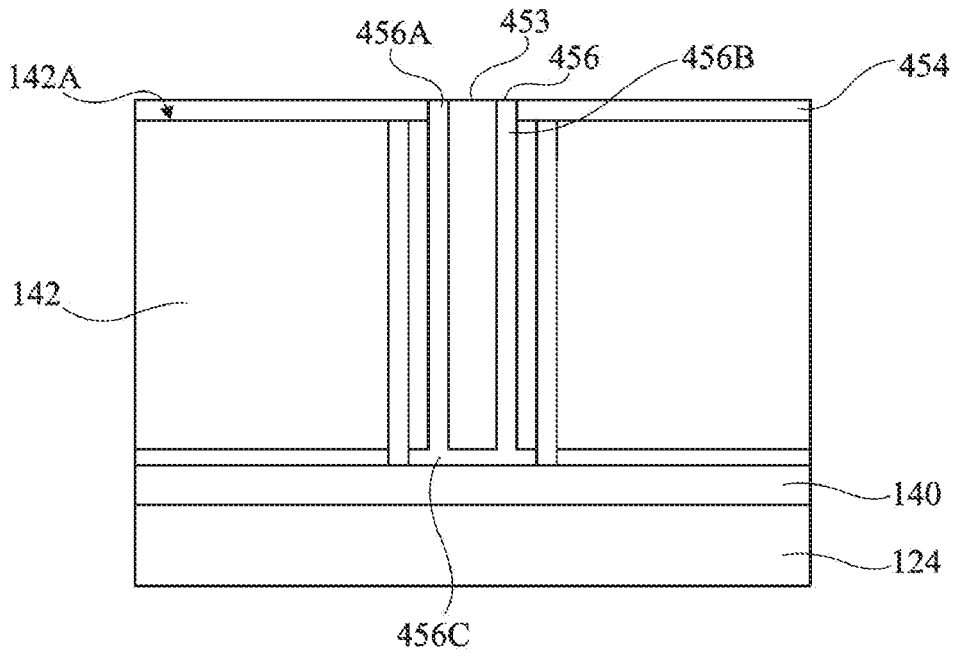


Fig 4D

[Fig. 4E]

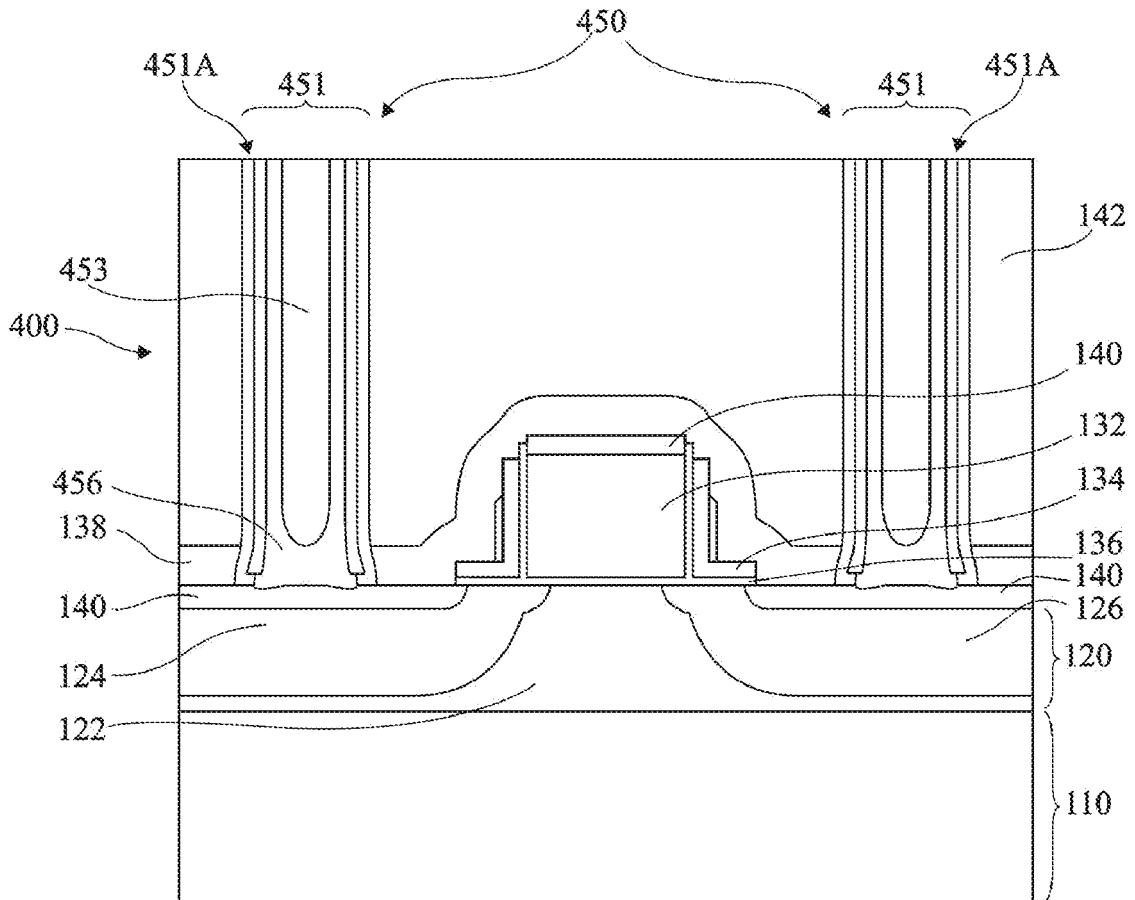


Fig 4E

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 906549
FR 2201326

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2012/161324 A1 (HEINRICH JENS [DE] ET AL) 28 juin 2012 (2012-06-28) * alinéas [0034] - [0047]; figures 2a-2h * -----	1, 2, 4-20	H01L21/768 H01L21/336
X	US 5 504 038 A (CHIEN SUN-CHIEH [TW] ET AL) 2 avril 1996 (1996-04-02) * colonne 3, ligne 59 - colonne 5, ligne 55; figures 1-9 * -----	1-6, 13-15, 19	
A	US 2006/278985 A1 (LIM HYUNSEOK [KR] ET AL) 14 décembre 2006 (2006-12-14) * alinéas [0036] - [0040]; figure 1 * -----	1-20	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
21 octobre 2022		Franche, Vincent	
CATÉGORIE DES DOCUMENTS CITÉS			
X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2201326 FA 906549**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **21-10-2022**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2012161324 A1	28-06-2012	DE 102010064288 A1 US 2012161324 A1	28-06-2012 28-06-2012

US 5504038 A	02-04-1996	AUCUN	

US 2006278985 A1	14-12-2006	CN 1877810 A KR 20060128166 A TW 200644163 A US 2006278985 A1	13-12-2006 14-12-2006 16-12-2006 14-12-2006
