



(12) DEMANDE DE BREVET EUROPEEN

(43) Date de publication:
23.05.2001 Bulletin 2001/21

(51) Int Cl.7: G09G 3/36

(21) Numéro de dépôt: 00403152.2

(22) Date de dépôt: 13.11.2000

(84) Etats contractants désignés:
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU
MC NL PT SE TR
Etats d'extension désignés:
AL LT LV MK RO SI

(72) Inventeur: **Messageur, Philippe**
44000 Nantes (FR)

(74) Mandataire: **Fréchède, Michel**
Cabinet Plasseraud
84, rue d'Amsterdam
F-75440 Paris Cédex 09 (FR)

(30) Priorité: 16.11.1999 FR 9914349

(71) Demandeur: **ATMEL NANTES SA**
44300 Nantes (FR)

(54) Générateur de tensions pour un affichage à cristaux liquides avec diviseur de tension, amplificateur différentiel et circuit de commutation

(57) L'invention concerne un dispositif générateur d'une tension analogique de commande stable à faible consommation.

Il comprend un circuit d'entrée (1) recevant une tension analogique de valeur nominale et délivrant une tension analogique image (V_{jp}) réduite dans un rapport k , un circuit de contrôle (2) recevant la tension analogique image (V_{jp}) comme signal de consigne et délivrant une première ($V_{OUTPLUSP}$) et une deuxième ($V_{OUTMOINSP}$) impulsion de contrôle de commutation, un circuit (3) de

commutation alimenté à la tension analogique de valeur nominale comprenant une première branche de commutation (SW_1) délivrant une impulsion de commutation auxiliaire amplifiée ($V_{-HI-OUT}$) et une deuxième branche de commutation (SW_2) délivrant à partir de l'impulsion de commutation auxiliaire amplifiée et de la deuxième impulsion de commutation une tension analogique de commande commutée à la tension analogique de valeur nominale déterminée.

Application à la commande de segments d'affichage LCD.

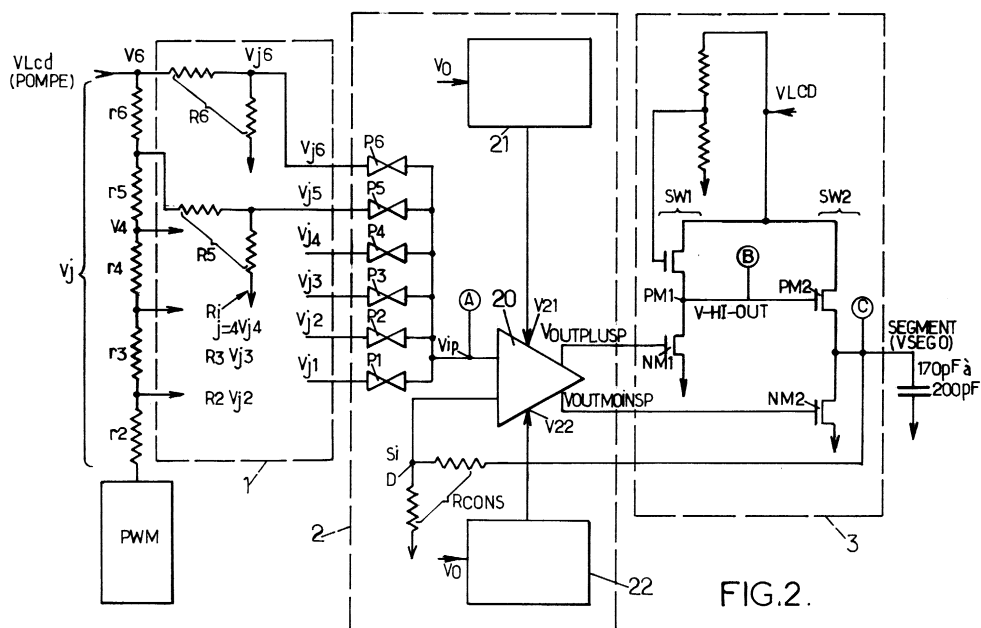


FIG. 2.

Description

[0001] L'invention est relative à un dispositif générateur d'une tension analogique de commande de valeur stable et à faible consommation, plus particulièrement destiné à la commande de circuits matriciels multi-entrées, tels que les circuits contrôleurs d'écrans d'affichage à cristaux liquides LCD, circuits encore appelés "drivers d'écran" LCD.

[0002] En référence à la figure 1 relative à l'art antérieur, la commande d'écrans d'affichage à cristaux liquides comprend un circuit contrôleur CC piloté par un microprocesseur μ P. Ce circuit contrôleur CC comporte un contrôleur proprement dit C et une pompe de charge permettant à partir d'une tension d'alimentation de valeur normalisée, 5 V par exemple, d'engendrer des tensions de commande d'amplitude supérieure, pouvant atteindre 9 V. Les tensions de commande sont délivrées sous forme de tensions rectangulaires d'amplitude donnée, 1,8 V, et commutées entre la tension de masse et les différents niveaux successifs jusqu'à la tension maximale délivrée par la pompe de charge, 6 niveaux de 0 à 9 volts par pas de 1,8 volts, ces tensions rectangulaires de niveau différent permettant en fait de régler le niveau de contraste en fonction de l'adresse des segments LCD commandés.

[0003] Toutefois, en raison de la capacité relativement élevée, 200 pF, des segments LCD, il est nécessaire de prévoir des capacités externes ayant pour objet de lisser les tensions finalement appliquées. Malgré l'adjonction des capacités précitées, il reste toutefois un problème de précision des niveaux de tension appliqués sur les segments LCD, avec une dégradation du contraste finalement appliqué, en particulier pour les valeurs de tension les plus hautes. Le pont diviseur est déséquilibré à partir du moment où un courant est appelé sur un des niveaux intermédiaires de ce dernier, courant permettant de charger les capacités des segments LCD.

[0004] Une solution, afin de réduire les variations relatives du contraste appliqué, peut consister à utiliser en sortie du circuit contrôleur des résistances de valeur plus faible, lesquelles, en augmentant la valeur du courant, permettent de réduire la variation relative de contraste.

[0005] La solution précitée présente cependant l'inconvénient majeur de provoquer un appel de courant très important sur la pompe de charge, ce qui a pour effet de nécessiter d'augmenter la taille de la pompe de charge et des capacités externes.

[0006] La présente invention a pour objet de remédier aux inconvénients et limitations des circuits contrôleurs d'écrans d'affichage LCD par la mise en oeuvre d'un dispositif générateur d'une tension analogique de commande de valeur stable et à faible consommation.

[0007] Un autre objet de la présente invention est également, grâce à la mise en oeuvre du dispositif générateur d'une tension analogique de commande de va-

leur stable et à faible consommation, l'accroissement par un facteur au moins égal à 75 de l'autonomie en mode veille des systèmes informatiques embarqués ou portables équipés d'écrans d'affichage à cristaux liquides LCD.

[0008] Un autre objet de la présente invention est également une élimination des capacités extérieures sur les niveaux intermédiaires du pont diviseur, ce qui permet, par intégration de ce dernier, une diminution du nombre d'entrées sorties et une réduction de la taille de la puce.

[0009] Un autre objet de la présente invention est également, en raison de la très faible consommation de l'ensemble, la mise en oeuvre d'une pompe de charge de taille réduite, les capacités extérieures de la pompe de charge pouvant être supprimées, une réduction correspondante de la taille de la puce.

[0010] Un objet de la présente invention est enfin, du fait d'une diminution des coûts d'intégration et, du fait de la faible consommation, une augmentation de l'autonomie et de la précision de l'affichage.

[0011] Le dispositif générateur d'une tension analogique de commande de valeur stable et à faible consommation, à partir d'une tension analogique de valeur nominale déterminée, objet de l'invention, est remarquable en ce qu'il comporte un circuit d'entrée recevant cette tension analogique de valeur nominale déterminée permettant d'engendrer une tension analogique image de valeur réduite dans un rapport k déterminé.

En outre, un circuit de contrôle reçoit cette tension analogique image comme valeur de consigne et un signal image de la tension analogique de commande, signal image formé par cette tension analogique de commande réduite dans le même rapport k déterminé. Ce circuit de contrôle comprend au moins un amplificateur différentiel alimenté par une première tension constante d'amplitude supérieure à la valeur maximale de la tension analogique image et par une deuxième tension constante d'amplitude déterminée et délivre une première impulsion de contrôle de commutation synchrone du signal de consigne et d'amplitude inférieure à la première tension constante et une deuxième impulsion de contrôle de commutation synchrone du signal de consigne mais complétée vis-à-vis de la première impulsion de contrôle. Un circuit de commutation de la tension analogique de commande, alimenté par la tension analogique de valeur déterminée, est prévu, ce circuit commutateur comportant au moins une première branche de commutation formée par un inverseur/amplificateur, commandée par la première impulsion de contrôle de commutation et délivrant une impulsion de contrôle de commutation auxiliaire amplifiée, synchrone du signal de consigne, et une deuxième branche de commutation, formée par un inverseur/amplificateur, commandée par l'impulsion de contrôle de commutation auxiliaire amplifiée et par la deuxième impulsion de contrôle de commutation et délivrant la tension analogique de commande commutée à la tension analogique de valeur nomi-

nale déterminée.

[0012] Le dispositif générateur d'une tension analogique de commande de valeur stable et à faible consommation, objet de l'invention, trouve application à la commande de circuits à partir de signaux de commande du type en marche d'escalier, circuits tels qu'écrans d'affichage LCD par exemple, en particulier lorsque ces dispositifs sont mis en oeuvre sous forme de circuits intégrés en technologie CMOS.

[0013] L'invention sera mieux comprise à la lecture de la description et à l'observation des dessins ci-après dans lesquels, outre la figure 1, relative à l'art antérieur :

- la figure 2 représente, à titre illustratif, un schéma fonctionnel du dispositif générateur d'une tension analogique de commande de valeur stable et à faible consommation, conforme à l'objet de la présente invention ;
- les figures 3a à 3c représentent différents chronogrammes aux points de test du dispositif objet de la présente invention, lors d'une transition de charge de la tension analogique de commande d'une valeur intermédiaire à une valeur supérieure d'amplitude déterminée ;
- les figures 3d à 3f représentent différents chronogrammes aux points de test du dispositif objet de la présente invention, lors d'une transition de décharge de la tension analogique de commande d'une valeur intermédiaire à une valeur inférieure d'amplitude déterminée ;
- les figures 3g à 3j représentent différents chronogrammes aux points de test du dispositif objet de la présente invention, lors de différentes transitions de charge/décharge ou réciproquement de la tension analogique de commande d'une valeur intermédiaire à une valeur supérieure respectivement inférieure, transitions d'amplitudes différentes.

[0014] Une description plus détaillée d'un dispositif générateur d'une tension analogique de commande de valeur stable et à faible consommation, conforme à l'objet de la présente invention, sera maintenant donnée en liaison avec la figure 2 et les figures suivantes.

[0015] En référence à la figure précitée, on a représenté les résistances extérieures connectées en série et notées r_2, r_3, r_4, r_5, r_6 , ces résistances connectées en série reliant la sortie de la pompe de charge délivrant la tension V_{lcd} constituant la tension analogique de valeur nominale déterminée à la sortie d'un dispositif modulateur d'impulsions noté PWM, les résistances en série r_2 à r_6 délivrant ainsi des tensions V_2, V_3, V_4, V_5, V_6 , ainsi que représenté en figure 2 et en figure 1, sous forme d'une impulsion d'amplitude donnée comprise entre la valeur zéro et une valeur maximale.

[0016] On rappelle que le dispositif modulateur d'impulsions PWM permet le réglage du contraste appliqué à l'afficheur à cristaux liquides par l'intermédiaire des tensions V_2 à V_6 précédemment mentionnées.

[0017] En outre, ainsi que représenté à la figure 2 précitée, on indique que le dispositif objet de l'invention comporte un circuit d'entrée 1 recevant la tension analogique V_{lcd} de valeur nominale donnée, ainsi que bien entendu les tensions V_5, V_4, V_3, V_2 destinées à accompagner la tension analogique de valeur nominale afin d'obtenir le contraste voulu au niveau de l'afficheur à cristaux liquides précité. Le circuit d'entrée 1 permet d'engendrer une tension analogique image, notée V_{jp} , de valeur réduite dans un rapport k déterminé. A titre d'exemple non limitatif, on indique que le rapport k peut être pris égal à $k = 1/5$. On comprend en particulier qu'avec la tension analogique V_{lcd} de valeur nominale donnée, cette valeur ayant une valeur maximale égale à 9 volts par exemple, l'ensemble des valeurs de tension V_2, V_3, V_4, V_5, V_6 est soumis à la même réduction dans le rapport k donné précédemment cité. On obtient ainsi un ensemble de valeurs réduites, lesquelles sont notées $V_{j6}, V_{j5}, V_{j4}, V_{j3}, V_{j2}$, chacune correspondant aux valeurs de tension V_6, V_5, V_4, V_3, V_2 respectivement.

[0018] En outre, ainsi que représenté à la même figure 2, le dispositif objet de la présente invention comprend un circuit de contrôle 2 recevant la tension analogique image V_{jp} , c'est-à-dire V_{j2} à V_{j6} , cette tension analogique image V_{jp} constituant en fait une valeur de consigne, notée V_{CONS} , et un signal image S_i de la tension analogique de commande V_{SEG0} , ce signal image étant formé par la tension analogique de commande précitée réduite dans le même rapport k déterminé. Le circuit de contrôle 2 comprend au moins un amplificateur différentiel 20, lequel reçoit en fait la valeur de consigne V_{CONS} et le signal image S_i précédemment cité.

[0019] Ainsi que représenté sur la figure 2, on indique que l'amplificateur différentiel 20 est alimenté par une première tension constante, notée V_{21} , et par une deuxième tension constante, notée V_{22} , d'amplitude déterminée. D'une manière générale, on indique que la première tension constante V_{21} est supérieure à la valeur maximale de la tension analogique image S_i précédemment mentionnée.

[0020] La première tension constante V_{21} est une tension basse qui sert d'alimentation et qui réduit la consommation. Les niveaux d'entrée de l'amplificateur différentiel 20 doivent être inférieurs à celui de la première tension d'alimentation V_{21} , d'où la réduction par k .

[0021] L'amplificateur différentiel 20 délivre une première impulsion de contrôle de commutation, notée $V_{OUTPLUSP}$, cette première impulsion étant synchrone du signal de consigne V_{CONS} et d'amplitude inférieure à la première tension constante V_{21} . L'amplificateur différentiel 20 délivre également une deuxième impulsion de contrôle de commutation, notée $V_{OUTMOINSP}$, synchrone du signal de consigne V_{CONS} mais complétée vis-à-vis de la première impulsion de contrôle V_{OUT-

$MOINSP$.
[0022] Enfin, le dispositif objet de l'invention comporte un circuit 3 de commutation de la tension analogique de commande V_{SEG0} . Ce circuit est alimenté par la tension

analogique de valeur nominale déterminée V_{lcd} et comprend au moins une première branche de commutation, notée SW_1 , formée par un inverseur/amplificateur, cette première branche de commutation étant commandée par la première impulsion de contrôle de commutation $V_{OUTPLUSP}$ et délivrant une impulsion, notée $V_{-HI-OUT}$, de contrôle de commutation auxiliaire amplifiée, cette dernière étant synchrone du signal de consigne V_{CONS} .

[0023] En outre, le circuit 3 de commutation comporte une deuxième branche de commutation, notée SW_2 , formée par un inverseur/amplificateur et commandée par l'impulsion de contrôle de commutation auxiliaire amplifiée $V_{-HI-OUT}$ et par la deuxième impulsion de contrôle de commutation $V_{OUTMOINSP}$. La deuxième branche de commutation SW_2 délivre ainsi la tension analogique de commande V_{SEG0} commutée à la tension analogique de valeur nominale déterminée V_{lcd} . Sur la figure 2, on a représenté la sortie du circuit 3 de commutation de la tension analogique de commande, constituant en fait la sortie du dispositif générateur d'une tension analogique de commande objet de l'invention, connectée à une capacité de l'ordre de 170 pF à 200 pF représentant la capacité d'entrée des segments de l'afficheur LCD à commander.

[0024] D'une manière générale, on indique que dans le cas de l'application non limitative selon laquelle la tension analogique de valeur nominale V_{lcd} a pour valeur l'une des valeurs d'un ensemble de valeurs discrètes, les valeurs V_6, V_5, V_4, V_3, V_2 , ces valeurs discrètes étant comprises entre une valeur maximum V_{MAX} pouvant par exemple être prise égale à 9 volts dans le cas de la commande d'un afficheur LCD, et une valeur de référence telle que la tension de masse égale à 0, le circuit d'entrée 1 comprend au moins un pont diviseur R_j , noté R_2 à R_6 sur la figure 2, seuls les ponts diviseurs R_6 et R_5 , pour des raisons de simplification du dessin, étant représentés sur la figure précitée. Chaque pont diviseur reçoit la tension analogique de valeur nominale V_j , c'est-à-dire V_6, V_3, V_2 , et délivre la tension analogique image de valeur réduite dans le rapport k déterminé. Sur la figure 2, on indique que la tension analogique image de valeur réduite est désignée par $V_{j6}, V_{j5}, V_{j4}, V_{j3}$ et V_{j2} , chacune de ces tensions étant en fait délivrée par le pont diviseur R_6 à R_2 correspondant.

[0025] De préférence, et dans un mode de réalisation non limitatif, on indique que le rapport k peut être pris égal à $1/5$ et, pour une valeur maximum $V_{MAX} = 9$ volts, la valeur de tension maximum de la tension analogique image V_{j6} est alors égale à 1,8 volts.

[0026] En outre, le circuit d'entrée 1 peut comprendre de manière non limitative une porte analogique P_j , en fait un ensemble de portes élémentaires notées P_1 à P_6 sur la figure 2, chaque porte analogique P_j présentant une valeur de seuil correspondant à la valeur de la tension analogique image de valeur réduite V_{j2} à V_{j6} , la porte analogique correspondante délivrant la tension analogique image V_{jp} de valeur réduite.

[0027] Sur la figure 2, on a représenté l'ensemble des

portes analogiques P_j , placées non pas à l'intérieur du circuit 1 d'entrée mais au contraire dans le circuit 2 de contrôle recevant la tension analogique V_{jp} . On comprend en particulier que chaque porte analogique P_j délivre la tension analogique correspondante V_{jp} en fonction de la valeur de seuil appliquée. L'ensemble des portes analogiques précité peut être placé soit à l'intérieur du circuit d'entrée 1, soit au contraire dans le circuit de contrôle 2.

[0028] En outre, ainsi que représenté sur la figure 2 précitée, le circuit 2 de contrôle comporte un pont diviseur, noté R_{CONS} , ce pont diviseur étant un pont dont le rapport de division est égal au rapport k de la valeur déterminée précédemment mentionnée. Le pont diviseur précité reçoit la tension analogique de commande V_{SEG0} et délivre le signal image S_i de la tension analogique de commande précitée.

[0029] En outre, l'amplificateur différentiel 20 inclus dans le circuit 2 de contrôle comprend une première entrée d'une première tension de référence stable V_{21} permettant l'alimentation de l'amplificateur différentiel précité. La première tension de référence stable V_{21} est choisie à un premier niveau de tension de valeur déterminée. En outre, l'amplificateur différentiel comprend une deuxième entrée d'une deuxième tension de référence stable V_{22} , laquelle est choisie à une deuxième valeur de niveau de tension. Les tensions d'alimentation de référence stable V_{21} et V_{22} peuvent avantageusement être délivrées par des circuits 21 et 22 correspondants, lesquels, à partir d'une même tension de référence stable V_0 délivrée par un circuit de type "band gap" en langage anglo-saxon, peuvent délivrer une première tension de référence stable sous une intensité de l'ordre de 200 μA en ce qui concerne le circuit 21, et d'une deuxième tension de référence stable sous une intensité de quelques μA pour ce qui concerne le circuit 22. La tension de référence V_0 alimentant les circuits 21 et 22 peut être choisie égale à 1,25 V par exemple à partir des circuits de type "band gap" précités.

[0030] Ainsi, l'amplificateur différentiel 20 alimenté dans ces conditions reçoit sur une borne positive V_p la tension image V_{jp} délivrée par le pont diviseur R_j correspondant et bien entendu par la porte logique P_j correspondante, et sur sa borne négative notée V_n le signal image S_i délivré lui-même par le pont diviseur R_{CONS} précédemment mentionné dans la description.

[0031] Dans ces conditions, l'amplificateur différentiel 20 délivre, d'une part, la première impulsion de contrôle de commutation et, d'autre part, la deuxième impulsion de contrôle de commutation précédemment mentionnée dans la description.

[0032] Une description plus détaillée du circuit de commutation 3 de la tension analogique de commande V_{SEG0} à la tension analogique de valeur nominale V_{lcd} sera maintenant donnée ci-après.

[0033] En référence à la figure 2, on indique que le circuit 3 précité peut avantageusement comporter un premier inverseur/amplificateur formant la première

branche de commutation, notée SW_1 . Le premier inverseur amplificateur comporte un transistor PMOS noté PM_1 et un transistor NMOS noté NM_1 , ces transistors étant connectés en cascade par leur point commun drain/source entre la tension analogique de valeur nominale V_{lcd} et la tension de référence V_{ref} , encore désignée par tension de masse. L'électrode de grille du transistor PMOS PM_1 de la première branche reçoit une tension de polarisation égale à une fraction de la tension analogique de valeur nominale et l'électrode de grille de ce transistor reçoit la première impulsion de contrôle de commutation $V_{OUTPLUSP}$ précédemment mentionnée dans la description. On comprend ainsi que le transistor PMOS PM_1 dont l'électrode de grille est portée à un potentiel constant joue le rôle d'une résistance, alors que le transistor NMOS NM_1 commandé par la première impulsion de commande précitée peut alors jouer le rôle d'un commutateur inverseur, le point commun drain/source entre les transistors précités délivrant l'impulsion de contrôle de commutation auxiliaire amplifiée V_{HI-OUT} précédemment mentionnée dans la description.

[0034] En outre, le circuit 3 de commutation comporte le deuxième inverseur amplificateur formant la deuxième branche de commutation SW_2 . Il comporte un transistor PMOS PM_2 et un transistor NMOS NM_2 connectés en cascade par leur point commun drain/source entre la tension analogique de valeur nominale déterminée V_{lcd} et la tension de référence V_{ref} . L'électrode de grille du transistor PMOS PM_2 reçoit l'impulsion de contrôle de commutation auxiliaire amplifiée V_{HI-OUT} , c'est-à-dire la tension délivrée par le point commun drain/source des transistors PM_1 et NM_1 de la première branche SW_1 . Au contraire, l'électrode de grille du transistor NMOS NM_2 de la deuxième branche SW_2 reçoit la deuxième impulsion de contrôle de commutation délivrée par l'amplificateur différentiel 20. Dans ces conditions, le point commun drain/source des transistors PMOS PM_2 et NMOS NM_2 de la deuxième branche SW_2 délivre la tension analogique de commande V_{SEG0} de valeur stable et à faible consommation commutée à la valeur de la tension analogique de valeur nominale déterminée V_{lcd} précédemment mentionnée dans la description.

[0035] Le fonctionnement du dispositif, objet de l'invention tel que représenté en figure 2 sera maintenant décrit en liaison avec les chronogrammes relevés aux points de test, ces chronogrammes étant représentés aux figures 3a à 3j.

[0036] En ce qui concerne les points de test précités, on indique que ceux-ci sont constitués par :

- A : entrée positive V_p de l'amplificateur différentiel 20 ;
- B : point de jonction drain/source entre les transistors PM_1 et NM_1 constitutifs de la première branche de commutation SW_1 ;
- C : point de jonction entre le transistor PMOS PM_2 et le transistor NMOS NM_2 constitutifs de la deuxième

me branche de commutation SW_2 délivrant la tension analogique de commande V_{SEG0} .

D : point milieu du pont diviseur R_{CONS} délivrant le signal analogique image S_i .

5

Transition de charge de 3,6 V à 7,2 V

[0037] La transition correspondante est représentée pour un signal de consigne dans un rapport $k = 1/5$ correspondant en figure 3a au point de test A précité, le signal de consigne et k fois la valeur de ce dernier étant représentés.

[0038] Sur la figure 3b, on a représenté l'évolution de la première impulsion de contrôle $V_{OUTPLUSP}$ et de la deuxième impulsion de contrôle $V_{OUTMOINSP}$. On constate que les impulsions de contrôle précitées sont synchrones du signal de consigne mais sensiblement complétées, la première impulsion de contrôle évoluant entre une valeur analogique basse sensiblement égale à 1 V et une valeur analogique haute inférieure à la première tension constante alimentant l'amplificateur différentiel 20, cette première tension constante V_{21} ayant été choisie à 2,7 V. La tension analogique haute de la première impulsion de contrôle est de l'ordre de 2,3 V.

[0039] De même, la deuxième impulsion de contrôle évolue entre une première valeur analogique haute sensiblement égale à 0,3 V et une deuxième tension analogique basse sensiblement égale à 0 V pour les parties complétées vis-à-vis de la première impulsion de contrôle.

[0040] Les impulsions de contrôle précitées, et en particulier la différence entre les signaux et les valeurs analogiques haute respectivement basse de ces dernières, différences sensiblement égale à 2,3 V, est alors en quelque sorte amplifiée par les circuits de première branche de commutation SW_1 et deuxième branche de commutation SW_2 constitutives du circuit 3 de commutation dans les conditions ci-après.

[0041] En référence à la figure 3c, on remarque que la première impulsion de contrôle $V_{OUTPLUSP}$ provoque par commutation du transistor NM_1 de la première branche de commutation SW_1 l'apparition de l'impulsion de contrôle auxiliaire amplifiée V_{HI-OUT} par transition entre la valeur 6,8 V et 0 V, cette impulsion de contrôle auxiliaire étant inversée par rapport à la première impulsion de contrôle. Pendant que la première impulsion de contrôle est à la valeur analogique haute alors que la deuxième impulsion de contrôle est à la valeur analogique basse, le transistor PM_2 est alors conducteur, le point de jonction entre le transistor PMOS PM_2 et NMOS NM_2 de la deuxième branche de commutation SW_2 étant alors commuté à la valeur de tension analogique de valeur nominale V_{lcd} précitée. La tension au point de test C évolue tel que représenté en figure 3a avec une constante de temps déterminée par la valeur de la capacité de charge des segments de l'afficheur LCD.

[0042] La tension image S_i évolue en conséquence, ce qui permet de réduire la différence en entrée de l'am-

plitude différentielle 20 et ainsi la commutation à l'équilibre des première et deuxième impulsions de contrôle de commutation, ainsi que représenté en figure 3b. Lorsque la valeur d'équilibre est atteinte sensiblement, le transistor PM_2 de la deuxième branche de commutation SW_2 est bloqué et la tension au point de test C est alors établie à la valeur de charge correspondant à la tension analogique de valeur nominale V_{lcd} . Les phénomènes transitoires de commutation sont représentés en figure 3c suite à la commutation du transistor PM_2 précédemment mentionné. Le segment est alors chargé à la valeur de tension nominale précédemment mentionnée.

Décharge de 3,6 V à 1,8 V par transition du signal de consigne d'une valeur correspondante

[0043] Cette situation est représentée par les chronogrammes des figures 3d, 3e et 3f.

[0044] Dans cette situation, en figure 3d, on a représenté la transition correspondant au signal de consigne et à k fois la transition de ce dernier.

[0045] En référence à la figure 3e, on indique que la première impulsion de contrôle de commutation $V_{OUTPLUSP}$ passe alors en synchronisme avec le signal de consigne d'une valeur de 1 V à la valeur de 0 V, alors qu'au contraire la deuxième impulsion de contrôle de commutation $V_{OUTMOINSP}$ passe de la valeur 0,3 V à la valeur maximale 1,8 V. Alors que la valeur analogique de niveau bas de la première impulsion de contrôle de commutation reste sensiblement égale à zéro pendant l'équilibrage des tensions en entrée de l'amplificateur différentiel 20, la valeur analogique haute de la deuxième impulsion de contrôle de commutation $V_{OUTMOINSP}$ décroît de manière sensiblement régulière jusqu'à l'équilibrage des tensions V_p et V_m à l'entrée de l'amplificateur différentiel 20.

[0046] Dans ces conditions, ainsi que représenté en figure 3f, le transistor PM_2 de la deuxième branche de commutation SW_2 reste bloqué, car il passe d'un état semi-bloqué proche de la valeur de blocage $V_T(7V)$ à un état bloqué. C'est la deuxième impulsion de contrôle $V_{OUTMOINSP}$ telle que représentée en figure 3e qui passe à 1,8 volts et donc à une valeur supérieure à la valeur de blocage $V_T(0,7 V)$ du transistor NMOS NM_2 de la deuxième branche de commutation. Le transistor NM_2 est alors conducteur et la décharge de la sortie, telle que représentée en figure 3f, est réalisée.

[0047] Lorsque l'équilibre a été rétabli par l'intermédiaire du signal image Si au niveau des valeurs d'entrée V_p et V_m de l'amplificateur différentiel 20, l'état initial est alors retrouvé, le transistor NM_2 de la deuxième branche de commutation SW_2 étant à bloqué et la tension V_{SEGO} ayant atteint la nouvelle valeur de tension nominale analogique V_{lcd} . Le transistor PM_2 sert à la charge et le transistor NM_2 à la décharge de la sortie.

Différentes transitions successives par valeurs multiples de 1,8 V en charge ou en décharge

[0048] Ces situations sont représentées en figures 3g, 3h, 3i et 3j.

[0049] La figure 3g montre différentes transitions successivement en décharge, en charge, transition d'amplitude de 1,8 V, puis en charge, transition d'amplitude de 3,6 V, puis à nouveau en décharge, transition d'amplitude 5,4 V, de k fois le signal de consigne.

[0050] Sur la figure 3h, on a représenté les valeurs de tension correspondant aux transitions représentées en figure 3g, d'une part au point de test A, c'est-à-dire la tension au point V_p borne d'entrée positive de l'amplificateur différentiel 20 recevant la tension analogique image V_{jp} comme valeur de consigne et d'autre part, au point de test D auquel est délivré le signal image Si , c'est-à-dire sur l'entrée négative V_n de l'amplificateur différentiel 20. On constate en particulier que l'évolution des tensions aux points précités est sensiblement affine de celle des tensions de la figure 3g, le rapport d'affinité d'axe des temps étant égal à k .

[0051] Sur la figure 3h, on a représenté l'évolution de la tension analogique image et du signal image Si à l'entrée positive V_p respectivement négative V_m de l'amplificateur différentiel 20.

[0052] Sur la figure 3i, on a représenté la première impulsion de contrôle de commutation $V_{OUTPLUSP}$ et la deuxième impulsion de contrôle de commutation $V_{OUTMOINSP}$.

[0053] De l'observation des chronogrammes représentés en figures 3h et 3i, on constate que la différence d'amplitude Δ entre la tension analogique image V_p , constituant le signal de consigne, et le signal image Si sur la borne d'entrée V_m , est amplifiée $A\Delta$ par la deuxième impulsion de contrôle de commutation, pour atteindre un équilibre correspondant à une différence d'amplitude nulle $\Delta = 0$, la tension analogique de commande V_{SEGO} ayant été commutée à sa valeur finale, c'est-à-dire à la valeur de la tension analogique de valeur nominale V_{lcd} .

[0054] Enfin, sur la figure 3j, on a représenté l'impulsion de contrôle de commutation auxiliaire amplifiée $V_{-H-IN-OUT}$ correspondante.

Revendications

1. Dispositif générateur d'une tension analogique de commande (V_{SEGO}) de valeur stable et à faible consommation, à partir d'une tension analogique (V_{lcd}) de valeur nominale déterminée, caractérisé en ce que celui-ci comporte :

- un circuit d'entrée (1) recevant ladite tension analogique de valeur nominale déterminée et permettant d'engendrer une tension analogique image (V_{jp}) de valeur réduite dans un rap-

- port k déterminé ;
- un circuit de contrôle (2) recevant ladite tension analogique image (V_{jp}) comme valeur de consigne et un signal image (S_i) de ladite tension analogique de commande, ce signal image (S_i) étant formé par cette tension analogique de commande (V_{SEGO}) réduite dans le même rapport k déterminé, ledit circuit de contrôle comprenant au moins un amplificateur différentiel (20) alimenté par une première tension constante (V_{21}) d'amplitude supérieure à la valeur maximale de ladite tension analogique image et par une deuxième tension constante (V_{22}) d'amplitude déterminée et délivrant une première impulsion de contrôle de commutation ($V_{OUTPLUSP}$) synchrone dudit signal de consigne et d'amplitude inférieure à ladite première tension constante et une deuxième impulsion de contrôle de commutation ($V_{OUTMOINSP}$) synchrone dudit signal de consigne mais complé- mentée vis-à-vis de la première impulsion de contrôle ;
 - un circuit de commutation (3) de ladite tension analogique de commande, alimenté par ladite tension analogique de valeur nominale déterminée, ce circuit de commutation (3) comprenant au moins :
 - une première branche de commutation (SW_1), formée par un inverseur/amplificateur, commandée par ladite première impulsion de contrôle de commutation ($V_{OUTPLUSP}$) et délivrant une impulsion de contrôle de commutation auxiliaire amplifiée ($V_{-HI-OUT}$), synchrone dudit signal de consigne, et
 - une deuxième branche de commutation (SW_2), formée par un inverseur/amplificateur, commandée par ladite impulsion de contrôle de commutation auxiliaire amplifiée ($V_{-HI-OUT}$), et par ladite deuxième impulsion de contrôle de commutation ($V_{OUTMOINSP}$) et délivrant ladite tension analogique de commande commutée à ladite tension analogique de valeur nominale déterminée.
2. Dispositif selon la revendication 1, caractérisé en ce que ladite tension analogique de valeur nominale (V_{lcd}) ayant pour valeur l'une des valeurs d'un ensemble de valeurs discrètes comprises entre une valeur maximum et une valeur de référence, ledit circuit d'entrée comprend au moins :
- un pont diviseur dans le rapport k de valeur déterminée, recevant ladite tension analogique de valeur nominale (V_{lcd}) et délivrant ladite tension analogique image (V_{jp}) de valeur
- réduite ;
- une porte analogique (P_1 à P_6) de valeur de seuil correspondant à la valeur de la tension analogique image de valeur réduite, ladite porte analogique délivrant ladite tension analogique image de valeur réduite (V_{jp}).
3. Dispositif selon la revendication 1 ou 2, caractérisé en ce que ledit circuit de contrôle comporte en outre un pont diviseur dans le rapport k de la valeur déterminée, recevant ladite tension analogique de commande (V_{SEGO}) et délivrant ledit signal image (S_i) de ladite tension analogique de commande.
4. Dispositif selon la revendication 3, caractérisé en ce que ledit amplificateur différentiel (20) comprend une première entrée d'une première tension de référence stable (V_{21}) à un premier niveau de tension et une deuxième entrée d'une deuxième tension de référence stable (V_{22}) à un deuxième niveau de tension, ledit amplificateur différentiel (20) délivrant ladite première ($V_{OUTPLUSP}$) et ladite deuxième ($V_{OUTMOINSP}$) impulsion de contrôle de commutation.
5. Dispositif selon la revendication 4, caractérisé en ce que ledit circuit de commutation (3) comporte :
- ledit premier inverseur/amplificateur (SW_1) formant la première branche de commutation et comportant un transistor PMOS (PM_1) et un transistor NMOS (NM_1) connectés en cascade par leur point commun drain/source entre la tension analogique (V_{lcd}) de valeur nominale déterminée et la tension de référence, l'électrode de grille du transistor PMOS (PM_1) de ladite première branche recevant une tension de polarisation égale à une fraction de la tension analogique (V_{lcd}) de valeur nominale et l'électrode de grille du transistor NMOS (NM_1) de la première branche de commutation recevant ladite première impulsion de contrôle de commutation ($V_{OUTPLUSP}$) ;
 - ledit deuxième inverseur/amplificateur (SW_2) formant la deuxième branche de commutation et comportant un transistor PMOS (PM_2) et un transistor NMOS (NM_2) connectés en cascade par leur point commun drain/source entre la tension analogique (V_{lcd}) de valeur nominale déterminée et la tension de référence, l'électrode de grille dudit transistor PMOS (PM_2) de la deuxième branche recevant la tension ($V_{-HI-OUT}$) délivrée par le point commun drain/source des transistors PMOS (PM_1) et NMOS (NM_1) de la première branche et l'électrode de grille du transistor NMOS (NM_2) de la deuxième

branche recevant ladite deuxième impulsion de contrôle de commutation ($V_{OUTMOINSP}$) délivrée par l'amplificateur différentiel, ledit point commun drain/source des transistors PMOS et NMOS de la deuxième branche délivrant ladite tension analogique de commande (V_{SEG0}) de valeur stable et à faible consommation commutée à la valeur de la tension analogique (V_{Icd}) de valeur nominale déterminée.

5

10

6. Dispositif selon la revendication 5, caractérisé en ce que ladite deuxième tension constante est supérieure ou égale à la tension de blocage du transistor NMOS de ladite deuxième branche de commutation.

15

20

25

30

35

40

45

50

55

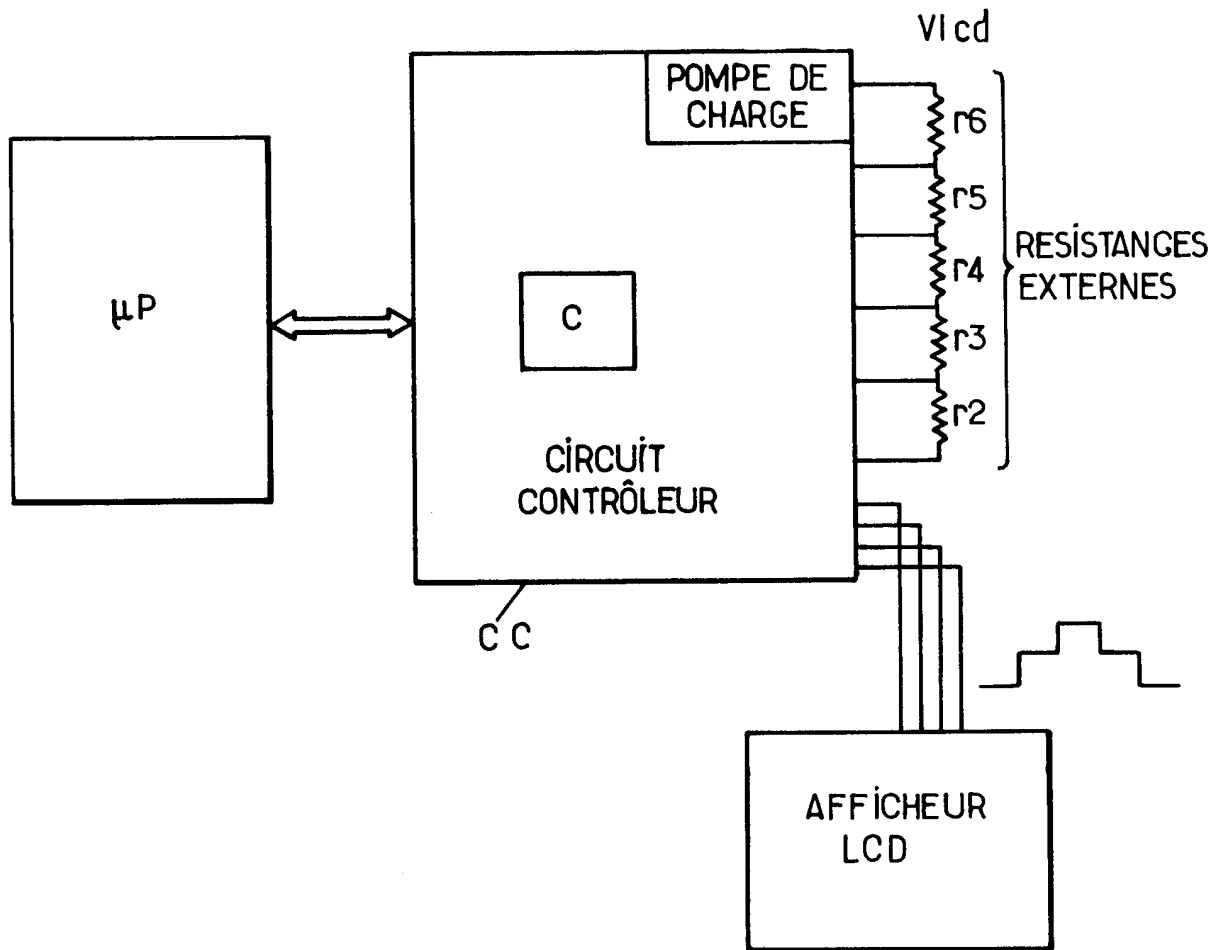


FIG.1. (ART ANTÉRIEUR)

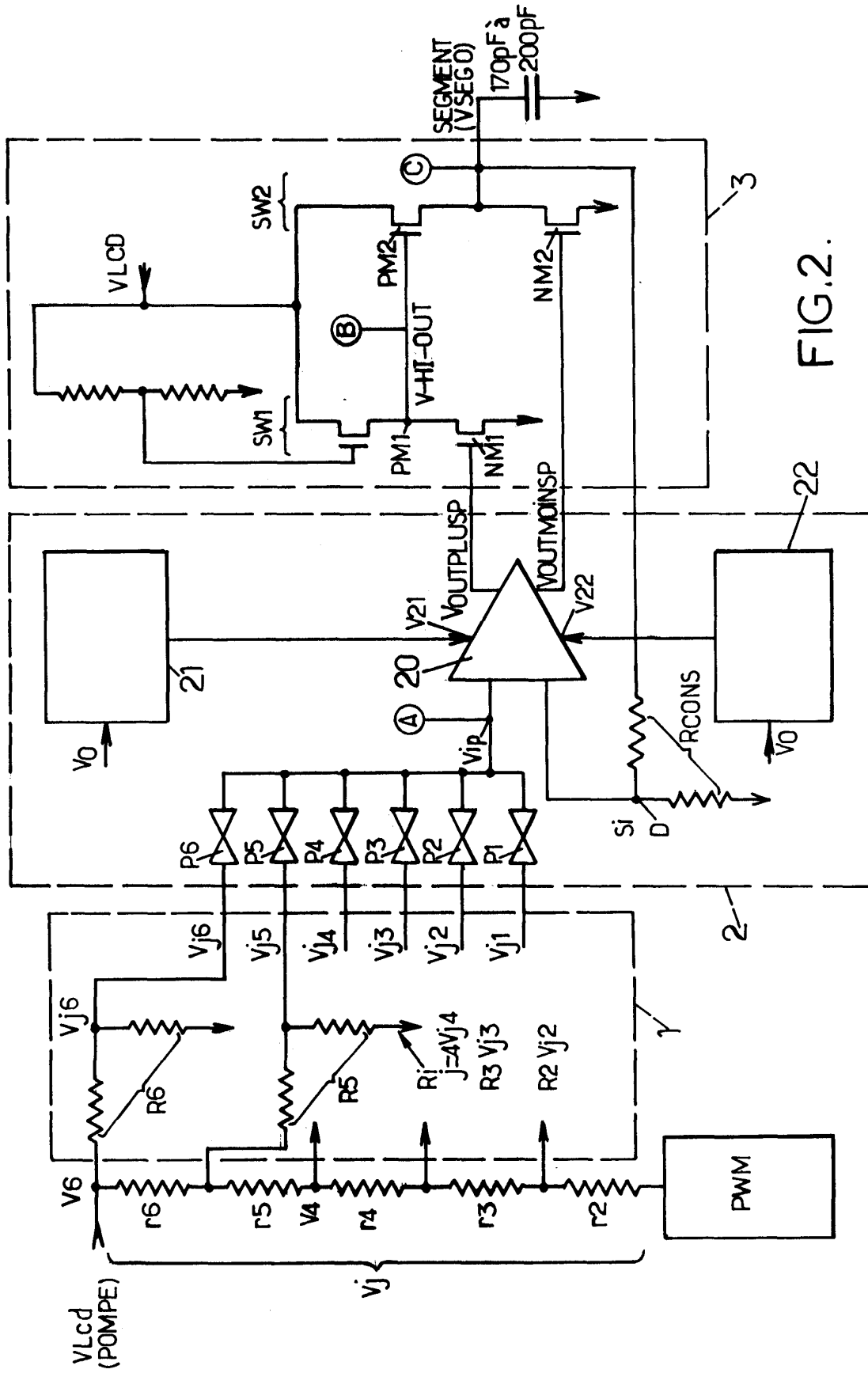


FIG. 2.

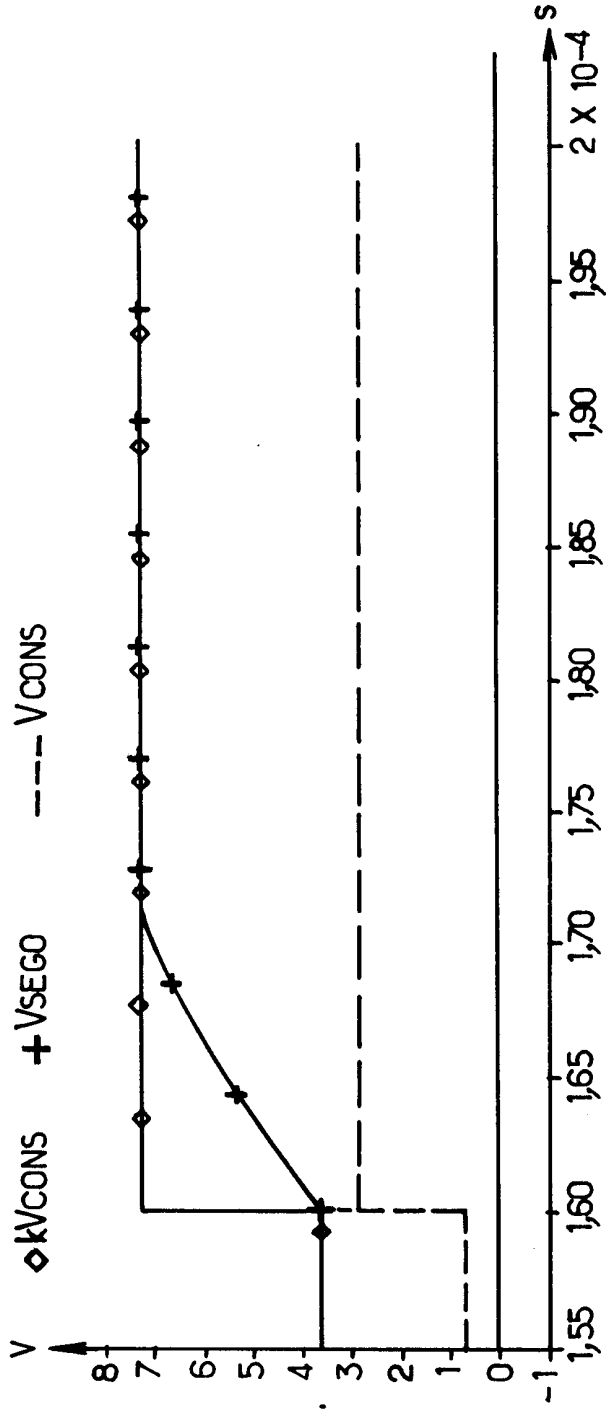


FIG. 3a.

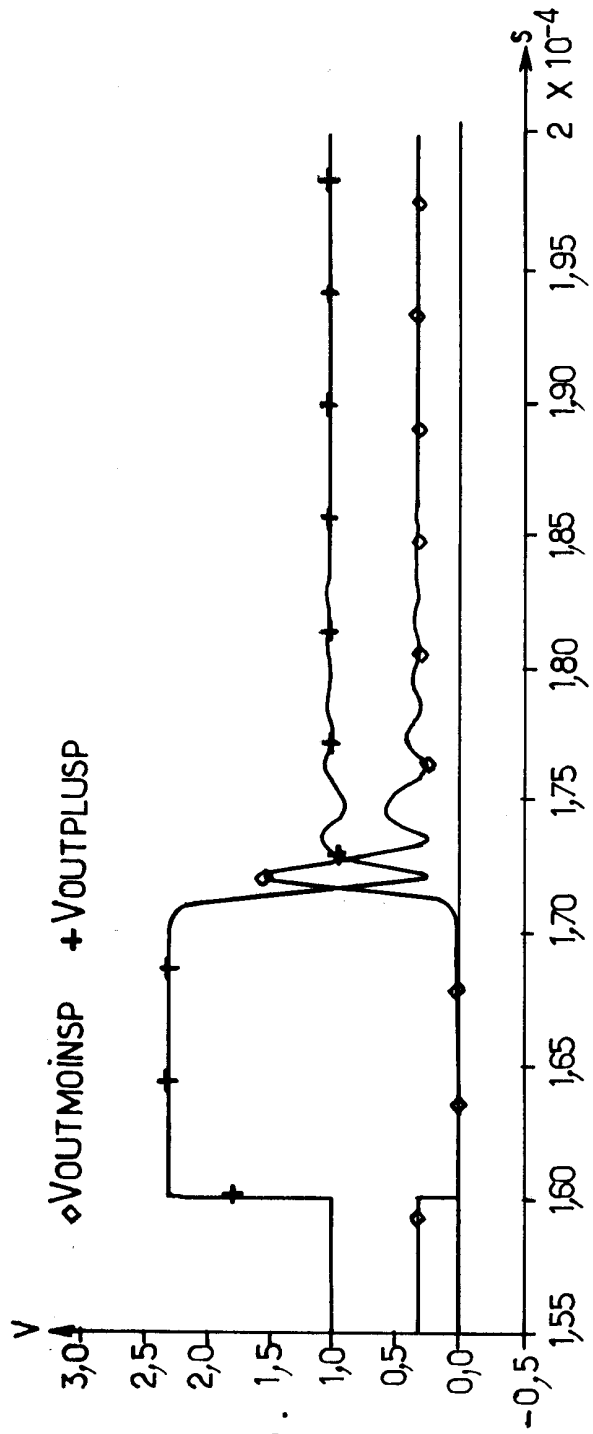


FIG. 3b.

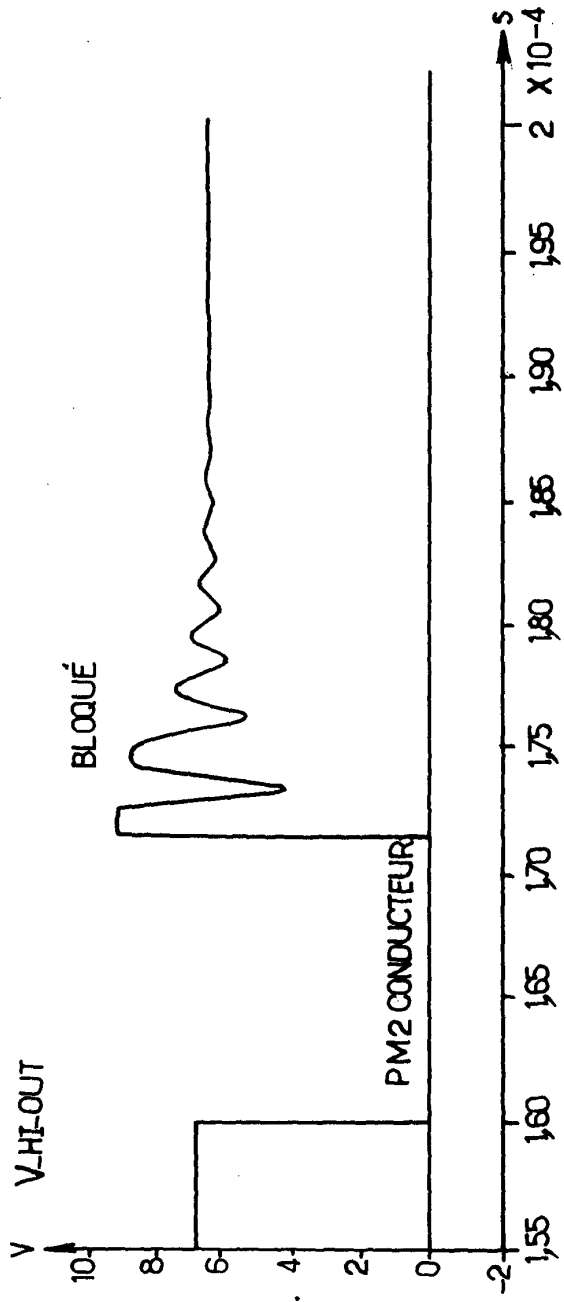


FIG. 3c.

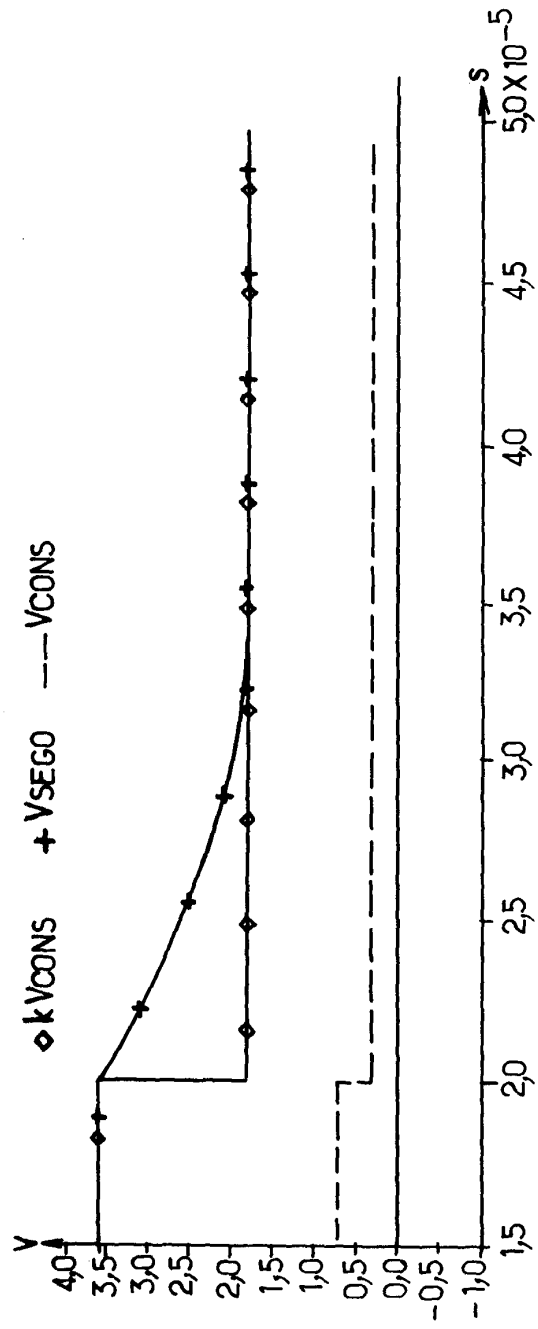


FIG. 3d.

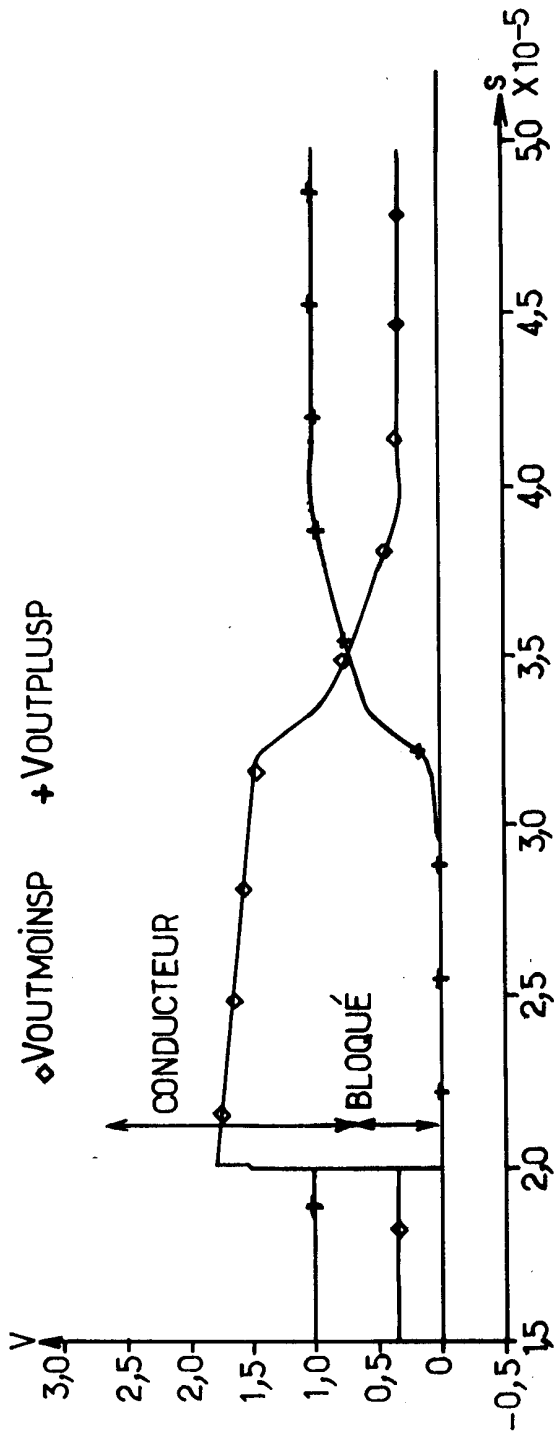


FIG. 3e.

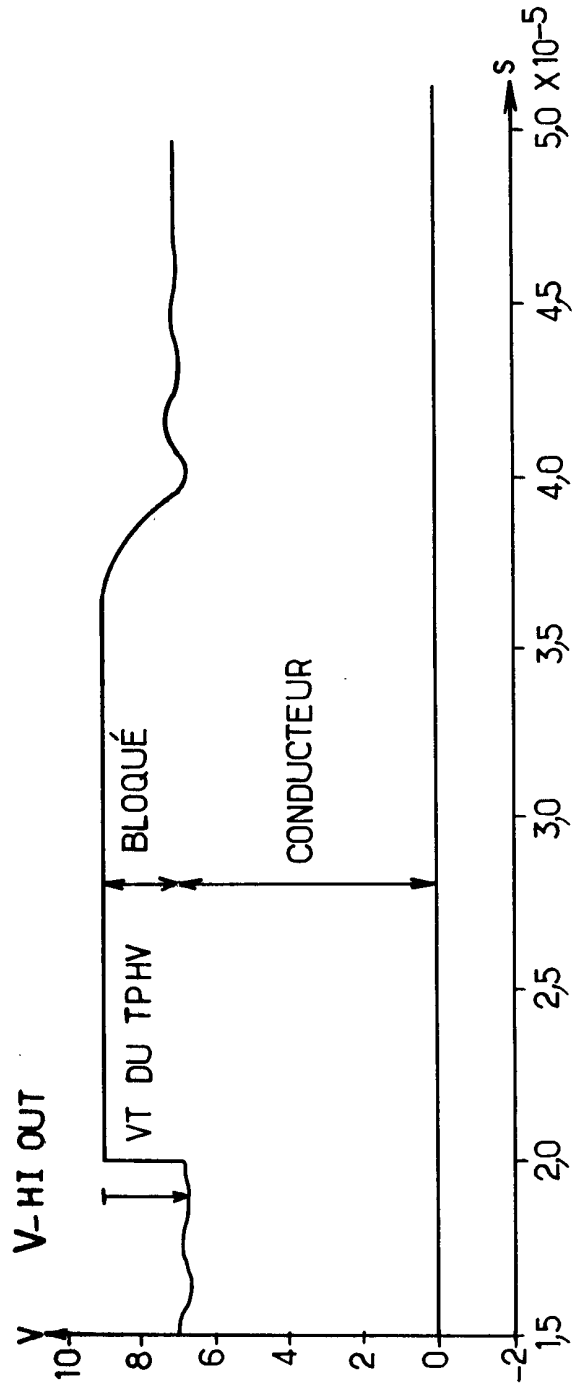


FIG. 3f.

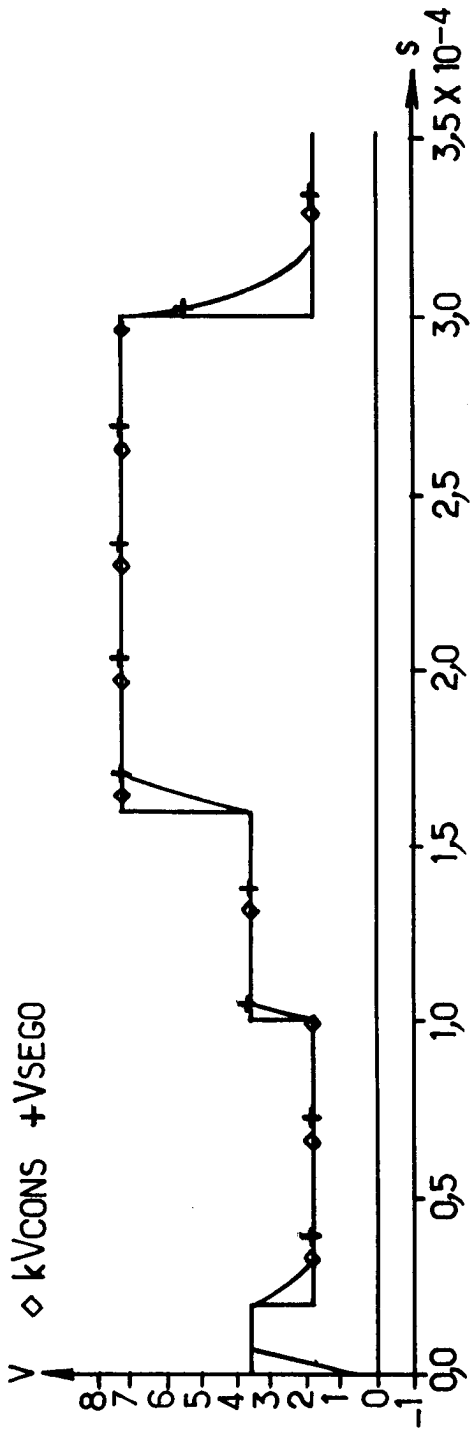


FIG. 3g.

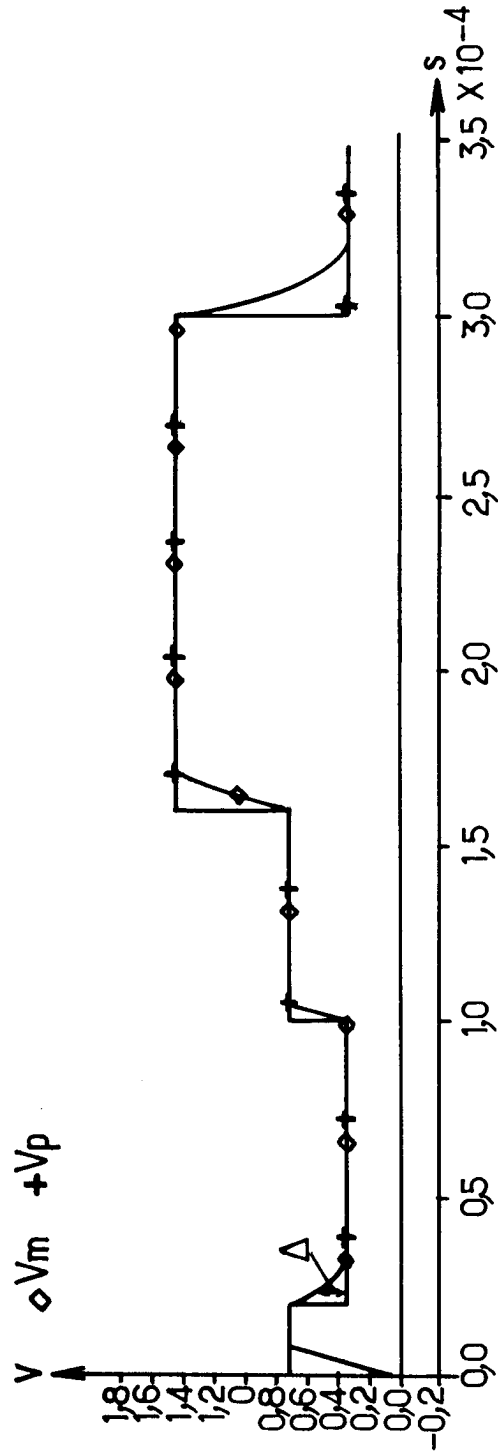


FIG. 3h.

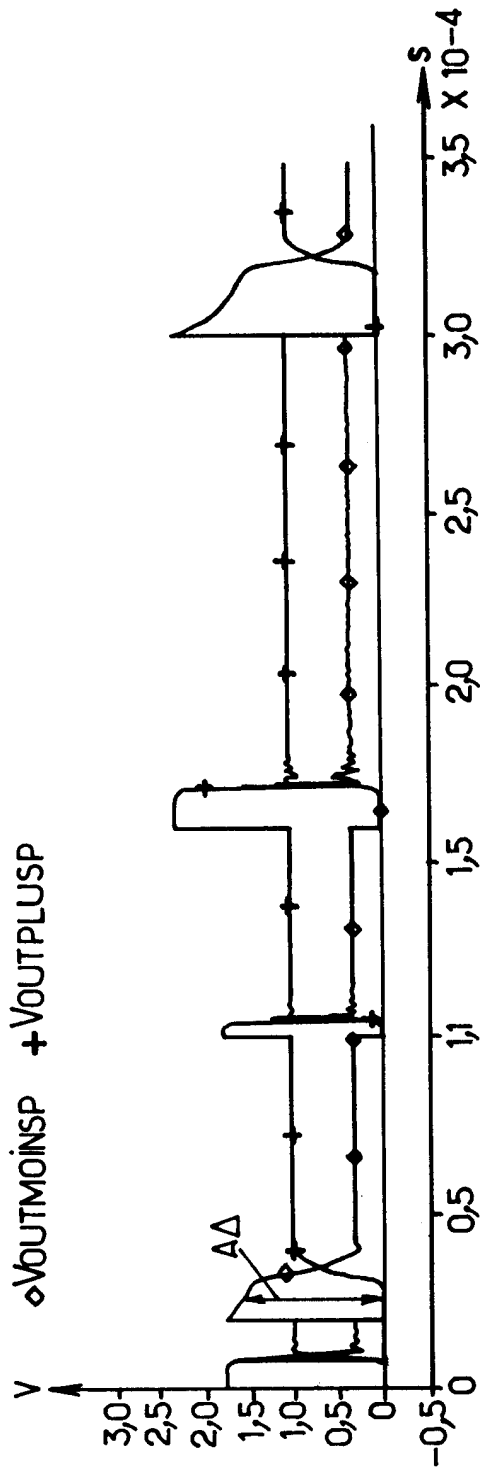


FIG.3i.

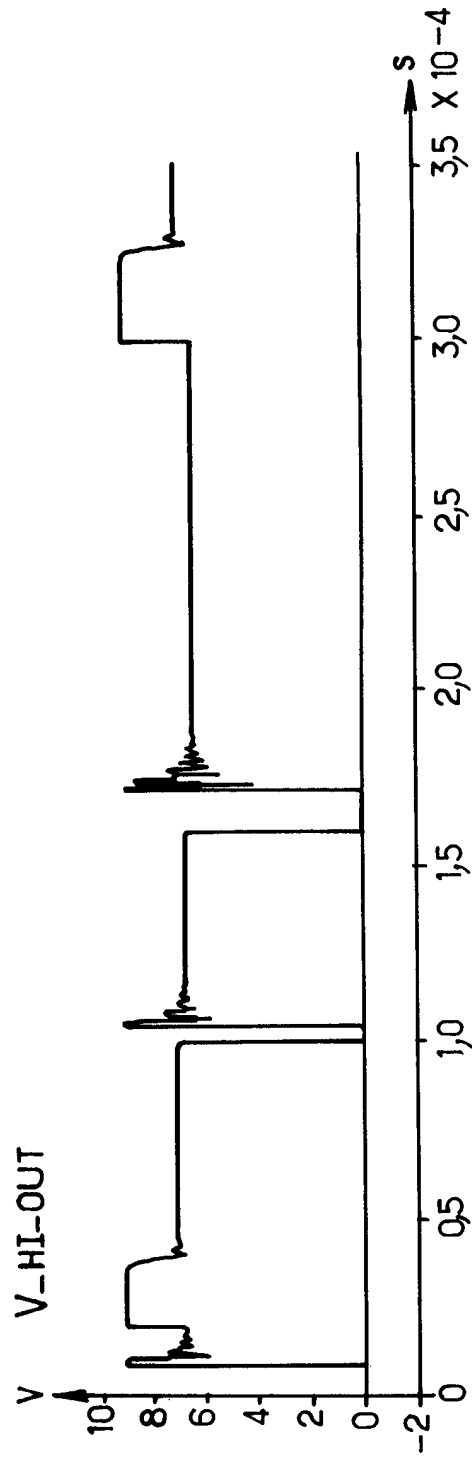


FIG.3j.



Office européen
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande
EP 00 40 3152

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.7)
A	EP 0 479 304 A (TOSHIBA MICRO-ELECTRONICS CO.) 8 avril 1992 (1992-04-08) * Abrégé * * colonne 1, ligne 39 - colonne 2, ligne 47; figures 1-3,8-13 * * colonne 3, ligne 57 - colonne 4, ligne 52 * ---	1-6	G09G3/36
A	US 5 561 442 A (OKADA ET AL.) 1 octobre 1996 (1996-10-01) * Abrégé * * colonne 10, ligne 21 - colonne 11, ligne 27; figures 2,5 * ---	1-6	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.7) G09G
A	EP 0 570 001 A (K.K.TOSHIBA) 18 novembre 1993 (1993-11-18) * Abrégé * * page 12, ligne 36 - ligne 53; figure 10 * -----	1-6	
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 20 mars 2001	Examineur Corsi, F
CATEGORIE DES DOCUMENTS CITES X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire		T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant	

EPO FORM 1503 03 82 (P04C02)

**ANNEXE AU RAPPORT DE RECHERCHE EUROPEENNE
RELATIF A LA DEMANDE DE BREVET EUROPEEN NO.**

EP 00 40 3152

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche européenne visé ci-dessus.
Lesdits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets.

20-03-2001

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 479304	A	08-04-1992	JP 2695981 B	14-01-1998
			JP 4143791 A	18-05-1992
			DE 69111172 D	17-08-1995
			DE 69111172 T	18-01-1996
			KR 9503016 B	29-03-1995
			US 5343221 A	30-08-1994

US 5561442	A	01-10-1996	JP 6289817 A	18-10-1994
			KR 127105 B	29-12-1997

EP 570001	A	18-11-1993	DE 69322308 D	14-01-1999
			DE 69322308 T	26-08-1999
			JP 6180564 A	28-06-1994
			KR 133957 B	25-04-1998
			US 5434599 A	18-07-1995
			US 5619221 A	08-04-1997
			US 5646643 A	08-07-1997

EPO FORM P0460

Pour tout renseignement concernant cette annexe : voir Journal Officiel de l'Office européen des brevets, No.12/82