

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



专利号 ZL 200510113324.7

[45] 授权公告日 2009 年 5 月 27 日

[11] 授权公告号 CN 100492484C

[22] 申请日 1995.2.25

[21] 申请号 200510113324.7

分案原申请号 02142021.1

[30] 优先权

[32] 1994. 2.25 [33] JP [31] 53052/1994

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 小山润 竹村保彦

[56] 参考文献

JP2 - 51193A 1990.2.21

CN1021994C 1993.9.1

US5223824A 1993. 6. 29

审查员 杜娜娜

[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 王忠忠

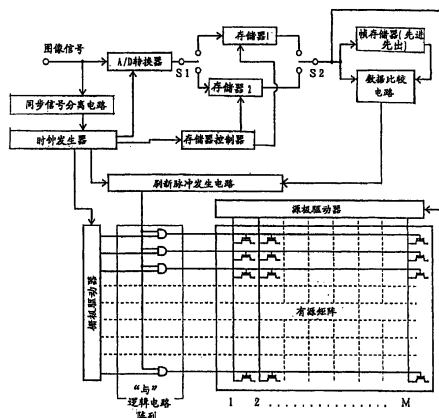
权利要求书 1 页 说明书 13 页 附图 13 页

[54] 发明名称

有源矩阵型显示器件及其驱动方法

[57] 摘要

通过降低在某些显示图像中像素的图像重写频率来降低功耗，在这些显示图像中屏幕有一部分在帧与帧之间不发生变化。另外，为了解决随着时间图像信息（例如，像素电压）变差的现象，定时进行刷新操作。跳过多个行进行隔行扫描。经过若干帧进行刷新操作，在这几帧中一部分行在一帧中进行刷新。这样避免了当在一帧中整个屏幕被刷新时会出现的闪烁。



1. 一种驱动有源矩阵型显示器件的方法，包括以下步骤：

将所有行分成 N 组，每组包括 m 行；以及

在 m 个连续帧上分发重写操作，其中对于每个帧，在 N 行上执行强制重写，所述 N 行中的每一行分别从所述 N 个不同组中的每一组选取。

2. 如权利要求 1 所述的方法，其特征在于：所述有源矩阵型显示器件是一种有源矩阵型液晶显示器。

3. 如权利要求 1 所述的方法，其特征在于：在显示内容要得以保持的情况下，所述强制重写刷新显示内容以补偿显示的衰减。

4. 如权利要求 1 所述的方法，其特征在于：以 30Hz 到 60Hz 的频率驱动所述有源矩阵型显示器。

5. 如权利要求 1 所述的方法，其特征在于：所述有源矩阵型显示器包括向列型液晶。

6. 如权利要求 1 所述的方法，其特征在于：所述有源矩阵型显示器包括扭曲向列型液晶。

有源矩阵型显示器件及其驱动方法

本申请是 1995 年 2 月 25 日提交的发明名称为“有源矩阵型显示器件及其驱动方法”中国专利申请 02142021.1 的分案申请。

技术领域

本发明涉及一种有源矩阵型显示器件及其显示方法。有源矩阵型显示器件是指这样一种显示器件，其中的象素设置在一个矩阵的相应的交叉点上，每个象素配备一个开关元件，并且通过开关元件的开/关转换来控制图象信息。用于有源矩阵型显示器件的显示介质的实例有液晶、等离子体和其它物质及状态，它们的光学特性(反射率、折射率、透射率、光发射强度等等)可以进行电致改变。本发明尤其涉及一种有源矩阵型显示器件，该显示器件采用一个三端子元件(即一个具有栅极、源极和漏极的场效应晶体管)作为开关元件。

在本发明的描述中，术语一个矩阵的“行”是指这样一个结构，在该结构中，与一个相关行平行设置的一个信号线(栅极线)与属于该行的晶体管的栅极相连。术语“列”是指这样一个结构，在该结构中，与一个相关列平行设置的一个信号线(源极线)与属于该列的晶体管的源极(或漏极)相连。用于驱动栅极线的电路和用于驱动源极线的电路分别称作栅极驱动器和源极驱动器。

背景技术

平板式显示器(FPD)已经发展成取代CRT显示器的新型显示器。有源矩阵型显示器是典型的一种平板式显示器。在有源矩阵型显示器中，屏幕被分为许多象素，并且每个象素配有一个相应的开关

元件, 这些开关元件控制由这些象素维持的显示信息。有源矩阵型显示器的典型例子是采用TN(扭曲向列型)液晶的薄膜晶体管(TFT)有源矩阵显示器。

在该显示器中, 显示介质是TN液晶, 图象信息是象素电压。即用由每个象素维持的电压控制TN液晶(显示介质)的透射率。常规地, 在这种有源矩阵型显示器中, 通过采用自上而下逐行扫描来更新所有象素的显示内容以重写一个图象。以这样的帧频即每秒30-60次(30-60Hz)进行图象重写。

然而, 对于某些类型的显示内容, 并不总是需要这样的频率来重写图象。例如, 不必重写一个静止的图象, 直到由象素维持的电压降低到这样低的电压值使得不足以保证显示质量为止。即使在运动图象的情况下, 每次并非所有象素显示不同的图像信息。

图象重写需要信号输出, 这就是功耗增加的一个因素, 并且因而有碍于便携式应用。

发明内容

本发明是根据上述情况而作出, 并且本发明的一个目的是通过在一个有源矩阵型电-光器件中使图象重写的频率尽可能低来降低能耗。

为获得此目的, 本发明的特征在于以下步骤:

首先, 把施加于某一行象素上的信号与前一帧相应的信号比较。只有当对于有关行来说至少一个象素上的两个信号不同, 才会输出一个表明有必要重写的信号(刷新脉冲)。两个信号(例如, 延迟电路的一个输入信号和一个输出信号)之间的差别可以通过在延迟电路中比较这两个信号而测得。

可以通过采用刷新脉冲来向有关行的栅极线施加栅极脉冲以

进行重写，从而使有关行的有源矩阵晶体管的栅极处于接通状态。

如果要施加于有关行的所有象素上的信号与前一帧的对应的信号相同，作为一个总的规则，不发出刷新脉冲。然而，如果图象信息保持不变的状态持续许多帧，这样长时间不执行重写会造成各种问题。例如，在采用TN液晶作为显示介质的情况下，长时间施加同一极性的电压会造成电蚀，导致其性能变差。因此，需要定时地进行极性转变。当只采用一个单独的晶体管作为有源矩阵开关元件时，源极-漏极漏电流等等会改变存储在一个象素中的图象信息(例如，电压)。

考虑到以上情况，在本发明中，即使图象信息没有发生改变，每隔几帧对象素强制执行一次重写。当采用液晶材料作为显示介质时，有利的是在强制进行对象素的重写的过程中施加于液晶上的电压的极性被颠倒(施加交流电压)。

以上述方式，通过只对需要重写的象素或行进行重写而从总体上降低图象重写频率，可以降低功耗。为了避免显示特性变差，以下列方式定时进行重写是行之有效的。

假定一个矩阵包括20行，即第1行，第2行，第3行，……，第19行和第20行。还假设由该矩阵连续显示完全相同的图象，并且每5帧执行一次强制重写。

最简单的型式是在第1帧中对所有行进行重写，并且在第2至第5帧不进行重写。然而在该型式中，在第2至第5帧过程中，由于象素电压降低，亮度会变化。通过在第6帧中重写，亮度会恢复至与第1帧中相同的亮度。

如果一帧周期是30毫秒，在两个重写操作之间的间隔是150毫秒。因此，由于在第6帧的重写而产生的亮度变化足以察觉到，肉

眼会感觉到闪烁。

可以通过把重写操作分配到第1至第5帧而不是只有第1帧中进行重写来解决这个问题。尤其是4行在一帧中进行重写。例如，在第1帧中，只有第1行，第6行，第11行和第16行强制进行重写。在第2帧中，在第2行，第7行，第12行和第17行进行重写。在第3帧中，在第3行，第8行，第13行和第18行进行重写。在第4帧中，在第4行，第9行，第14行和第19行进行重写。在第5帧中，在第5行，第10行，第15行和第20行进行重写。在第6帧进行相似的操作。重写操作可以按相同的原理以不同的方式分配。

通常来说，在整个矩阵分成N组，每组包括m行的情况下，在一帧中N行经受强制重写，并且在m帧中完成对所有行的重写。

在这种情况下，例如，上述第1行可称为第1组，第1行；上述第7行称为第2组，第2行；上述第14行称为第3组，第4行；并且上述第20行称为第4组，第5行。另外，可以不同的方式给出组和行号码。

通过按上述方式分配重写操作有可能使闪烁不被察觉。作为一个典型例子，有这样一个规则：在某一帧(被称为第一帧)中，对其中每一组的第一行进行强制重写，则由此帧后的一帧起算的第(K-1)帧，即，在第K帧中($K=1, 2, 3, \dots, m$)，第K行将予强制改写。上面描述的实例满足这个规则。

然而，并不要求满足这样的规则性。满足这样一个规则是足够的，即在m个连续帧中，应当在一帧在由m个任选行构成的栅极线组的一行上进行强制重写，并且在该组的所有行上进行重写。

如果从另一角度看本发明可以理解到：满足这样一个规则就

足够了, 即在某帧(称为第1帧)中, 某一行接受强制重写, 则自其最后一帧起算的第 m 帧, 即在第 $(m+1)$ 帧中, 相同的行再接受重写。

另外, 在采用液晶材料作为显示介质的情况下, 这一点是有利的, 即施加在第 $(m+1)$ 帧中的有关行的像素上的电压的极性与施加在第1帧和第 $(2m+1)$ 帧中的相同像素上的电压极性相反。这是因为可以为强制重写液晶材料提供必不可少的交流电压。

附图说明

图1是一个表示第一实施例的电路结构的方框图;

图2表示在第一实施例中的一个数据比较电路;

图3表示一个在第一实施例中的刷新脉冲发生电路;

图4是一个表示怎样通过图3的电路产生刷新脉冲的时间图;

图5表示一个在第一实施例中的一个门驱动器的启动脉冲发生电路;

图6表示另一个在第一实施例中的一个门驱动器的启动脉冲发生电路;

图7是一个表示怎样通过图5或6的电路产生启动脉冲的时间图;

图8表示在第一实施例中的栅极驱动器及其辅助电路;

图9表示在第一实施例中的栅极驱动器的输出;

图10是一个表示如何输出栅极脉冲的时间图;

图11是一个表示第二实施例的电路结构的方框图;

图12表示一个在第二实施例中的刷新脉冲发生电路;

图13是一个表示如何通过12的电路产生刷新脉冲的时间图;

和

图14是一个表示如何输出栅极脉冲的时间图。

具体实施方式

第一实施例

参照图1-10描述本发明的第一实施例。图1表示该实施例的电路结构。一个有源矩阵采用场效应晶体管(例如, 薄膜晶体管)作为开关元件, 并且该有源矩阵的尺寸是 $N \times m$ 行和 M 列。这些行分为 N 组, 每组包括 m 栅极线。把第 i 组、第 j 行栅极线写作 (i, j) 。

把一个模拟图象信号通过一个A/D转换器转变成一个数字信号, 把该数字信号传送到一个存储器。另外, 用一个同步信号分离电路从图象信号中分离出同步信号, 并且把该同步信号输送给一个时钟发生器。

设置两个存储器, 即存储器1和存储器2。(也可以选择设置三个或更多个存储器)。开关 S_1 将数据送至存储器1或存储器2。通过开关 S_2 立即把存进存储器中的数据读出。也就是, 开关 S_2 运作以读出来自存储器1和存储器2之一的未被开关 S_1 选择的数据。

采用两个或更多个存储器以进行写和读操作的原因是需要转变数据顺序。在一个普通图象信号中, 按以下列顺序安排数据:

(1.1), (1.2), (1.3), (1.4), ..., (1.m)
 (2.1), (2.2), (2.3), (2.4), ..., (2.m)
 (3.1), (3.2), (3.3), (3.4), ..., (3.m)
 (4.1), (4.2), (4.3), (4.4), ..., (4.m)

(N.1), (N.2), (N.3), (N.4), ..., (N.m)在本实施例中需要采用后面描述的方法来把扫描顺序改变为如下的顺序:

(1.1), (2.1), (3.1), (4.1), ..., (N.1)
 (1.2), (2.2), (3.2), (4.2), ..., (N.2)
 (1.3), (2.3), (3.3), (4.3), ..., (N.3)

$$(1.4), (2.4), (3.4), (4.4), \dots, (N.4)$$

$$\dots \quad \dots \quad \dots \quad \dots \quad \dots \quad \dots$$

$$(1.m), (2.m), (3.m), (4.m), \dots, (N.m)$$

把通过改变上面的数据顺序而得到的信号送到一个帧存储器和一个数据比较电路。还把同一信号传输给一个源驱动器。如果源驱动器为数字型的,则信号可以直接输入。然而,如果源驱动器为模拟型的,则在输入之前需要对信号进行D/A转换。

图2表示数据比较电路的细节。该帧存储器存贮一帧以前的数据。移位寄存器1把一行有关当前帧的数据传送给寄存器1。移位寄存器2把有关前面一帧的行的数据传送给寄存器2。

假设现在栅极驱动器向例如第*i*组第*j*行提供一个电压。在这种情况下,第*i*组第*j*行的当前数据存储在寄存器1中,前一帧的相同行的数据存储在寄存器2中。一行包括*M*个象素,并且借助于图2底部所示的*M*个“异—或”电路之中的一个对每个象素的两个数据进行相互比较。如果当前数据和前一帧的数据彼此不同,则“异—或”逻辑电路向设在下面的“或”逻辑电路提供一个输出。也就是说,如果对于*M*个象素中的至少一个象素来说当前数据和前一帧数据彼此不同,则“或”逻辑电路向刷新脉冲发生电路提供一个信号。

一旦完成了第*i*组第*j*行的比较,则开始对第(*j*+1)组第*j*行的比较。以此方式,一个接着一个地进行数据比较。

通过刷新脉冲发生电路把数据比较电路的输出传送给一个“与”电路阵列,该“与”电路阵列设置在栅极驱动器和有源矩阵之间。有来自比较电路的输出则意味着有关行的当前信息不同于

前一帧的信息。因此, 需要产生一个栅极脉冲来执行在有关行的重新写入。从图3可以看出, 在接到数据比较信号之后, “或”逻辑电路直接向“与”逻辑电路提供一个刷新脉冲。作为响应, 已经接到栅极驱动器输出的行(第 i 组, 第 j 行)的“与”逻辑电路启动以输出一个门脉冲。

如果数据比较电路不产生输出, 则向该“与”逻辑阵列提供一个造成规则的、强制的重写的信号。图3的电路适于进行这样的操作。为简化起见, 假设一个 $N=4$ 且 $m=5$ 的20一行矩阵。图4是一个表示在图3中①-⑤点处信号的时间图和一个刷新脉冲输出。在图4中, 一个水平时钟在一帧周期内包括20个脉冲。通过用 $N(=4)$ 去除水平时钟信号的频率, 在一帧周期中的脉冲数减少到5个。

收到了这样产生的脉冲, 延迟电路(DFF)运作以最后产生刷新脉冲, 这些刷新脉冲顺序地延迟一个等于一帧周期的时间, 借此恢复到以5帧为周期的初始计时。在图4中, 第5和第6帧的刷新脉冲彼此连接。如果没有信号从数据比较电路输出(即如果在图象信息中没有变化), 则只输出图4中所示的刷新脉冲。

现在来描述栅极驱动器。如上所述, 本发明采用不同于通常顺序的扫描顺序。因而栅极驱动器具有特殊结构。图8表示栅极驱动器的一个实施例。即在该实施例中, 平行地设置 m 个 N 级称位寄存器。通过一个在图5或6中所示的电路使对于各个移位寄存器的启动脉冲 SP_1 - SP_m 同步。

图9是一个表示在“与”逻辑电路阵列之前由上面电路产生的脉冲的时间图和从 $N=4$ 且 $m=5$ 的矩阵的栅极驱动器的输出。图9中圈起来的数字表示脉冲输出顺序。即脉冲按顺序输出到第1组, 第1

行, 第2组, 第1行, 第3组, 第1行, 第4组, 第1行, 第1组, 第2行, 第2组, 第2行,

以图10所示的方式, 在“与”逻辑电路阵列中把已经按上述的方式进行了同步处理的栅极驱动器的输出脉冲(SR输出) 同一个刷新脉冲组合。为了简单起见, 假设讨论是针对一个静止图象并且没有从数据比较电路的输出。尽管图10只表示对于第1组第4行(1.4), 第2组第2行(2.2), 第3组第5行(3.5), 和第4组第1行的脉冲, 同样的情况适用于其它行。用于各个行的移位寄存器(SR) 在第1至第5帧中规则地输出脉冲。只有当一个刷新脉冲与移位寄存器输出脉冲之一共存时, 它才作为一个栅极脉冲输送给该矩阵。

例如, 在行(1.4)的情况下, 刷新脉冲不与在第1至第3帧和第5帧中任何之一中的SR输出共存, 因而该“与”逻辑电路不产生栅极脉冲。只有在其中刷新脉冲与SR输出共存的第4帧中产生栅极脉冲。类似地, 一个栅极脉冲只有第2帧输送到行(2.2), 只在第5帧输送到行(3.5), 并且只在第1帧输送到行(4.1)。

也就是说, 在该实施例中, 只有在第j帧一个栅极脉冲才被输送到第i组、第j行。

不言而喻, 当从数据比较电路中存在一个输出时, 则每次产生一个刷新脉冲并且一个栅极脉冲被供应到相应行。

第二实施例

参照图11-14描述本发明的第二实施例。图10表示本实施例的电路结构。一个有源矩阵采用场效应晶体管(比如薄膜晶体管) 作为开关元件, 并且具有 $N \times m$ 行和M列的大小。这些行被分成N组, 每组包括m个栅极线。第i组, 第j行栅极线写作(i.j)。

通过一个A/D转换器把一个模拟图象信号转变成一个数字信号，把该数字信号传输给一个数据比较电路。另外，通过一个同步信号分离电路从图象信号中分离出同步信号，并且把该同步信号供给一个时钟发生器。

与第一实施例相反，第二实施例采用与通常的显示方案中的顺序相同的扫描顺序。因此，没有必要进行在第一实施例中进行的数据顺序的改变。即在该实施例中以下列顺序进行扫描：

(1.1), (1.2), (1.3), (1.4), ..., (1.m)

(2.1), (2.2), (2.3), (2.4), ..., (2.m)

(3.1), (3.2), (3.3), (3.4), ..., (3.m)

(4.1), (4.2), (4.3), (4.4), ..., (4.m)

... ..

(N.1), (N.2), (N.3), (N.4), ..., (N.m)

本实施例的帧存储器和数据比较电路与第一实施例的相同(见图2)。把有关行的当前帧数据与存储在帧存储器中的前一帧数据进行比较。如果它们彼此不同，则从数据比较电路向设置在其后面的刷脉冲发生电路传送一个信号。

通过具有图12所示结构的刷新脉冲发生电路向一个“与”逻辑电路阵列传送数据比较电路的输出，该“与”逻辑电路阵列设在栅极驱动器和有源矩阵之间。有来自比较电路的输出意味着有关行(比如第i组，第j行)的当前信息不同于前一帧的信息。因此，需要产生一个栅极脉冲来执行在有关行的重新写入。从图12中可以看出，在接到数据比较信号之后，“或”逻辑电路立即向“与”逻辑电路提供一个刷新脉冲。作为响应，已经接到栅极驱动器输

出的行(第 i 组, 第 j 行)的“与”逻辑电路启动以输出一个栅极脉冲。

如果数据比较电路不产生输出, 则向该“与”逻辑阵列提供一个生成规则的、强制的重写的信号。图12的电路适于进行这样的操作。为简化起见, 假设一个 $N=4$ 且 $m=5$ 的20一行矩阵。图13是一个表示在图12中①-④点处信号的时间图和一个刷新脉冲输出。在图13中, 一个水平时钟在一帧周期内包括20个脉冲。通过用 $2m$ ($=10$)去除水平时钟信号的频率, 在一帧周期中的脉冲数减少到2个。

收到这样产生的脉冲, 则延迟电路(DFF)启动以最终产生刷新脉冲。在一帧周期中输出4个刷新脉冲, 并且这些脉冲之间的间隔与在一个单独帧中的相同。在从第一帧向第二帧的转变中, 第一脉冲被延迟一个脉冲周期。类似地, 在每个从第二帧向第三帧, 第三帧向第四帧和第四帧向第五帧的转换中, 第一脉冲延迟一个脉冲周期。

当完成第一至第五帧的一个周期运作时, 从第六帧开始一个新的周期。从图13中可以看出, 在从第五至第六帧的转换中, 第五帧的最后一个脉冲与第六帧的第一个脉冲连接。按上面的方式使刷新脉冲同步, 并且将这些脉冲供给“与”逻辑电路阵列。如果从数据比较电路没有数据输出(即如果图象信息没有变化), 则只输出图13所示的刷新脉冲。

本实施例的栅极驱动器与第一实施例的相同, 并且由一个 $m \times N$ 级的单独的移位寄存器组成。以下列顺序把移位寄存器的各级的输出供给“与”逻辑电路阵列:

$$\begin{array}{l}
 (1.1), (1.2), (1.3), (1.4), \dots, (1.m) \\
 (2.1), (2.2), (2.3), (2.4), \dots, (2.m) \\
 (3.1), (3.2), (3.3), (3.4), \dots, (3.m) \\
 (4.1), (4.2), (4.3), (4.4), \dots, (4.m) \\
 \dots \quad \dots \quad \dots \quad \dots \quad \dots \quad \dots \\
 (N.1), (N.2), (N.3), (N.4), \dots, (N.m)
 \end{array}$$

以图14所示的方式，在“与”逻辑电路阵列中把按上述方式已经进行了同步处理的栅极驱动器的输出脉冲与一个刷新脉冲组合。为简化起见，假设讨论是针对一个静止图象并且没有从数据比较电路的输出。尽管图14只表示对于第1组第4行(1.4)，第2组第2行(2.2)，第3组第5行(3.5)，和第4组第1行(4.1)的脉冲，同样的情况适用于其它行。用于各个行的移位寄存器(SR)在第1至第5帧中规则地输出脉冲。只有当一个刷新脉冲与移位寄存器输出脉冲之一共存时，它才作为一个栅极脉冲输送给该矩阵。

例如，在行(1.4)的情况下，刷新脉冲不与在第1至第3帧和第5帧中任何之一中的SR输出共存，因而该“与”逻辑电路不产生栅极脉冲。只有在其中刷新脉冲与SR输出共存的第4帧中产生栅极脉冲。类似地，一个栅极脉冲只在第2帧输送到行(2.2)，只在第5帧输送到行(3.5)，并且只在第1帧输送到行(4.1)。

也就是说，在该实施例中，只有在第j帧一个栅极脉冲才被输送到第i组、第j行。

不言而喻，当从数据比较电路中存在一个输出时，则每次产生一个刷新脉冲，并且一个栅极脉冲被供应到相应行。

本发明可以降低在有源矩阵电路中的功率消耗。另外，如在

第一和第二实施例所描述，通过向若干帧分配强制的刷新操作，本发明可以抑制图象质量变差。

将本发明与各种采用有源矩阵型装置的显示电路相结合就更有效。在有源矩阵电路中，由于各个开关元件性能的非常小的差别，各个象素在显示性能上有细微的差别。例如，当用薄膜晶体管(TFT)作为开关元件时，在非选择状态下(不供应栅极脉冲)具有较大截止电流的TFT伴随着较大的漏电流，因而TFT的充电保持能力差。在一个与这样的TFT相关的象素中，应向电源供应比普通情况下高的电压。

希望事先以构成有源矩阵的开关元件的特性补偿图象信号。在第一或第二实施例的A/D转换电路之后可以设置这样一个补偿电路。这种类型的补偿操作使图象的显示更清楚且不太可能出现缺陷。也就是说，执行数字处理的本发明可以与其它需要数字处理的显示电路组合以造成叠加的效果。

本发明也可以与一个显示电路(例如，参见日本未审查公开号No.Hei, 5-35202)组合，在该显示电路中通过向象素施加一个数字信号而不是一个模拟信号来进行分度显示，借此提供进一步的优点。这样本发明可用于相关的工业中。

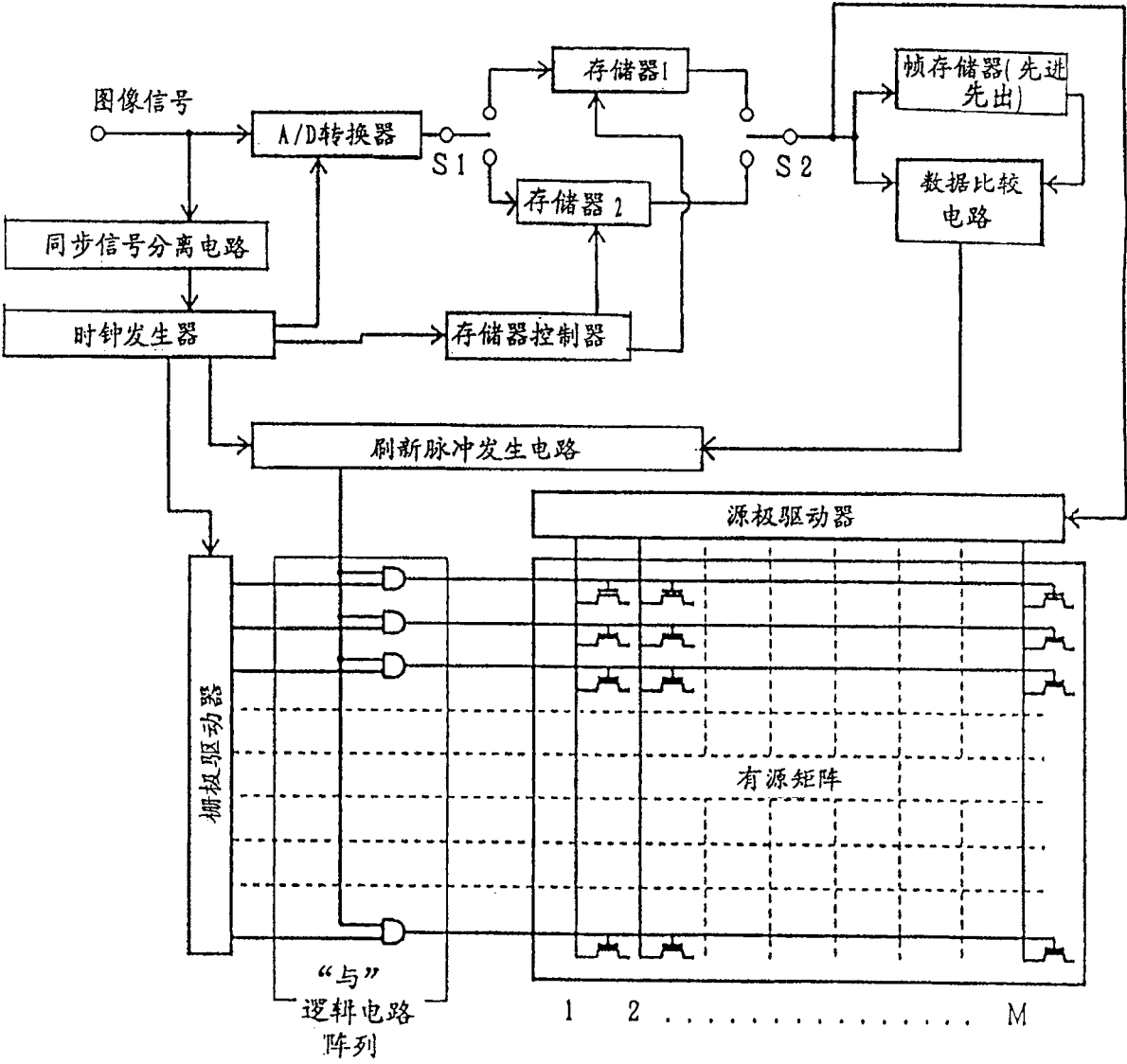


图 1

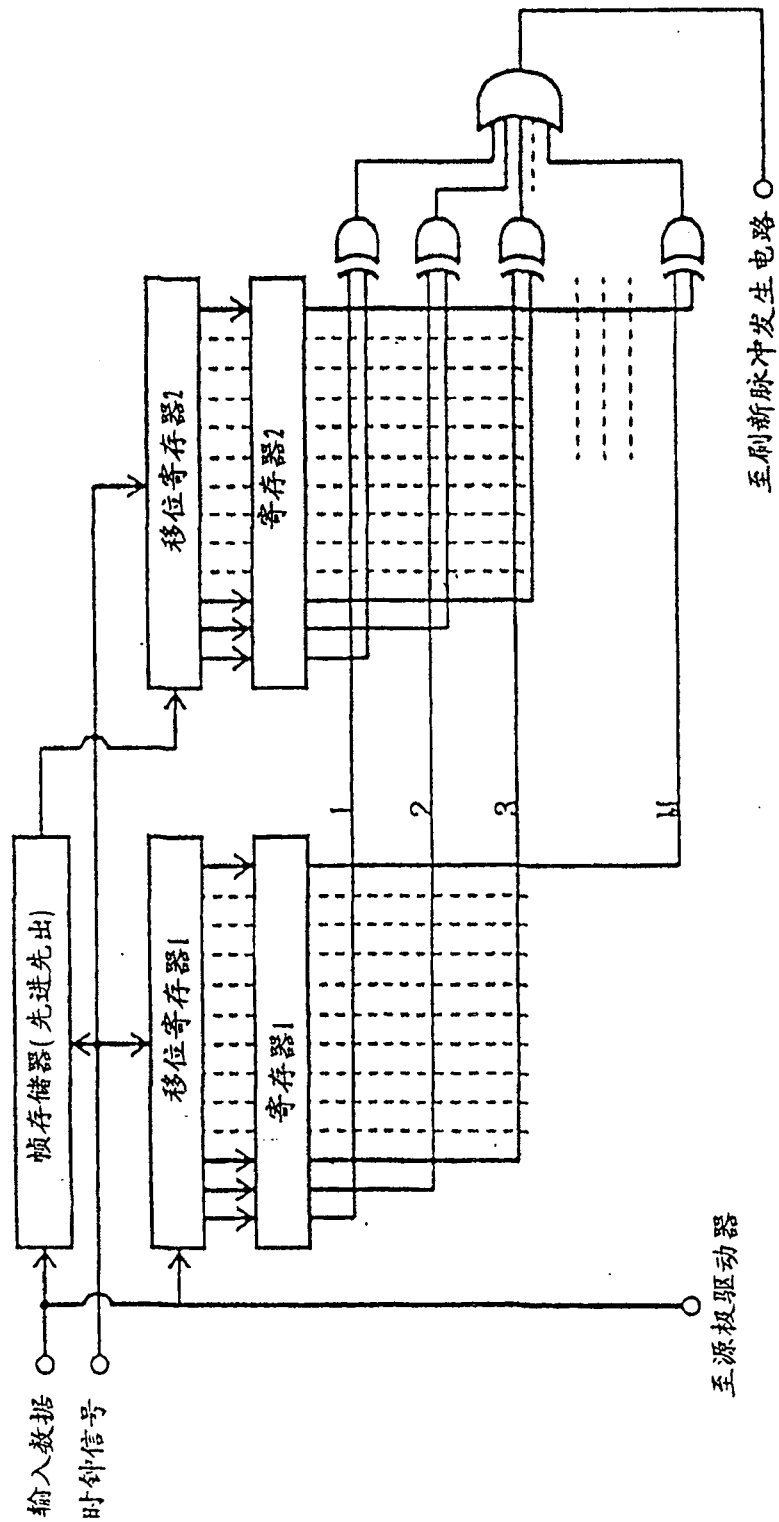


图 2

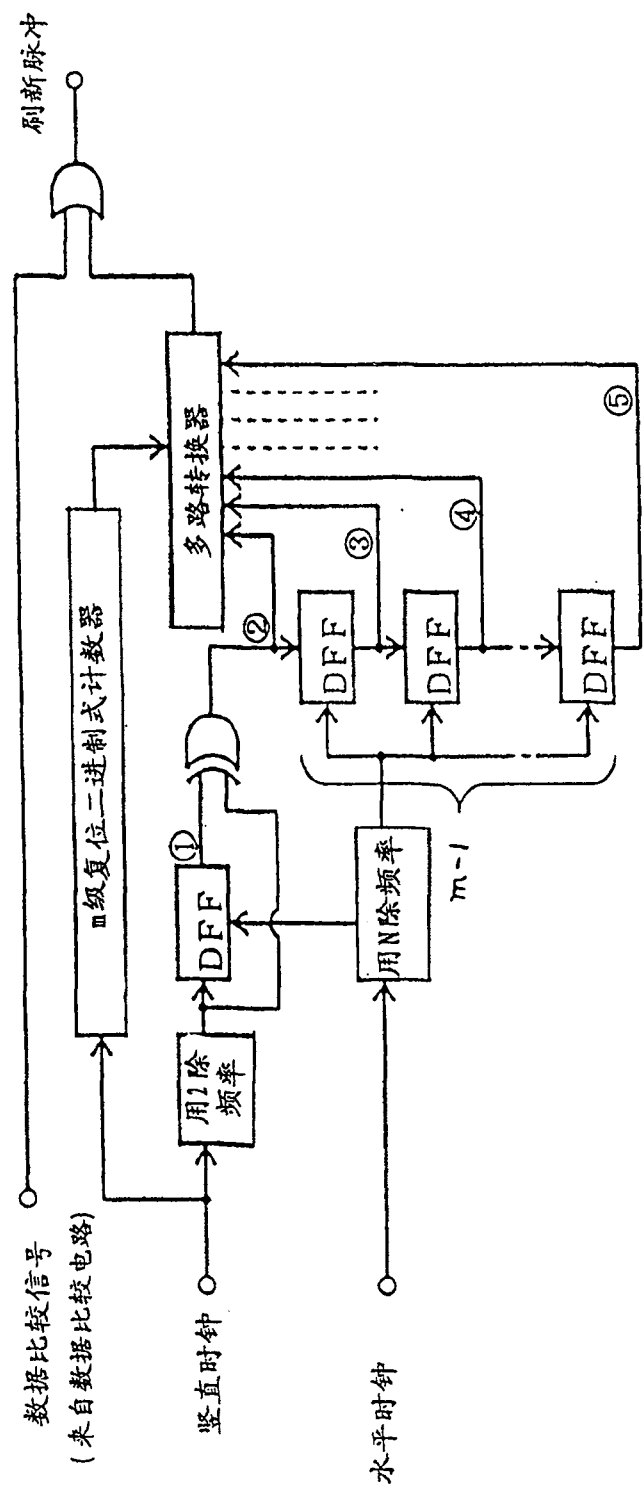


图 3

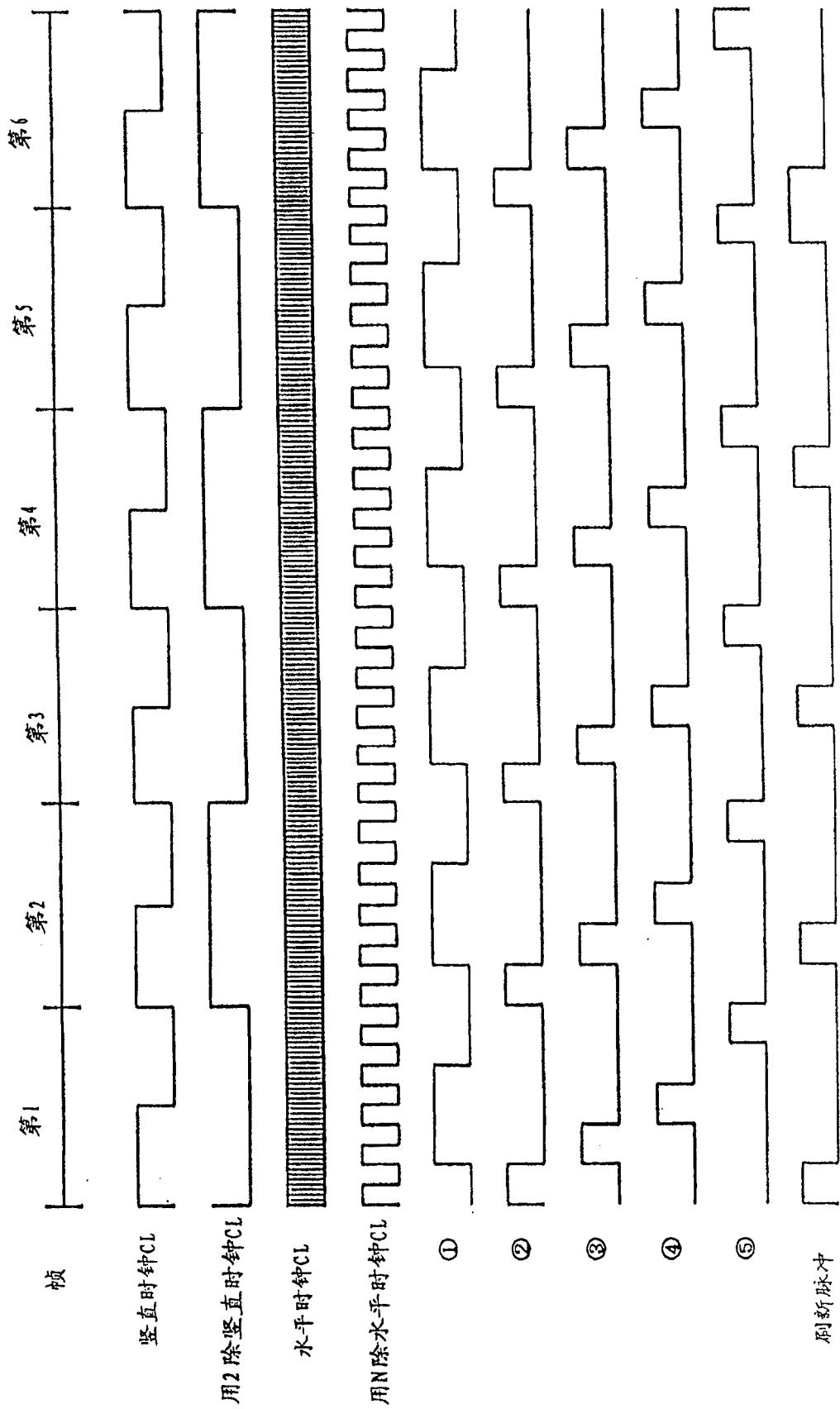
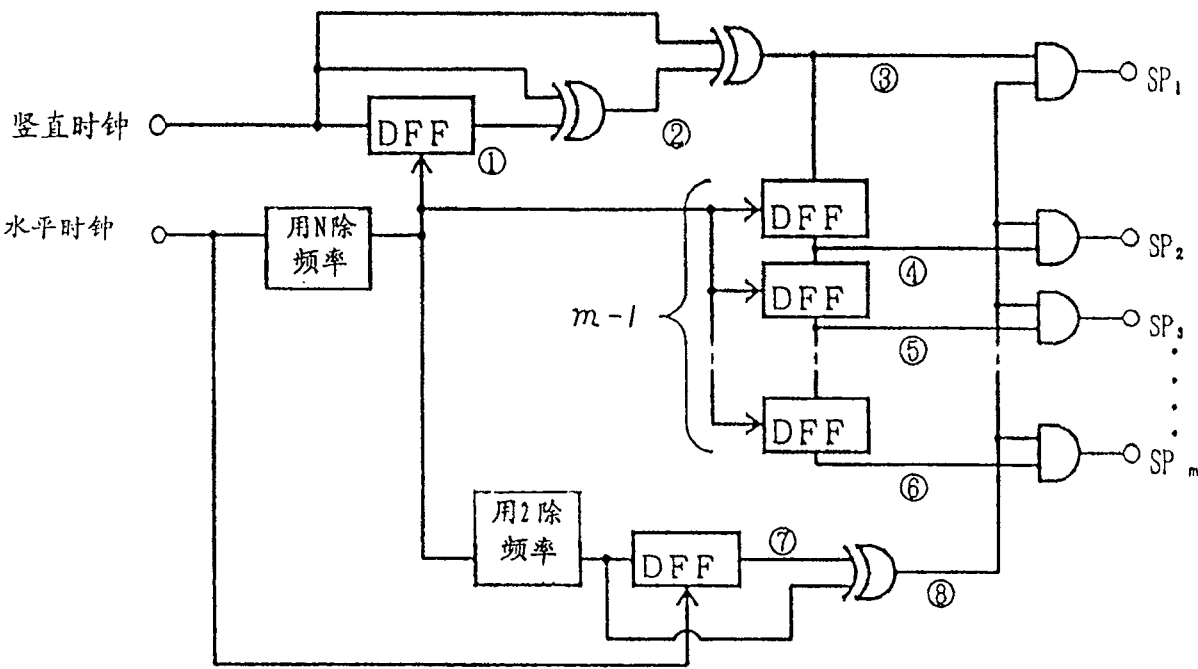
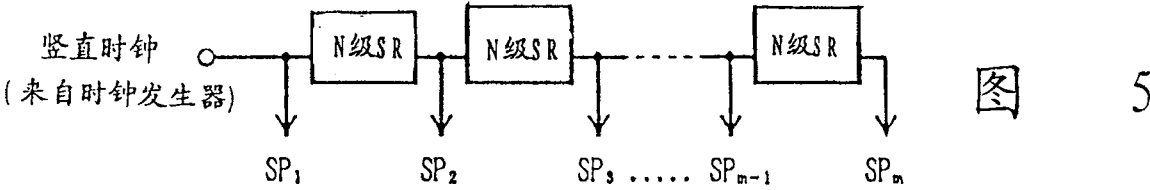


图 4



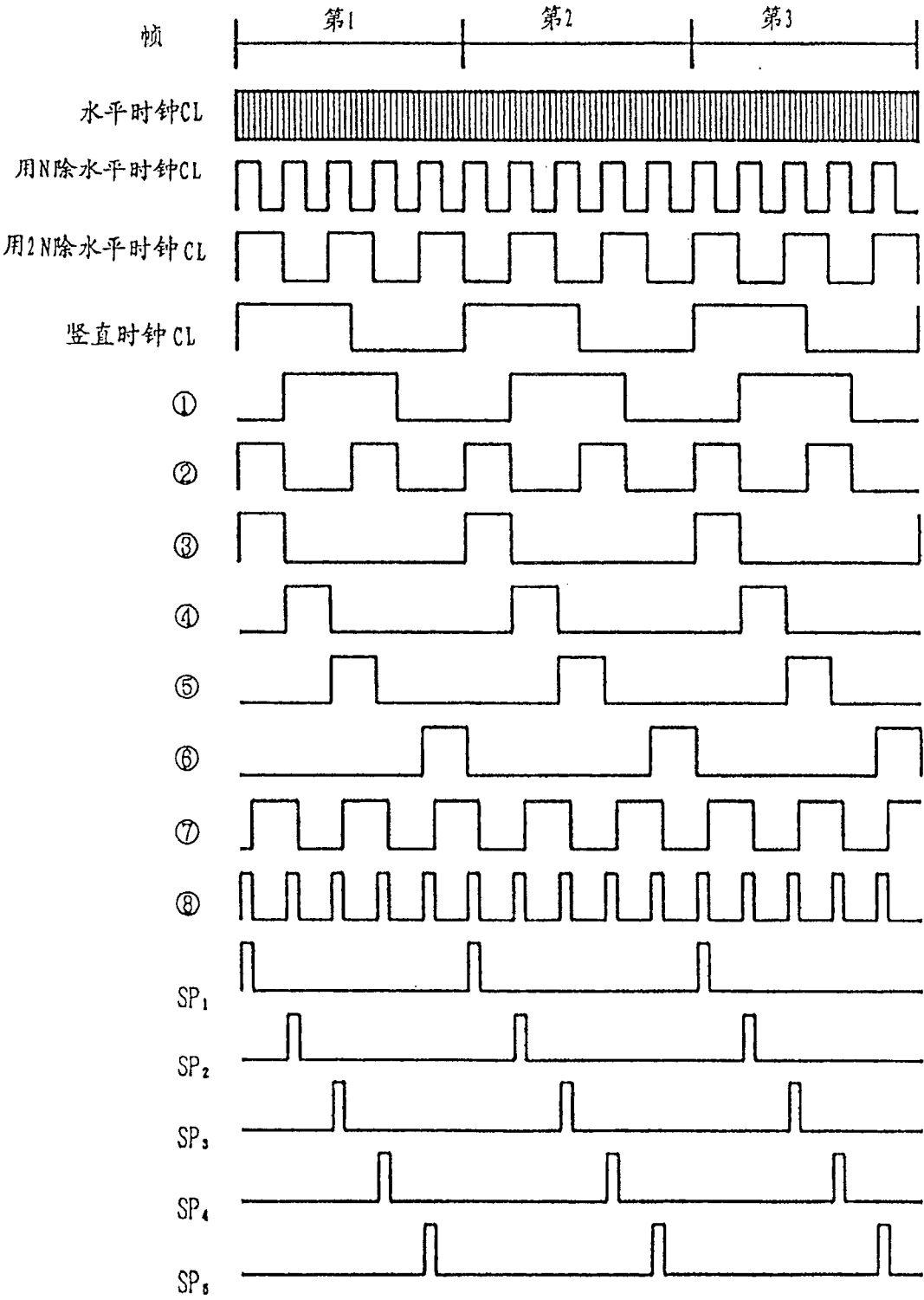


图 7

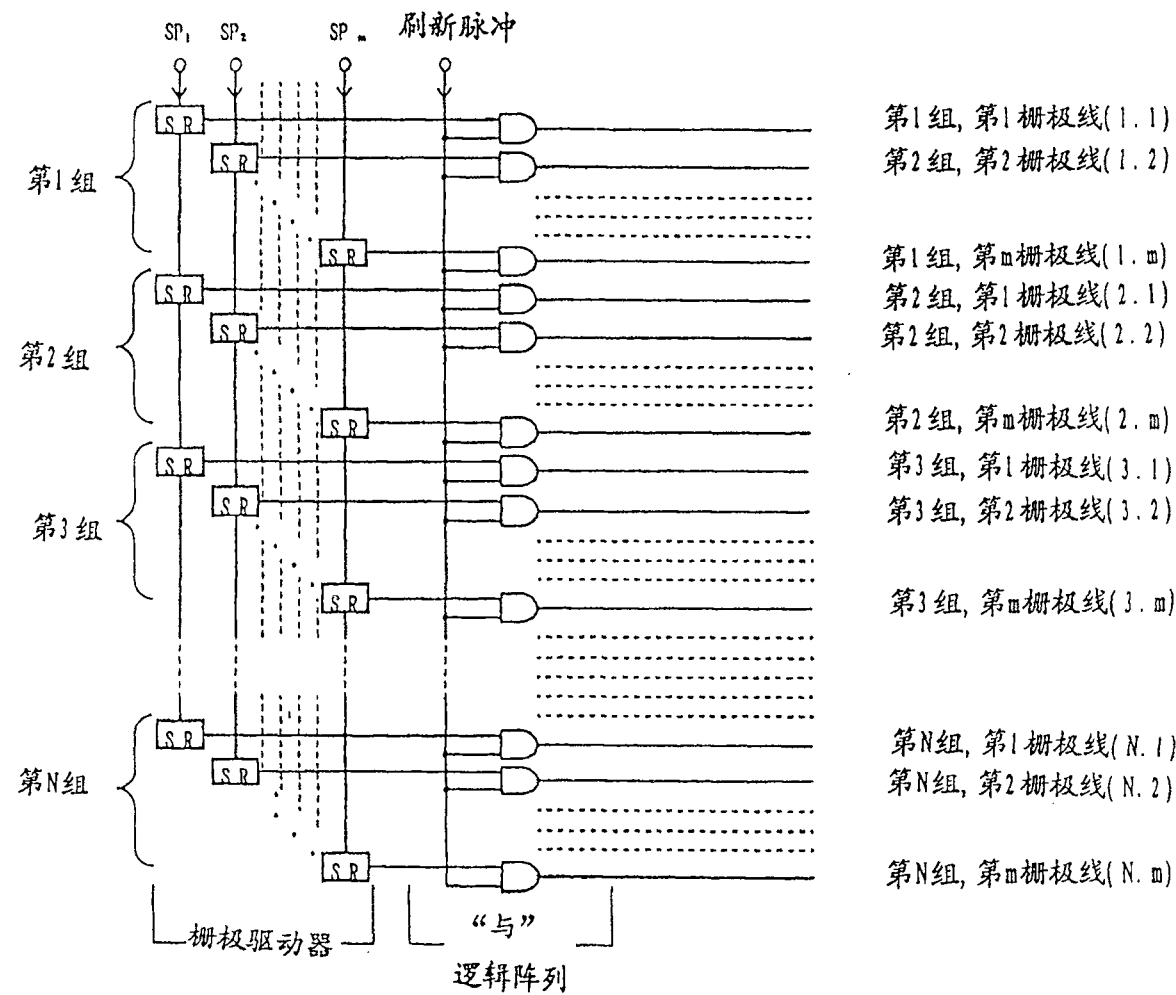


图 8

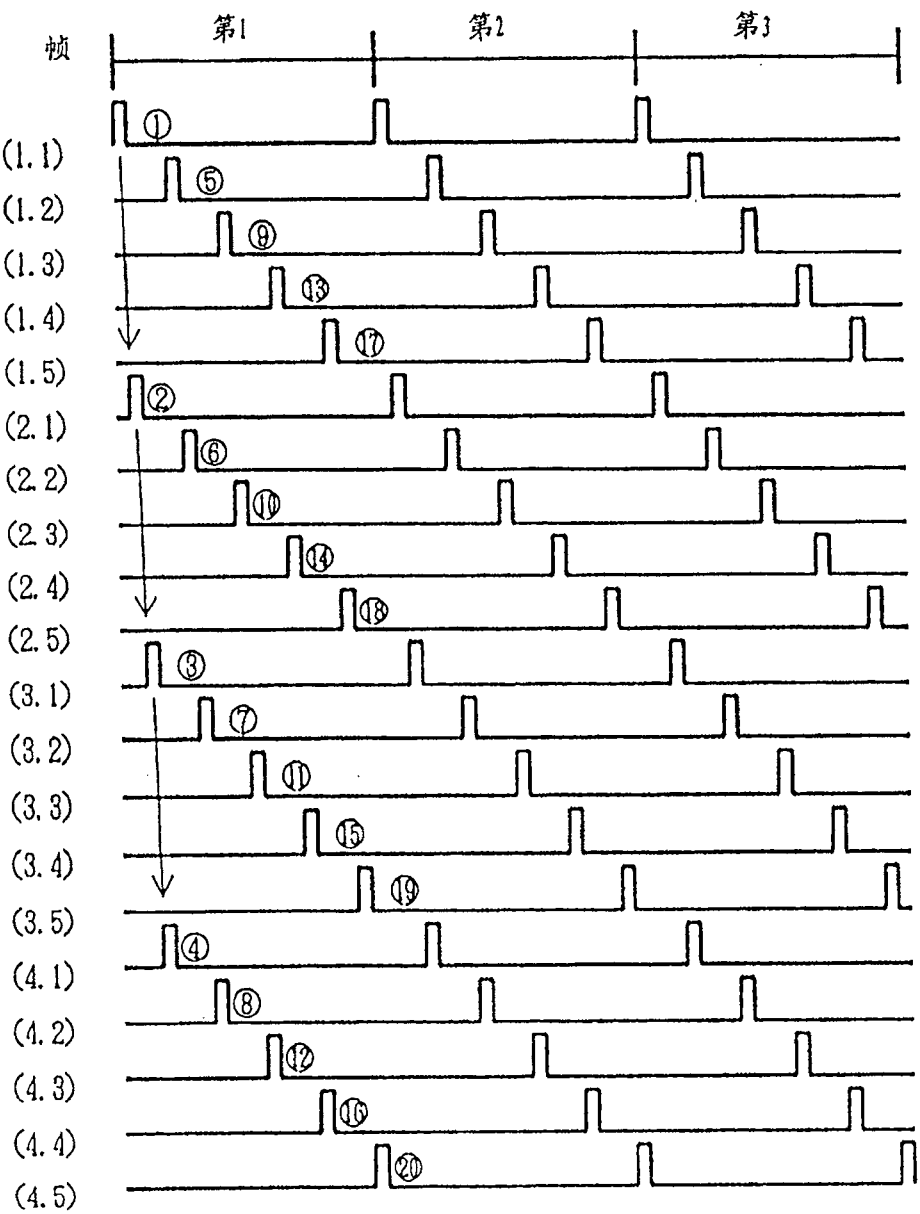


图 9

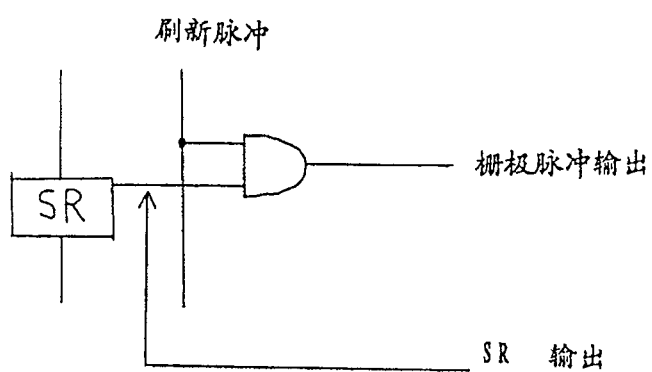
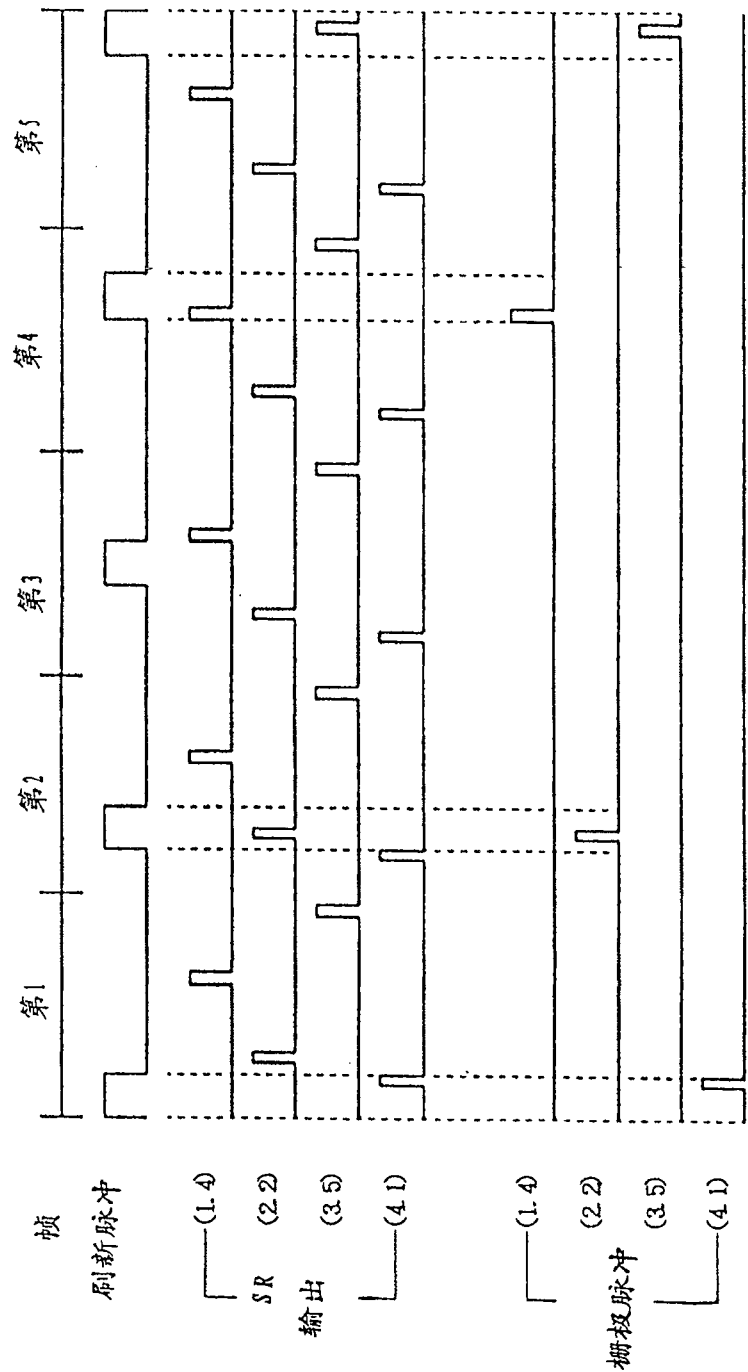


图 10

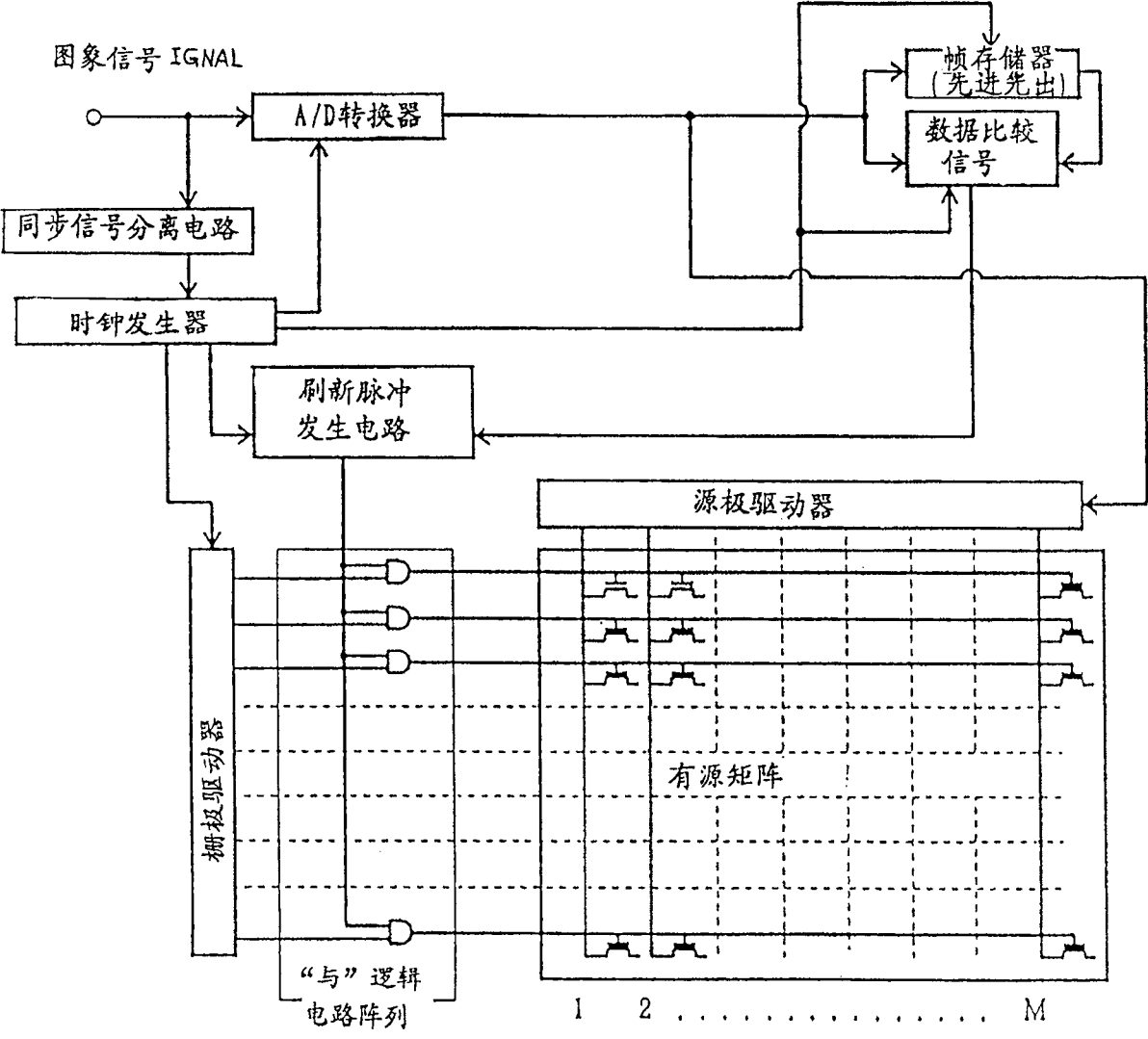


图 11

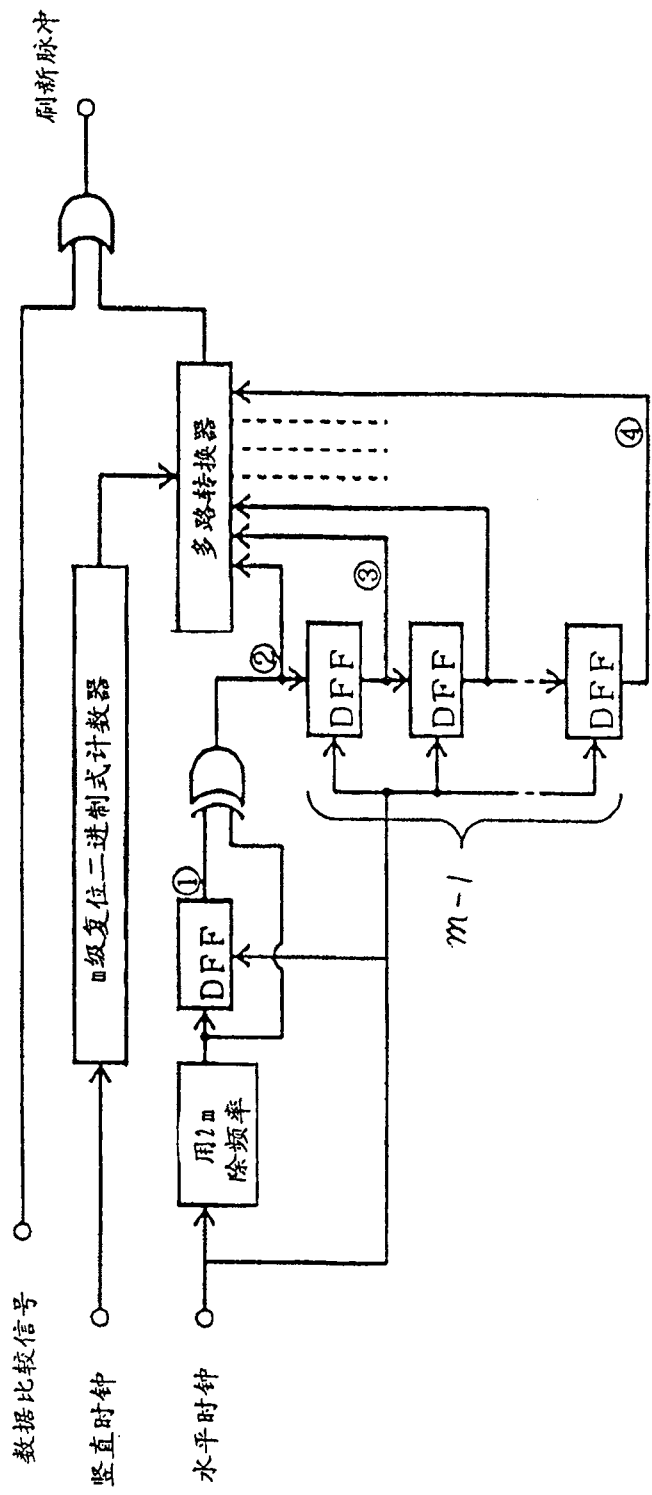


图 12

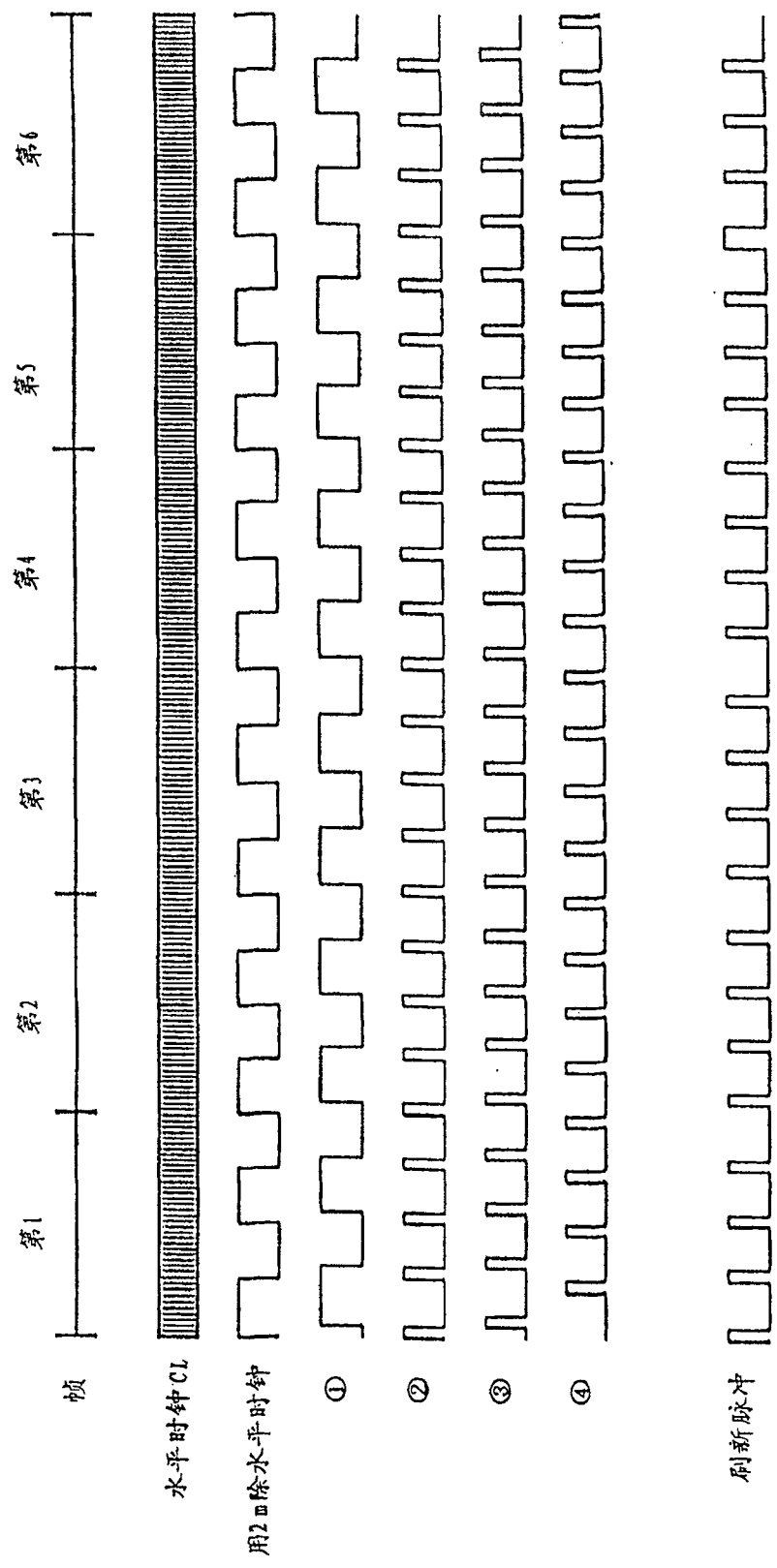


图 13

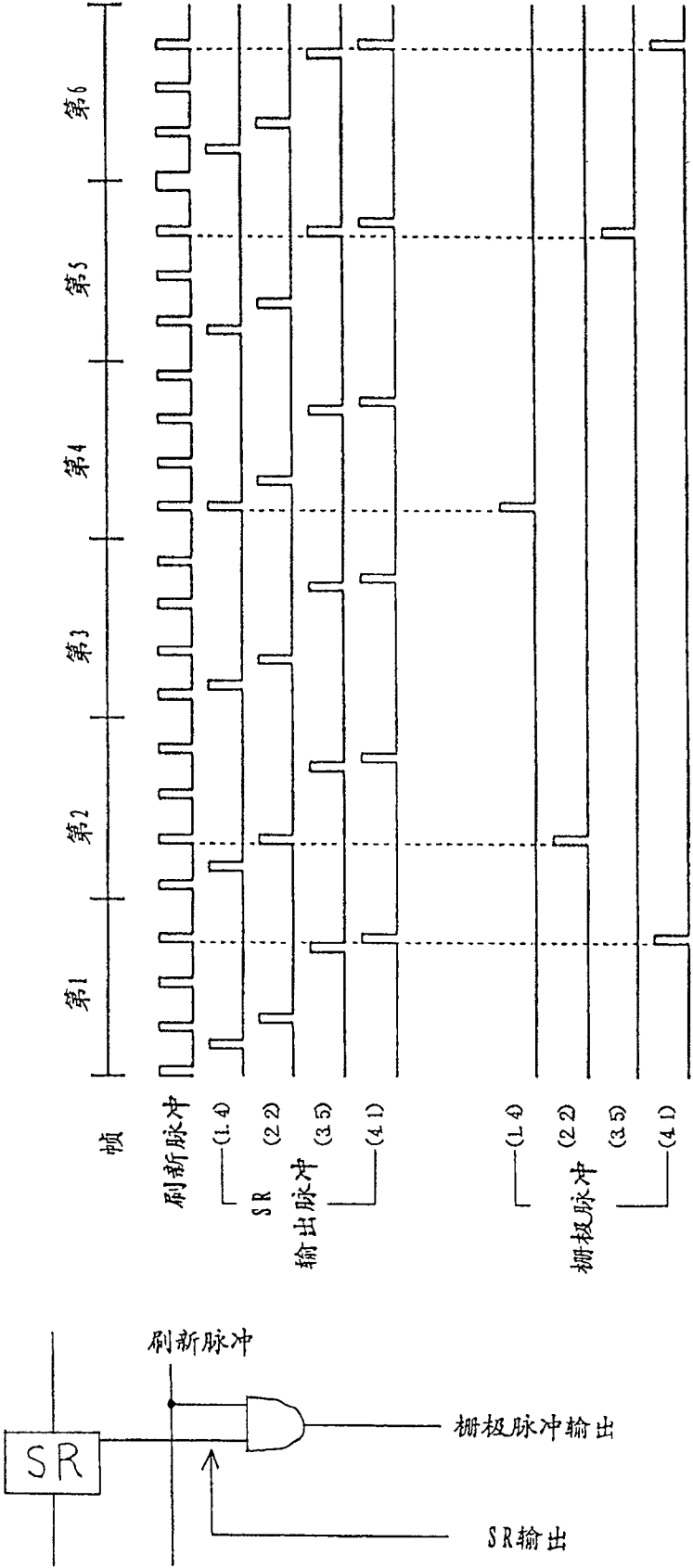


图 14