

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 7/10 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월04일 10-0596781 2006년06월27일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0029606 2004년04월28일	(65) 공개번호 (43) 공개일자	10-2005-0104236 2005년11월02일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	신보현 강원도원주시학성동영진로알201동1813호
(74) 대리인	강성배

심사관 : 오응기

(54) 온 다이 터미네이션의 종단 전압 조절 장치

요약

본 발명에 따른 DLL 소자를 갖는 반도체 메모리 장치용 온 다이 터미네이션의 종단 전압 조절 장치는 DLL Reset EMRS 인가시 ODT 동작을 위한 ODT 인에이블 신호를 출력하는 ODT 인에이블 신호 발생부(도 2)와, 복수개의 카운터 신호를 출력하는 카운터 회로(도 3)와, 상기 카운터 회로로부터 출력되는 상기 복수개의 카운터 회로에 의하여 제어되는 가변 저항부(1, 2, 3, 4, 5)를 구비하며, 상기 가변 저항부의 저항값에 따라 가변 가능한 종단 전압을 출력하는 ODT 장치(도 4)와, 기준전압과 상기 종단전압을 비교하고, 그 비교 결과에 따라 상기 카운터 회로를 제어하기 위한 제어 신호를 출력하는 제 1 제어부(도 5)를 구비한다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 ODT 장치의 개념을 나타내는 일반적인 회로이다.
 도 2는 본 발명에 따른 제어 신호 발생기의 일예이다
 도 3은 ODT 장치의 저항의 턴온/오프를 제어하는 카운터 회로도이다.
 도 4는 종단전압의 발생을 설명하기 위한 ODT 장치를 도시한다.

도 5는 종단 전압을 조절하기 위한 제어 신호를 발생하는 회로도이다.

도 6은 도 5의 회로 동작을 제어하는 회로도이다.

도 7은 지금까지 설명한 본 발명의 신호 타이밍도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 온 다이 터미네이션의 종단 전압 조절 장치에 관한 것이다.

일반적으로, 소정의 임피던스를 갖는 버스 라인을 통하여 전달되는 펄스 또는 신호(이하, 신호)가 임피던스가 다른 버스 라인을 만나는 경우, 신호의 일부는 반사하게 된다. 온 다이 터미네이션(이하, ODT)은 이와같은 신호의 반사를 감소시키기 위한 장치를 의미한다.

주지된 바와같이, 메모리 장치와 같은 반도체 장치는 외부 시스템과 데이터 등을 수수한다. 그런데, 반도체 장치와 시스템 사이를 연결하는 버스 라인의 임피던스와 상기 버스 라인과 직접 연결된 반도체 장치내의 신호 라인의 임피던스가 서로 다른 경우, 데이터의 반사가 초래될 수 있다. 최근의 고속 반도체 장치에는 이러한 데이터 반사를 방지하기 위하여 임피던스를 매칭시키는 장치가 제공되는 것이 일반적이다. 임피던스 매칭을 위하여 제공되는 회로가 ODT 장치이다.

최근들어, 고속 동작하는 DDR2 SDRAM 에는 신호의 반사를 차단하기 위하여 ODT 장치가 제공되고 있다.

동작에 있어서, 메모리 컨트롤러로부터 ODT 핀으로 소정의 제어신호가 인가되면 반도체 장치내의 전압 분배기에 의하여 약 $VDDQ/2$ 인 종단 전압(V_{tt})가 반도체 장치의 내부로 드라이브된다. 이 때, EMRS 에 의하여 선택되는 ODT 저항은 70ohm 또는 150ohm 이다. 이는 반도체 장치에 따라 차이가 있을 수 있다.

도 1은 ODT 장치의 개념을 나타내는 일반적인 회로이다.

도 1에서, 라인(ZQ)의 종단 전압(V_{tt})은 $VDDQ/2$ 가 되는 것이 바람직하므로, 전압 분배기(10, 11)에서 사용되는 각 저항값(R_1, R_2)이 일치하여야 종단전압(V_{tt})은 정확히 $VDDQ/2$ 가 될 것이다.

이 때문에, 종단 전압을 제어하기 위한 다양한 회로들이 제공되고 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 종단 전압을 정확히 조절할 수 있는 회로를 제공한다.

본 발명은 ODT 동작에 의한 종단 전압 형성시, ODT 임피던스를 조절하여 조종단 전압을 조절하는 회로를 제안한다.

발명의 구성 및 작용

본 발명에 따른 DLL 소자를 갖는 반도체 메모리 장치용 온 다이 터미네이션의 종단 전압 조절 장치는

DLL Reset EMRS 인가시 ODT 동작을 위한 ODT 인에이블 신호를 출력하는 ODT 인에이블 신호 발생부(도 2)와,

복수개의 카운터 신호를 출력하는 카운터 회로(도 3)와,

상기 카운터 회로로부터 출력되는 상기 복수개의 카운터 회로에 의하여 제어되는 가변 저항부(1, 2, 3, 4, 5)를 구비하며, 상기 가변 저항부의 저항값에 따라 가변 가능한 종단 전압을 출력하는 ODT 장치(도 4)와,

기준전압과 상기 종단전압을 비교하고, 그 비교 결과에 따라 상기 카운터 회로를 제어하기 위한 제어 신호를 출력하는 제 1 제어부(도 5)를 구비한다.

본 발명에서, 상기 반도체 장치에 전원이 인가되는 경우 상기 카운터 회로로부터 출력되는 상기 복수개의 카운터 신호는 초기에 세팅된 초기값을 출력하며,

상기 제 1 제어부에서 비교되는 상기 종단전압이 상기 기준전압보다 높은 경우, 상기 제 1 제어부에 의하여 제어되는 상기 카운터 회로는 상기 종단전압이 낮아지도록 상기 가변 저항부의 저항값을 재조절하며,

상기 제 1 제어부에서 비교되는 상기 종단전압이 상기 기준전압보다 낮은 경우, 상기 제 1 제어부에 의하여 제어되는 상기 카운터 회로는 상기 종단전압이 높아지도록 상기 가변 저항부의 저항값을 재조절한다.

본 발명에 있어서,

상기 제 1 제어부(도 5)의 동작을 제어하는 제 2 제어부(도 6)를 더 구비하며,

상기 제 2 제어부는 상기 종단전압이 상기 기준전압보다 높은 상태에 있다가 처음으로 낮아지는 시점, 또는 상기 종단전압이 기준전압보다 낮은 상태에 있다가 처음으로 높아지는 시점을 검출하는 검출 신호를 출력하며,

상기 제 2 제어부의 검출신호가 인에이블되는 경우, 상기 제 1 제어부에 의하여 제어되는 상기 카운터 회로의 카운터 신호는 직전 카운터 신호를 유지하여 상기 종단 전압을 고정시키는 것을 특징으로 하는 온 다이 터미네이션의 종단 전압 조절 장치.

(실시예)

이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.

도 2는 본 발명에 따른 제어 신호 발생기의 일예이다

도 2에서, RST 는 초기에 반도체 장치에 파워가 인가되는 경우에 하이 레벨로 인에이블되는 신호이다. DLL_RST는 DLL Reset EMRS 인가시에 인에이블되는 신호이다. MRS 는 DLL Reset EMRS 이후에 인가되는 MRS 신호로서, 활성화된 ODT 신호를 디스에이블시키는 신호이다. ODT 는 외부에서 인가되는 신호로서, 내부 동작에 의한 ODT 수행 후 인가되는 신호이다.

동작에 있어서, DDR2 SDRAM 동작중 DLL RESET을 위한 EMRS가 인가되는 데, 이 신호를 수신하여 내부적으로 ODT 인에이블 신호인 ODT_EN 신호를 발생시키고, 이후에 인가되는 MRS 신호로 내부적으로 발생된 ODT_EN 신호를 디스에이블시킨다.

도 3은 ODT 장치의 저항의 턴온/오프를 제어하는 카운터 회로도이다.

도 3에서 카운터부(31, 32, 33)의 회로 구성은 카운터부(300)와 동일하며, 카운터부(34, 35)의 회로 구성은 카운터부(310)와 동일하다.

카운터부(31~35)의 출력신호(A~E)는 도 4의 트랜지스터를 제어하여 종단전압(V_{tt})을 조절한다.

도 4는 종단전압의 발생을 설명하기 위한 ODT 장치를 도시한다.

도 4에서, 선택적으로 턴온되는 PMOS 트랜지스터들에 의하여 종단전압(V_{tt})을 조절할 수 있음을 알 수 있다.

도 5는 종단 전압을 조절하기 위한 제어 신호를 발생하는 회로도이다. 즉, 도 5의 회로의 출력신호는 도 3의 회로에 인가되어 도 3의 회로 동작을 제어한다. 도 3의 회로 동작이 제어되는 결과, 도 4의 종단 전압을 조절할 수 있다.

도 6은 도 5의 회로 동작을 제어하는 회로도이다.

도시된 바와같이, 도 6의 출력신호(COM_EN)이 하이 레벨이 되면, 도 5의 출력신호(INCD, DECD)는 로우 레벨로 디스에이블된다.

이하, 도 2내지 6과 관련하여 본 발명 장치의 동작을 설명한다.

예를들어, 도 3에서 초기에 세팅된 카운터부(31~33)의 출력신호(A~C)가 모두 하이 레벨이고, 카운터부(34~35)의 출력신호(D~E)가 모두 로우 레벨이면, 도 4의 저항(1, 2, 3, 6)은 전압(VDDQ)과 연결되고, 저항(4, 5)는 전압(VDDQ)과 연결되지 않는다. 따라서, 도 3의 출력신호의 논리 레벨을 조절하여 도 4의 중단전압을 조절할 수 있다.

도 5에 도시된 기준전압(VREF)은 외부의 메모리 컨트롤러로부터 인가되는 전압으로, 전압 레벨은 $VDDQ/2$ 이다. 기준전압(VREF)은 ODT_EN 신호에 의하여 초기에 세팅된 중단전압(V_{tt})과 비교된다.

먼저, 중단전압(V_{tt})이 기준전압(VREF)보다 높은 경우, 도 5의 비교기의 출력신호(Compare)는 하이 레벨이고 되고, 이 때 반도체 장치 내부에서 발생하는 내부 클럭(INT_CLK)신호에 의하여 증가신호(INCD)가 매 클럭마다 발생한다.

다음, 중단전압(V_{tt})이 기준전압(VREF)보다 낮은 경우, 도 5의 비교기의 출력신호(Compare)는 로우 레벨이고 되고, 이 때 반도체 장치 내부에서 발생하는 내부 클럭(INT_CLK)신호에 의하여 감소신호(DECD)가 매 클럭마다 발생한다.

예컨대, 중단전압(V_{tt})이 기준전압(VREF)보다 높은 경우, 매 클럭마다 발생하는 증가신호(INCD)에 의하여 도 3의 회로가 제어된다(참고로, 이 경우, 도 5의 INC는 하이 레벨이다.). 즉, 초기에 로우 레벨로 세팅되어 있던 카운터부(34)의 출력신호(D)가 하이 레벨이 된다. 따라서, 도 4의 저항(4)와 연결된 PMOS 트랜지스터가 턴온된다. 그 결과, 중단전압(V_{tt})의 전압 레벨은 다운된다. 이 때, 낮아진 전압 레벨을 갖는 중단전압(V_{tt})은 도 5의 비교기에서 다시 비교된다. 만약, 중단전압(V_{tt})이 기준전압(VREF)보다 높으면, 비교기의 출력신호(Compare)는 하이 레벨이다. 이 때, 내부 클럭(INT_CLK) 신호에 의하여 발생하는 증가신호(INCD)에 의하여 도 3의 카운터부(35)의 출력신호는 최초 세팅된 로우 레벨에서 하이 레벨로 변한다(참고로, 이 경우, 도 5의 INC는 하이 레벨이다.). 그 결과, 도 4의 저항(5)과 연결된 PMOS 트랜지스터가 턴온된다. 따라서, 중단전압(V_{tt})의 전압 레벨은 또 다시 다운된다. 다운된 중단전압(V_{tt})은 도 5의 비교기에서 기준전압(VREF)과 다시 비교된다. 만약, 중단전압(V_{tt})이 기준전압(VREF)보다 낮으면, 비교기의 출력신호(Compare)는 로우 레벨이다. 그 결과, 도 5의 DEC는 하이 레벨이 된다. 도 6의 INC_DEC는 도 5의 INC 인에이블된 후, DEC가 인에이블되는 경우, 또는 DEC가 인에이블된 후, INC가 인에이블되는 경우에만 하이 레벨로 인에이블되는 신호이다. 즉, 도 6의 INC_DEC는 중단전압(V_{tt})이 기준전압(VREF)보다 높은 상태에 있다가 처음으로 낮아지는 시점, 또는 중단전압(V_{tt})이 기준전압(VREF)보다 낮은 상태에 있다가 처음으로 높아지는 시점을 검출하여 인에이블되는 신호이다. 따라서, 도 6의 INC_DEC의 논리 레벨이 하이 레벨로 되는 경우, 도 6의 출력신호(COM_EN)은 로우 레벨이 된다. 그 결과, 도 5의 출력신호(INCD, DECD)는 모두 하이 레벨이 된다. 따라서, 도 3의 카운터 회로의 출력신호는 직전의 논리 레벨을 그대로 유지한다.

도 7은 지금까지 설명한 본 발명의 신호 타이밍도이다.

도 7에서, INC_SHIFT는 INC 신호에 동기되어 발생하는 논리 레벨 신호이고, INC_DEC는 DEC 신호와 INC_SHIFT 신호의 앤드 연산에 의하여 발생된 신호를 나타낸다.

발명의 효과

이상에서 알 수 있는 바와같이, 본 발명은 메모리 컨트롤러에서 ODT 신호가 인가되기 전에 DLL RESET EMRS 신호에 의하여 미리 최적화된 중단전압을 설정할 수 있으므로 저항값의 mismatch로 인한 중단전압의 전압 레벨의 변동을 방지할 수 있다.

(57) 청구의 범위

청구항 1.

DLL 소자를 갖는 반도체 메모리 장치용 온 다이 터미네이션의 중단 전압 조절 장치에 있어서,

DLL Reset EMRS 인가시 ODT 동작을 위한 ODT 인에이블 신호를 출력하는 ODT 인에이블 신호 발생부와,
복수개의 카운터 신호를 출력하는 카운터 회로와,

상기 카운터 회로로부터 출력되는 상기 복수개의 카운터 신호에 의하여 제어되는 가변 저항부를 구비하며, 상기 가변 저항부의 저항값에 따라 가변 가능한 종단 전압을 출력하는 ODT 장치와,

기준전압과 상기 종단전압을 비교하고, 그 비교 결과에 따라 상기 카운터 회로를 제어하기 위한 제어 신호를 출력하는 제 1 제어부를 구비하며,

상기 반도체 장치에 전원이 인가되는 경우 상기 카운터 회로로부터 출력되는 상기 복수개의 카운터 신호는 초기에 세팅된 초기값을 출력하며,

상기 제 1 제어부에서 비교되는 상기 종단전압이 상기 기준전압보다 높은 경우, 상기 제 1 제어부에 의하여 제어되는 상기 카운터 회로는 상기 종단전압이 낮아지도록 상기 가변 저항부의 저항값을 재조절하며,

상기 제 1 제어부에서 비교되는 상기 종단전압이 상기 기준전압보다 낮은 경우, 상기 제 1 제어부에 의하여 제어되는 상기 카운터 회로는 상기 종단전압이 높아지도록 상기 가변 저항부의 저항값을 재조절하는 것을 특징으로 하는 온 다이 터미네이션의 종단 전압 조절 장치.

청구항 2.

제 1 항에 있어서,

상기 종단전압이 상기 기준전압보다 높은 상태에 있다가 처음으로 낮아지는 시점 또는 상기 종단전압이 기준전압보다 낮은 상태에 있다가 처음으로 높아지는 시점을 검출하여 인에이블되는 신호가 입력되어 래치됨으로써 검출신호를 출력하는 제 2 제어부를 더 구비하며,

상기 검출신호에 의하여 상기 제 1 제어부의 상기 기준전압과 상기 종단 전압의 비교가 제어되고, 상기 검출신호의 인에이블에 대응한 상기 제 1 제어부의 동작으로 상기 카운터 회로의 카운터 신호는 직전 카운터 신호를 유지하여 상기 종단 전압을 고정시키는 것을 특징으로 하는 온 다이 터미네이션의 종단 전압 조절 장치.

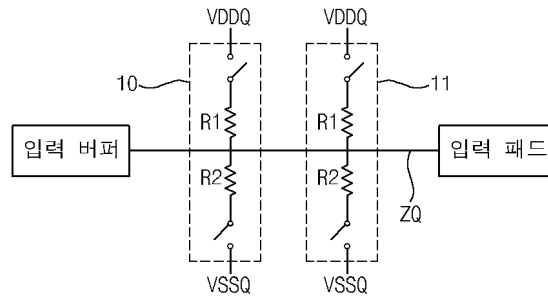
청구항 3.

제 1 항에 있어서,

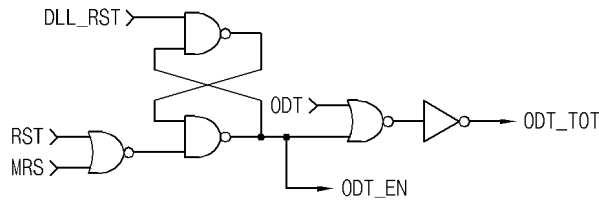
상기 ODT 인에이블 신호 발생부는 상기 ODT 인에이블 신호를 디스에이블시키는 MRS 신호를 수신하는 것을 특징으로 하는 온 다이 터미네이션의 종단 전압 조절 장치.

도면

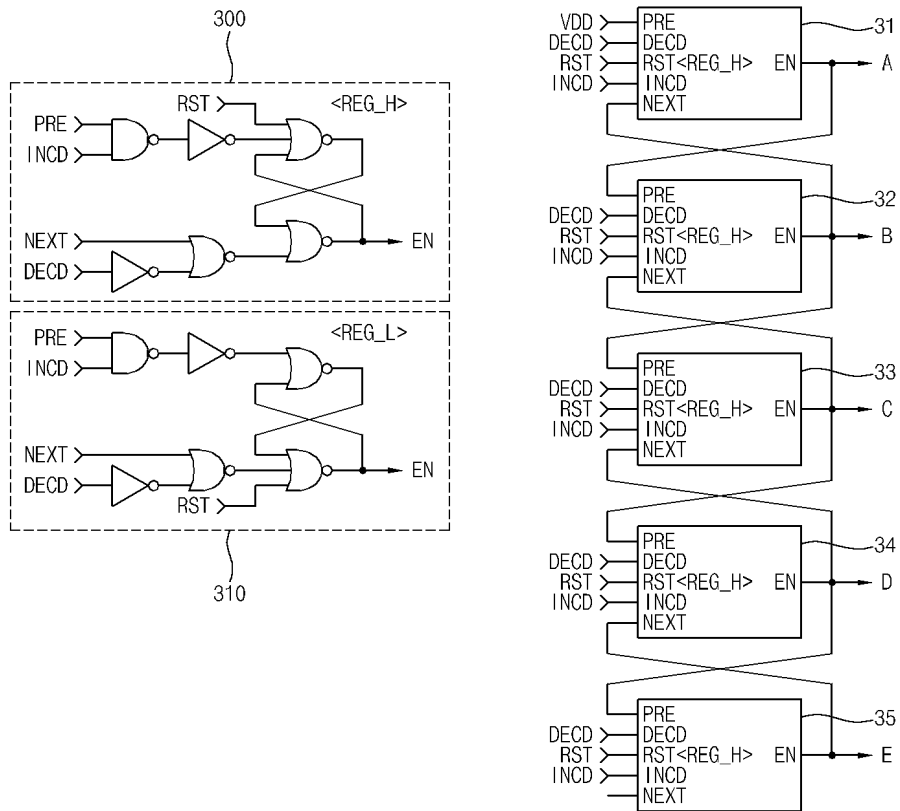
도면1



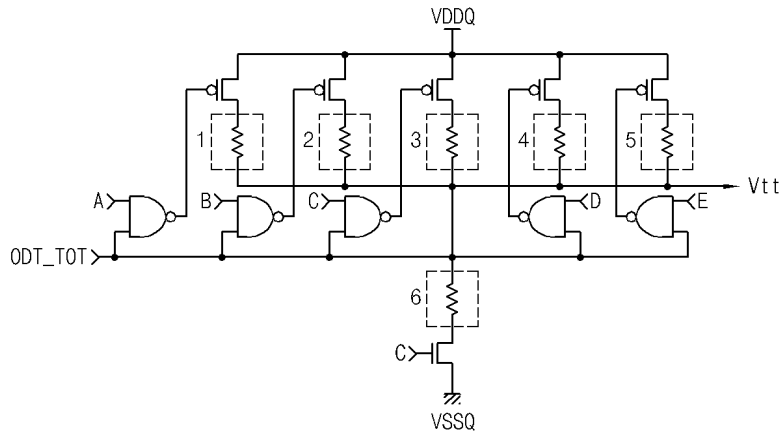
도면2



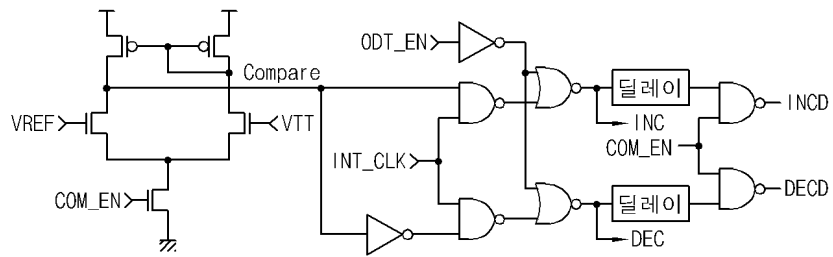
도면3



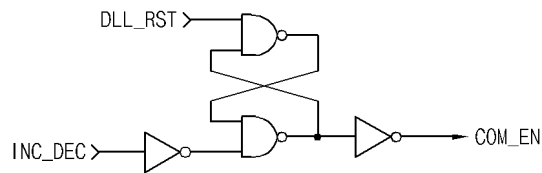
도면4



도면5



도면6



도면7

