

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年5月10日(10.05.2013)



(10) 国際公開番号

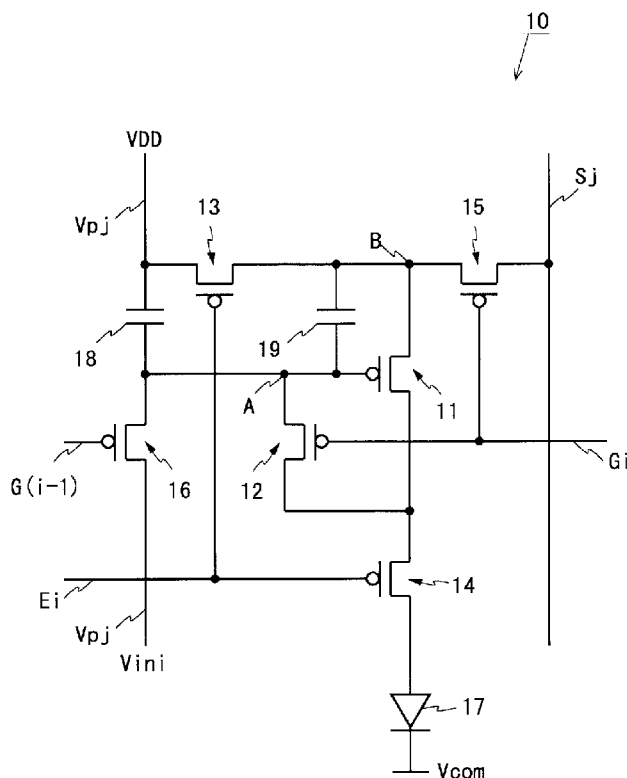
WO 2013/065596 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) H01L 51/50 (2006.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2012/077723
- (22) 国際出願日: 2012年10月26日(26.10.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-241329 2011年11月2日(02.11.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社 (SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番22号 Osaka (JP).
- (72) 発明者; および
- (71) 出願人 (米国についてのみ): 岸 宣孝 (KISHI, Noritaka).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: PIXEL CIRCUIT, DISPLAY DEVICE PROVIDED THEREWITH, AND PIXEL CIRCUIT CONTROL METHOD

(54) 発明の名称: 画素回路、それを備える表示装置、および画素回路の制御方法



(57) Abstract: In a pixel circuit (10), TFTs (12-16) are connected and driven in such a way that a threshold holding capacitor (19) of capacitance value $c1$ holds a threshold voltage V_{th} of a TFT (11) which is a driving transistor, and a data holding capacitor (18), which has a capacitance value $c2$, holds voltages including data potentials V_{data} indicating an image to be displayed, and said TFTs are connected in such a way that, during light emission, charge of the data holding capacitor (18) and the threshold holding capacitor (19) is redistributed. By this means, the potential obtained by multiplying the data potential V_{data} by $c1/(c1+c2)$ is given to the gate potential of the TFT (11).

(57) 要約: 画素回路 (10) では、駆動用トランジスタである TFT (11) の閾値電圧 V_{th} を容量値 $c1$ の閾値保持用コンデンサ (19) に保持させ、表示されるべき画像を示すデータ電位 V_{data} を含む電圧を容量値 $c2$ であるデータ保持用コンデンサ (18) に保持させることができるように TFT (12) ~ (16) を接続するとともに駆動し、発光時にデータ保持用コンデンサ (18) および閾値保持用コンデンサ (19) の電荷が再配分されるよう接続する。このことにより、データ電位 V_{data} を $c1/(c1+c2)$ 倍した電位を TFT (11) のゲート電位に与える。

WO 2013/065596 A1

WO 2013/065596 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

画素回路、それを備える表示装置、および画素回路の制御方法

技術分野

[0001] 本発明は、表示装置に関し、より詳細的には有機ＥＬディスプレイなどの電流で駆動される自発光型表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、従来より有機ＥＬ（Electro Luminescence）ディスプレイが知られている。この有機ＥＬディスプレイには、電流で駆動される自発光型表示素子である有機ＥＬ素子およびこれを駆動するための駆動用トランジスタを含む画素回路がマトリクス状に複数配置されている。

[0003] このような有機ＥＬ素子などの電流駆動型表示素子に流される電流量を制御する方式は、表示素子のデータ信号線電極に流れるデータ信号電流により、表示素子に流すべき電流を制御する定電流型制御方式（または電流プログラム型駆動方式）と、データ信号電圧に応じた電圧により表示素子に流すべき電流を制御する定電圧型制御方式（または電圧プログラム型駆動方式）とに大別される。これらの方式のうち、定電圧型制御方式によって有機ＥＬディスプレイで表示を行うときには、駆動用トランジスタの閾値電圧のばらつきや、有機ＥＬ素子の経時劣化による高抵抗化から生じる電流減少（輝度低下）を補償する必要がある。これに対して、定電流型制御方式では、上記閾値電圧や有機ＥＬ素子の内部抵抗とは無関係に、有機ＥＬ素子に一定の電流が流れるようデータ信号の電流値が制御されるため、通常上記補償は必要とはならない。しかし、この定電流型制御方式では、定電圧型制御方式よりも駆動用トランジスタや配線の数が増加するため、開口率が低下することが知られていることから、定電圧型制御方式が広く採用されている。

[0004] ここで、定電圧型制御方式を採用する構成において上記補償動作を行う画素回路は、従来より各種の構成が知られている。日本特開 2005-31630 号公報には、図 20 に示す画素回路 91 が記載されている。

[0005] 図 20 は、画素回路 91 の回路図である。図 20 に示すように、画素回路 91 は、第 1 から第 6 までの TFT (Thin Film Transistor) 11~16 と、有機 EL 素子 17 と、コンデンサ 18 とを含んでいる。第 1 から第 6 までの TFT 11~16 は、いずれも p チャネル型トランジスタである。またこの画素回路 91 は、2 本の走査信号線 G_i 、 $G(i-1)$ 、制御線 E_i 、データ線 S_j 、2 本 1 組の電源線 VP_j 、および共通電位 V_{com} を有する電極に接続される。TFT 11 のソース端子は、TFT 13 の一方の導通端子および TFT 15 の一方の導通端子に接続され、TFT 11 のドレイン端子は、TFT 12 の一方の導通端子および TFT 14 の一方の導通端子に接続される。TFT 13 の他方の導通端子は、電源線 VP_j のうち電源電位 VDD を与える配線に接続される。TFT 15 の他方の導通端子は、データ線 S_j に接続される。TFT 14 の他方の導通端子は、有機 EL 素子 17 のアノード端子に接続される。また、TFT 12 の一方の導通端子は、TFT 11 のゲート端子に接続され、TFT 12 の他方の導通端子は、TFT 11 のドレイン端子に接続される。TFT 16 の一方の導通端子は、電源線 VP_j のうち初期化電位 V_{ini} を与える配線に接続され、TFT 16 の他方の導通端子は、TFT 11 の制御端子に接続される。データ保持用コンデンサ 18 の一端もこの TFT 11 の制御端子に接続され、他端は、電源線 VP_j のうち電源電位 VDD を与える配線に接続される。有機 EL 素子 17 のカソード端子には、共通電位 V_{com} が印加される。走査信号線 G_i には、TFT 12、15 のゲート端子がそれぞれ接続される。走査信号線 $G(i-1)$ には、TFT 16 のゲート端子が接続される。制御線 E_i には、TFT 13、14 のゲート端子がそれぞれ接続される。

[0006] また、米国特許公開 2006-103322 号明細書には、図 21 に示す画素回路 92 が記載されている。図 21 は、画素回路 92 の回路図である。

図 2 1 に示すように、画素回路 9 2 は、第 1 から第 6 までの T F T 2 1 ~ 2 6 と、有機 E L 素子 1 7 と、データ保持用コンデンサ 2 8 とを含んでいる。第 1 から第 6 までの T F T 2 1 ~ 2 6 は、いずれも p チャネル型トランジスタである。またこの画素回路 9 2 は、走査信号線 G i、制御線 E i、初期化制御線 I i、データ線 S j、2 本 1 組の電源線 V P j、および共通電位 V c o m を有する電極に接続される。T F T 2 2 のソース端子は、電源線 V P j のうち電源電位 V D D を与える配線に接続され、T F T 2 2 のドレイン端子は、T F T 2 3 の一方の導通端子に接続される。この T F T 2 3 の他方の導通端子は、T F T 2 2 のゲート端子に接続される。また、T F T 2 5 の一方の導通端子は、T F T 2 2 のドレイン端子に接続され、T F T 2 5 の他方の導通端子は、有機 E L 素子 1 7 のアノード端子に接続される。さらに、T F T 2 1 の一方の導通端子は、データ線 S j に接続され、他方の導通端子はデータ保持用コンデンサ 2 8 の一端に接続される。T F T 2 4 の一方の導通端子および T F T 2 6 の一方の導通端子は、ともに電源線 V P j のうち初期化電位 V i n i を与える配線に接続される。T F T 2 4 の一方の導通端子は、データ保持用コンデンサ 2 8 の他端に接続され、T F T 2 6 の他方の導通端子は、データ保持用コンデンサ 2 8 の一端に接続される。このデータ保持用コンデンサ 2 8 の他端は T F T 2 2 のゲート端子に接続されている。有機 E L 素子 1 7 のカソード端子には、共通電位 V c o m が印加される。走査信号線 G i には、T F T 2 1、2 3 のゲート端子がそれぞれ接続される。初期化制御線 I i には、T F T 2 4 のゲート端子が接続される。制御線 E i には、T F T 2 5、2 6 のゲート端子がそれぞれ接続される。

[0007] さらに、日本特開 2 0 0 3 - 2 0 2 8 3 3 号公報には、図 2 2 に示す画素回路 9 3 が記載されている。図 2 2 は、画素回路 9 3 の回路図である。図 2 2 に示すように、画素回路 9 3 は、第 1 から第 6 までの T F T 3 1 ~ 3 6 と、有機 E L 素子 1 7 と、データ保持用コンデンサ 3 8 とを含んでいる。第 1 から第 6 までの T F T 3 1 ~ 3 6 は、いずれも n チャネル型トランジスタである。この画素回路 9 3 は、走査信号線 G i、制御線 E a i ~ E d i、デー

タ線 S_j 、電源線 VP_j 、および共通電位 V_{com} を有する電極に接続される。駆動用トランジスタである TFT_{31} のドレイン端子は、電流経路上に TFT_{35} を介して、電源電位 VDD を与える電源線 VP_j に接続される。また、 TFT_{31} のソース端子は、電流経路上に TFT_{32} を介して有機EL素子17のアノード端子に接続される。 TFT_{36} の一方の導通端子は、 TFT_{31} のドレイン端子に接続され、他方の導通端子は、 TFT_{31} のゲート端子に接続される。また、 TFT_{34} の一方の導通端子は、データ線 S_j に接続され、他方の導通端子は TFT_{31} のソース端子に接続される。また、データ保持用コンデンサ38の一端は、 TFT_{33} を介して共通電位 V_{com} を有する電極に接続される。このデータ保持用コンデンサ38の一端は、 TFT_{32} を介して TFT_{31} のソース端子に接続される。有機EL素子17のカソード端子には、共通電位 V_{com} が印加される。走査信号線 Gi には、 TFT_{34} のゲート端子が接続されている。また制御線 E_{di} には、 TFT_{33} のゲート端子が接続されている。さらに制御線 E_{ai} には、 TFT_{36} のゲート端子が接続されている。制御線 E_{ci} には、 TFT_{32} のゲート端子が接続される。また、制御線 E_{bi} には、 TFT_{35} のゲート端子が接続される。

[0008] さらにまた、日本特開2011-34039号公報には、図23に示す画素回路94が記載されている。図23は、画素回路94の回路図である。図23に示すように、画素回路94は、第1から第3までの $TFT_{41} \sim 43$ と、有機EL素子17と、2つのデータ保持用コンデンサ48a、48bと、閾値保持用コンデンサ49とを含んでいる。第1から第3までの $TFT_{41} \sim 43$ は、いずれもpチャネル型トランジスタである。この画素回路94は、走査信号線 Gi 、制御線 E_i 、データ線 S_j 、電源線 VP_i 、および共通電位 V_{com} を有する電極に接続される。 TFT_{41} の一方の導通端子はデータ線 S_j に接続され、他方の導通端子は2つのデータ保持用コンデンサ48a、48bの一端に接続されている。これら2つのデータ保持用コンデンサ48a、48bのうち、データ保持用コンデンサ48aの他端は、 TFT_{42}

T 4 2 のゲート端子に接続され、データ保持用コンデンサ 4 8 b の他端は、電源線 V P i に接続される。T F T 4 2 のドレイン端子は電源線 V P i に接続され、ソース端子は、有機 E L 素子 1 7 のアノード端子に接続される。有機 E L 素子 1 7 のカソード端子には、共通電位 V c o m が印加される。T F T 4 3 の導通端子の一方は、T F T 4 2 のゲート端子に接続され、T F T 4 3 の導通端子の他方は、T F T 4 2 のソース端子に接続される。走査信号線 G i には、T F T 4 1 のゲート端子が接続される。制御線 E i には、T F T 4 3 のゲート端子が接続される。

[0009] なお、日本特開 2 0 0 7 - 7 9 5 8 0 号公報には、図 2 1 に示す画素回路 9 2 に類似する、図 2 4 に示す画素回路 9 5 が記載されている。図 2 4 は、画素回路 9 5 の回路図である。図 2 4 に示すように、画素回路 9 5 は、画素回路 9 2 と同一の構成要素である、6 つの T F T 1 1 ~ 1 6 と、有機 E L 素子 1 7 と、コンデンサ 1 8 とを含み、さらに補助コンデンサ C a u x を含んでいる。ただし、T F T 1 2 の他方の導通端子は、T F T 1 1 のドレイン端子ではなくソース端子に接続される。また逆に、T F T 1 5 の一方の導通端子は、T F T 1 1 のソース端子ではなくドレイン端子に接続される。さらに、補助コンデンサ C a u x の一端は、コンデンサ 1 8 と同様、T F T 1 1 の制御端子に接続され、他端は、電位が変化する走査信号線 G i に接続される。

先行技術文献

特許文献

[0010] 特許文献1：日本特開 2 0 0 5 - 3 1 6 3 0 号公報

特許文献2：米国特許公開 2 0 0 6 - 1 0 3 3 2 2 号明細書

特許文献3：日本特開 2 0 0 3 - 2 0 2 8 3 3 号公報

特許文献4：日本特開 2 0 1 1 - 3 4 0 3 9 号公報

特許文献5：日本特開 2 0 0 7 - 7 9 5 8 0 号公報

発明の概要

発明が解決しようとする課題

[0011] 図20から図24までに示す画素回路91～95は、いずれも映像信号線（データ線）の電位 V_{data} から所定の電圧だけ増減された電位が駆動用トランジスタに与えられる構成である。したがって、映像信号線の電位 V_{data} の最大値と最小値との差（ダイナミックレンジ）が大きい場合には、有機EL素子に対して適切な電流を超える過大な電流が流れる場合がある。そこでこのことを防ぐために、データドライバ回路の出力ダイナミックレンジを小さくする構成や、駆動用トランジスタの電流能力を小さくするためにそのチャネル長 L を大きくする構成等が必要となる。

[0012] しかしこのようにデータドライバ回路のダイナミックレンジを小さくすると、一般的な構成の（ダイナミックレンジの大きい）データドライバ回路を使用することができなくなるため、製造コストが増加する。またダイナミックレンジの小さいデータドライバ回路は、階調あたりの出力偏差が相対的に大きくなるため出力誤差が増加する。

[0013] また、データドライバ回路のダイナミックレンジを変更せずに有機EL素子に流す電流を小さくするため、駆動用トランジスタのチャネル長 L を大きくすると、画素回路の面積が増大する。その結果、画素の開口率が低下したり表示装置の高精細化が難しくなる。

[0014] それ故に、本発明は、データドライバ回路のダイナミックレンジを小さくすることなく、かつ駆動用トランジスタのチャネル長 L を大きくすることなく、有機EL素子に対して過大でない電流（微細電流）を与えることができる画素回路および当該画素回路を備える表示装置を提供することを目的とする。

課題を解決するための手段

[0015] 本発明の第1の局面は、アクティブマトリクス型の表示装置に設けられる画素回路であって、

電源電圧を供給される電源線から与えられる電流により駆動される電気光学素子と、

前記電気光学素子を流れる電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、

前記駆動用トランジスタの制御端子に一端を接続され、他端を前記駆動用トランジスタの導通端子または所定の固定電圧を与えられる接続点に接続される閾値保持用コンデンサと、

前記駆動用トランジスタの制御端子に一端を接続され、他端を前記電源線または所定電圧を与えられる接続点に接続されるデータ保持用コンデンサと、

オンされるときに、前記閾値保持用コンデンサには、前記駆動用トランジスタの閾値電圧または当該閾値電圧に対して所定電圧だけ変化した電圧を与え、前記データ保持用コンデンサには、予め定められた初期化電圧を与えるか、または表示すべき画像を表す映像信号に対応する電圧を前記閾値電圧に加えまたは差し引いた電圧からさらに所定電圧だけ変化した電圧を与え、オフされるときに、与えた電圧を前記閾値保持用コンデンサおよび前記データ保持用コンデンサに保持させるように接続される第1および第2の書き込み制御トランジスタと、

前記駆動用トランジスタの導通端子と前記電源線との間の第1の電流経路、および前記駆動用トランジスタの導通端子と前記電気光学素子との間の第2の電流経路のうち、少なくとも一方の経路上に設けられ、当該画素回路における表示が行われる発光期間において、前記第1または第2の電流経路を導通するように接続される発光トランジスタとを備えることを特徴とする。

[0016] 本発明の第2の局面は、第1の局面において、

前記発光制御トランジスタは、

前記第1の電流経路上に設けられる第1の発光制御トランジスタと、

前記第2の電流経路上に設けられる第2の発光制御トランジスタと

を含み、

前記第1の書き込み制御トランジスタは、所定の初期化期間において、前

記データ保持用コンデンサの前記一端に対して、前記初期化電圧を与えるよう接続され、

前記第2の書き込み制御トランジスタは、所定の書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与えるよう接続され、

前記閾値保持用コンデンサの前記他端は、前記駆動用トランジスタの導通端子および前記第2の書き込み制御トランジスタの導通端子に接続されることを特徴とする。

[0017] 本発明の第3の局面は、本発明の第2の局面において、

前記データ保持用コンデンサの前記他端は、前記電源線に接続されることを特徴とする。

[0018] 本発明の第4の局面は、本発明の第2の局面において、

前記データ保持用コンデンサの前記他端は、前記初期化電圧を供給される初期化電源線に接続されることを特徴とする。

[0019] 本発明の第5の局面は、本発明の第1の局面において、

前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、導通端子の他方に前記電源線または前記初期化電圧を供給される初期化電源線を接続されており、前記発光期間において、前記データ保持用コンデンサの前記他端に前記電源電圧または前記初期過電圧を与えるよう接続される固定電位供給用トランジスタをさらに備え、

前記発光制御トランジスタは、前記第2の電流経路上に設けられ、

前記第1の書き込み制御トランジスタは、所定の書き込み期間において、前記駆動用トランジスタの制御端子と、前記駆動用トランジスタの導通端子の一方とを導通するよう接続され、

前記第2の書き込み制御トランジスタは、前記書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与えるよう接続されることを特徴とする。

[0020] 本発明の第6の局面は、本発明の第5の局面において、

前記閾値保持用コンデンサの前記他端は、前記駆動用トランジスタの導通端子の他方および前記電源線に接続されることを特徴とする。

[0021] 本発明の第7の局面は、本発明の第5の局面において、

前記閾値保持用コンデンサの前記他端は、前記初期化電源線に接続されることを特徴とする。

[0022] 本発明の第8の局面は、本発明の第1の局面において、

前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、前記電源電圧よりも低い電圧を与える電源線または前記電気光学素子のカソード端子に導通端子の他方を接続されており、所定の書き込み期間において導通するよう接続される固定電位供給用トランジスタをさらに備え、

前記発光制御トランジスタは、

前記第1の電流経路上に設けられる第1の発光制御トランジスタと、

前記第2の電流経路上に設けられる第2の発光制御トランジスタと

を含み、

前記第1の書き込み制御トランジスタは、所定の書き込み期間において、前記駆動用トランジスタの制御端子と、前記駆動用トランジスタの導通端子の一方とを導通するよう接続され、

前記第2の書き込み制御トランジスタは、前記書き込み期間において、前記駆動用トランジスタの前記導通端子の一方と、前記映像信号を与えられる映像信号線とを導通するよう接続され、

前記閾値保持用コンデンサの前記一端は、前記駆動用トランジスタの制御端子に接続され、前記他端を前記駆動用トランジスタの導通端子の他方に接続されることを特徴とする。

[0023] 本発明の第9の局面は、アクティブマトリクス型の表示装置であって、

本発明の第1から第8までの局面に記載の前記画素回路と、

前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線および複数の制御線と

、

前記複数の画素回路に前記電源電圧を供給する複数の電源線と、
前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する走査信号線駆動回路と、
前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、
前記複数の電源線を駆動する電源制御回路と
を備え、

前記画素回路は、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されており、

前記第 1 および第 2 の書き込み制御トランジスタと、前記発光トランジスタとは、それぞれの制御端子を前記複数の制御線または前記複数の電源線のうちの対応する 1 つと接続されることを特徴とする。

[0024] 本発明の第 10 の局面は、電源電圧を供給される電源線から与えられる電流により駆動される電気光学素子と、前記電気光学素子を通る電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、前記駆動用トランジスタの制御端子に一端を接続され、他端を前記駆動用トランジスタの導通端子または所定の固定電圧を与えられる接続点に接続される閾値保持用コンデンサと、前記駆動用トランジスタの制御端子に一端を接続され、他端を前記電源線または所定電圧を与えられる接続点に接続されるデータ保持用コンデンサとを備える画素回路の制御方法であって、

前記閾値保持用コンデンサには、前記駆動用トランジスタの閾値電圧または当該閾値電圧に対して所定電圧だけ変化した電圧を与え、前記データ保持用コンデンサには、予め定められた初期化電圧を与えるか、または表示すべき画像を表す映像信号に対応する電圧を前記閾値電圧に加えまたは差し引いた電圧からさらに所定電圧だけ変化した電圧を与え、さらに、与えた電圧を前記閾値保持用コンデンサおよび前記データ保持用コンデンサに保持させる書き込みステップと、

前記駆動用トランジスタの導通端子と前記電源線との間の第 1 の電流経路

、および前記駆動用トランジスタの導通端子と前記電気光学素子との間の第2の電流経路のうち、少なくとも一方の経路を、当該画素回路における表示が行われる発光期間において非導通状態から導通させることにより前記電源線から前記電気光学素子へ電流を流す発光ステップとを備えることを特徴とする。

- [0025] 本発明の第11の局面は、本発明の第10の局面において、
前記画素回路は、前記閾値保持用コンデンサの前記他端が、前記駆動用トランジスタの導通端子に接続された回路であり、
前記書き込みステップは、
所定の初期化期間において、前記データ保持用コンデンサの前記一端に対して、前記初期化電圧を与える第1の書き込みステップと、
所定の書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与える第2の書き込みステップとを含み、
前記発光ステップでは、前記第1および第2の電流経路を、前記発光期間において非導通状態から導通させることを特徴とする。

- [0026] 本発明の第12の局面は、本発明の第10の局面において、
前記画素回路は、前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、導通端子の他方に前記電源線または前記初期化電圧を供給される初期化電源線を接続されており、前記発光期間において、前記データ保持用コンデンサの前記他端に前記電源電圧または前記初期過電圧を与えるよう接続される固定電位供給用トランジスタをさらに備え、
前記書き込みステップは、
所定の書き込み期間において、前記駆動用トランジスタの制御端子と、前記駆動用トランジスタの導通端子の一方とを導通する第1の書き込みステップと、
所定の書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与える第2の書き込みステップと

を含み、

前記発光ステップでは、前記第2の電流経路を非導通状態から導通させることにより前記電源線から前記電気光学素子へ電流を流すことを特徴とする。

[0027] 本発明の第13の局面は、本発明の第10の局面において、

前記画素回路は、前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、前記電源電圧よりも低い電圧を与える電源線または前記電気光学素子のカソード端子に導通端子の他方を接続されており、所定の書き込み期間において導通するよう接続される固定電位供給用トランジスタをさらに備え、

前記画素回路は、前記閾値保持用コンデンサの前記一端が、前記駆動用トランジスタの制御端子に接続され、前記他端が前記駆動用トランジスタの導通端子の他方に接続された回路であり、

前記書き込みステップは、

所定の書き込み期間において、前記駆動用トランジスタの制御端子と、前記駆動用トランジスタの導通端子の一方とを導通させる第1の書き込みステップと、

所定の書き込み期間において、前記駆動用トランジスタの前記導通端子の一方と、前記映像信号を与えられる映像信号線とを導通させる第2の書き込みステップと

を含み、

前記発光ステップでは、前記第1および第2の電流経路を、前記発光期間において非導通状態から導通させることを特徴とする。

発明の効果

[0028] 上記本発明の第1の局面によれば、画素回路に閾値保持用コンデンサが含まれており、このことにより駆動用トランジスタの制御端子に与えられる電圧のダイナミックレンジを、データ保持用コンデンサの容量値を c_1 とし、閾値保持用コンデンサの容量値を c_2 とすると、結果的に $c_1 / (c_1 +$

c 2) だけ小さくすることができるので、データドライバ回路自体のダイナミックレンジを変更することなく、また電気光学素子のパラメータ（例えばチャンネル長など）を変更することなく、当該電気光学素子に対して、過大にならない適切な量の電流を与えることができる。また、閾値保持用コンデンサを適宜の位置に設けることで、画素回路の配置位置によって生じる I R ドロップに対して電圧の追従効果が得られるため、I R ドロップによる輝度差を低減することができ、表示品位の低下を抑制することができる。

[0029] さらに画素回路の回路面積を従来よりも増加させないようにすることができ、またダイナミックレンジの大きい（一般的な）データドライバ回路を使用することにより、データ電位の誤差をより小さくすることができるので、データドライバ回路における出力偏差により生じる画素の輝度ばらつきを抑制することができる。さらに、駆動用トランジスタの大きさを変更することなく、電気光学素子をより微少な電流量で制御することができ、設計条件や製造プロセス等を変更する必要がないので設計自由度をより高めることができる。

[0030] 上記本発明の第2の局面によれば、第1の書き込み制御トランジスタにより初期化がなされるので、初期化電位を変化させる必要が無く、電源回路の負荷を減らすことができ、また発光制御トランジスタにより電気光学素子に対する点灯・非点灯が制御されるので、電源電位を変化させる必要が無く、電源回路の負荷を減らすことができる。

[0031] 上記本発明の第3の局面によれば、データ保持用コンデンサの他端が電源線に接続されるので、発光期間中における電源線の電位変動に対して、駆動用トランジスタのゲート電位は電源線の電位変動に対して或る程度追従して変化することになる。この点でも、I R ドロップに対して電圧の追従効果が得られるため、I R ドロップによる輝度差を低減することができ、表示品位の低下を抑制することができる。

[0032] 上記本発明の第4の局面によれば、データ保持用コンデンサの他端が初期化電源線に接続されるので、書き込み期間における電源線の電位変動の影響

を全く受けないようにすることができる。

[0033] 上記本発明の第5の局面によれば、上記本発明の第1の局面と同様の効果が得られるほか、閾値保持用コンデンサの接続関係を適宜に設定することにより、画素回路の配置位置によって生じるIRドロップによる輝度差を大きく低減することができ、表示品位の低下を抑制することができる。

[0034] 上記本発明の第6の局面によれば、発光期間中に保持容量として機能する閾値保持用コンデンサの他端が電源線に接続されるので、発光期間中における電源線の電位変動に対して、駆動用トランジスタのゲート電位は電源線の電位変動に対して所定の割合で追従して変化することになる。この割合は、 c_1 が c_2 に対して小さいほど大きくなる（電源線の電位変動に追従しやすくなる）。このようにIRドロップに対して大きな追従効果が得られるため、IRドロップによる輝度差を低減することができ、表示品位の低下を抑制することができる。

[0035] 上記本発明の第7の局面によれば、発光期間中に保持容量として機能する閾値保持用コンデンサの他端が初期化電源線に接続されるので、書き込み時における電源線の電位変動に対して、完全に影響を受けなくなる。この点で、IRドロップによる輝度差を低減することができ、表示品位の低下を抑制することができる。

[0036] 上記本発明の第8の局面によれば、上記本発明の第1の局面と同様の効果が得られるほか、初期化動作が不要になるため、初期化制御のための配線や制御用トランジスタを省略することができる。

[0037] 上記本発明の第9の局面によれば、上記本発明の第1の局面における画素回路を備える表示装置によって、上記本発明の第1の局面と同様の効果を奏することができる。

[0038] 上記本発明の第10から第13までの局面によれば、上記本発明の第1、第2、第5、および第8の局面における画素回路を同様に制御する方法により、上記本発明の第1、第2、第5、および第8の局面と同様の効果を奏することができる。

図面の簡単な説明

[0039] [図1]本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。

[図2]上記実施形態における画素回路の回路図である。

[図3]上記実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図4]上記実施形態の第1の変形例における画素回路の回路図である。

[図5]上記実施形態の第2の変形例において、各色を発する画素回路に流れる画素電流と階調との関係を示す図である。

[図6]本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。

[図7]上記実施形態における画素回路の回路図である。

[図8]上記実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図9]上記実施形態の第1の変形例における画素回路の回路図である。

[図10]上記実施形態の第2の変形例における画素回路の回路図である。

[図11]本発明の第3の実施形態に係る表示装置の構成を示すブロック図である。

[図12]上記実施形態における画素回路の回路図である。

[図13]本発明の第4の実施形態に係る表示装置の構成を示すブロック図である。

[図14]上記実施形態における画素回路の回路図である。

[図15]上記実施形態における画素回路の駆動方法を示すタイミングチャートである。

[図16]上記実施形態における電源線V_{Pi}の接続形態を示す図である。

[図17]上記実施形態における各行の画素回路の動作を示す図である。

[図18]上記実施形態における電源線V_{Pi}の接続形態の別例を示す図である。

[図19]上記実施形態における電源線 $V P i$ の接続形態のさらなる別例を示す図である。

[図20]従来の表示装置に含まれる画素回路91の回路図である。

[図21]従来の表示装置に含まれる画素回路92の回路図である。

[図22]従来の表示装置に含まれる画素回路93の回路図である。

[図23]従来の表示装置に含まれる画素回路94の回路図である。

[図24]従来の表示装置に含まれる画素回路95の回路図である。

発明を実施するための形態

[0040] (第1の実施形態)

図1は、本発明の第1の実施形態に係る表示装置の構成を示すブロック図である。図1に示す表示装置110は、表示制御回路1、ゲートドライバ回路2、データドライバ回路3、電源制御回路4、および $(m \times n)$ 個の画素回路10を備えた有機ELディスプレイである。以下、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数であるとする。

[0041] 表示装置110には、互いに並行な n 本の走査信号線 $G i$ およびこれに直交する互いに並行な m 本のデータ線 $S j$ が設けられる。なお、図中では省略されているが、後述する初期化制御のための走査信号線 $G 0$ がさらに設けられている。 $(m \times n)$ 個の画素回路10は、走査信号線 $G i$ とデータ線 $S j$ の各交差点に対応してマトリクス状に配置されており、表示画像を構成する各色の画素を表示する。また、走査信号線 $G i$ と並行に、 n 本の制御線 $E i$ が設けられ、データ線 $S j$ と並行に、2本の配線を1組とした n 組の電源線 $V P i$ が設けられる。さらに、電源制御回路4と電源線 $V P i$ を接続するための電流供給用幹配線である共通電源線9が設けられる。この共通電源線9は、後述する2つの電位を与える2つの配線からなる。走査信号線 $G i$ および制御線 $E i$ は、ゲートドライバ回路2に接続され、データ線 $S j$ は、データドライバ回路3に接続される。電源線 $V P i$ は、後述する2つの電位を与える2つの配線からなり、対応する共通電源線9を介して電源制御回路4に接続される。画素回路10には、図示しない共通電極により共通電位 $V c o$

mが供給される。なお、ここでは2本1組の電源線VP_iの一端が2本1組の共通電源線9に接続される構成であるが、その両端（または3つ以上の接続点）でそれぞれ接続される構成であってもよい。

[0042] 表示制御回路1は、ゲートドライバ回路2、データドライバ回路3、および電源制御回路4に対して制御信号を出力する。より詳細には、表示制御回路1は、ゲートドライバ回路2に対してタイミング信号OE、スタートパルスYIおよびクロックYCKを出力し、データドライバ回路3に対してスタートパルスSP、クロックCLK、表示データDAおよびラッチパルスLPを出力し、電源制御回路4に対して制御信号CSを出力する。

[0043] ゲートドライバ回路2は、シフトレジスタ回路、論理演算回路、およびバッファ（いずれも図示せず）を含んでいる。シフトレジスタ回路は、クロックYCKに同期してスタートパルスYIを順次転送する。論理演算回路は、シフトレジスタ回路の各段から出力されたパルスとタイミング信号OEとの間で論理演算を行う。論理演算回路の出力は、バッファを経由して、対応する走査信号線Giおよび制御線Eiに与えられる。走査信号線Giにはm個の画素回路10が接続されており、画素回路10は走査信号線Giを用いてm個ずつ一括して選択される。

[0044] データドライバ回路3は、mビットのシフトレジスタ5、レジスタ6、ラッチ回路7、およびm個のD/A変換器8を含んでいる。シフトレジスタ5は、縦続接続されたm個のレジスタを有し、初段のレジスタに供給されたスタートパルスSPをクロックCLKに同期して転送し、各段のレジスタからタイミングパルスDLPを出力する。タイミングパルスDLPの出力タイミングに合わせて、レジスタ6には表示データDAが供給される。レジスタ6は、タイミングパルスDLPに従い、表示データDAを記憶する。レジスタ6に1行分の表示データDAが記憶されると、表示制御回路1はラッチ回路7に対してラッチパルスLPを出力する。ラッチ回路7は、ラッチパルスLPを受け取ると、レジスタ6に記憶された表示データを保持する。D/A変換器8は、データ線Sjに対応して設けられる。D/A変換器8は、ラッチ

回路 7 に保持された表示データをアナログ電圧に変換し、得られたアナログ電圧をデータ線 S_j に印加する。

[0045] 電源制御回路 4 は、制御信号 C_S に基づき、2 本の配線からなる共通電源線 9 のうちの一方の配線に電源電位 V_{DD} を、他方の配線に初期化電位 V_{ini} をそれぞれ印加する。図 1 に示すように、電源線 V_{Pi} は、共通電源線 9 に接続されるので、電源線 V_{Pi} の配線の一方は電源電位となり、他方は初期化電位となる。

[0046] 図 2 は、画素回路 10 の回路図である。図 2 に示すように、画素回路 10 は、第 1 から第 6 までの $TFT_{11} \sim 16$ と、有機 EL 素子 17 と、データ保持用コンデンサ 18 と、閾値保持用コンデンサ 19 とを含んでいる。第 1 から第 6 までの $TFT_{11} \sim 16$ は、いずれも p チャネル型トランジスタである。なお、これらを全て n チャネル型トランジスタにより構成してもよいし、場合により併せて使用する構成であってもよい。

[0047] 例えば、n チャネル型トランジスタにより構成する場合には、各 TFT やコンデンサの接続関係を変更することなく、電源電位や制御線のレベル等を反転することにより、同様の動作を容易に実現することができる。以下の実施形態でも同様であるが、この点については下記の説明に代えてその説明を省略する。

[0048] 第 1 から第 6 までの $TFT_{11} \sim 16$ は、それぞれ、初期化制御トランジスタ、書き込み制御トランジスタ、駆動用トランジスタ、および発光制御トランジスタとして機能する。なお、これらの機能は主たる機能を説明するためのものであって、その他の機能を有していてもよい。これらの機能の内容については後述する。また、有機 EL 素子 17 は、電気光学素子として機能する。

[0049] なお、本明細書において、電気光学素子とは、有機 EL 素子の他、FED (Field Emission Display)、LED、電荷駆動素子、液晶、E インク (Electronic Ink) など、電気を与えることにより光学的な特性が変化する全ての素子をいうものとする。また、以下では電気光学素子として有機 EL 素子を

例示するが、電流量に応じて発光量が制御される発光素子であれば同様の説明が可能である。

[0050] 図2に示すように、画素回路10は、2本の走査信号線 G_i 、 $G_{(i-1)}$ 、制御線 E_i 、データ線 S_j 、2本1組の電源線 VP_j 、および共通電位 V_{com} を有する電極に接続される。TFT11のソース端子は、TFT13の一方の導通端子およびTFT15の一方の導通端子に接続され、TFT11のドレイン端子は、TFT12の一方の導通端子およびTFT14の一方の導通端子に接続される。

[0051] TFT13の他方の導通端子は、電源線 VP_j のうち電源電位 VDD を与える配線に接続される。TFT15の他方の導通端子は、データ線 S_j に接続される。TFT14の他方の導通端子は、有機EL素子17のアノード端子に接続される。

[0052] また、TFT12の一方の導通端子は、TFT11のゲート端子（制御端子）に接続され、TFT12の他方の導通端子は、TFT11のドレイン端子に接続される。このように接続されることにより、TFT11のダイオード接続が可能になる。

[0053] さらにTFT16の一方の導通端子は、TFT16の他方の導通端子は、TFT11のゲート端子に接続される。データ保持用コンデンサ18の一端もこのTFT11のゲート端子に接続され、他端は、電源線 VP_j のうち電源電位 VDD を与える配線に接続される。さらに、閾値保持用コンデンサ19は、TFT11のソース端子とゲート端子との間に設けられる。有機EL素子17のカソード端子には、共通電位 V_{com} が印加される。

[0054] 走査信号線 G_i には、TFT12、15のゲート端子（制御端子）がそれぞれ接続される。これらのTFT12、15は、書き込み制御トランジスタとして機能する。走査信号線 $G_{(i-1)}$ には、TFT16のゲート端子（制御端子）が接続される。このTFT16は、初期化制御トランジスタとして機能する。制御線 E_i には、TFT13、14のゲート端子（制御端子）がそれぞれ接続される。これらのTFT13、14は、発光制御トランジスタ

タとして機能する。

[0055] 図3は、画素回路10の駆動方法を示すタイミングチャートである。時刻 t_1 より前では、走査信号線 $G(i-1)$ 、 G_i の電位はハイレベル、すなわち非アクティブであり、制御線 E_i の電位はローレベル、すなわちアクティブである。時刻 t_1 の直前に制御線 E_i の電位が非アクティブとなって前フレームで発光が停止され、時刻 t_1 において、走査信号線 $G(i-1)$ がアクティブとなることにより、TFT11のゲート端子と電源線 VP_j のうち初期化電位 V_{ini} を与える配線とが導通され、データ保持用コンデンサ18の一端（および駆動用トランジスタとして機能するTFT11のゲート端子）に、初期化電位 V_{ini} が書き込まれる。以上の動作は、初期化動作と呼ばれる。

[0056] 時刻 t_2 において、走査信号線 $G(i-1)$ が非アクティブとなり、走査信号線 G_i がアクティブとなることにより、TFT12、15がオンされる。また、データ線 S_j の電位は表示データに応じた電位となる。以下、この電位を「データ電位 V_{data} 」と呼ぶ。このため、TFT11のソース端子の位置に図示されているノードBの電位は、TFT11がダイオード接続されることによって、 $V_{data} + V_{th}$ (V_{th} はTFT11の閾値電圧) まで変化し、当該電圧で安定する。なお、このときはTFT14がオフされているため、有機EL素子17に電流は流れない。

[0057] 時刻 t_3 において、走査信号線 G_i が非アクティブとなることにより、TFT12、15がオフされ、閾値保持用コンデンサ19は上記閾値電圧 V_{th} を保持し、データ保持用コンデンサ18は、他端を電源電位 V_{DD} に接続されているため、 $(V_{data} + V_{th} - V_{DD})$ の電圧を保持する。以上の動作は、書き込み動作と呼ばれる。

[0058] ここで、データ保持用コンデンサ18の容量値を c_1 とし、閾値保持用コンデンサ19の容量値を c_2 とするとき、データ保持用コンデンサ18の蓄積電荷 Q_1 および閾値保持用コンデンサ19の蓄積電荷 Q_2 は、それぞれ次式(1)および次式(2)のように表される。

$$Q1 = c1 \times (Vdata + Vth - VDD) \quad \dots (1)$$

$$Q2 = c2 \times Vth \quad \dots (2)$$

[0059] 時刻 t_4 において、制御線 E_i がアクティブとなると、TFT13, 14 がオンされる。そのことにより有機EL素子17に電流が流れ、発光が開始される。このとき、ノードBの電位は、電源電位 VDD となり、かつデータ保持用コンデンサ18および閾値保持用コンデンサ19の両端子間の電圧（すなわち、図示されるノードAとノードBとの間の電位差）は等しくなる。以下この電圧を Vgs とする。そして、書き込み期間が終了した後、各TFTの接続関係よりノードAから逃げる電荷はないことが明らかであるため、電荷の再分配がなされ、データ保持用コンデンサ18と閾値保持用コンデンサ19との総蓄積電荷（ $Q1 + Q2$ ）は保存される。したがって、上記電圧 Vgs は次式（3）のように表される。

$$\begin{aligned} Vgs &= (c1 \times (Vdata + Vth - VDD) + c2 \times Vth) / (c1 + c2) \\ &= c1 / (c1 + c2) \times (Vdata - VDD) + Vth \quad \dots (3) \end{aligned}$$

[0060] 以上のような発光期間（時刻 $t_4 \sim$ ）において、電源電位 VDD はTFT11を飽和領域で動作させる値となっているため、発光期間においてTFT11を流れる電流 I は、チャネル長変調効果を見做すれば、次式（4）で与えられる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot Cox \cdot (Vgs - Vth)^2 \quad \dots (4)$$

ただし、上式（4）において、 W はゲート幅、 L はゲート長、 μ はキャリア移動度、 Cox はゲート酸化膜容量である。

[0061] そして、上式（3）および上式（4）から、次式（5）が導かれる。

$$I = 1/2 \cdot W/L \cdot \mu \cdot Cox \cdot K^2 \cdot (Vdata - VDD)^2 \quad \dots (5)$$

ただし、上式（5）において、 $K = c1 / (c1 + c2)$ とする。

[0062] 上式（5）に示す電流 I は、データ電位 $Vdata$ に応じて変化するが、

TFT11の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} がばらつく場合や、閾値電圧 V_{th} が経時的に変化する場合でも、有機EL素子17にデータ電位 V_{data} に応じた電流を流し、有機EL素子17を所望の輝度で発光させることができる。

[0063] ここで、pチャネル型であるTFT11のオーバードライブ電圧 V_{ov} は、TFT11のゲート・ソース間電圧 V_{gs} から閾値電圧 V_{th} を差し引いた値として定義されるため、次式(6)のように表すことができる。

$$V_{ov} = V_{gs} - V_{th} = c_1 / (c_1 + c_2) \times (V_{data} - V_D) \dots (6)$$

[0064] したがって、上式(6)を上式(5)に適用すればわかるように、発光期間においてTFT11を流れる電流 I は、オーバードライブ電圧 V_{ov} の二乗に比例する。したがって、以下では、有機EL素子17にデータ電位 V_{data} に応じた電流を流すことを、オーバードライブ電圧 V_{ov} に応じた電流を流す、とも便宜上説明する。

[0065] 以上のように、制御線 E_i の電位がアクティブの間、有機EL素子17に電流が流れ続けるため、 i 行目の画素回路10は与えられたデータ電位に応じた輝度で点灯する。このとき($i+1$)行目以降の画素回路10は、書き込み期間中である場合がある。すなわち、ある画素回路が書き込み期間中に、それより前の行の画素回路は点灯している。そのため、電源電位 V_{DD} は電圧降下(いわゆるIRドロップ)を生じていることがあり、電源電位 V_{DD} の変化は、オーバードライブ電圧 V_{ov} を変化させるため、画素回路の配置位置によって輝度差が生じる可能性がある。

[0066] ここで、前述した図20に示される従来の画素回路91のように、閾値保持用コンデンサ19が設けられていない場合(すなわち $C_2 = 0$ の場合)、当該画素回路91に含まれるTFT11のオーバードライブ電圧 V_{ov} は、($V_{data} - V_{DD}$)となる。したがって、本実施形態の画素回路10に含まれるTFT11の上記オーバードライブ電圧 V_{ov} と従来の場合と比較すると、本実施形態の構成では、従来の場合に比べて電源電位 V_{DD} の変化

によるオーバードライブ電圧 V_{ov} の変化を $c_1 / (c_1 + c_2)$ に抑制することができる。このことにより、画素回路の配置位置によって生じる I_R ドロップによる輝度差を低減することができるため、表示品位の低下を抑制することができる。

[0067] また、上述したように、発光期間において、データ保持用コンデンサ 18 および閾値保持用コンデンサ 19 は、その電荷が合計されるため、これらはともに保持容量として機能する。このことから、データ保持用コンデンサ 18 を従来の場合よりも大きくすることなく、保持容量を増加させることができる。また、従来 of データ保持用コンデンサ 18 における容量値と等しくなるよう、データ保持用コンデンサ 18 および閾値保持用コンデンサ 19 の合成容量値を設定すれば、従来の画素回路と同一の面積で同一の保持容量を形成することができるので、閾値保持用コンデンサ 19 を新たに設けるにもかかわらず、画素回路の回路面積を増加させないようにすることができる。

[0068] さらに、有機 EL 素子 17 の（電流量に比例する）発光輝度を規定するために必要なデータ電位 V_{data} のダイナミックレンジ（最大値と最小値との差）を、従来の場合に比べて $c_1 / (c_1 + c_2)$ だけ小さくすることができる。例えば、 c_1 に対する c_2 の比率が 1 の場合、4 V のダイナミックレンジを有するデータドライバ回路 3 で駆動すると、画素回路に印加されるオーバードライブ電圧 V_{ov} のダイナミックレンジは 2 V となる。そのため、例えば 4 V のダイナミックレンジでは有機 EL 素子 17 に流すべき電流量として大きすぎる場合にも、データドライバ回路 3 のダイナミックレンジを変更することなく、有機 EL 素子 17 に対して過大にならない適切な量の電流を与えることができる。

[0069] このことは、一般的なデータドライバ回路 3 を使用する場合、一般的な有機 EL 素子を駆動すると電流量が大きすぎる 경우가多く、より微少な電流量で制御することが好ましい場合が多いため、実用的な効果大きい。

[0070] また、データドライバ回路 3 における出力偏差により生じるデータ電位の誤差は、ダイナミックレンジが小さくなるのに比例して必ずしも小さくなる

わけではなく、一般的にはダイナミックレンジが大きいものほど、階調あたりの誤差の割合は相対的に小さくなる。したがって、ダイナミックレンジの大きい（一般的な）データドライバ回路3を使用することにより、データ電位の誤差をより小さくすることができる。このことにより、データドライバ回路3における出力偏差により生じる画素の輝度ばらつきを抑制することができる。

[0071] さらに、データドライバ回路3のダイナミックレンジを大きく保ちつつ、有機EL素子を駆動すると電流量を小さくするためには、有機EL素子を駆動するTFT11のチャネル長Lを大きくする方法も考えられる。しかし、開口率が高く高精細な表示装置が求められる近年では、画素回路の面積はより小さい方が好ましい。そのため、TFT11のチャネル長Lを大きくすることは好ましくない。本実施形態では、このようなTFT11の大きさを変更することなく、有機EL素子をより微少な電流量で制御することができる。

[0072] さらにまた、このように画素回路に含まれるTFTの構成を変更すると、移動度の調整が必要になるなど、設計条件や製造プロセス等を変更する必要がある。本実施形態では、従来の実施形態と同様の構成を有するTFT11を使用することができるので、設計自由度をより高めることができる。

[0073] （第1の実施形態に対する第1の変形例）

次に、図2に示す画素回路10の構成に対する変形例を、図4を参照して説明する。図4に示す画素回路10aは、画素回路10と同一の構成要素である、第1から第6までのTFT11～16と、有機EL素子17と、データ保持用コンデンサ18と、閾値保持用コンデンサ19とを含んでいる。

[0074] ここで、データ保持用コンデンサ18の一端は、図2に示す場合と同様にTFT11のゲート端子に接続されるが、図2に示す場合とは異なり、データ保持用コンデンサ18の他端は、電源線VPjのうち初期化電位Viniを与える配線に接続される。

[0075] また、この図4に示す画素回路10aは、第1の実施形態における画素回

路 10 と同一の態様で駆動されるが、書き込み期間において、データ保持用コンデンサ 18 は、他端を電源電位 VDD ではなく初期化電位 V_{ini} に接続されているため、 $(V_{data} + V_{th} - V_{ini})$ の電圧を保持することになる。

[0076] このため、第 1 の実施形態の場合とは異なり、TFT 11 のゲート端子における電位は、電源電位 VDD の変更の影響を受けない。したがって、他の画素回路が点灯することにより電源電位 VDD が降下（IR ドロップ）しても、画素回路の輝度に影響が生じない。よって、より高品位の表示を行うことができる。なお、上記初期化電位 V_{ini} 以外に与えられる固定電位がある場合には、上記初期化電位 V_{ini} に代えて使用してもよい。

[0077] このようにデータ保持用コンデンサ 18 の他端を固定電位点に接続しなければデータ電位を保持できない。このことは、後述するように閾値保持用コンデンサ 19 についても同様であり、この点で日本特開 2007-79580 号公報に記載されている、図 24 に示す画素回路 95 の補助コンデンサ C_{aux} とはその機能を異にする。図 24 に示されるように、この補助コンデンサ C_{aux} の一端は、コンデンサ 18 と同様、TFT 11 の制御端子に接続されているが、他端は、電位が変化する走査信号線 G_i に接続される。したがって、閾値コンデンサ 19 とは全く機能を異にするものであり、この補助コンデンサ C_{aux} によって閾値コンデンサ 19 と同様の効果が得られるものではない。

[0078] （第 1 の実施形態に対する第 2 の変形例）

上記第 1 の実施形態では、全ての画素回路 10 において閾値保持用コンデンサ 19 が設けられる構成であるが、図 1 に示す赤色（R）を発する画素回路のみが閾値保持用コンデンサ 19 を設けられ、緑色（G）を発する画素回路および青色（B）を発する画素回路には閾値保持用コンデンサ 19 が設けられない構成であってもよい。

[0079] この場合には、赤色（R）を発する画素回路のみが上記第 1 の実施形態における効果を有することになり、緑色（G）および青色（B）を発する画素

回路にはその効果が及ばない。この構成により表示装置全体として上記効果が得られるのは、赤色（R）を発する画素回路における赤色を発する有機EL素子の発光効率が一般的に高いことによる。

[0080] すなわち、現在一般的に使用される有機EL素子における赤色発光材料は、緑色発光材料および青色発光材料よりも発光効率が高いため、大きな電流を流すと他の色の発光材料よりも発光輝度が大きくなり、表示画像のホワイトバランス（色バランス）が異常になる。そのため、より適切な微弱電流が流れるように、赤色（R）を発する画素回路に閾値保持用コンデンサ19を設け、このことにより駆動用トランジスタのゲート端子に与えられる電圧のダイナミックレンジを結果的に $c1 / (c1 + c2)$ だけ小さくする。よって、データドライバ回路3自体のダイナミックレンジを（色毎に）変更することなく、赤色を発する有機EL素子17に対して過大にならない適切な量の電流を与えることができる。

[0081] また、現在一般的に使用される有機EL素子における緑色発光材料は、青色発光材料よりも発光効率が低い。したがって、上記と同様に、より微弱な電流が流れるよう、赤色（R）を発する画素回路だけではなく、緑色（G）を発する画素回路にも閾値保持用コンデンサ19を設けることにより、上記ダイナミックレンジを結果的に $c1 / (c1 + c2)$ だけ小さくする構成も考えられる。この構成においても、データドライバ回路3自体のダイナミックレンジを（色毎に）変更することなく、赤色および緑色を発する有機EL素子17に対して過大にならない適切な量の電流を与えることができる。

[0082] さらに、現在一般的に使用される有機EL素子における青色発光材料は、各色のうちで最も発光効率が低い。一般的なデータドライバ回路3のダイナミックレンジが大きすぎる場合、または電源電位の（IRドロップによる）低下の影響を低減するため、上記と同様に青色（B）を発する画素回路にも閾値保持用コンデンサ19を設ける構成であってもよい。

[0083] ここで、上記各色の画素回路における $c1 / (c1 + c2)$ の値を適宜に調整すると、データドライバ回路3のダイナミックレンジを各色用に変更す

る必要がなくなる。このとき、各色の画素回路におけるデータ保持用コンデンサ 18 に対する閾値保持用コンデンサ 19 の比率 ($c1 / c2$) は、赤色 (R) を発する画素回路において最も小さくなり、青色 (B) を発する画素回路において最も大きくなる。

[0084] また、各色の画素回路における上記比率のうち、青色 (B) を発する画素回路における上記比率を最も大きくする、すなわち典型的には青色 (B) を発する画素回路に閾値保持用コンデンサ 19 を設けない構成 (すなわち $c2 = 0$) であれば、上記比率の設定が容易になる。以下、図 5 を参照して具体的な数値を用いて説明する。

[0085] 図 5 は、各色の画素回路における好適な画素電流と階調との関係を示す図である。この図 5 に示される状態では、各色の画素回路における発光輝度が好適に調整され、ホワイトバランスがとれている状態となっている。このときの各色の画素電流の比は、次式 (7) のように表される。

$$R : G : B = 1 : 2 : 4 \quad \dots (7)$$

[0086] ここで、青色 (B) を発する画素回路におけるダイナミックレンジに相当する最小階調値から最大階調値までの電圧範囲である階調電圧振幅値を 4 V とすると、上式 (5) を参照すれば分かるように、青色 (B) を発する画素回路における階調電圧振幅値は約 2.8 V となり、赤色 (R) を発する画素回路における階調電圧振幅値は 2 V となる。このようなダイナミックレンジを実現するための各色の画素回路における上記比率は、青色 (B) を発する画素回路に閾値保持用コンデンサ 19 を設けない構成 (すなわち $c2 = 0$) であれば、各色の画素回路におけるデータ保持用コンデンサ 18 の容量を 1 とすると、赤色 (R) を発する画素回路におけるデータ保持用コンデンサ 18 の容量を 1 に、緑色 (G) を発する画素回路におけるデータ保持用コンデンサ 18 の容量を約 0.41 に設定すればよい。そうすれば、全ての画素回路における階調電圧振幅値を 4 V に固定したままで、すなわちデータドライバ回路 3 のダイナミックレンジを 4 V から変更することなく、各色の画素回路における画素電流を好適に設定することが簡単にできる。

- [0087] また、上記比率を維持しつつ、または上記比率は考慮せずに、各色の画素回路におけるデータ保持用コンデンサ18と閾値保持用コンデンサ19との合成容量値 ($c_1 + c_2$) を以下のように設定する構成が考えられる。
- [0088] まず、各色の画素回路における上記合成容量値 ($c_1 + c_2$) が全て等しくなるように構成することが考えられる。そうすれば、各画素回路において容量素子が占めるレイアウト面積を同一にしたままで、上記ダイナミックレンジを自由に設定することが可能になる。
- [0089] また、赤色 (R) の画素回路における上記合成容量値 ($c_1 + c_2$) を、緑色 (R) の画素回路における上記合成容量値 ($c_1 + c_2$) をよりも小さく設定し、かつ緑色 (G) の画素回路における上記合成容量値 ($c_1 + c_2$) を、青色 (B) の画素回路における上記合成容量値 ($c_1 + c_2$) をよりも小さく設定する構成が考えられる。一般的に、各色の画素回路に使用される有機EL素子の寿命は、青色 (B) が最も短く、赤色 (R) が最も長い。したがって、素子寿命を長く保つために当該有機EL素子に流れる電流の電流密度を小さくすることが好ましく、そのためには、当該素子部分すなわち発光部分のレイアウト面積を大きくとる (開口率を大きくする) 構成が好適である。そこで、上記のように合成容量値を設定すれば、寿命が短い有機EL素子を含む画素回路ほど容量素子が占めるレイアウト面積が小さくなるため、発光部分のレイアウト面積を大きくとることが可能になる。
- [0090] さらに上記比率を考慮すると、赤色 (R) の画素回路における上記合成容量値 ($c_1 + c_2$) を、緑色 (R) の画素回路における上記合成容量値 ($c_1 + c_2$) をよりも大きく設定し、かつ緑色 (G) の画素回路における上記合成容量値 ($c_1 + c_2$) を、青色 (B) の画素回路における上記合成容量値 ($c_1 + c_2$) をよりも大きく設定する構成も考えられる。このように設定すれば、階調ズレやフリッカの発生を防止することが可能となる。すなわち、上記のようにダイナミックレンジを考慮した比率になるよう、データ保持用コンデンサ18および閾値保持用コンデンサ19の容量を設定すると、発光期間においてこれらのコンデンサにより保持される電荷は、赤色 (R)

の画素回路が最も小さくなり、青色（B）の画素回路が最も大きくなる。この保持電荷が小さくなるほど、保持電荷に対するTFT12, 16におけるリーク電流による影響が大きくなるため、表示階調エラーやフリッカなどを発生させることがある。そこで、各色の画素回路における合成容量値（ $c_1 + c_2$ ）を上記のように設定すれば、これらのコンデンサにより保持される電荷が最も小さい赤色（R）の画素回路および次に小さい緑色（G）の画素回路における上記影響が排除または低減される。

[0091] 以上の画素回路により表示される原色は、赤色（R）、緑色（G）、および青色（B）であるものとして説明したが、その他の原色であってもよい。また、上記のように、赤色を発光する有機EL素子の効率が最も高く、青色を発光する有機EL素子の効率が最も低いことを前提に上記比率または上記合成容量について説明したが、新しい材料が開発されることなどにより、各色の有機EL素子における上記効率や特性等が変更される場合には、その内容に応じて、上記原色を適宜変更してもよい。

[0092] さらに、上記画素回路は、赤色（R）、緑色（G）、および青色（B）の他、白色（W）を発するものが含まれていてもよい。このような画素構成では通常全ての画素回路に白色の発光素子が含まれ、各RGB色を発するためのカラーフィルタが設けられる構成が多い。この構成では、白色（W）の画素回路のみがカラーフィルタを設けられないので、白色（W）の画素回路が最も発光効率が高い。したがって、白色（W）の画素回路における上記比率を、他の画素回路（例えば赤色の画素回路）における上記比率よりも小さくすることが好ましい。そうすれば、データドライバ回路3のダイナミックレンジを変更することなく、各色の画素回路における画素電流を好適に設定することが簡単にできる。

[0093] さらにまた、上記画素回路は、赤色（R）、緑色（G）、および青色（B）の他、黄色（Y）を発するものが含まれていてもよい。この黄色（Y）を発するための有機EL素子の発光効率は、現状では緑色（G）を発するための有機EL素子と類似している。そこで、黄色（Y）を発するための有機E

L素子における上記比率を、赤色（R）を発する画素回路における上記比率よりも大きく、かつ青色（B）を発する画素回路における上記比率よりも小さく設定する。そうすれば、データドライバ回路3のダイナミックレンジを変更することなく、各色の画素回路における画素電流を好適に設定することが簡単にできる。なお以上は第1の実施形態の変形例として説明したが、その他の実施形態およびその変形例等においても同様の構成によって同様の効果を得ることができる。

[0094] （第2の実施形態）

図6は、本発明の第2の実施形態に係る表示装置の構成を示すブロック図である。図6に示す表示装置120は、図1に示す表示装置110とほぼ同様の構成であるが、画素回路20の構成が画素回路10の構成とは異なり、またn本の制御線E_iと平行に、n本の初期化制御線I_iが設けられる点が異なる。これらの初期化制御線I_iには、ゲートドライバ回路2から出力される初期化信号が与えられる。

[0095] 図7は、画素回路20の回路図である。図7に示すように、画素回路20は、第1から第6までのTFT21～26と、有機EL素子17と、データ保持用コンデンサ28と、閾値保持用コンデンサ29とを含んでいる。第1から第6までのTFT21～26は、いずれもpチャネル型トランジスタである。なお、これらを全てnチャネル型トランジスタにより構成してもよいし、場合により併せて使用する構成であってもよい。

[0096] 図7に示すように、画素回路20は、走査信号線G_i、制御線E_i、初期化制御線I_i、データ線S_j、2本1組の電源線VP_j、および共通電位V_{com}を有する電極に接続される。TFT22のソース端子は、電源線VP_jのうち電源電位VDDを与える配線に接続され、TFT22のドレイン端子は、TFT23の一方の導通端子に接続される。このTFT23の他方の導通端子は、TFT22のゲート端子に接続される。このように接続されることにより、TFT22のダイオード接続が可能になる。

[0097] また、TFT25の一方の導通端子は、TFT22のドレイン端子に接続

され、TFT25の他方の導通端子は、有機EL素子17のアノード端子に接続される。

[0098] さらに、TFT21の一方の導通端子は、データ線S_jに接続され、他方の導通端子はデータ保持用コンデンサ28の一端に接続される。TFT24の一方の導通端子およびTFT26の一方の導通端子は、ともに電源線V_{Pj}のうち初期化電位V_{ini}を与える配線に接続される。TFT24の一方の導通端子は、データ保持用コンデンサ28の他端に接続され、TFT26の他方の導通端子は、データ保持用コンデンサ28の一端に接続される。

[0099] このデータ保持用コンデンサ28の他端はTFT22のゲート端子に接続されている。また、閾値保持用コンデンサ29は、TFT22のソース端子とゲート端子との間に設けられる。有機EL素子17のカソード端子には、共通電位V_{com}が印加される。

[0100] 走査信号線G_iには、TFT21, 23のゲート端子がそれぞれ接続される。これらのTFT21, 23は、書き込み制御トランジスタとして機能する。初期化制御線I_iには、TFT24のゲート端子が接続される。このTFT24は、初期化制御トランジスタとして機能する。制御線E_iには、TFT25, 26のゲート端子がそれぞれ接続される。これらのTFT25, 26は、発光制御トランジスタとして機能する。また、TFT26は、発光時に初期化電位V_{ini}（または後述するように電源電位V_{DD}）などの固定電位をデータ保持用コンデンサ28の一端に与えるので、固定電位供給用トランジスタとしても機能する。

[0101] 図8は、画素回路20の駆動方法を示すタイミングチャートである。図8に示す波形は、図3に示す走査信号線G_iおよび制御線E_iの電位と同様であるが、初期化制御線I_iの電位変化を示す波形は、走査信号線G（i-1）の電位変化を示す波形とはやや異なる。

[0102] すなわち時刻t₂₂において、走査信号線G_iがアクティブとなると、走査信号線G（i-1）は非アクティブとなるが、初期化制御線I_iはアクティブのままである。したがって、時刻t₂₁において、初期化制御線I_i

がアクティブとなることにより、 $TFT22$ のゲート端子と電源線 VPj のうち初期化電位 $Vini$ を与える配線とが導通され、データ保持用コンデンサ28に、初期化電位 $Vini$ が書き込まれたのち（初期化動作）、時刻 $t22$ においても初期化動作は継続中である。なお、この初期化電位 $Vini$ は、 $VDD + Vth$ よりも小さく、 $TFT22$ をオンさせるのに十分な電圧であるものとする。

[0103] このように初期化動作中に時刻 $t22$ において、走査信号線 Gi がアクティブとなるので、 $TFT21, 23$ がオンされ、このことによりデータ保持用コンデンサ28に、初期化電位 $Vini$ が確実に書き込まれる。この動作は従来と同様であるが、本実施形態では従来と異なる動作を行うこともできる。

[0104] すなわち、本実施形態における初期化制御線 Ii に代えて、走査信号線 $G(i-1)$ を使用し、第1の実施形態と全く同様に（図3に示す波形で）本実施形態の画素回路を駆動することができる。これは、従来の図21に示す画素回路は、閾値保持用コンデンサ29が備えられていないため、上記のように駆動させることによりデータ保持用コンデンサ28に初期化電位 $Vini$ が確実に書き込む必要がある。しかし、本実施形態では、閾値保持用コンデンサ29が備えられているため初期化電位 $Vini$ を充電しておくことができる。したがって、データ保持用コンデンサ28に初期化電位 $Vini$ が確実に書き込むことができる。本実施形態でも、このように駆動すれば、初期化制御線 Ii を省略することができるので、画素回路の構成を簡略にし、開口率を増加させることができる。

[0105] その後、時刻 $t23$ において、初期化制御線 Ii が非アクティブとなることにより、第1の実施形態と同様に、ノードBの電位は、 $TFT22$ がダイオード接続されることによって、 $Vdata + Vth$ （ Vth は $TFT22$ の閾値電圧）まで変化し、当該電圧で安定する。なお、このときは $TFT25$ がオフされているため、有機EL素子17に電流は流れない。

[0106] ここで、データ保持用コンデンサ28の容量値を $c1$ とし、閾値保持用コ

ンデンサ 29 の容量値を c_2 とするとき、データ保持用コンデンサ 28 の蓄積電荷 Q_1 および閾値保持用コンデンサ 29 の蓄積電荷 Q_2 は、それぞれ次式 (8) および次式 (9) のように表される。

$$Q_1 = c_1 \times (V_{DD} + V_{th} - V_{data}) \quad \dots (8)$$

$$Q_2 = c_2 \times V_{th} \quad \dots (9)$$

[0107] 時刻 t_{25} において、制御線 E_i がアクティブとなると、TFT 25, 26 がオンされる。そのことにより有機 EL 素子 17 に電流が流れ、発光が開始される。ここで前述したようにノード A から逃げる電荷がないことから、データ保持用コンデンサ 18 と閾値保持用コンデンサ 19 との総蓄積電荷 ($Q_1 + Q_2$) は、書き込み時と発光時とで等しい。よって、ノード A の電位 (TFT 22 のゲート電位) を V_x とするとき、次式 (10) に示すような等式が成立する。

$$\begin{aligned} Q_1 + Q_2 &= (c_1 \times (V_{DD} + V_{th} - V_{data}) + c_2 \times V_{th}) \\ &= (c_1 \times (V_x - V_{ini}) + c_2 \times (V_x - V_{DD})) \\ &\dots (10) \end{aligned}$$

[0108] この式 (10) を V_x について解くと、次式 (11) のように表すことができる。

$$\begin{aligned} V_x &= -c_1 / (c_1 + c_2) \times (V_{data} - V_{ini}) \\ &\quad + V_{DD} + V_{th} \\ &\dots (11) \end{aligned}$$

[0109] そして、TFT 22 のオーバードライブ電圧 V_{ov} は、TFT 22 のゲート・ソース間電圧 V_{gs} から閾値電圧 V_{th} を差し引いた値として定義されるため、上式 (11) から次式 (12) のように表すことができる。

$$\begin{aligned} V_{ov} &= V_{gs} - V_{th} = V_x - V_{DD} - V_{th} \\ &= -c_1 / (c_1 + c_2) \times (V_{data} - V_{ini}) \dots (12) \\ & \end{aligned}$$

[0110] したがって、上式 (12) を参照すればわかるように、第 1 の実施形態と

同様に、有機EL素子を流れる電流が閾値電圧 V_{th} のばらつきの影響を受けることがなく、さらに電源電位 V_{DD} の変化の影響も受けることがない。

[0111] また電源電位 V_{DD} が発光期間中に変動する場合、上式(11)を参照すればわかるように、TFT22のゲート電位 V_x は電源電位 V_{DD} の変化に追従して変化する。そのため、発光期間の発光輝度は電源電位 V_{DD} が低下すれば低下し、データ保持用コンデンサ28の容量値 c_1 が、閾値保持用コンデンサ29の容量値 c_2 よりも小さくなるほど、変化量が近くなる(追従しやすくなる)。このように、画素回路の配置位置によって生じるIRドロップによる輝度差を大きく低減することができるため、表示品位の低下を十分に抑制することができる。

[0112] このように、本実施形態の構成でも第1の実施形態の場合よりもさらに、画素回路の配置位置によって生じるIRドロップによる輝度差を低減することができるため、表示品位の低下を抑制することができる。

[0113] また、第1の実施形態と同様に、閾値保持用コンデンサ29を新たに設けるにもかかわらず、画素回路の回路面積を従来よりも増加させないようにすることができる。さらに、データドライバ回路3のダイナミックレンジを変更することなく、有機EL素子17に対して過大にならない適切な量の電流を与えることができる。また、ダイナミックレンジの大きい(一般的な)データドライバ回路3を使用することにより、データ電位の誤差をより小さくすることができるので、データドライバ回路3における出力偏差により生じる画素の輝度ばらつきを抑制することができる。さらに、TFT22の大きさを変更することなく、有機EL素子をより微少な電流量で制御することができ、設計条件や製造プロセス等を変更する必要がないので設計自由度をより高めることができる。さらにまた、第1の実施形態の場合と同様に駆動することにより、初期化制御線*li*を省略することができるので、画素回路の構成を簡略にし、開口率を増加させることができる。

[0114] (第2の実施形態に対する第1の変形例)

次に、図7に示す画素回路20の構成に対する第1の変形例を、図9を参

照して説明する。図 9 に示す画素回路 20a は、画素回路 20 と同一の構成要素である、第 1 から第 6 までの TFT 21～26 と、有機 EL 素子 17 と、データ保持用コンデンサ 28 と、閾値保持用コンデンサ 29 とを含んでいる。

[0115] ここで、閾値保持用コンデンサ 29 の一端は、図 7 に示す場合と同様に TFT 22 のゲート端子に接続されるが、図 7 に示す場合とは異なり、閾値保持用コンデンサ 29 の他端は、電源線 VPj のうち初期化電位 Vin i を与える配線に接続される。なお、上記初期化電位 Vin i 以外に与えられる固定電位がある場合には、上記初期化電位 Vin i に代えて使用してもよい。

[0116] このように閾値保持用コンデンサ 29 の他端を固定電位点に接続しなければ上記電位を保持できない。よって前述したように、図 24 に示す画素回路 95 に含まれている、電位が変化する走査信号線 Gi に接続される補助コンデンサ Caux とは、その機能を異にするものであり、この補助コンデンサ Caux によって閾値保持用コンデンサ 29 と同様の効果が得られるものではない。

[0117] ここで、書き込み動作時においてデータ保持用コンデンサ 28 に保持される電位は、上記第 2 の実施形態と同様であるが、閾値保持用コンデンサ 29 に保持される電位は、第 2 の実施形態とは異なり、 $(VDD + V_{th} - V_{ini})$ となる。したがって、データ保持用コンデンサ 28 の蓄積電荷 Q1 および閾値保持用コンデンサ 29 の蓄積電荷 Q2 は、それぞれ次式 (13) および次式 (14) のように表される。

$$Q1 = c1 \times (VDD + V_{th} - V_{data}) \quad \dots (13)$$

$$Q2 = c2 \times (VDD + V_{th} - V_{ini}) \quad \dots (14)$$

[0118] 以上より、ノード A の電位 (TFT 22 のゲート電位) を Vx は、上式 (11) を参照すると、次式 (15) のように表すことができる。

$$Vx = -c2 / (c1 + c2) \times V_{ini} \\ - c1 / (c1 + c2) \times V_{data} + V_{th} \quad \dots (15)$$

[0119] そして、TFT 22 のオーバードライブ電圧 Vov は、上式 (15) から

次式（１６）のように表すことができる。

$$V_{ov} = -c_2 / (c_1 + c_2) \times V_{ini} - c_1 / (c_1 + c_2) \times V_{data} \dots (16)$$

[0120] したがって、上式（１６）を参照すればわかるように、第１の実施形態と同様に、有機ＥＬ素子を流れる電流が閾値電圧 V_{th} のばらつきの影響を受けることがなく、さらに書き込み時に電源電位 V_{DD} の変化の影響も全く受けることがない。したがって、書き込み時点におけるＩＲドロップによる輝度差を完全に解消することができる。このように、画素回路の配置位置によって生じるＩＲドロップによる輝度差を大きく低減することができるため、表示品位の低下を十分に抑制することができる。

[0121] ただし、電源電位 V_{DD} が発光期間中に変動する場合、ＴＦＴ２２のゲート電位 V_x は電源電位 V_{DD} の変化には全く追随しない。そのため、発光期間の発光輝度は電源電位 V_{DD} が低下すれば低下し、ＩＲドロップによる輝度差が生じる。この点では、第２の実施形態の構成が好ましい。

[0122] （第２の実施形態に対する第２の変形例）

次に、図７に示す画素回路２０ｂの構成に対する第２の変形例を、図１０を参照して説明する。図１０に示す画素回路２０ｂは、画素回路２０と同一の構成要素である、第１から第６までのＴＦＴ２１～２６と、有機ＥＬ素子１７と、データ保持用コンデンサ２８と、閾値保持用コンデンサ２９とを含んでいる。

[0123] ここで、図７に示す第２の実施形態と同様、ＴＦＴ２６の他方の導通端子は、データ保持用コンデンサ２８の一端に接続されるが、第２の実施形態とは異なり、ＴＦＴ２６の一方の導通端子は、電源線 V_{PJ} のうち電源電位 V_{DD} を与える配線に接続される。

[0124] ここで、書き込み動作時においてデータ保持用コンデンサ２８および閾値保持用コンデンサ２９に保持される電位は、上式（８）および式（９）に示す（上記第２の実施形態の）場合と同様であるが、発光時にデータ保持用コンデンサ１８の一端の電圧は、図１０を参照すればわかるように異なる。そ

して、データ保持用コンデンサ 18 と閾値保持用コンデンサ 19 との総蓄積電荷 ($Q_1 + Q_2$) は、書き込み時と発光時とで等しいので、電荷の再分配がなされ、次式 (17) に示すような等式が成立する。

$$\begin{aligned} Q_1 + Q_2 &= (c_1 \times (V_{DD} + V_{th} - V_{data}) + c_2 \times V_{th}) \\ &= (c_1 \times (V_x - V_{DD}) + c_2 \times (V_x - V_{DD})) \quad \dots \\ (17) \end{aligned}$$

[0125] この式 (17) を V_x について解くと、次式 (18) のように表すことができる。

$$\begin{aligned} V_x &= c_1 / (c_1 + c_2) \times V_{data} \\ &\quad + (2 \times c_1 + c_2) / (c_1 + c_2) \times V_{DD} + V_{th} \quad \dots \\ (18) \end{aligned}$$

[0126] そして、TFT22 のオーバードライブ電圧 V_{ov} は、上式 (18) から次式 (19) のように表すことができる。

$$\begin{aligned} V_{ov} &= -c_1 / (c_1 + c_2) \times V_{data} + c_1 / (c_1 + c_2) \\ &\quad \times V_{DD} \\ &= c_1 / (c_1 + c_2) \times (V_{DD} - V_{data}) \quad \dots \\ (19) \end{aligned}$$

[0127] したがって、上式 (19) を参照すればわかるように、第 1 の実施形態と同様に、有機 EL 素子を流れる電流が閾値電圧 V_{th} のばらつきの影響を受けることがなく、さらに書き込み時に電源電位 V_{DD} の変化の影響を全く受けることがない。

[0128] さらに、電源電位 V_{DD} が発光期間中に変動する場合、TFT22 のゲート電位 V_x は電源電位 V_{DD} の変化に完全に追随することになる。そのため、発光期間における発光輝度もまた電源電位 V_{DD} の変化の影響を全く受けることがない。

[0129] したがって、書き込み時および発光時における IR ドロップによる輝度差を完全に解消することができる。このように、画素回路の配置位置によって

生じる I R ドロップによる輝度差を完全に解消することができるため、 I R ドロップによって表示品位が低下する問題を完全に解消することができる。

[0130] (第3の実施形態)

図 1 1 は、本発明の第 3 の実施形態に係る表示装置の構成を示すブロック図である。図 1 1 に示す表示装置 1 3 0 は、図 1 に示す表示装置 1 1 0 とほぼ同様の構成であるが、画素回路 3 0 の構成が画素回路 1 0 の構成とは異なり、また n 本の制御線 E i に代えて 4 本 1 組の制御線 E a i ~ E d i が n 組設けられる点異なる。また、第 1 の実施形態とは異なり、電源線 V p i は 1 本であって、電源電位 V D D が与えられる。

[0131] 図 1 2 は、画素回路 3 0 の回路図である。図 1 2 に示すように、画素回路 3 0 は、第 1 から第 6 までの T F T 3 1 ~ 3 6 と、有機 E L 素子 1 7 と、データ保持用コンデンサ 3 8 と、閾値保持用コンデンサ 3 9 とを含んでいる。第 1 から第 6 までの T F T 3 1 ~ 3 6 は、いずれも n チャネル型トランジスタである。なお、これらを全て p チャネル型トランジスタにより構成してもよいし、場合により併せて使用する構成であってもよい。

[0132] 図 1 2 に示すように、画素回路 3 0 は、走査信号線 G i、制御線 E a i ~ E d i、データ線 S j、電源線 V P j、および共通電位 V c o m を有する電極に接続される。駆動用トランジスタである T F T 3 1 のドレイン端子は、電流経路上に T F T 3 5 を介して、電源電位 V D D を与える電源線 V P j に接続される。また、T F T 3 1 のソース端子は、電流経路上に T F T 3 2 を介して有機 E L 素子 1 7 のアノード端子に接続される。

[0133] T F T 3 6 の一方の導通端子は、T F T 3 1 のドレイン端子に接続され、他方の導通端子は、T F T 3 1 のゲート端子に接続される。このことにより、T F T 3 1 のダイオード接続が可能になる。

[0134] また、T F T 3 4 の一方の導通端子は、データ線 S j に接続され、他方の導通端子は閾値保持用コンデンサ 3 9 の一端および T F T 3 1 のソース端子に接続される。この閾値保持用コンデンサ 3 9 の他端は、T F T 3 1 のゲート端子に接続される。

[0135] また、データ保持用コンデンサ 38 の一端は、TFT 33 を介して共通電位 V_{com} を有する電極に接続される。なお、この電極に代えて、電源電位 VDD よりも十分に低い電位を与える配線に接続されていてもよい。また、このデータ保持用コンデンサ 38 の一端は、TFT 32 を介して TFT 31 のソース端子に接続される。有機 EL 素子 17 のカソード端子には、共通電位 V_{com} が印加される。

[0136] 走査信号線 G_i には、TFT 34 のゲート端子が接続されている。また制御線 E_{di} には、TFT 33 のゲート端子が接続されている。さらに制御線 E_{ai} には、TFT 36 のゲート端子が接続されている。これらの TFT 33, 34, 36 は、書き込み制御トランジスタとして機能する。また、TFT 33 は、データ保持用コンデンサ 38 の一端に共通電位 V_{com} またはその他の固定電位を与えるため、固定電位供給用トランジスタとしても機能する。

[0137] 制御線 E_{ci} には、TFT 32 のゲート端子が接続される。また、制御線 E_{bi} には、TFT 35 のゲート端子が接続される。これらの TFT 32, 35 は、発光制御トランジスタとして機能する。なお、TFT 35 は、データ電位 V_{data} を書き込む時にもオンされるので、書き込み制御トランジスタとしても機能する。

[0138] 次に、この画素回路 30 の動作について説明する。まず、データ電位 V_{data} の書き込み動作時において、TFT 33～36 がオンされることにより、データ電位 V_{data} がデータ保持用コンデンサ 38 の他端に与えられる。このとき、TFT 32 はオフされるので、有機 EL 素子 17 を発光しない。

[0139] その後、TFT 35 がオフされることにより、TFT 31 の閾値電圧 V_{th} が取得され、TFT 31 のソース・ドレイン間の電圧が閾値電圧 V_{th} に等しくなると TFT 31 はオフされ、閾値電圧の取得動作が完了する。このときの TFT 31 のゲート端子（図 12 におけるノード A）の電位は、 $(V_{data} + V_{th})$ となる。したがって、データ保持用コンデンサ 38 には

、上記電位 ($V_{data} + V_{th}$) が保持され、閾値保持用コンデンサ 39 には、閾値電圧 V_{th} が保持されることになる。

[0140] 次に、発光動作時において、TFT 32, 35 がオンされ、TFT 33, 34, 36 がオフされるので、電源線 V_{pi} から有機 EL 素子 17 へ、TFT 31 のゲート電位に応じた電流が流される。ここでデータ保持用コンデンサ 38 および閾値保持用コンデンサ 39 の両端が接続されるため、これら 2 つのコンデンサが発光時における保持容量として機能する。

[0141] ここで、書き込み動作時においてデータ保持用コンデンサ 38 および閾値保持用コンデンサ 39 に保持される総蓄積電荷 ($Q_1 + Q_2$) は、第 1 または第 2 の実施形態と同様に、書き込み時と発光時とで等しいので、電荷の再分配がなされ、同様に本実施形態の画素回路 30 に含まれる TFT 31 のオーバードライブ電圧 V_{ov} を従来の場合と比較すると、本実施形態の構成では、従来の場合に比べて電源電位 V_{DD} の変化によるオーバードライブ電圧 V_{ov} の変化を $c_1 / (c_1 + c_2)$ に抑制することができる。このことにより、画素回路の配置位置によって生じる IR ドロップによる輝度差を低減することができるため、表示品位の低下を抑制することができる。

[0142] また、第 1 の実施形態と同様に、閾値保持用コンデンサ 39 を新たに設けるにもかかわらず、画素回路の回路面積を従来よりも増加させないようにすることができる。さらに、データドライバ回路 3 のダイナミックレンジを変更することなく、有機 EL 素子 17 に対して過大にならない適切な量の電流を与えることができる。また、ダイナミックレンジの大きい（一般的な）データドライバ回路 3 を使用することにより、データ電位の誤差をより小さくすることができるので、データドライバ回路 3 における出力偏差により生じる画素の輝度ばらつきを抑制することができる。さらに、TFT 31 の大きさを変更することなく、有機 EL 素子をより微少な電流量で制御することができ、設計条件や製造プロセス等を変更する必要がないので設計自由度をより高めることができる。

[0143] （第 4 の実施形態）

図13は、本発明の第4の実施形態に係る表示装置の構成を示すブロック図である。図13に示す表示装置140は、図1に示す表示装置110とほぼ同様の構成であるが、画素回路40の構成が画素回路10の構成とは異なり、またn本の制御線E_iは1本の共通制御線（制御幹線）9aを介して、ゲートドライバ回路2ではなく、電源制御回路4へ接続されている。また、また、第1の実施形態とは異なり、電源線V_{p i}は1本であって、1本の共通制御線（電源幹線）9bを介して、電源制御回路4へ接続され、電源電位V_{DD}が与えられる。また、電源線V_{P i}は、図13に示されるように、走査信号線G_iに対して平行に配設される。

[0144] 図14は、画素回路40の回路図である。図14に示すように、画素回路40は、第1から第3までのTFT41～43と、有機EL素子17と、2つのデータ保持用コンデンサ48a、48bと、閾値保持用コンデンサ49とを含んでいる。第1から第3までのTFT41～43は、いずれもpチャネル型トランジスタである。なお、これらを全てnチャネル型トランジスタにより構成してもよいし、場合により併せて使用する構成であってもよい。

[0145] 図14に示すように、画素回路40は、走査信号線G_i、制御線E_i、データ線S_j、電源線V_{P i}、および共通電位V_{com}を有する電極に接続される。TFT41の一方の導通端子はデータ線S_jに接続され、他方の導通端子は2つのデータ保持用コンデンサ48a、48bの一端に接続されている。これら2つのデータ保持用コンデンサ48a、48bのうち、データ保持用コンデンサ48aの他端は、TFT42のゲート端子に接続され、データ保持用コンデンサ48bの他端は、電源線V_{P i}に接続される。また閾値保持用コンデンサ49の一端も、電源線V_{P i}に接続され、他端はTFT42のゲート端子に接続される。

[0146] TFT42のドレイン端子は電源線V_{P i}に接続され、ソース端子は、有機EL素子17のアノード端子に接続される。有機EL素子17のカソード端子には、共通電位V_{com}が印加される。TFT43の導通端子の一方は、TFT42のゲート端子に接続され、TFT43の導通端子の他方は、T

F T 4 2 のソース端子に接続される。このように接続されることにより、T F T 4 2 はダイオード接続可能となっている。

[0147] 走査信号線 G i には、T F T 4 1 のゲート端子が接続される。この T F T 4 1 は、書き込み制御トランジスタとして機能するが、初期化動作時にもオンされるので、初期化制御トランジスタとしても機能する。制御線 E i には、T F T 4 3 のゲート端子が接続される。この T F T 4 3 は、発光制御トランジスタとして機能する。

[0148] 図 1 5 は、画素回路 4 0 の駆動方法を示すタイミングチャートである。画素回路 4 0 は、1 フレーム期間に 1 回ずつ、初期化、閾値検出 (T F T 4 2 の閾値検出)、書き込み、および発光を行い、発光期間以外では消灯する。なおフレーム期間とは、1 つの画像を表示するための単位期間であって、黒挿入期間等を含んでいてもよく、種々の長さに設定可能である。

[0149] 以下、図 1 5 を参照して、1 行目の画素回路の動作を説明する。時刻 t 1 1 より前では、走査信号線 G 1 および制御線 E 1 の電位はハイレベルである。また電源線 V P 1 の電位は、共通電位 V c o m と略同電位である第 1 の低電位 V P _ L 1 に維持される。時刻 t 1 1 において、制御線 E 1 および走査信号線 G 1 , G 2 , … の電位はローレベルに変化し (アクティブとなり)、電源線 V P 1 の電位は第 1 の低電位 V P _ L 1 に維持される。また、このときデータ線 S j には第 1 の基準電位 V r e f 1 が印加されている。このとき、有機 E L 素子 1 7 のアノード電位および T F T 4 2 のゲート電位は共通電位 V c o m と略同電位となり、初期化される。また T F T 4 1 を介して、第 1 の基準電位 V r e f 1 が 2 つのデータ保持用コンデンサ 4 8 a , 4 8 b それぞれの一端に与えられる。

[0150] その後、時刻 t 1 2 の直前まで、走査信号線 G 1 , G 2 , … の電位はローレベルのままで制御線 E 1 の電位がハイレベルに変化し (非アクティブとなり)、電源線 V P 1 の電位は共通電位 V c o m よりも低い第 2 の低電位 V P _ L 2 に変化する。そうすれば、T F T 4 2 のゲート電位は、図 1 4 を参照すればわかるように、データ保持用コンデンサ 4 8 a の容量値を c 1 a とし

、データ保持用コンデンサ48bの容量値を $c1b$ とすると、 $(V_{ref1} - V_{ref2}) \times c1a / (c1a + c2)$ だけ下がるから、TFT42はオンされ、有機EL素子17のアノード端子に保持されていた電荷は、電源線 V_{pi} へ向けて放電され、その結果、アノード端子の電位は、第2の低電位 V_{PL2} に変化し、当該アノード端子が初期化される。このように、時刻 $t11$ から時刻 $t12$ までの間には、2つの段階を含む初期化動作が行われる。

[0151] 時刻 $t12$ において、電源線 V_{P1} の電位は第1の低電位 V_{PL1} に変化し、制御線 $E1$ の電位はローレベルに変化する（アクティブとなる）。なお、走査信号線 $G1$ 、 $G2$ 、…の電位はローレベルのままで維持される。このようにTFT43がオンされることにより、TFT42はダイオード接続状態となり、電源線 V_{Pi} からTFT42のゲート端子へ電流が流れ、ゲート端子の電位は $(V_{PL1} + V_{th})$ まで上昇し、当該電位が維持される。このとき、閾値保持用コンデンサ49にはこの閾値電圧 V_{th} が書き込まれ、保持される。ここで、TFT41はオンされているので、2つのデータ保持用コンデンサ48a、48bの一端には、第1の基準電位 V_{ref1} が与えられる。よって、データ保持用コンデンサ48aによってTFT42のゲート電位は変動する、実際には有機EL素子の寄生容量が相対的に十分に大きいため、上記電位変動量はわずかとなる。このような動作は閾値検出動作である。

[0152] 時刻 $t13$ において、制御線 $E1$ および走査信号線 $G1$ 、 $G2$ 、…の電位はハイレベルに変化すると（非アクティブとなると）、対応する画素回路の書き込み動作が開始されるまで、待機状態となり、TFT42のゲート電位は、 $(V_{PL1} + V_{th})$ のまま維持される。

[0153] 時刻 $t14$ において、走査信号線 $G1$ の電位はハイレベルとなると、TFT41がオンされる。このときデータ線 S_j には表示すべき画像を示すデータ電位 V_{data} が印加される。ここで、図15を参照すればわかるように、TFT42はオン42のゲート電位は、 $c1a / (c1a + c2) \times V_d$

a t a となり、この電位が2つのデータ保持用コンデンサ48 a、48 bに保持される。

[0154] 時刻 t 1 5 において走査信号線 G 1 の電位はハイレベルとなると、T F T 4 1 がオフされ、T F T 4 2 のゲート電位は、データ線 S j の電位が変化しても、 $(V_{P_L1} + V_{th})$ のままほぼ一定に保たれる。その後の時刻 t 1 6 においても、次の行に配置される画素回路において同様の動作がなされ、全ての画素回路にデータ電位 V_{data} を含む電位が書き込まれる。

[0155] ここで、書き込み動作時においてデータ保持用コンデンサ48 a、48 b および閾値保持用コンデンサ49に保持される総蓄積電荷 ($Q_1 + Q_2$) は、上記実施形態と同様に、書き込み時と発光時とで等しいので、電荷の再分配がなされ、同様に本実施形態の画素回路40に含まれるT F T 4 2 のオーバードライブ電圧 V_{ov} を従来の場合と比較すると、本実施形態の構成では、従来の場合に比べて電源電位 V_{DD} の変化によるオーバードライブ電圧 V_{ov} の変化を $c_{1a} / (c_{1a} + c_2)$ に抑制することができる。このことにより、画素回路の配置位置によって生じる I R ドロップによる輝度差を低減することができるため、表示品位の低下を抑制することができる。

[0156] 時刻 t 1 7 において、電源線 V_{Pi} に印加される電位がハイレベルになると、有機 E L 素子 1 7 の発光が開始される。このハイレベル電位は、発光期間において T F T 4 2 が飽和領域で動作するように決定されることは前述した。このため、上式 (4) に示すように、有機 E L 素子 1 7 を流れる電流 I は、データ電位 V_{data} に応じて変化するが、T F T 4 2 の閾値電圧 V_{th} には依存しない。したがって、閾値電圧 V_{th} がばらつく場合や、閾値電圧 V_{th} が経時的に変化する場合でも、有機 E L 素子 1 7 にデータ電位 V_{data} に応じた電流を流し、有機 E L 素子 1 7 を所望の輝度で発光させることができる。

[0157] 時刻 t 1 8 において、電源線 V_{Pi} の電圧が第1の低電位 V_{P_L1} に変化するので、時刻 t 1 7 以降、T F T 4 2 はオフ状態になる。このため、有機 E L 素子 1 7 に電流は流れず、画素回路40は消灯する。

[0158] このように 1 行目の画素回路は、時刻 t_{11} から時刻 t_{12} までの期間で初期化を行い、時刻 t_{12} から時刻 t_{13} までの期間で閾値検出を行い、時刻 t_{14} から時刻 t_{15} までの期間で書き込みを行い、時刻 t_{17} から時刻 t_{18} までの期間で発光し、この時刻 t_{17} から時刻 t_{18} までの期間以外の期間では消灯する。2 行目の画素回路は、1 行目の画素回路と同じく時刻 t_{11} から時刻 t_{12} までの期間で初期化を行うとともに、時刻 t_{12} から時刻 t_{13} までの期間で閾値検出を行い、1 行目の画素回路から所定時間 T_a だけ遅れて書き込みを行い、1 行目の画素回路と同じく発光し、消灯する。一般に、 i 行目の画素回路は、他の行の画素回路と同じ期間で初期化および閾値検出を行い、 $(i - 1)$ 行目の画素回路から時間 T_a だけ遅れて、書き込みを行い、他の行の画素回路と同じ期間で発光し消灯する。

[0159] したがって初期化期間を適宜の期間、典型的には選択期間よりも長い期間を設定することができるため、電源制御回路 4 a に含まれる出力バッファの電流能力が小さい場合であっても十分に駆動することができる。また、閾値検出期間も適宜の期間、典型的には選択期間よりも長い期間を設定することができるため、閾値検出を確実に行うことができ、閾値補償の精度を向上させることができる。また、選択期間中に閾値検出を行う構成に比べて、画素データの書き込み期間を十分に取ることができる。そのため、書き込み期間が短い、すなわち高速で駆動が行われる構成、例えば 3 次元画像表示装置（3 D テレビ）などにおいても、本発明の構成を容易に適用することができる。

[0160] 次に、本実施形態における電源線の接続状態と、当該電源線により電流を与えられることにより駆動される画素回路 4 0 の動作を図 1 6 および図 1 7 を参照して説明する。図 1 6 は、本実施形態に係る表示装置における電源線 VP_i の接続形態を示す図である。図 1 3 に示す表示装置には、電源制御回路 4 a と電源線 VP_i を接続するために、1 本の幹電源線（共通電源線）9 b が設けられる。共通電源線 9 b の一端は、電源制御回路 4 a が有する 1 個の出力端子に接続され、すべての電源線 VP_i は共通電源線 9 b に接続され

る。

[0161] なお、この共通電源線 9 b は、電流供給用幹配線であるが、本実施形態ではすべての電源線 $V P_i$ を電源制御回路 4 a に共通的に接続することができる配線であれば幹配線でなくてもよく、またその数や電源線 $V P_i$ との接続位置は周知のあらゆる構成を適用可能である。

[0162] 図 1 7 は、本実施形態に係る表示装置における各行の画素回路 4 0 の動作を示す図である。電源制御回路 4 a は、1 フレーム期間の先頭で所定時間だけ共通電源線 9 b に第 1 の低電位 $V P_L 1$ および第 2 の低電位 $V P_L 2$ を印加する。このため、すべての行の画素回路は、1 フレーム期間の先頭で初期化を行う。次に、この初期化直後にすべての行の画素回路は、閾値検出を行う。続いて、1 行目の画素回路が選択され、1 行目の画素回路が書き込みを行う。次に 2 行目の画素回路が選択され、2 行目の画素回路が書き込みを行う。以下、同様に、3 ~ n 行目の画素回路が行ごとに順に選択され、選択された画素回路が書き込みを行う。

[0163] 各行の画素回路は、閾値検出から書き込み直前までの期間では消灯し、さらに書き込みから各行毎に異なる所定の期間消灯した後、全行の画素回路が同時に（一括的に）一定時間 $T 1$ だけ発光し、1 フレーム期間の最後（言い換えれば次のフレームの初期化直前）で同時に消灯する。このように、閾値検出の終了時点から発光の開始時点までの期間を全行で同一に設定すると、表示ムラを抑制することができる。すなわち（全行で同一の）閾値検出の終了時点から発光の開始時点までの期間を全行で同一に設定すれば、 $T F T 4 2$ に生じるリーク電流を全行の画素回路 4 0 においてほぼ同一にすることができるので、リーク電流による輝度低下量が全行の画素回路 4 0 においてほぼ同一となり、結果的に表示ムラを抑制することができる。

[0164] なお、上記のように初期化、閾値検出、および発光を行う場合、そのタイミングは全ての行で同一となるので、各制御線 E_i をアクティブ（および非アクティブ）にする信号は全て同一となる。したがって、全ての制御線を接続する共通制御線 9 a が設けられる。

- [0165] またこの電源線は2系統又はそれ以上に分割し、それぞれを異なるタイミングで駆動してもよい。図18は、電源線VP_iの接続形態の別例を示す図である。この表示装置には、電源制御回路4bと電源線VP_iを接続するために、2本の共通電源線121、122が設けられる。共通電源線121、122の一端は、電源制御回路4bが有する2個の出力端子にそれぞれ接続される。電源線VP₁～VP_n/2は共通電源線121に接続され、
- [0166] この構成では、各行の画素回路は同じ時間だけ発光する必要があるが、フレームの先頭で必ず初期化される図17に示す場合とは異なり、n行目の画素回路の発光が1フレーム期間の最後までに完了する必要はない。このことから図18に示す例では、画素回路の走査速度は通常と同じであり、画素回路の発光期間の長さは約1/2フレーム期間となる。よって、通常の場合と同様の十分な長さの書き込み時間を確保することができる。なお、画素回路の走査速度を通常の数値にしたまま、発光期間の長さを1/2フレーム期間よりも短くしてもよい。あるいは、画素回路の走査速度を通常より速くして、発光期間の長さを1/2フレーム期間より長くしてもよい。
- [0167] 図19は、電源線VP_iの接続形態のさらなる別例を示す図である。この表示装置には、電源制御回路4cと電源線VP_iを接続するために、2本の共通電源線131、132が設けられる。共通電源線131、132の一端は、電源制御回路4cが有する2個の出力端子にそれぞれ接続される。奇数行目の電源線VP₁、VP₃、…は共通電源線131に接続され、偶数行目の電源線VP₂、VP₄、…は共通電源線132に接続される。
- [0168] このように構成すれば画面の輝度差を小さくすることができる。すなわち、図18に示す構成において、画面の上半分と下半分で輝度が大きく異なる場合など、共通電源線121、122を流れる電流の量が大きく異なる場合には、画面の中央で輝度差が発生することがある。しかしこの構成によれば、共通電源線131、132を流れる電流の量は多くの場合ほぼ同じになるので、画面の中央に発生する可能性のある輝度差を予め防止することができる。

[0169] 以上のように、閾値保持用コンデンサ49を新たに設けることにより、オーバードライブ電圧 V_{ov} の変化を $c_{1a} / (c_{1a} + c_2)$ に抑制することができ、画素回路の配置位置によって生じるIRドロップによる輝度差を低減することができるため、表示品位の低下を抑制することができる。また、前述したように、閾値保持用コンデンサ49は、書き込みから発光時までおよび発光期間中に、保持容量として機能するので、閾値保持用コンデンサ49を新たに設けるにもかかわらず、画素回路の回路面積を従来よりも増加させないようにすることができる。

[0170] なお、2つのデータ保持用コンデンサ48a、48bを設けることにより、これらの直列容量 c_{12} を自由に設定することができる。このことにより、データ保持用コンデンサ48b（および閾値保持用コンデンサ49）の容量値を適宜に設定することが可能になる。その意味で、データ保持用コンデンサ48bは調整用コンデンサとしての機能を有する。

[0171] さらに第1の実施形態と同様に、データドライバ回路3のダイナミックレンジを変更することなく、有機EL素子17に対して過大にならない適切な量の電流を与えることができる。また、ダイナミックレンジの大きい（一般的な）データドライバ回路3を使用することにより、データ電位の誤差をより小さくすることができるので、データドライバ回路3における出力偏差により生じる画素の輝度ばらつきを抑制することができる。さらにまた、TFT42の大きさを変更することなく、有機EL素子をより微少な電流量で制御することができ、設計条件や製造プロセス等を変更する必要がないので設計自由度をより高めることができる。

産業上の利用可能性

[0172] 本発明は、アクティブマトリックス型の表示装置であって、電流で駆動される自発光型表示素子を備えた表示装置に適用されるものであって、特に有機ELディスプレイなどの表示装置に適している。

符号の説明

[0173] 1…表示制御回路

2…ゲートドライバ回路

3…データドライバ回路

4…電源制御回路

5…シフトレジスタ

6…レジスタ

7…ラッチ回路

8…D／A変換器

9…共通電源線

10、20、30、40…画素回路

11～16、21～26、31～36、41～43…TFT

17…有機EL素子（電気光学素子）

18、28、38、48…データ保持用コンデンサ

19、29、39、49…閾値保持用コンデンサ

110、120、130、140…表示装置

G_i…走査信号線

E_i…制御線

I_i…初期化制御線

S_j…データ線

V_{Pi}…電源線

請求の範囲

- [請求項1] アクティブマトリクス型の表示装置に設けられる画素回路であって、
- 、
- 電源電圧を供給される電源線から与えられる電流により駆動される電気光学素子と、
- 前記電気光学素子を通る電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、
- 前記駆動用トランジスタの制御端子に一端を接続され、他端を前記駆動用トランジスタの導通端子または所定の固定電圧を与えられる接続点に接続される閾値保持用コンデンサと、
- 前記駆動用トランジスタの制御端子に一端を接続され、他端を前記電源線または所定電圧を与えられる接続点に接続されるデータ保持用コンデンサと、
- オンされるときに、前記閾値保持用コンデンサには、前記駆動用トランジスタの閾値電圧または当該閾値電圧に対して所定電圧だけ変化した電圧を与え、前記データ保持用コンデンサには、予め定められた初期化電圧を与えるか、または表示すべき画像を表す映像信号に対応する電圧を前記閾値電圧に加えまたは差し引いた電圧からさらに所定電圧だけ変化した電圧を与え、オフされるときに、与えた電圧を前記閾値保持用コンデンサおよび前記データ保持用コンデンサに保持させるように接続される第1および第2の書き込み制御トランジスタと、
- 前記駆動用トランジスタの導通端子と前記電源線との間の第1の電流経路、および前記駆動用トランジスタの導通端子と前記電気光学素子との間の第2の電流経路のうち、少なくとも一方の経路上に設けられ、当該画素回路における表示が行われる発光期間において、前記第1または第2の電流経路を導通するように接続される発光トランジスタと
- を備えることを特徴とする、画素回路。

- [請求項2] 前記発光制御トランジスタは、
前記第1の電流経路上に設けられる第1の発光制御トランジスタと、
前記第2の電流経路上に設けられる第2の発光制御トランジスタと
を含み、
前記第1の書き込み制御トランジスタは、所定の初期化期間において、前記データ保持用コンデンサの前記一端に対して、前記初期化電圧を与えるよう接続され、
前記第2の書き込み制御トランジスタは、所定の書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与えるよう接続され、
前記閾値保持用コンデンサの前記他端は、前記駆動用トランジスタの導通端子および前記第2の書き込み制御トランジスタの導通端子に接続されることを特徴とする、請求項1に記載の画素回路。
- [請求項3] 前記データ保持用コンデンサの前記他端は、前記電源線に接続されることを特徴とする、請求項2に記載の画素回路。
- [請求項4] 前記データ保持用コンデンサの前記他端は、前記初期化電圧を供給される初期化電源線に接続されることを特徴とする、請求項2に記載の画素回路。
- [請求項5] 前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、導通端子の他方に前記電源線または前記初期化電圧を供給される初期化電源線を接続されており、前記発光期間において、前記データ保持用コンデンサの前記他端に前記電源電圧または前記初期過電圧を与えるよう接続される固定電位供給用トランジスタをさらに備え、
前記発光制御トランジスタは、前記第2の電流経路上に設けられ、
前記第1の書き込み制御トランジスタは、所定の書き込み期間において、前記駆動用トランジスタの制御端子と、前記駆動用トランジスタ

タの導通端子の一方とを導通するよう接続され、

前記第2の書き込み制御トランジスタは、前記書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与えるよう接続されることを特徴とする、請求項1に記載の画素回路。

[請求項6] 前記閾値保持用コンデンサの前記他端は、前記駆動用トランジスタの導通端子の他方および前記電源線に接続されることを特徴とする、請求項5に記載の画素回路。

[請求項7] 前記閾値保持用コンデンサの前記他端は、前記初期化電源線に接続されることを特徴とする、請求項5に記載の画素回路。

[請求項8] 前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、前記電源電圧よりも低い電圧を与える電源線または前記電気光学素子のカソード端子に導通端子の他方を接続されており、所定の書き込み期間において導通するよう接続される固定電位供給用トランジスタをさらに備え、

前記発光制御トランジスタは、

前記第1の電流経路上に設けられる第1の発光制御トランジスタと、

前記第2の電流経路上に設けられる第2の発光制御トランジスタと

を含み、

前記第1の書き込み制御トランジスタは、所定の書き込み期間において、前記駆動用トランジスタの制御端子と、前記駆動用トランジスタの導通端子の一方とを導通するよう接続され、

前記第2の書き込み制御トランジスタは、前記書き込み期間において、前記駆動用トランジスタの前記導通端子の一方と、前記映像信号を与えられる映像信号線とを導通するよう接続され、

前記閾値保持用コンデンサの前記一端は、前記駆動用トランジスタ

の制御端子に接続され、前記他端を前記駆動用トランジスタの導通端子の他方に接続されることを特徴とする、請求項 1 に記載の画素回路。

[請求項9]

アクティブマトリクス型の表示装置であって、
請求項 1 から請求項 8 までに記載の前記画素回路と、
前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、
前記複数の映像信号線と交差する複数の走査信号線および複数の制御線と、
前記複数の画素回路に前記電源電圧を供給する複数の電源線と、
前記複数の走査信号線および前記複数の制御線を選択的または一括的に駆動する走査信号線駆動回路と、
前記表示すべき画像を表す信号を印加することにより前記複数の映像信号線を駆動する映像信号線駆動回路と、
前記複数の電源線を駆動する電源制御回路と
を備え、
前記画素回路は、前記複数の映像信号線と前記複数の走査信号線との交差点にそれぞれ対応してマトリクス状に配置されており、
前記第 1 および第 2 の書き込み制御トランジスタと、前記発光トランジスタとは、それぞれの制御端子を前記複数の制御線または前記複数の電源線のうちの対応する 1 つと接続されることを特徴とする、表示装置。

[請求項10]

電源電圧を供給される電源線から与えられる電流により駆動される電気光学素子と、前記電気光学素子を流れる電流の経路上に設けられ、当該経路に流されるべき電流を決定する駆動用トランジスタと、前記駆動用トランジスタの制御端子に一端を接続され、他端を前記駆動用トランジスタの導通端子または所定の固定電圧を与えられる接続点に接続される閾値保持用コンデンサと、前記駆動用トランジスタの制

御端子に一端を接続され、他端を前記電源線または所定電圧を与えられる接続点に接続されるデータ保持用コンデンサとを備える画素回路の制御方法であって、

前記閾値保持用コンデンサには、前記駆動用トランジスタの閾値電圧または当該閾値電圧に対して所定電圧だけ変化した電圧を与え、前記データ保持用コンデンサには、予め定められた初期化電圧を与えるか、または表示すべき画像を表す映像信号に対応する電圧を前記閾値電圧に加えまたは差し引いた電圧からさらに所定電圧だけ変化した電圧を与え、さらに、与えた電圧を前記閾値保持用コンデンサおよび前記データ保持用コンデンサに保持させる書き込みステップと、

前記駆動用トランジスタの導通端子と前記電源線との間の第1の電流経路、および前記駆動用トランジスタの導通端子と前記電気光学素子との間の第2の電流経路のうち、少なくとも一方の経路を、当該画素回路における表示が行われる発光期間において非導通状態から導通させることにより前記電源線から前記電気光学素子へ電流を流す発光ステップと

を備えることを特徴とする、画素回路の制御方法。

[請求項11]

前記画素回路は、前記閾値保持用コンデンサの前記他端が、前記駆動用トランジスタの導通端子に接続された回路であり、

前記書き込みステップは、

所定の初期化期間において、前記データ保持用コンデンサの前記一端に対して、前記初期化電圧を与える第1の書き込みステップと、

所定の書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与える第2の書き込みステップと

を含み、

前記発光ステップでは、前記第1および第2の電流経路を、前記発光期間において非導通状態から導通させることを特徴とする、請求項

10に記載の画素回路の制御方法。

[請求項12]

前記画素回路は、前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、導通端子の他方に前記電源線または前記初期化電圧を供給される初期化電源線を接続されており、前記発光期間において、前記データ保持用コンデンサの前記他端に前記電源電圧または前記初期過電圧を与えるよう接続される固定電位供給用トランジスタをさらに備え、

前記書き込みステップは、

所定の書き込み期間において、前記駆動用トランジスタの制御端子と、前記駆動用トランジスタの導通端子の一方とを導通する第1の書き込みステップと、

所定の書き込み期間において、前記駆動用トランジスタの制御端子に対して、前記映像信号に対応する電圧を与える第2の書き込みステップと

を含み、

前記発光ステップでは、前記第2の電流経路を非導通状態から導通させることにより前記電源線から前記電気光学素子へ電流を流すことを特徴とする、請求項10に記載の画素回路の制御方法。

[請求項13]

前記画素回路は、前記データ保持用コンデンサの前記他端に導通端子の一方を接続され、前記電源電圧よりも低い電圧を与える電源線または前記電気光学素子のカソード端子に導通端子の他方を接続されており、所定の書き込み期間において導通するよう接続される固定電位供給用トランジスタをさらに備え、

前記画素回路は、前記閾値保持用コンデンサの前記一端が、前記駆動用トランジスタの制御端子に接続され、前記他端が前記駆動用トランジスタの導通端子の他方に接続された回路であり、

前記書き込みステップは、

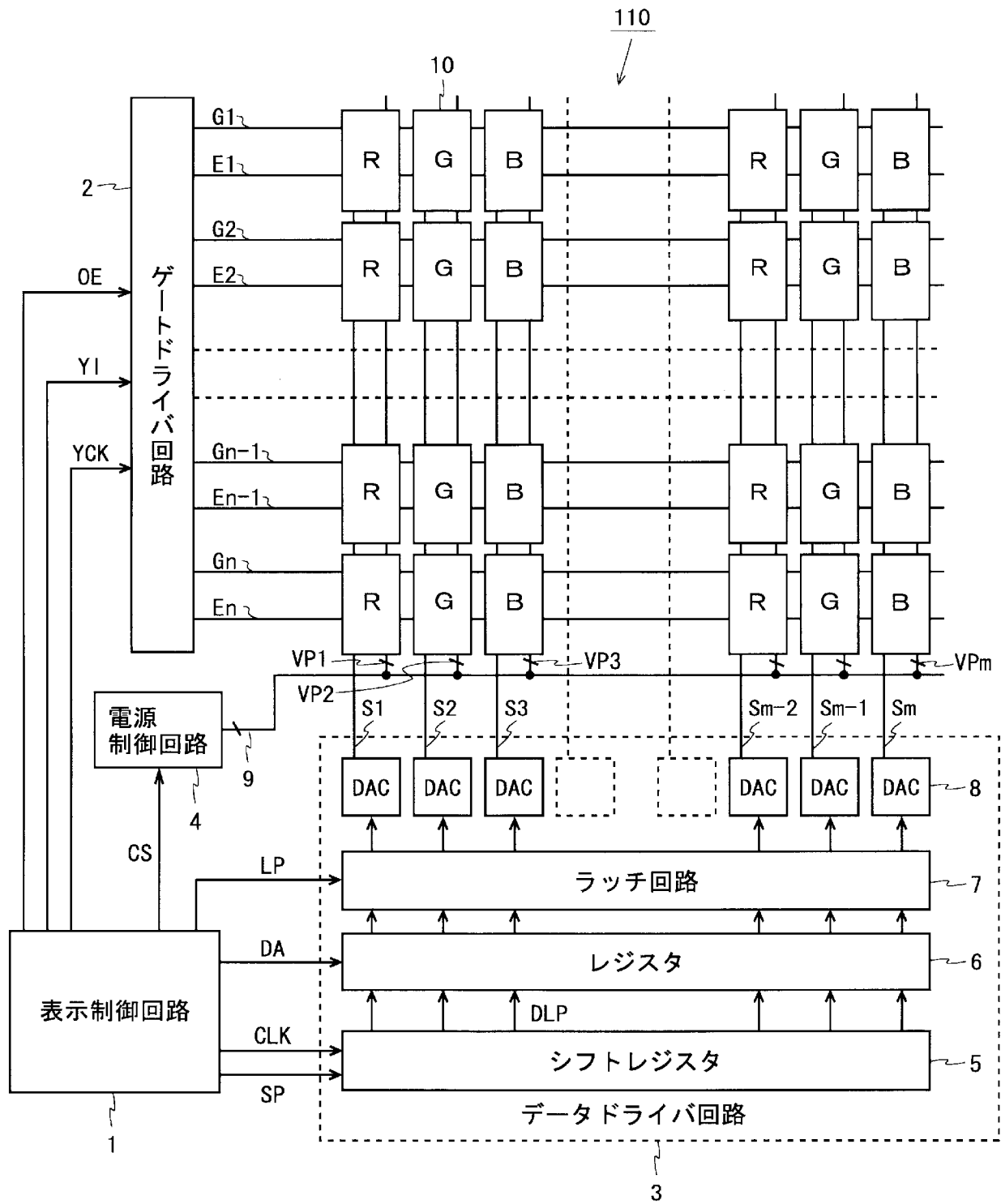
所定の書き込み期間において、前記駆動用トランジスタの制御端

子と、前記駆動用トランジスタの導通端子の一方とを導通させる第1の書き込みステップと、

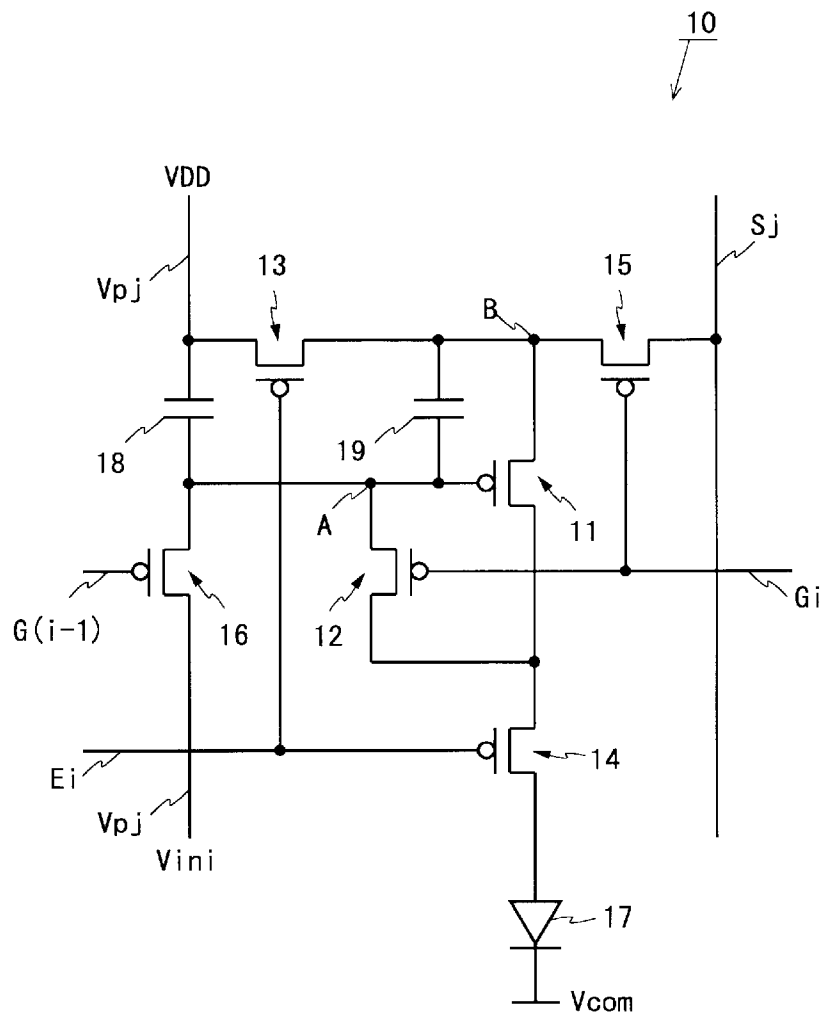
所定の書き込み期間において、前記駆動用トランジスタの前記導通端子の一方と、前記映像信号を与えられる映像信号線とを導通させる第2の書き込みステップとを含み、

前記発光ステップでは、前記第1および第2の電流経路を、前記発光期間において非導通状態から導通させることを特徴とする、請求項10に記載の画素回路の制御方法。

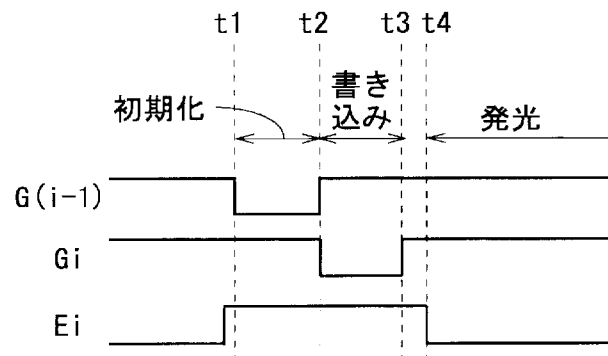
[図1]



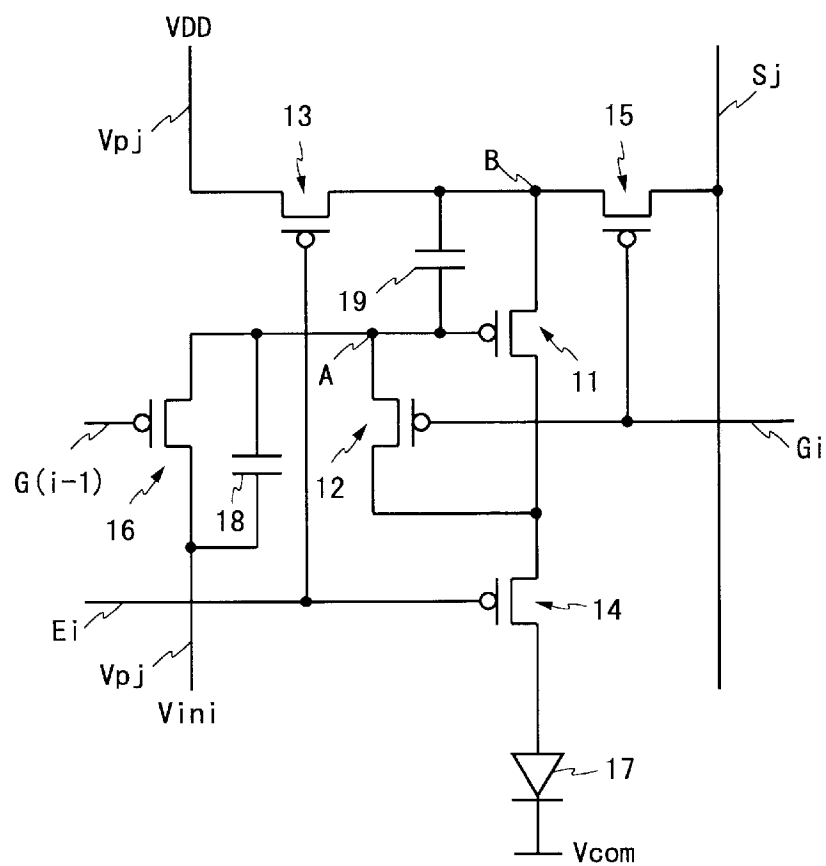
[図2]



[図3]

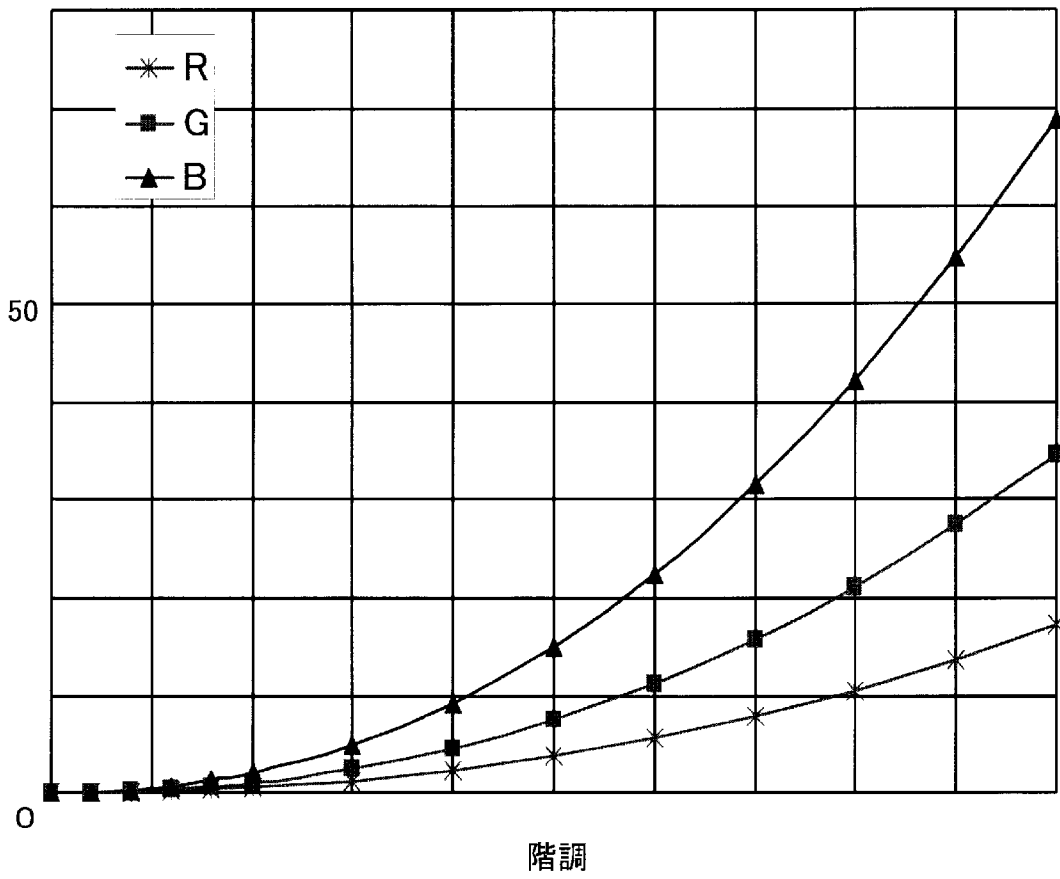


10a

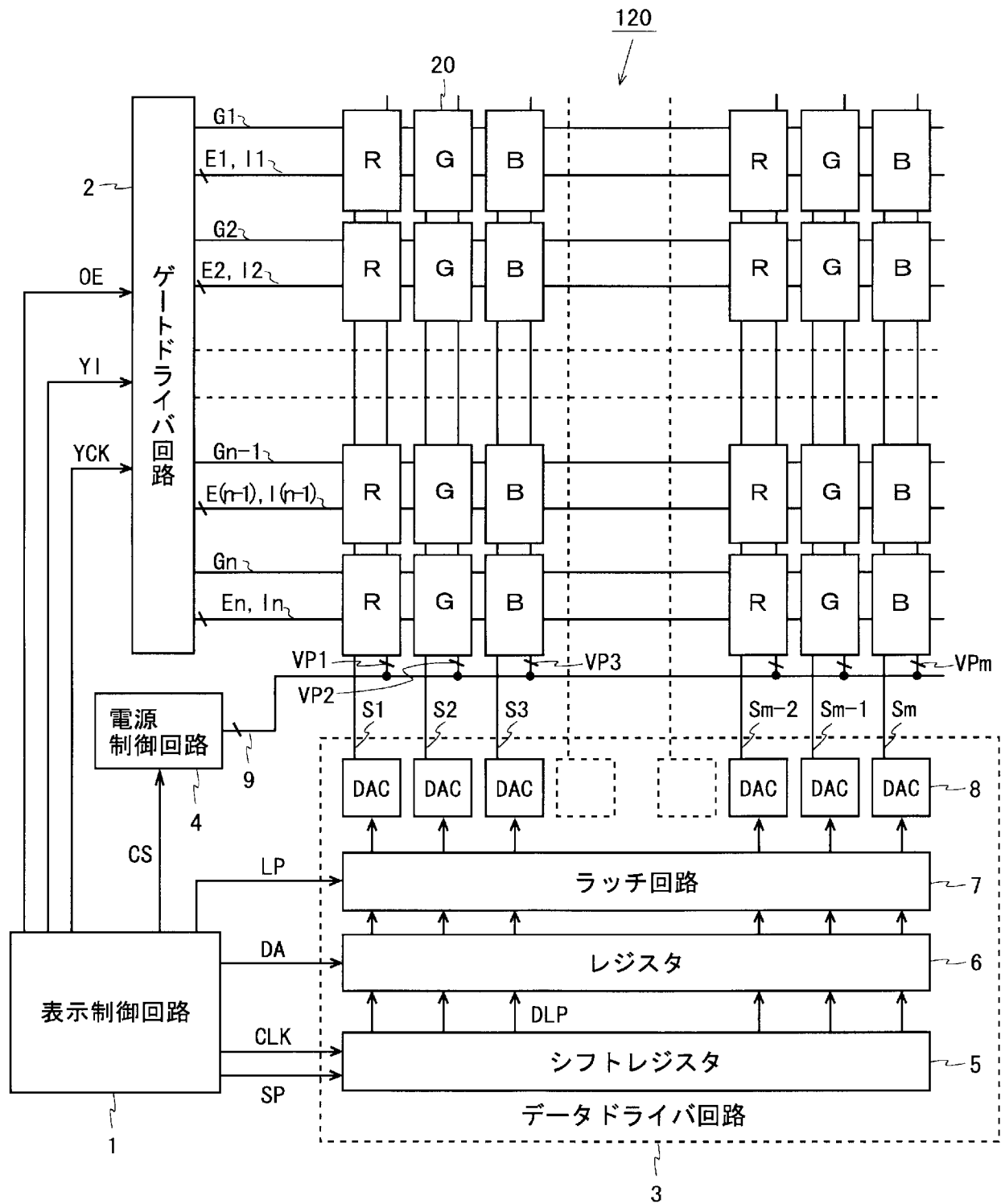


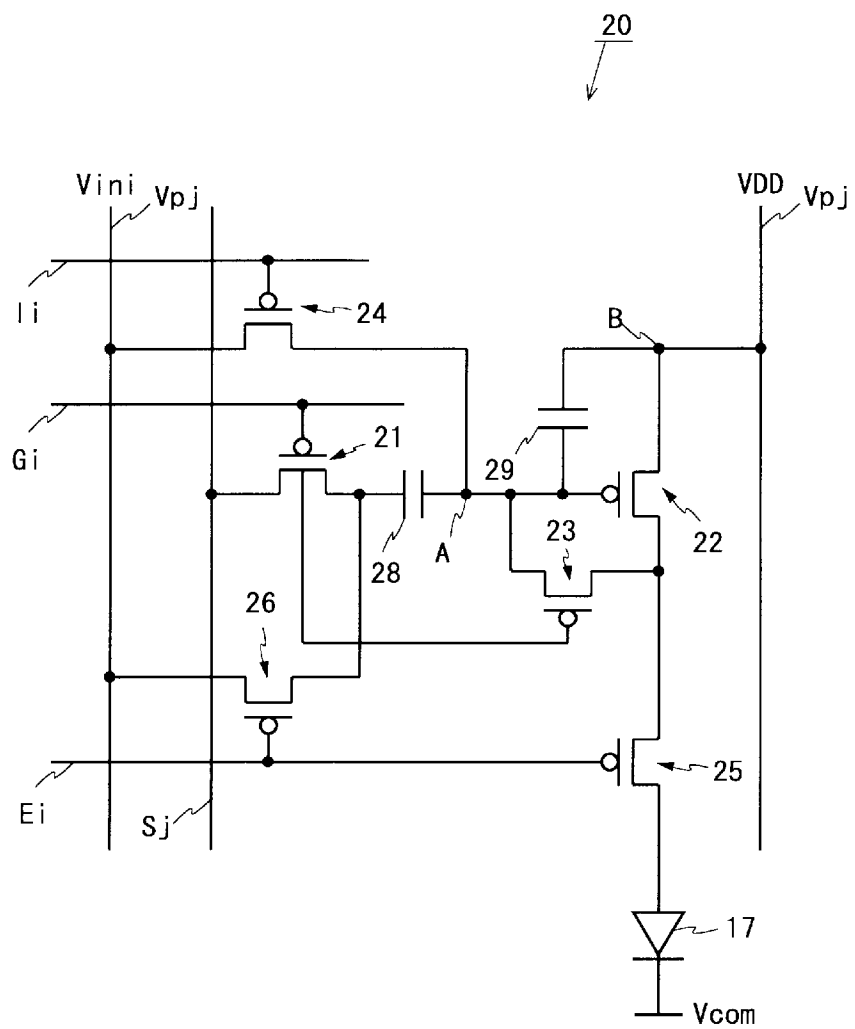
[図5]

画素電流
[mA]

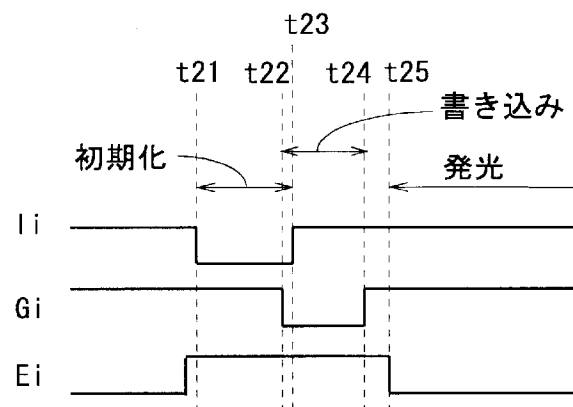


[図6]

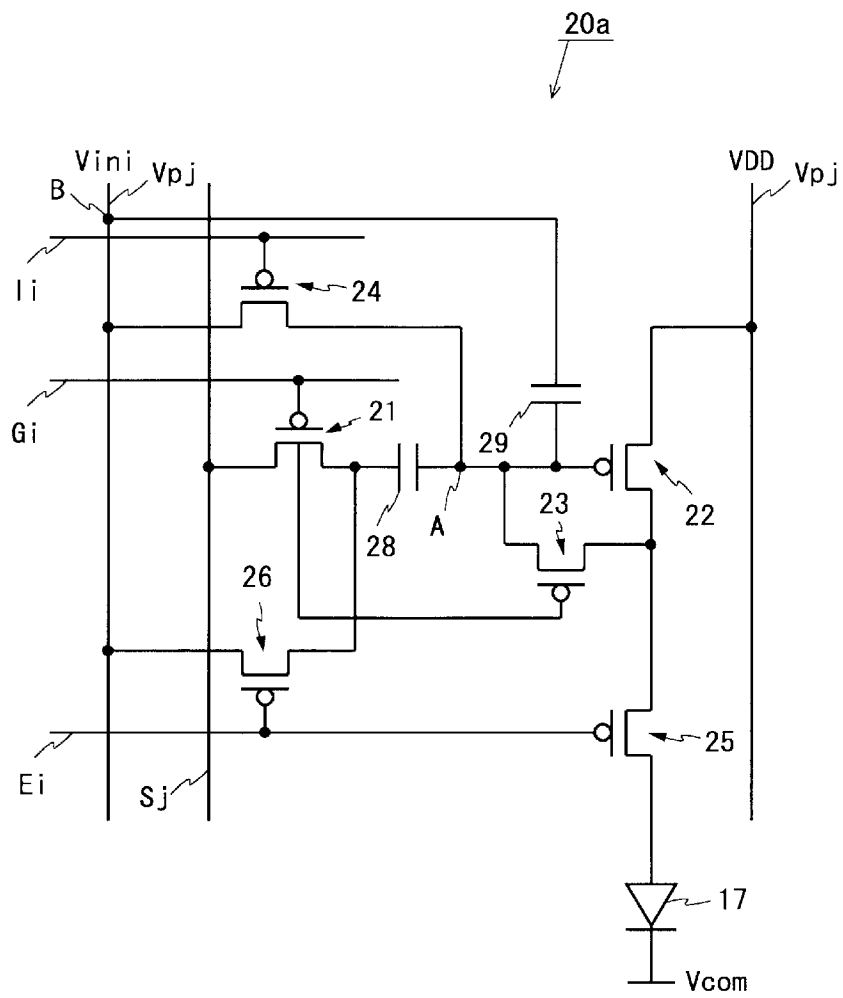




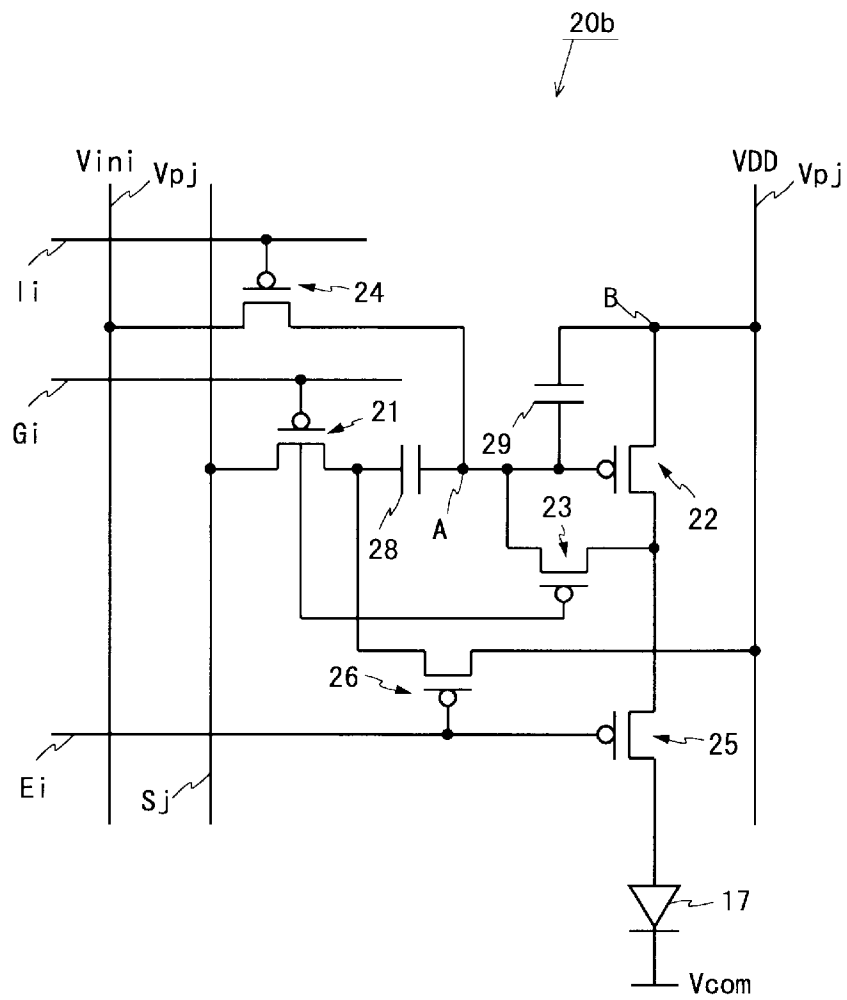
[図8]



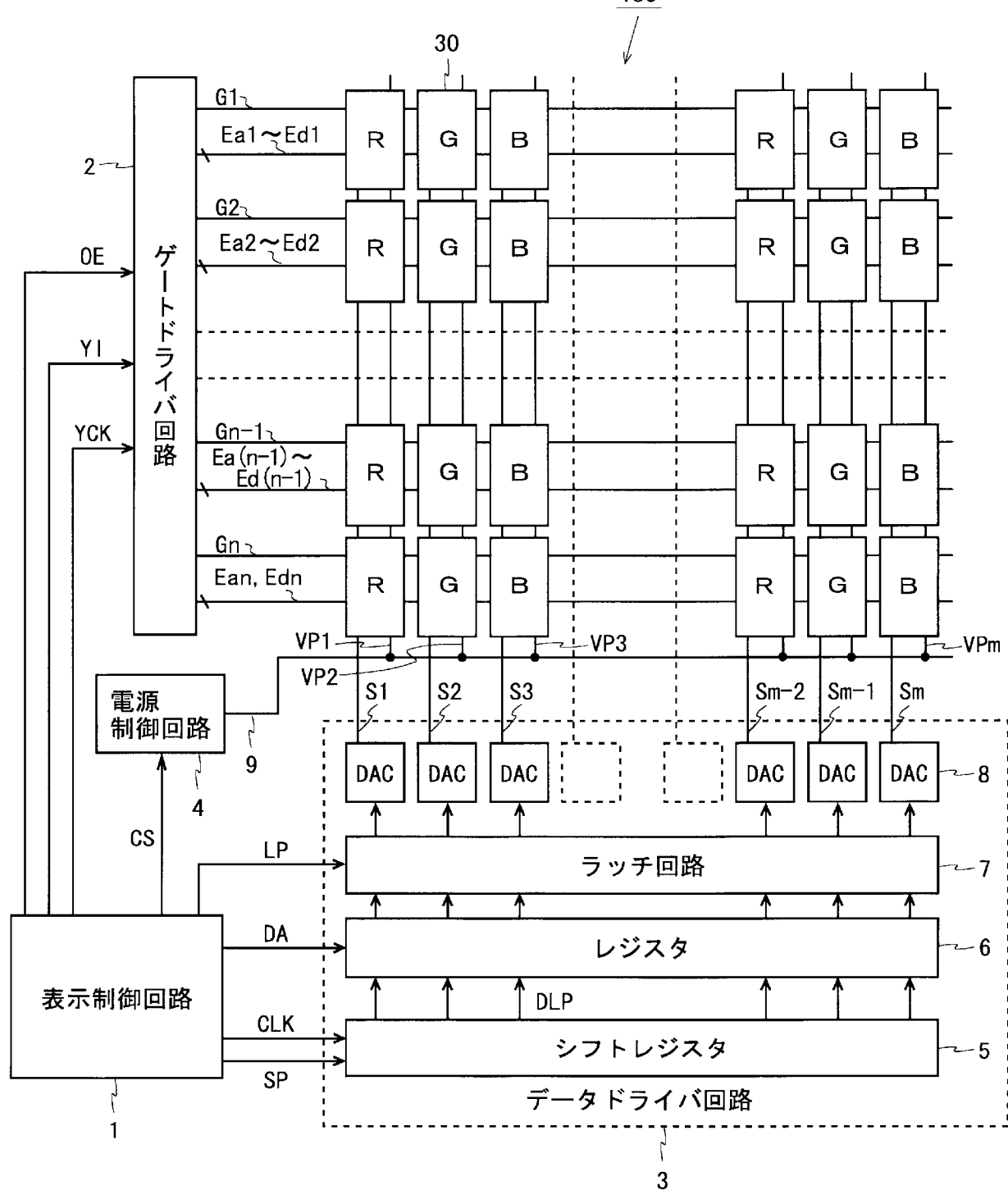
[図9]



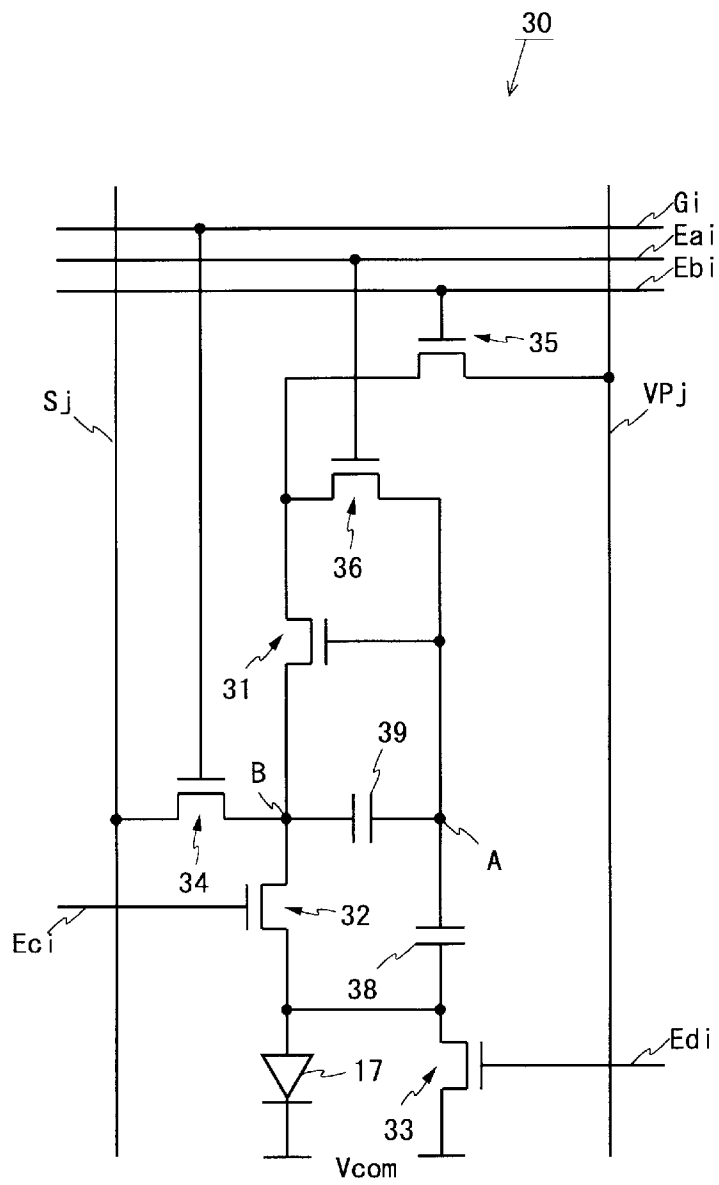
[図10]



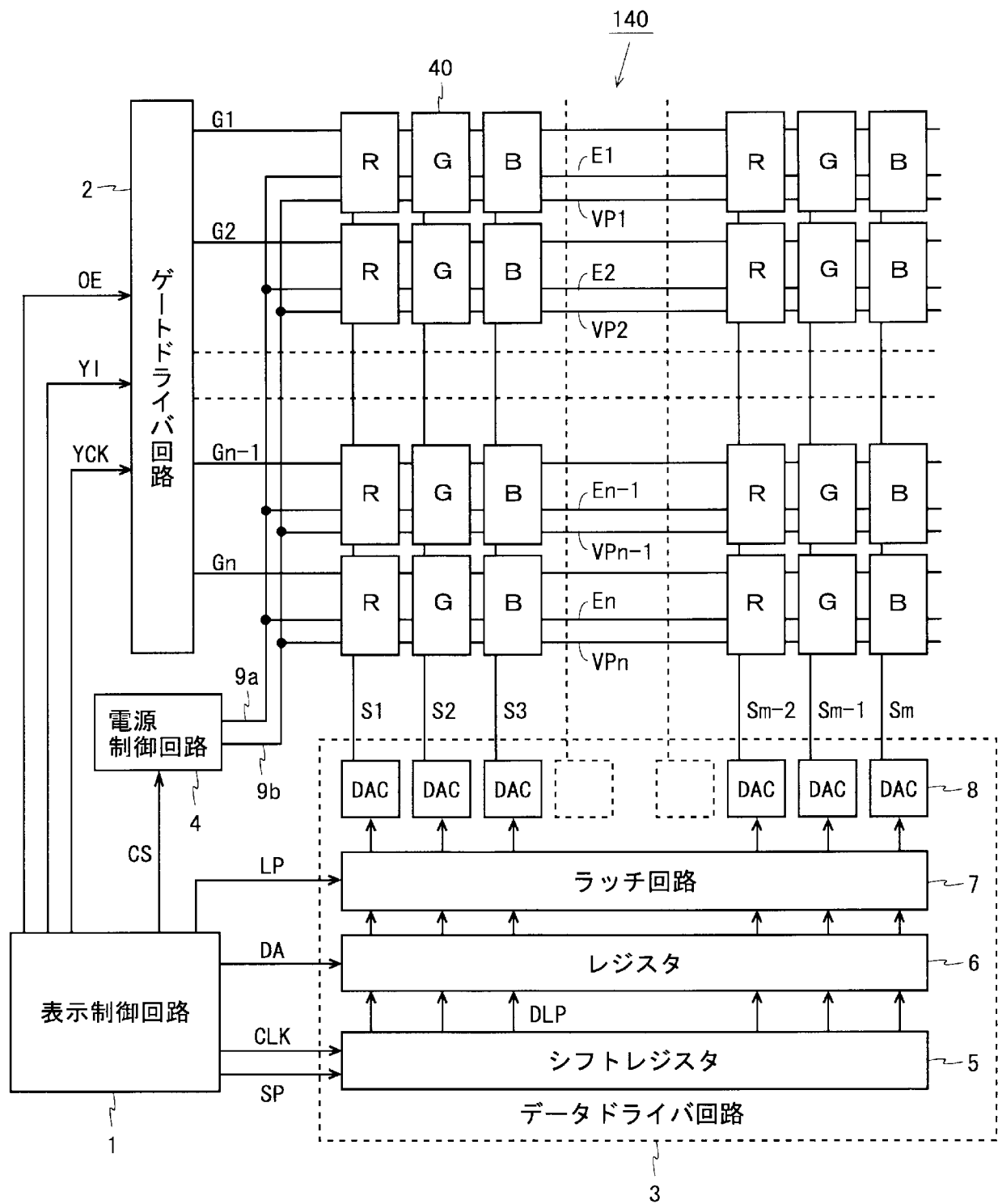
130



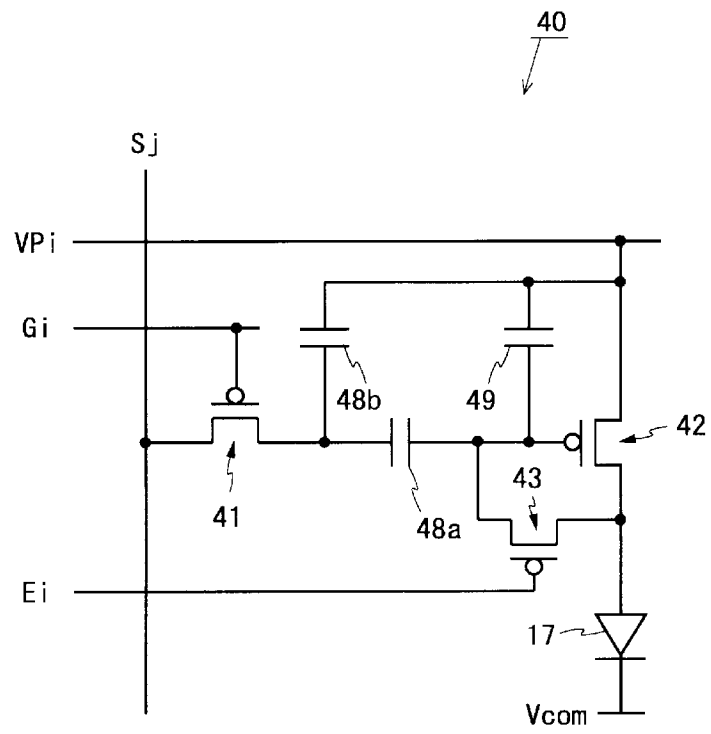
[図12]



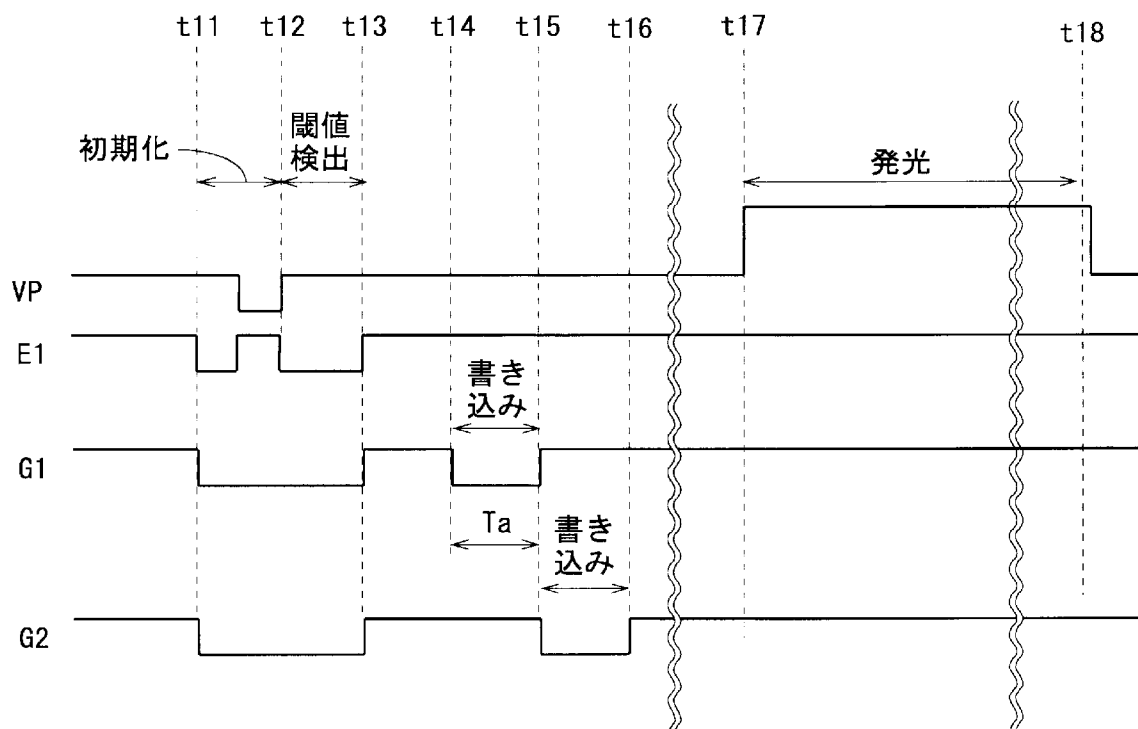
[図13]



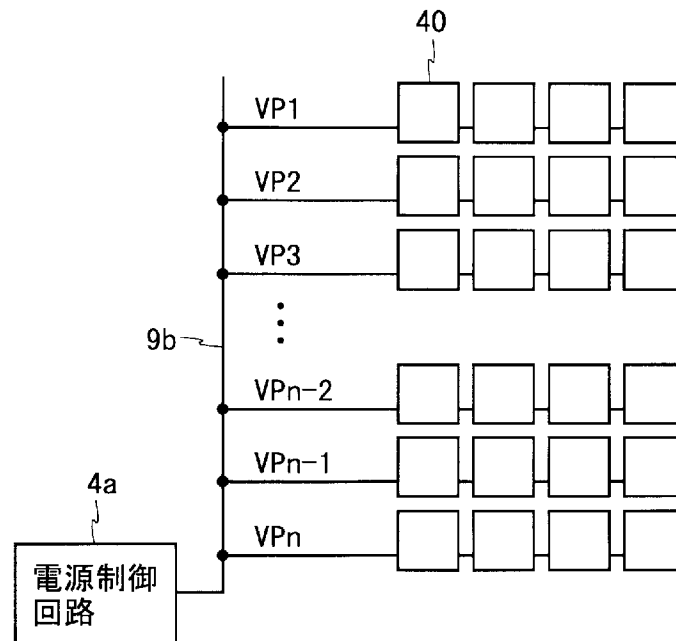
[図14]



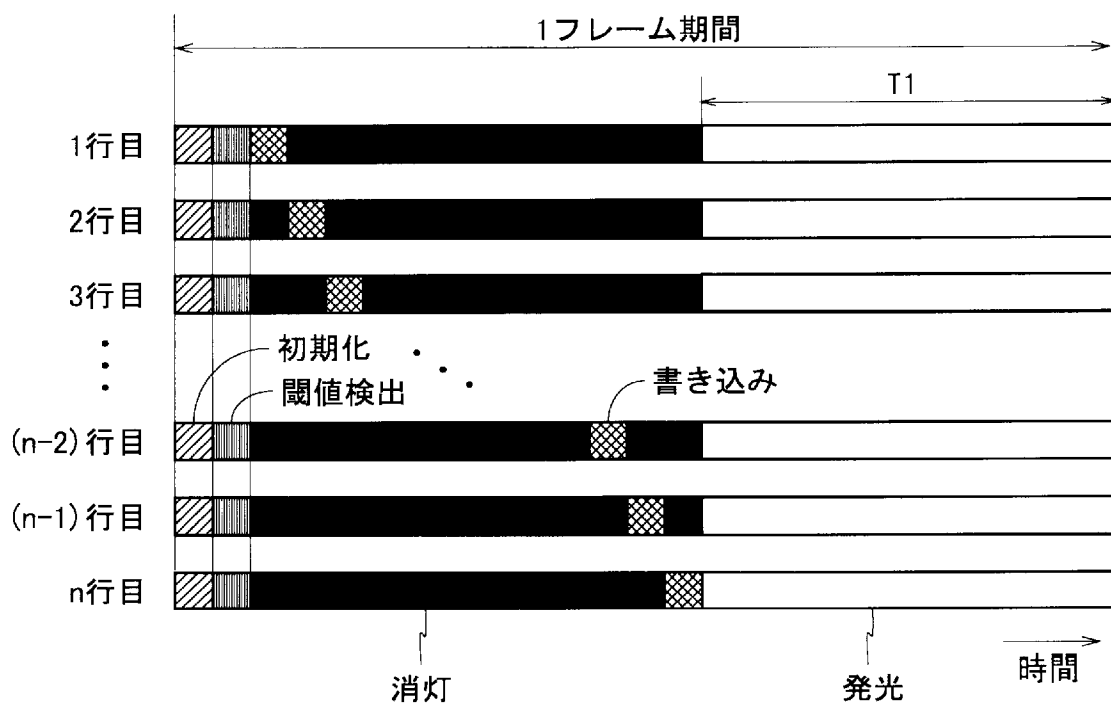
[図15]



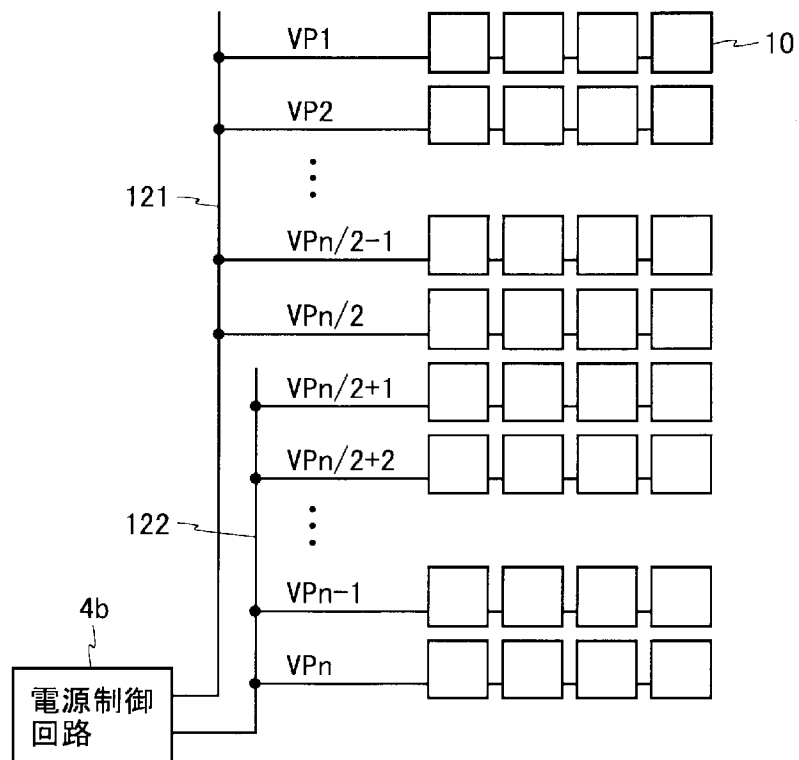
[図16]



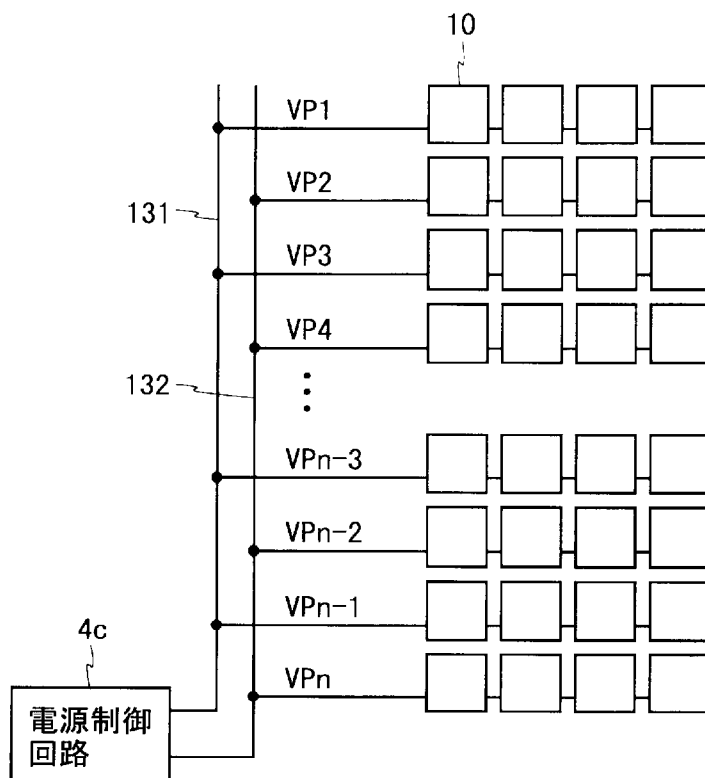
[図17]



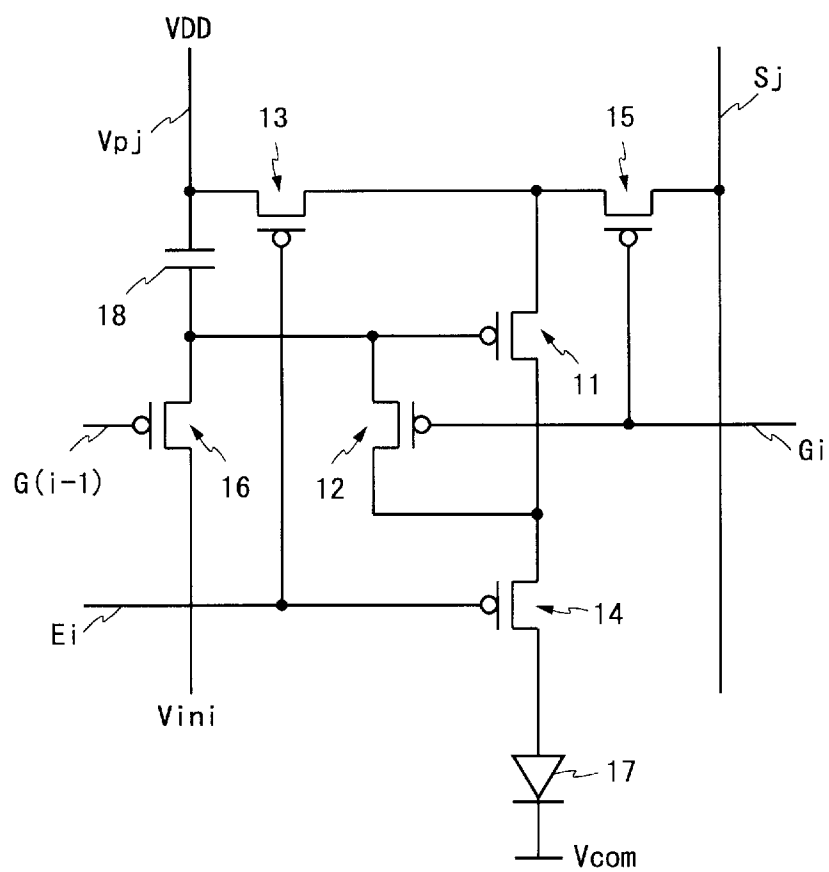
[図18]



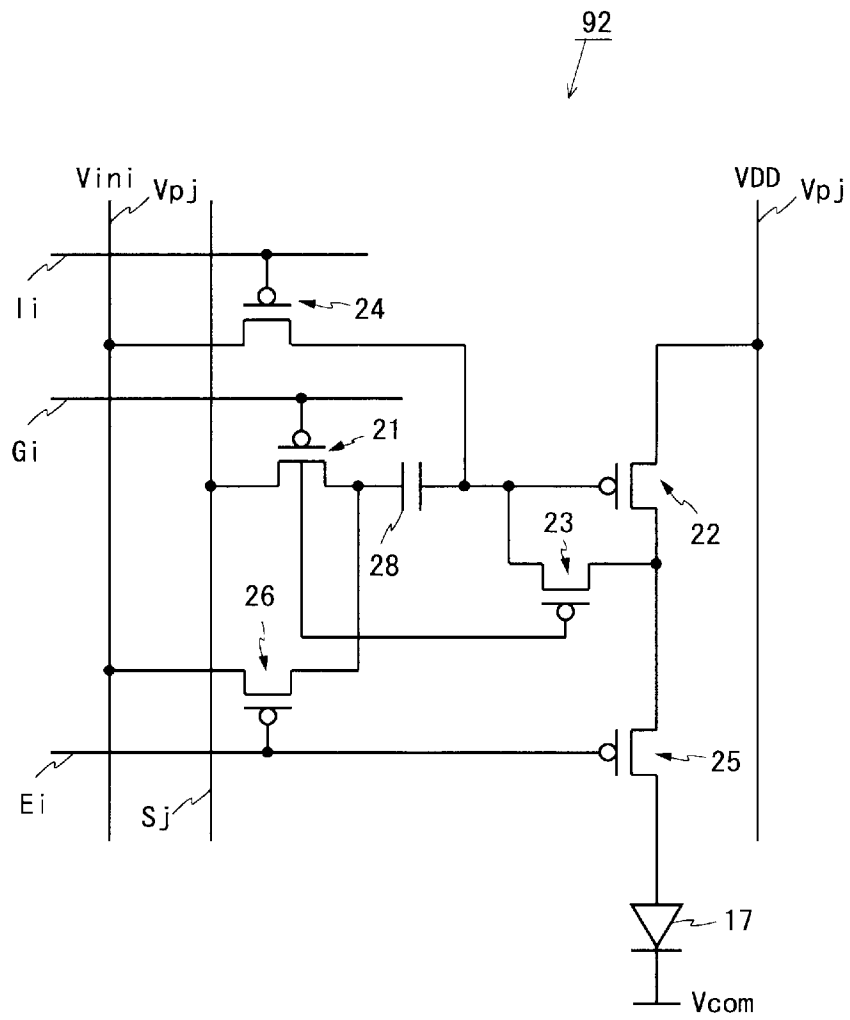
[図19]



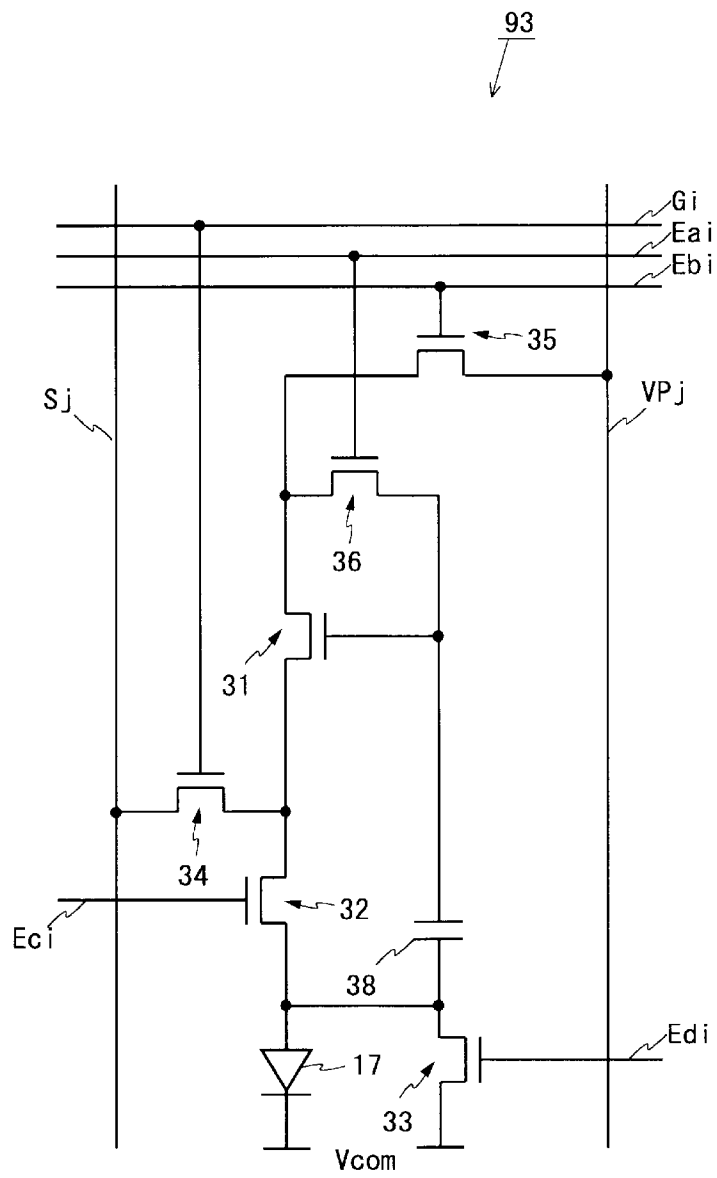
91



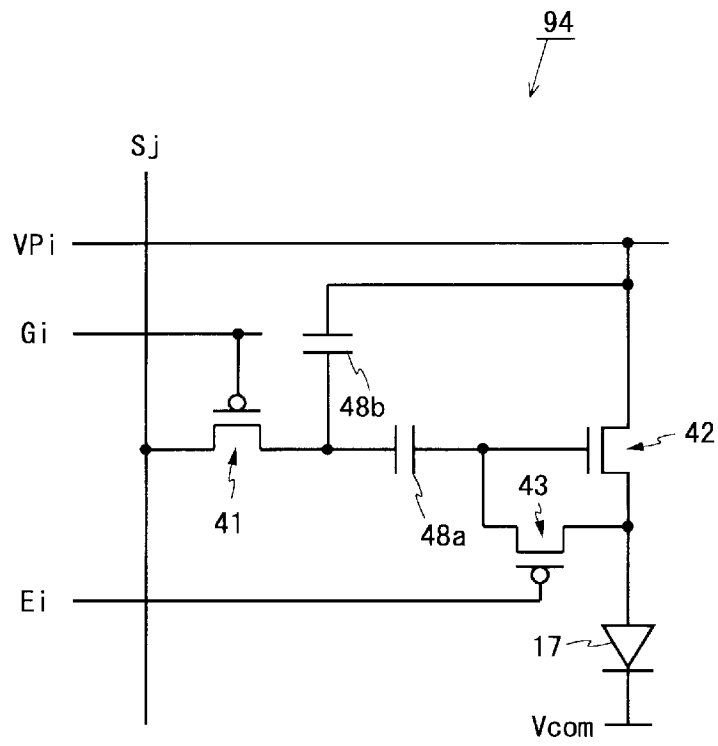
[図21]



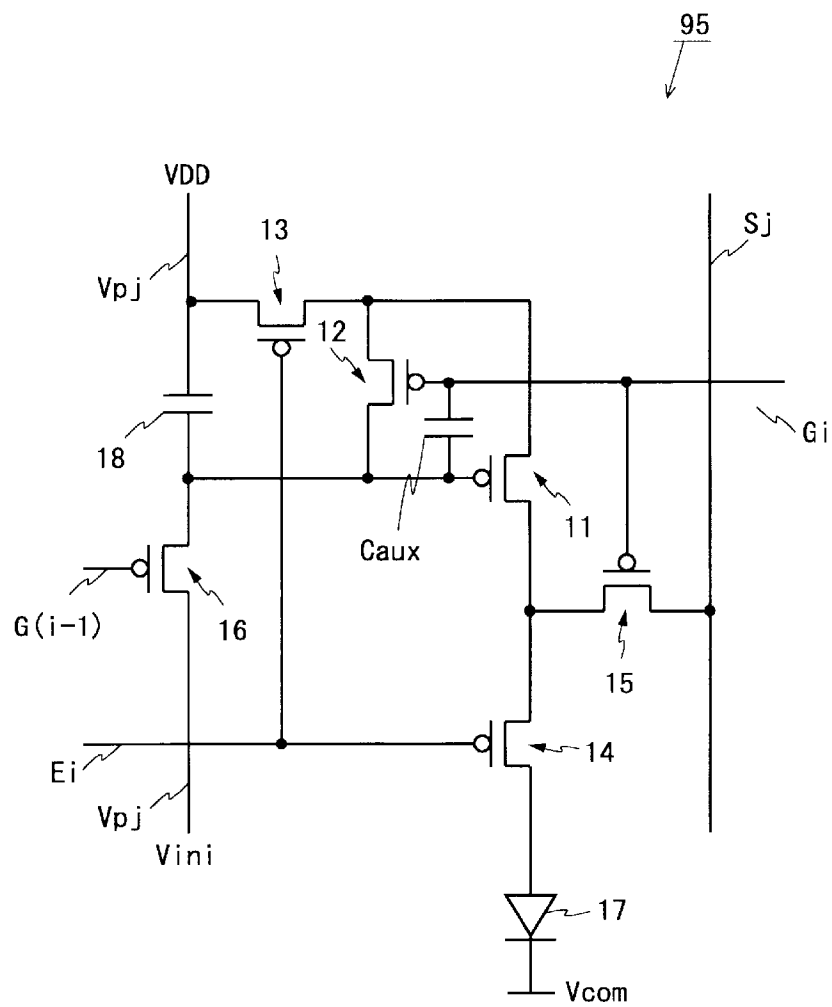
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/077723

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-031630 A (Samsung SDI Co., Ltd.), 03 February 2005 (03.02.2005), paragraphs [0031] to [0048]; fig. 1 to 5 & US 2005/0017934 A1 & EP 1496495 A2 & KR 10-0560780 B1 & CN 1577453 A	1-4, 9-11
Y	JP 2004-310006 A (Samsung SDI Co., Ltd.), 04 November 2004 (04.11.2004), paragraphs [0035] to [0049]; fig. 5 to 6 & US 2004/0196239 A1 & EP 1465143 A2 & DE 60308641 D & KR 10-0502912 B1 & AT 341069 T & CN 1534568 A	1-13
Y	JP 2009-198761 A (Seiko Epson Corp.), 03 September 2009 (03.09.2009), paragraphs [0019] to [0026]; fig. 3 to 7 (Family: none)	1-13

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 January, 2013 (16.01.13)Date of mailing of the international search report
29 January, 2013 (29.01.13)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/077723

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-266494 A (Sony Corp.), 25 November 2010 (25.11.2010), paragraphs [0125] to [0169]; fig. 21 to 26 & US 2010/0289830 A1 & CN 101887689 A & KR 10-2010-0122443 A & TW 201106323 A	1-13
Y	JP 2008-165166 A (Samsung SDI Co., Ltd.), 17 July 2008 (17.07.2008), paragraphs [0046] to [0071]; fig. 3, 5 & US 2008/0158114 A1 & EP 1939848 A2 & KR 10-0821055 B1 & CN 101211536 A & TW 200828241 A	1-13
Y	US 2006/0103322 A1 (Hoon Ju Chung), 18 May 2006 (18.05.2006), paragraphs [0082] to [0085]; fig. 20 to 21 & KR 10-2006-0053775 A & CN 1776794 A	1, 5-7, 9-10, 12
Y	JP 2003-202833 A (Semiconductor Energy Laboratory Co., Ltd.), 18 July 2003 (18.07.2003), paragraphs [0342] to [0347]; fig. 38 & US 2003/0132931 A1	1, 8-10, 13

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-031630 A（三星エスディアイ株式会社）2005.02.03, 段落 O O 3 1 - O O 4 8, 第 1 - 5 図 & US 2005/0017934 A1 & EP 1496495 A2 & KR 10-0560780 B1 & CN 1577453 A	1-4, 9-11
Y	JP 2004-310006 A（三星エスディアイ株式会社）2004.11.04, 段落 O O 3 5 - O O 4 9, 第 5 - 6 図 & US 2004/0196239 A1 & EP 1465143 A2 & DE 60308641 D & KR 10-0502912 B1 & AT 341069 T & CN 1534568 A	1-13

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 1 . 2 0 1 3

国際調査報告の発送日

2 9 . 0 1 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

山崎 仁之

2 G

3 0 1 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-198761 A (セイコーエプソン株式会社) 2009.09.03, 段落 0 0 1 9 - 0 0 2 6, 第 3 - 7 図 (ファミリーなし)	1-13
Y	JP 2010-266494 A (ソニー株式会社) 2010.11.25, 段落 0 1 2 5 - 0 1 6 9, 第 2 1 - 2 6 図 & US 2010/0289830 A1 & CN 101887689 A & KR 10-2010-0122443 A & TW 201106323 A	1-13
Y	JP 2008-165166 A (三星エスディアイ株式会社) 2008.07.17, 段落 0 0 4 6 - 0 0 7 1, 第 3, 5 図 & US 2008/0158114 A1 & EP 1939848 A2 & KR 10-0821055 B1 & CN 101211536 A & TW 200828241 A	1-13
Y	US 2006/0103322 A1 (Hoon Ju Chung) 2006.05.18, 段落 0 0 8 2 - 0 0 8 5, 第 2 0 - 2 1 図 & KR 10-2006-0053775 A & CN 1776794 A	1, 5-7, 9-10, 12
Y	JP 2003-202833 A (株式会社半導体エネルギー研究所) 2003.07.18, 段落 0 3 4 2 - 0 3 4 7, 第 3 8 図 & US 2003/0132931 A1	1, 8-10, 13