



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I529875 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：103127346

(22)申請日：中華民國 103 (2014) 年 08 月 08 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L23/488 (2006.01)

(30)優先權：2013/08/09 美國

61/864,014

2013/11/12 美國

14/077,512

(71)申請人：蘋果公司(美國) APPLE INC. (US)

美國

(72)發明人：瑟彼 賈瑞德 L ZERBE, JARED L. (US)；方 伊默森 S FANG, EMERSON S.

(US)；翟 軍 ZHAI, JUN (US)；席勒斯 尚恩 SEARLES, SHAWN (US)

(74)代理人：陳長文

(56)參考文獻：

US 2005/0213267A1

US 2008/0185614A1

審查人員：陳柏雅

申請專利範圍項數：14 項 圖式數：12 共 26 頁

(54)名稱

多晶粒之微粒整合式電壓調節技術

MULTI-DIE FINE GRAIN INTEGRATED VOLTAGE REGULATION

(57)摘要

本發明描述一種半導體裝置封裝，其包括一功率消耗裝置(諸如，一系統單晶片(SOC)裝置)。該功率消耗裝置可包括一或多個電流消耗元件。一被動裝置可耦接至該功率消耗裝置。該被動裝置可包括形成於一半導體基板上之複數個被動元件。該等被動元件可配置於該半導體基板上之一結構陣列中。可使用一或多個端子耦接該功率消耗裝置與該被動裝置。該被動裝置及功率消耗裝置耦接可以某種方式組態，使得該功率消耗裝置在功能上判定將使用該等被動裝置元件之方式。

A semiconductor device package is described that includes a power consuming device (such as an SOC device). The power consuming device may include one or more current consuming elements. A passive device may be coupled to the power consuming device. The passive device may include a plurality of passive elements formed on a semiconductor substrate. The passive elements may be arranged in an array of structures on the semiconductor substrate. The power consuming device and the passive device may be coupled using one or more terminals. The passive device and power consuming device coupling may be configured in such a way that the power consuming device determines functionally the way the passive device elements will be used.

指定代表圖：

符號簡單說明：

90 . . . 半導體裝置
封裝

100 . . . 被動裝置

110 . . . 端子

120 . . . 功率消耗
(半導體)裝置

122 . . . 內建封裝

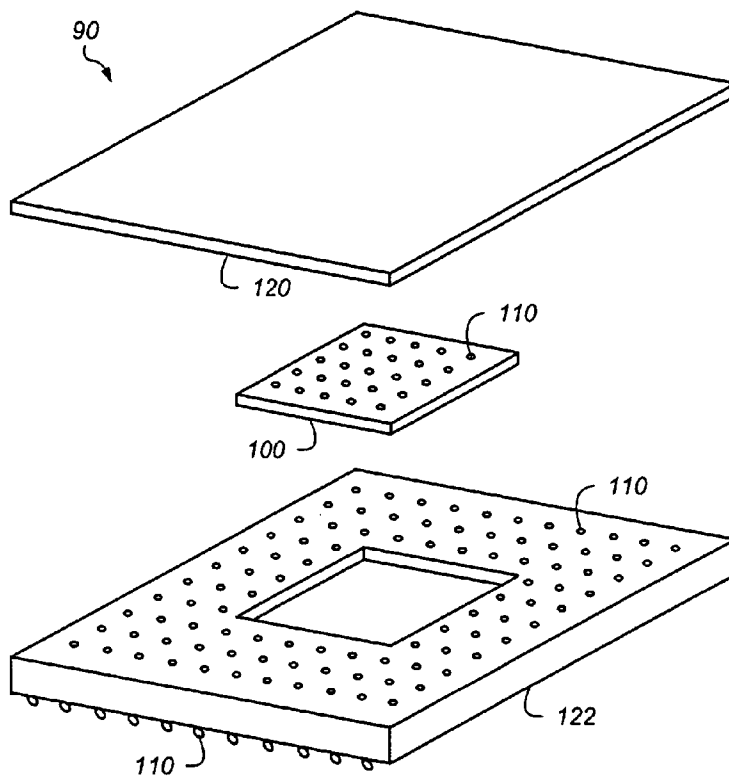


圖1

發明摘要

※ 申請案號：103127346

※ 申請日：103.8.8

※IPC 分類：H01L 23/28 (2006.01)

H01L 23/488 (2006.01)

【發明名稱】

多晶粒之微粒整合式電壓調節技術

MULTI-DIE FINE GRAIN INTEGRATED VOLTAGE
REGULATION

【中文】

本發明描述一種半導體裝置封裝，其包括一功率消耗裝置(諸如，一系統單晶片(SOC)裝置)。該功率消耗裝置可包括一或多個電流消耗元件。一被動裝置可耦接至該功率消耗裝置。該被動裝置可包括形成於一半導體基板上之複數個被動元件。該等被動元件可配置於該半導體基板上之一結構陣列中。可使用一或多個端子耦接該功率消耗裝置與該被動裝置。該被動裝置及功率消耗裝置耦接可以某種方式組態，使得該功率消耗裝置在功能上判定將使用該等被動裝置元件之方式。

【英文】

A semiconductor device package is described that includes a power consuming device (such as an SOC device). The power consuming device may include one or more current consuming elements. A passive device may be coupled to the power consuming device. The passive device may include a plurality of passive elements formed on a semiconductor substrate. The passive elements may be arranged in an array of structures on the semiconductor substrate. The power consuming device and the passive device may be coupled using one or more terminals. The passive device and power consuming device coupling may be configured in such a way that the power consuming device determines functionally the way the passive device elements will be used.

【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

90	半導體裝置封裝
100	被動裝置
110	端子
120	功率消耗(半導體)裝置
122	內建封裝

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

多晶粒之微粒整合式電壓調節技術

MULTI-DIE FINE GRAIN INTEGRATED VOLTAGE
REGULATION

【技術領域】

本發明係關於用於半導體裝置之電力供應調節的系統及方法。

● 更特定而言，本發明係關於使用被動半導體裝置之電壓調節技術。

【先前技術】

● 當前系統單晶片(SOC)裝置正朝向功能性之增加整合及功率/效能之最佳化推進。由於功能性整合要求增加，逐步地將來自多個源之多個IP區塊(IP區塊為邏輯、單元或晶片佈局設計之可再用單位，其有時來自不同的單方或源)添加至SOC裝置中。每一個別IP區塊可具有其自身的獨特電力供應要求及電力輸送挑戰。舉例而言，一個IP區塊可使用與當前可用之其他供應電壓不同的供應電壓來操作。該不同供應電壓僅可略微不同於當前供應電壓(例如，甚至僅有約100 mV之差異)，但該不同供應電壓可汲取大量電流。因為高電流汲取及能量效率之重要性，切斷兩個供應電壓中之較高者之簡單LDO (低壓差)線性調節器可並非用於低功率設計之令人滿意的解決方案。用於功率效率之驅動與對SOC裝置的許多供應電壓要求之存在的組合可產生一種用於SOC裝置與功率管理單元(PMU)之間的連接之極其複雜的設計。

個別IP區塊之使用亦可在SOC裝置中提供多個不同的複雜類比功能。此等類比功能中的一些可受益於在較高供應電壓下之操作。然而，遍及裝置供應較高電壓以在一個特定子部分中提供類比效能之改

良可引起整個裝置之操作之低功率效率。因此，為諸如放大器及電流源之類比功能直接提供較高供應電壓(例如，與其他供應電壓分離地將較高供應電壓供應至類比功能)可允許以疊接、威爾遜(Wilson)及/或可改良此等關鍵區域中之類比效能之其他組態來堆疊裝置。

關於日益複雜的SOC裝置之另一問題為當裝置中之功率消耗結構(例如，電晶體)之數目增加時，遍及裝置存在顯著電阻。為維持最後功率消耗結構(例如，距PMU「最遠」之功率消耗結構或經歷最大電壓降之最後功率消耗結構)之最高輸送效能，遍及SOC裝置之供應電壓需要為盡可能高的。然而，升高供應電壓受到最接近PMU之第一功率消耗結構可耐受之最高恆流輸出電壓約束。因為供應電壓上限由最近功率消耗結構之容限設定，所以在最後功率消耗結構處之IR下降(遍及裝置之電壓降)變為無補償損失，其可限制SOC裝置之效能。當電壓降變為更大百分比之供應電壓時，歸因於電源供應電壓之減少，此電壓降變成更顯著的問題。此減少自身由減少功率消耗(例如，減少電池消耗及增加電池壽命)之需求驅動。此外，效能之降低可藉由裝置臨限電壓(V_T)不按比例調整之事實而加劇。因此，例如，電源供應電壓之10%的減少可導致閘速度(例如，電晶體速度)之20%至30%的減速，此情形進一步加劇 $I \cdot R$ 下降對SOC效能之影響。

關於以較低電壓提供電力供應之另一問題為當SOC裝置之選定子區塊轉變至高度有效模式中時所需的電流急劇增加。在選定子區塊之高度有效模式期間，其他子區塊(例如，不同CPU或GPU)可閒置或實質上消耗較低電流。此等閒置子區塊將理想地維持在不同的電力供應軌上，以便充分隔離電力輸送及提供單獨DVFS (動態電壓頻率按比例調整)設定及斷電功能。分離電力供應軌意謂，不存在共用於選定子區塊與閒置子區塊之間的SOC電力輸送的資源。此種資源可包括在封裝上之凸塊或球，以及在印刷電路板上之佈線及組件。對SOC裝置

施加此種約束可需要封裝中之顯著設計複雜性，以便提供低電感電力輸送網路之擴充群組。

【發明內容】

在某些實施例中，一種半導體裝置封裝包括一功率消耗裝置(例如，一SOC裝置)及耦接至該功率消耗裝置之一被動裝置。該功率消耗裝置可包括一或多個電流消耗元件(例如，區塊或IP區塊)。該被動裝置可包括形成於一半導體基板上之複數個被動元件(例如，電容器)。該等被動元件可配置於一半導體或其他基板上之一結構陣列中。可使用一或多個端子(例如，凸塊、球或TSV)耦接該功率消耗裝置與該被動裝置。在一些實施例中，該半導體裝置封裝包括諸如一記憶體裝置(例如，一DRAM裝置)之一第三半導體裝置。在一些實施例中，該被動裝置包括該第三半導體裝置或記憶體裝置。

該功率消耗裝置可耦接至該被動裝置，使得該功率消耗裝置結合該功率消耗裝置上之該等電流消耗元件來利用該被動裝置上之個別被動元件之端子陣列，以藉助於相異調節器產生相異(例如，單獨且區域化的)電壓島。相異電壓調節器可用於以區域化且相異且潛在地經最佳化之位準提供及控制至該功率消耗裝置上之不同電流消耗元件(例如，區塊)之電力。為該等區塊提供精細粒度的區域化且相異電壓調節允許離散區塊層級處之功率最佳化，其導致總系統功率之降低且減少具有限速要徑之區塊對效能之影響，從而導致優於習知外部粗略電力輸送技術之總功率/效能改良。

【圖式簡單說明】

參考結合隨附圖式進行的對根據本發明之目前較佳但仍為說明性的實施例之以下詳細描述，將更充分地理解本發明之方法及設備之特徵及優勢，其中：

圖1描繪半導體裝置封裝之實施例之分解圖表示。

圖2描繪半導體裝置封裝之實施例之側視圖表示。

圖3描繪被動裝置之實施例的表示。

圖4描繪結構之一個可能實施例之實例的放大圖。

圖5描繪結構之另一可能實施例之實例的表示。

圖6描繪在圖5中所描繪之結構之一般端子佔據面積。

圖7描繪僅具有電容器及端子之結構的實施例之實例的表示。

圖8描繪使用結構之陣列的端子佔據面積之實施例之表示。

圖9描繪具有被動裝置、功率消耗裝置及記憶體裝置之封裝之實施例的側視圖表示。

圖10描繪半導體裝置封裝之另一實施例之側視圖表示。

圖11描繪半導體裝置封裝之又一實施例之側視圖表示。

圖12描繪具有被動裝置、功率消耗裝置及記憶體裝置之封裝之另一實施例的側視圖表示。

雖然本發明易有各種修改及替代形式，但在圖式中藉助於實例展示其特定實施例，且將在本文中對其進行詳細描述。圖式可不按比例繪製。應瞭解，該等圖式及對其的詳細描述並不意欲將本發明限於所揭示之特定形式，而正相反，本發明意欲涵蓋屬於如所附申請專利範圍所界定的本發明之精神及範疇內的所有修改、等效物或替代物。

【實施方式】

半導體裝置封裝可包括耦接在一起的兩個或兩個以上半導體裝置。在某些實施例中，在封裝中之半導體裝置中之至少一者為被動半導體裝置，且半導體裝置中之至少一者為功率消耗半導體裝置(例如，具有電流消耗元件之裝置，諸如SOC裝置)。由於將被動裝置整合至封裝中，因此被動裝置可被稱作(例如)整合式被動裝置(IPD)。

圖1描繪半導體裝置封裝90之實施例之分解圖表示。圖2描繪半導體裝置封裝90之實施例之側視圖表示。在某些實施例中，封裝90包

括被動裝置100、功率消耗(半導體)裝置120及內建封裝122。在一些實施例中，被動裝置100、功率消耗裝置120及/或內建封裝122使用類似基板(例如，矽基基板)。在被動裝置100、功率消耗裝置120及/或內建封裝122中使用類似基板可在該等裝置中之每一者中提供實質上類似的熱膨脹特性，從而允許在不引起兩個裝置之間的連接件上之應變的情況下在寬溫度範圍內操作。在某些實施例中，被動裝置100經大小設定以適配於內建封裝122中之凹口內。被動裝置100可比功率消耗裝置120小，從而允許在功率消耗裝置上之未由被動裝置覆蓋的區域用於功率消耗裝置之一般用途I/O。

在某些實施例中，被動裝置100及功率消耗裝置120直接彼此耦接。舉例而言，可使用如圖2中所展示之端子110耦接該等裝置。端子110可為諸如面對面凸塊或球、矽穿孔(TSV)或其他三維互連端子之端子。可使用(例如)雷射鑽孔在內建層中形成TSV或其他通孔。在某些實施例中，存在於被動裝置100上之某些TSV僅用作穿過被動裝置而至封裝或印刷電路板的直通佈線(route-through)。直接耦接該等裝置可在被動裝置上之元件與在功率消耗裝置120上之調節器元件及電流消耗元件之間提供短且極高密度的連接件。

端子110亦可將功率消耗裝置120及/或被動裝置100直接耦接至內建封裝122。耦接於功率消耗裝置120與內建封裝122之間的端子110可用於一般用途I/O連接或用於不涉及整合式調節器之電力連接。在一些實施例中，將被動裝置100耦接至內建封裝122之一些端子為自功率消耗裝置120直接至內建封裝122之直通佈線(例如，三維直通佈線)端子。如圖2中所展示，內建封裝122可包括至封裝端子126之佈線124。封裝端子126可用於將封裝90耦接至印刷電路板(PCB)或其他裝置。

功率消耗裝置120可為(例如) SOC裝置。在某些實施例中，被動裝置100包括一或多個被動元件(例如，被動結構或被動裝置)。被動

元件可結合功率消耗裝置120上之元件來使用以控制及調節提供至功率消耗裝置之電壓。

圖3描繪被動裝置100之實施例之表示。在某些實施例中，被動裝置100包括陣列102。陣列102可包括結構104 (例如，被動結構)的實質上規則之圖案(陣列)。舉例而言，如圖3中所展示，陣列102包括以磚塊圖案配置之結構104。然而，結構104可以任何實質上規則之圖案配置，從而在被動裝置100上形成陣列102。在一些實施例中，結構104以半規則圖案配置，從而在被動裝置100上形成陣列102。

在某些實施例中，結構104為規則結構，其包括諸如(但不限於)電容器(例如，溝槽式或其他形式之高密度電容器)之一或多個被動元件。結構104可包括諸如開關之其他元件。圖4描繪結構104之一個可能實施例之實例的放大圖。如圖4中所展示，結構104可包括電容器106及四個開關108。端子110可用於將結構104中之元件(例如，電容器106及/或開關108)耦接至另一結構或另一半導體裝置。在一些實施例中，經由局部面對面凸塊或TSV將至陣列結構104之端子的連接件直接耦接至功率消耗裝置120的在陣列結構正上方或正下方之區域。

在一些實施例中，結構104包括可作為被動裝置100上之規則圖案的部分而提供之額外元件，諸如電感器或雙極型裝置。舉例而言，可遍及陣列102提供額外元件或可僅在陣列之一部分(諸如，圍繞結構104的用於I/O周邊環形區之環形區)上提供額外元件，此係因為此種結構可僅為某些子功能所需要的且可佔用過多區域。

在一些實施例中，陣列102包括在陣列結構104之某些部分之間的其他低電阻耦接件(例如，電力供應軌)。可將低電阻耦接件提供於被動裝置100中或半導體裝置封裝中之額外裝置或佈線層中，該額外裝置或佈線層可(例如)經由TSV連接件之雙面性質耦接至被動裝置之背面。低電阻耦接件可用於降低電網電阻且改良被動裝置100之可程

式化性及/或可用性，同時最小化對功率消耗裝置120之佈線層之影響。將電力移至低電阻耦接件上可允許功率消耗裝置有效地界定功率消耗裝置與被動裝置100之間的局部電壓域。

圖5描繪陣列元件結構104'之另一可能實施例之實例的表示。圖6描繪圖5中所描繪的結構104'之一般端子佔據面積。如圖5中所展示，結構104'可包括電容器106及呈一般6開關組態之開關108。結構104'可包括八個端子110 (展示於圖6中)，其中四個端子用於電力連接且四個端子用於閘控制。端子110可為凸塊或TSV。可將一或多個結構104'以一般佈局排列，且可使用經由端子110耦接至被動裝置之另一半導體裝置(例如，展示於圖1及圖2中之功率消耗裝置120)之連接性有效地「程式化」使用該等結構之被動裝置。以此方式，展示於圖3中的被動裝置100之相同設計可藉由不同功率消耗裝置120而用於不同功能。

在某些實施例中，最小化展示於圖3中之被動裝置100中的開關(或其他主動元件)之數目。舉例而言，被動裝置100可僅包括電容器(例如，被動元件)或被動裝置可包括電容器及僅幾個開關或電力供應軌。電容器及少數開關可在陣列102中之結構104內耦接在一起，以增加該陣列之粒度直至陣列粒度最好地匹配用於耦接至被動裝置100之端子(TSV、凸塊或其他連接件)之粒度。

圖7描繪僅具有電容器106及端子110之被動裝置結構104''的實施例之另一實例的表示。在某些實施例中，結構104'' (及陣列102)可經佈置(例如，設計)為在正端子110^{CAT}與負端子110^{ANO}之間具有最大分離距離。以在給定電力連接密度情況下可能的最大距離分離正端子110^{CAT}與負端子110^{ANO}可最小化電容器106之間短路的可能性。在一些實施例中，分離正端子110^{CAT}與負端子110^{ANO}實質上抑制電容器106之間的短路。端子之間的未對準可導致結構具有在陣列中之特定單元的開路故障(例如，「軟」故障)或在陣列中之兩個單元之間的短路。然

而，開路故障可僅導致可在閉合迴路調節器中得到補償的電容之少量減少，而短路故障(由端子之間距離過小所引起)可導致被動裝置100之良率損失。

圖8描繪使用類似於結構104'' (展示於圖7中)之結構的陣列之端子佔據面積800之實施例的表示。如圖8中所展示，陣列102'包括9 (九)個結構104'''，該等結構104'''包括端子110之2x2柵格。端子110可為(例如) TSV或凸塊。除用於直通佈線(「RT」)資源(例如，三維佈線資源)、水平軌道(「HT」)或垂直軌道(「VT」)之端子外，每一結構104'''亦包括用於在該結構中之電容器之陰極(「CAT」)及陽極(「ANO」)的端子。

CAT及ANO端子可置放於每一結構104'''之對角處，以減小該等端子之間的短路之可能性。RT端子、HT端子及VT端子可在陣列102'中之結構104'''之間在x方向及y方向兩者上交替。可提供HT端子及VT端子以用於連接至水平軌道及/或垂直軌道，該等軌道可用作電力軌。水平及垂直軌道可包括(例如)在被動裝置100內之金屬佈線(軌)112，該等金屬佈線(軌) 112提供將電力連接至一或多個結構之能力。當低電阻水平軌道及垂直軌道相比電容器連接件通常較不頻繁地需要時，HT端子及VT端子可提供於較少結構中。當陣列102'在x或y方向上為階梯式時，陣列中之非陰影結構104''' (例如，在中心陰影結構外的結構)可為該陣列之重疊區域(例如，當陣列102'用作基礎陣列以產生較大陣列時，區域可重疊)。

在被動裝置100中使用無開關之結構(諸如，結構104''或結構104''')可允許開關元件或其他主動元件主要(或完全)位於半導體裝置封裝(例如，封裝90)中耦接至被動裝置之功率消耗裝置(例如，展示於圖1及圖2中之功率消耗裝置120)上。因此，用於形成被動裝置100之處理技術可集中於產生較好的電容器(例如，產生盡可能接近於理想

電容器之電容器)及/或其他被動元件，諸如電感器或低電阻電力供應軌。將處理技術集中於產生被動裝置而非結合其他主動元件(諸如，電壓調節器之組件)產生此等裝置可為封裝90中之電容器提供改良的可靠性及操作。舉例而言，電容器可具有較小等效串聯電阻(ESR)及/或具有自其陽極或陰極端子至接地之較小寄生電容。此外，將開關主要移至功率消耗裝置120，其通常具有用於產生開關之良好技術。在一些實施例中，被動裝置100亦可含有開關或使用顯著不同於功率消耗裝置120之製程開發的其他組件。舉例而言，可使用氮化鎵(GaN)製程以便支援較高電導率且耐受較高電壓。被動裝置100之此製程最佳化可獨立於功率消耗裝置120之製程最佳化而進行。

功率消耗裝置120可包括典型的規則SOC裝置之元件。在某些實施例中，如圖1及圖2中所展示，功率消耗裝置120耦接至被動裝置100，使得功率消耗裝置利用用於被動裝置上之元件(例如，電容器)之端子柵格(例如，陣列)，以產生相異(例如，單獨且區域化的)電壓調節器，其中在該等調節器之間具有精細粒度。可向該等相異電壓調節器提供比功率消耗裝置120上之結構或元件(例如，諸如IP區塊之區塊)之群組可需要及/或可直接耐受之輸入電壓高的輸入電壓。因為分離及區域化電壓調節器允許每一電壓調節器在不使用封裝連接資源之情況下將所要輸入電壓直接提供至其對應區塊(例如，選定區塊)，所以該等相異電壓調節器可在較高輸入電壓下操作。

在使用面對面凸塊或球作為端子(例如，不使用穿過被動裝置100之TSV)之實施例中，可需要在不通過被動裝置之情況下(例如，用於高輸入電壓之端子必須位於由被動裝置所覆蓋之區域外)將高輸入電壓提供至功率消耗裝置120。舉例而言，對於展示於圖2中之實施例，直接連接被動裝置100與功率消耗裝置120之端子110可為面對面凸塊或球，且因此被動裝置之邊緣外的端子(例如，端子110B)可用作用於

高輸入電壓之端子。然而，可在比無被動裝置100之封裝低的電流下提供此等高輸入電壓，此係因為藉由來自被動裝置100及功率消耗裝置120之元件之組合建置的相異電壓調節器允許將電壓區域化地減小至符合功率消耗裝置120上之區塊的位準。由於功率=電壓*電流，因此提供較高輸入電壓(例如，為用於功率消耗裝置120上之區塊之電壓的3至8倍)允許提供較少電流以在功率消耗裝置中達成相同功率位準，且因此較少端子(例如，凸塊或球)可用於將電力及接地提供至封裝。

可將相異電壓調節器設計為不同類型之電壓調節器，該等不同類型之電壓調節器包括(但不限於)單位準或多位準開關電容式轉換器、降壓式轉換器或混合式轉換器(例如，降壓式轉換器及開關電容式轉換器兩者之組合)。混合式轉換器或降壓式轉換器可需要使用被動裝置100或功率消耗裝置120上之電感器。

功率消耗裝置120利用被動裝置100上之陣列(例如，陣列102')以藉由將陣列(及陣列之結構(諸如，結構104''或結構104''')之子集)映射成產生用於功率消耗裝置之電壓調節器所需之特性而產生相異的區域化電壓調節器。可藉由使用邏輯、連接性或功率消耗裝置120上之任何結構來映射陣列以「程式化」或判定被動裝置100上之結構或元件與功率消耗裝置上之區塊之間的連接性。因此，根據功率消耗裝置上之對應區塊之需求，功率消耗裝置120可判定在每一電壓調節器中需要何些特性(例如，所覆蓋及連接之區域、分壓比、操作頻率、反饋點、啟用控制等)。

在某些實施例中，被動裝置100上的結合功率消耗裝置上120之選定區塊使用的結構係區域化於選定區塊處或靠近選定區塊之區域中。舉例而言，若被動裝置相對於功率消耗裝置120垂直地堆疊，則被動裝置100上的結合選定區塊使用之結構可恰好在選定區塊下方或

恰好在選定區塊上方。區域化被動裝置100上的結合功率消耗裝置120上之選定區塊使用的結構減少(或最小化)電壓調節器與藉由電壓調節器提供電力之選定區塊之間的距離。減少電壓調節器與選定區塊之間的距離及減少連接阻抗(在3D連接性之狀況下，其主要由選定區塊上方之端子之陣列界定)可減少或最小化選定區塊所經歷之電壓 $I \cdot R$ 下降，且改良電力至選定區塊之分配效率。減少距離亦可由於以下各者來減少電壓降：將所供應電壓之極其快速及局部的反饋提供至電壓調節迴路中(例如，高度區域化反饋回應，其最小化電壓邊限要求且減少反饋時間)，使用TSV或凸塊連接性提供較低電阻，及為較高電流、較低電壓路徑(例如，少量電路板跡線至無電路板跡線)提供較短距離。此外，減少至選定區塊之電壓 $I \cdot R$ 下降可允許增加裝置之最大操作頻率或減少最小操作電壓。可使用主動反饋控制增加選定區塊之操作頻率或操作電壓以減少功率消耗裝置120中之老化效應。

在某些實施例中，分離及區域化相異電壓調節器允許將選定區塊之輸入電壓減少至所要操作頻率之最小操作點。因此，在不影響功率消耗裝置120中之其他區塊之情況下，可向個別區塊提供單獨的DVFS (動態電壓&頻率按比例調整)設定及斷電功能。在此等狀況下，可能需要位準轉換器以用於在不同DVFS電壓域中操作之區塊之間的連接。此外，使用相異電壓調節器允許相對較高功率區塊利用與具有限速要徑且可距PMU最遠之區塊不同的電源供應電壓。在無相異電壓調節器之情況下，高功率區塊與具有限速要徑之區塊可必須共用電源供應器，且因此提供至該高功率區塊之電壓必須維持在最小位準下以維持在具有限速要徑之區塊中之效能，因此損耗在可不含有相同要徑之高功率區塊中之功率。分離高功率區塊之電壓調節與具有限速要徑之區塊之電壓調節允許在不影響具有限速要徑之區塊之效能的情況下最佳化提供至高功率區塊之電力而至其自身要徑(例如，藉由減

少電壓)。取決於操作模式或其他條件，不同區塊可具有截然不同的要徑及功率消耗，此情形使得在此等區塊之間共用電源供應器為對最佳功率消耗不良的想法。

在一些實施例中，在功率消耗裝置120中之區塊之子部分(例如，單獨功能，諸如在CPU或FPU內之ALU或MPY)能夠脫離其自身的電壓調節器而操作。舉例而言，功率消耗裝置120可使用被動裝置100界定電壓調節器，該等電壓調節器對於功率消耗裝置中之區塊之子部分為區域化且相異的。分離及區域化用於該等子部分之電壓調節允許針對由不同子部分控制之每一功能使電壓最佳化。因此，可甚至進一步最小化在所要操作頻率下之功率消耗。可(例如)使用匹配路徑、查找表、提早/延後冗餘觸發器作為路徑上之偵測器或其他類似方法進行電壓之此要徑最佳化(例如，基於子部分功能之最佳化)。

在一些實施例中，相異電壓調節器中之一或多者或調節器之某些子組件充當功率閘控裝置以抑制低功率洩漏，且本質上替代用於減少功率消耗裝置上之洩漏的現有功率閘控裝置。舉例而言，當功率消耗裝置120上之選定區塊被斷電時，可斷開相異電壓調節器(例如，電壓調節器之開關電容式實施)中之一或多個開關。斷開開關可在無需當前包括於功率消耗裝置120中之額外功率閘控裝置的情況下減少主動區塊中之洩漏。

在一些實施例中，根據功率消耗裝置120上之區塊的需要，鄰近的相異電壓調節器能夠共用被動裝置100上之資源。舉例而言，已知在功率消耗裝置120上之某些功能並不同時操作。在此等實施例中，可藉由經由(例如)至列或行內之共同軌之開關使列或行連接件繼續以包括共用裝置而將被動裝置120上之結構或元件之部分(例如，被動裝置上之電容器或電路塊)交替地分配至一個相異電壓調節器或另一相異電壓調節器。

在某些實施例中，被動裝置100包括一般的規則結構陣列(例如，被動裝置可與功率消耗結構之兩個或兩個以上不同設計一起使用)。使用一般被動裝置所產生之相異電壓調節器之特性可藉由耦接至該一般被動裝置之功率消耗裝置控制。舉例而言，用於電壓調節器之粒度選擇(例如，區域化圖案)、控制及驅動電路可置放於功率消耗裝置上。因此，在不修改一般被動裝置之設計的情況下，一般被動裝置可與若干不同功率消耗裝置或跨越若干不同代之類似功率消耗裝置一起使用。舉例而言，展示於圖8中之佔據面積800可用於產生與許多不同功率消耗裝置(甚至來自不同製造商之功率消耗裝置)一起使用的一般被動裝置，及/或該一般被動裝置可由不同製造商根據一般被動裝置連接的相同的一般規格或「佔據面積」來製造。提供一般被動裝置設計允許最佳化一般被動裝置之設計及/或製造且降低用於產生一般被動裝置之成本，此係因為可將一般被動裝置產生為可跨越若干平台及/或若干代裝置使用的商品。

在一些實施例中，除被動裝置100及功率消耗裝置120外，半導體裝置封裝亦包括一或多個額外裝置。舉例而言，除被動裝置100及功率消耗裝置120外，半導體裝置封裝亦可包括記憶體裝置(例如，諸如高速或低功率DRAM核心之DRAM裝置)。圖9描繪具有被動裝置100、功率消耗裝置120及記憶體裝置250之封裝200之實施例的側視圖表示。封裝200可包括頂部內建封裝122A及底部內建封裝122B。

記憶體裝置250可耦接至頂部封裝122A，而被動裝置100及功率消耗裝置120耦接在一起且包夾於頂部封裝與底部封裝122B之間。在某些實施例中，被動裝置100及功率消耗裝置120位於頂部封裝122A中之凹口中。如圖9中所展示，被動裝置100及功率消耗裝置120可具有大致相同的大小。因此，被動裝置100可包括直通佈線端子(例如，TSV)以提供底部封裝122B與功率消耗裝置120之間的一般I/O連接。

在一些實施例中，被動裝置100比功率消耗裝置120小，且連接係在如較早所描述之由被動裝置100所重疊的區域外提供至功率消耗裝置。

在一些實施例中，除被動裝置之陣列外，被動裝置100亦將一或多個其他結構包括於被動裝置中。舉例而言，被動裝置100可包括諸如記憶體裝置250或其他結構之結構。圖10描繪具有整合於被動裝置100中之記憶體裝置250的封裝90'之實施例的側視圖表示。圖11描繪具有整合於被動裝置100中之記憶體裝置250的封裝200'之實施例的側視圖表示。可在用於形成記憶體裝置250之製程期間製得被動元件(例如，電容器)。在一些實施例中，將用於形成記憶體裝置250之製程略微修改以包括形成被動元件。

因為如圖10及圖11中所展示，被動裝置100定位成相對接近功率消耗裝置120，所以被動裝置具有與功率消耗裝置之高度連接性。因此，使用本文中所論述之面對面凸塊連接或其他封裝連接，被動裝置100可為被動裝置中之其他結構(例如，記憶體裝置250)提供高頻寬、低功率連接。因為展示於圖10及圖11中之封裝90'及封裝200'之實施例具有在被動裝置100內部之記憶體裝置250，所以當將被動裝置組合至本文中所描述之各種不同調節器結構(例如，相異電壓調節器)中時，此等實施例可供應在記憶體裝置與功率消耗裝置120及被動裝置之間的兩個高頻寬、低功率記憶體連接以用於供應電力濾波或電力調節。

在一些實施例中，調節器結構完全含於被動裝置100內。在其他實施例中，調節器結構之部分位於功率消耗裝置120上。在某些實施例中，如圖10中所展示，被動裝置100 (及記憶體裝置250)比功率消耗裝置120小。在一些實施例中，被動裝置100實質上比功率消耗裝置120小。當被動裝置100比功率消耗裝置120小時，功率消耗裝置之凸塊區域之一部分可用於I/O或其他電力輸送連接。在一些實施例中，如圖11中所展示，被動裝置100 (具有記憶體裝置250)之大小實質上類

似於功率消耗裝置120。

圖12描繪封裝200"之實施例的側視圖表示，該封裝200"具有含有TSV之被動裝置100、功率消耗裝置120及記憶體裝置250。封裝200"可包括包夾於內建封裝122與功率消耗裝置120之間的被動裝置100及記憶體裝置250。被動裝置100可包括直通佈線端子以提供功率消耗裝置120與記憶體裝置250之間的連接。在一些實施例中，被動裝置100自功率消耗裝置120偏移以允許在功率消耗裝置與內建封裝122之間的直接一般I/O連接。在一些實施例中，內建封裝122可包括用於在不通過被動裝置100之情況下在功率消耗裝置120與記憶體裝置250之間進行連接的佈線。在一些實施例中，將TSV建置至被動裝置100中，或替代地建置至功率消耗裝置120中，或該兩個裝置中。在一些實施例中，將記憶體裝置250及被動裝置100之功能組合以處於單一晶粒上。此情形在記憶體裝置為含有高密度電容器陣列(作為其基礎製程之部分)之DRAM的情況下可尤其有用。晶粒功能之其他組合為可能的且對於熟習此項技術者將為顯而易見的。

在一些實施例中，(諸如)使用內建材料、交錯及面對面連接性之標準封裝技術可與系統要求組合，且由熟習此項技術者應用以自系統中之不同裝置消除TSV，且藉此降低成本。

鑒於此描述，對於熟習此項技術者而言，本發明之各種態樣之其他修改及替代實施例將為顯而易見的。因此，此描述應理解為僅為說明性的且為達成向熟習此項技術者教示進行本發明之一般方式的目的。應瞭解，本文中所展示及描述之本發明之形式應被視為目前較佳的實施例。元件及材料可替代本文中所說明及描述之彼等元件及材料，各部分及製程可反轉，且可獨立利用本發明之某些特徵，以上所有對具有本發明之此描述之益處的熟習此項技術者將為顯而易見的。在不脫離如在以下申請專利範圍中所描述的本發明之精神及範疇的情

況下，可對本文中所描述之元件作出改變。

【符號說明】

90	半導體裝置封裝
90'	封裝
100	被動裝置
102	陣列
102'	陣列
104	結構/裝置
104'	陣列元件結構
104''	被動裝置結構
104'''	結構
106	電容器
108	開關
110	端子
110B	端子
110 ^{ANO}	負端子
110 ^{CAT}	正端子
112	金屬佈線(軌)
120	功率消耗(半導體)裝置
122	內建封裝
122A	頂部內建封裝
122B	底部內建封裝
124	佈線
126	封裝端子
200	封裝
200'	封裝

200"	封裝
250	記憶體裝置
800	端子佔據面積
ANO	陽極
CAT	陰極
HT	水平軌道
RT	直通佈線

申請專利範圍

1. 一種半導體裝置，其包含：

一半導體基板；

複數個被動結構，其於該半導體基板之一表面上形成一陣列，其中該等被動結構包含形成於該半導體基板上之一或多個被動元件，該等被動元件之至少一者為一電容，且其中該陣列在該半導體基板之該表面上包含一在x方向及y方向上的規則陣列(regular array)，該在x方向及y方向上的規則陣列包含在該x方向上以陣列方式排列之至少兩個電容器及在該y方向上以陣列方式排列之至少兩個電容器；及

複數個端子，其用於將該等被動結構之該陣列耦接至至少一個額外半導體裝置，其中各端子對應於該等被動結構之該陣列中之一特定被動結構。

2. 如請求項1之裝置，其中該陣列中之該等被動結構中之兩者或兩者以上耦接在一起。

3. 如請求項1之裝置，其進一步包含形成於該半導體基板上之一或多個開關。

4. 如請求項1之裝置，其中該等端子係以一最小距離間隔以抑制該等被動元件之間的短路。

5. 如請求項1之裝置，其中該等端子中之至少一者包含一矽穿孔(TSV)。

6. 如請求項1之裝置，其進一步包含形成於該半導體基板上之一記憶體裝置。

7. 一種半導體裝置封裝，其包含：

一第一半導體裝置，其包含：

一第一半導體基板；

一或多個被動元件，其形成於該第一半導體基板上；及

一或多個端子；及

一第二半導體裝置，其使用該等端子中之一或多者耦接至該第一半導體裝置，該第二半導體裝置包含：

一第二半導體基板；及

一或多個電流消耗元件，其形成於該第二半導體基板上。

8. 如請求項7之半導體裝置封裝，其中該等被動元件配置於該第一半導體基板上之一陣列中。
9. 如請求項7之半導體裝置封裝，其中該第二半導體裝置包含一系統單晶片(SOC)裝置。
10. 如請求項8之半導體裝置封裝，其中該陣列中之該等被動元件中之兩者或兩者以上耦接在一起。
11. 如請求項7之半導體裝置封裝，其進一步包含形成於該第二半導體基板上之一或多個開關。
12. 如請求項7之半導體裝置封裝，其中該第一半導體裝置包含在該第一半導體基板上之金屬佈線，且其中當該第一半導體裝置耦接至該第二半導體裝置時，該金屬佈線用作一電力軌。
13. 如請求項7之半導體裝置封裝，其中該第一半導體裝置與該第二半導體裝置經耦接，使得該第二半導體裝置界定該等被動元件及該等電流消耗元件之一或多個操作特性。
14. 如請求項7之半導體裝置封裝，其中該第一半導體裝置與該第二半導體裝置經耦接，使得將該等被動元件及該等電流消耗元件分離成一或多個區域化電壓調節結構，其中每一區域化電壓調節結構包含一相異的電壓電力供應調節器。

圖式

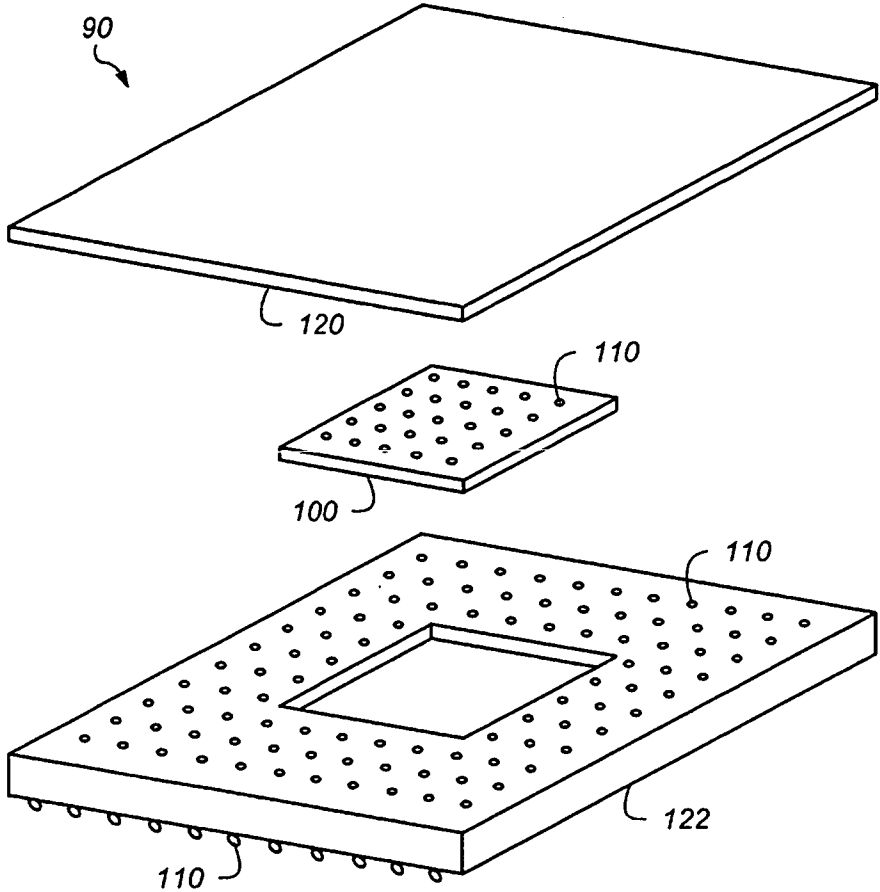


圖1

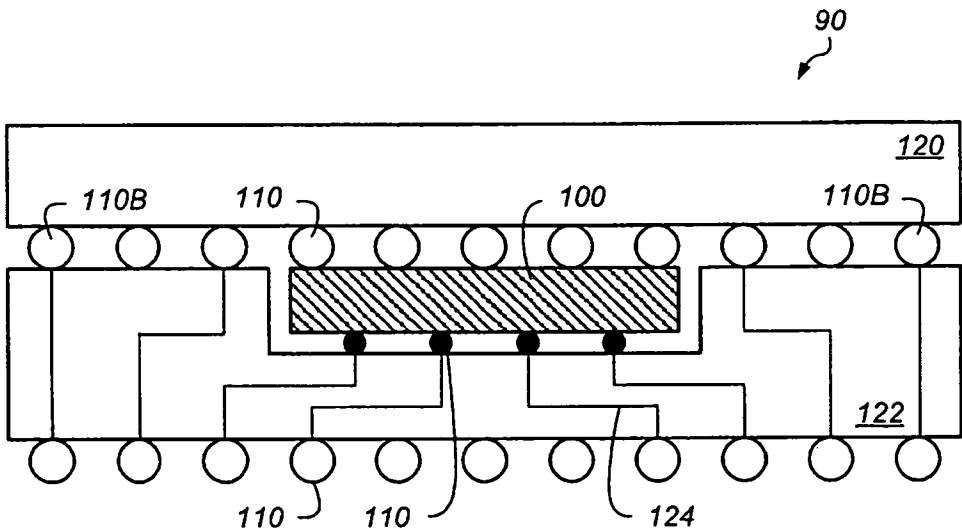


圖2

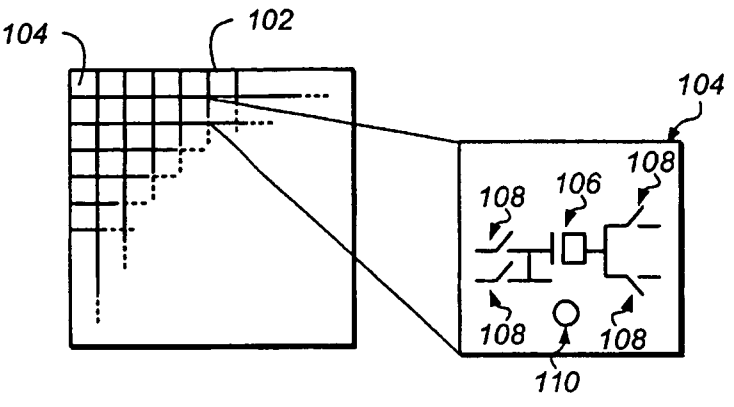


圖3

圖4

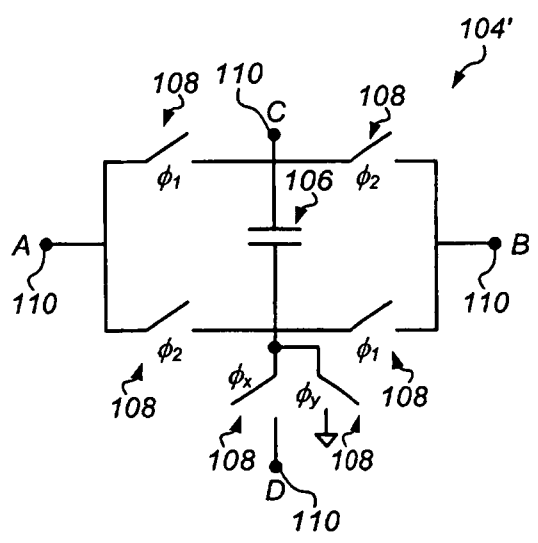


圖5

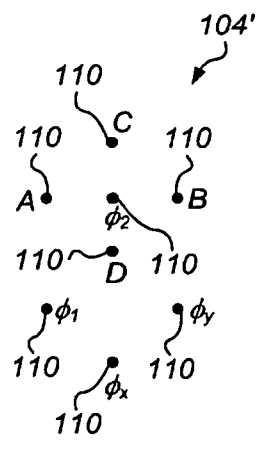


圖6

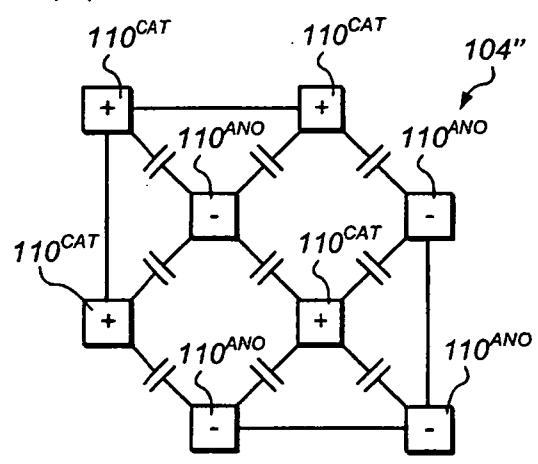


圖7

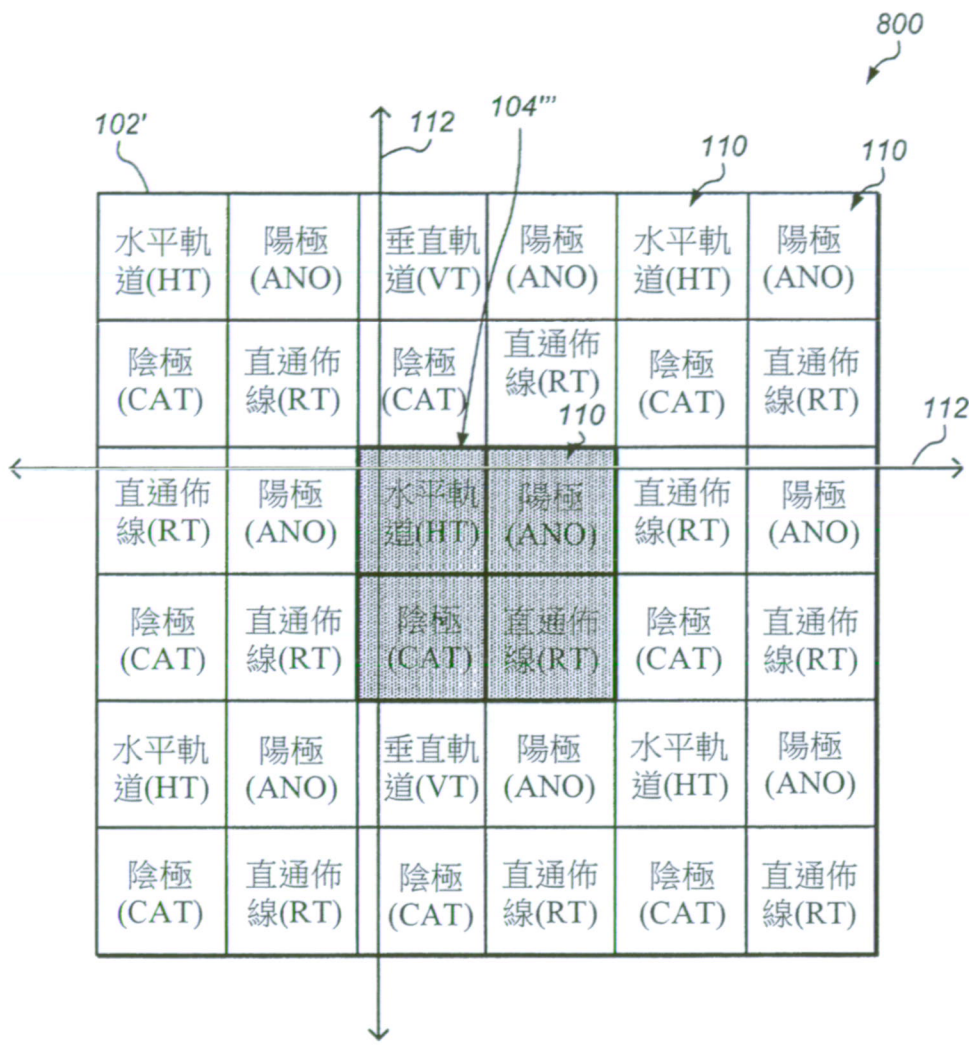


圖8

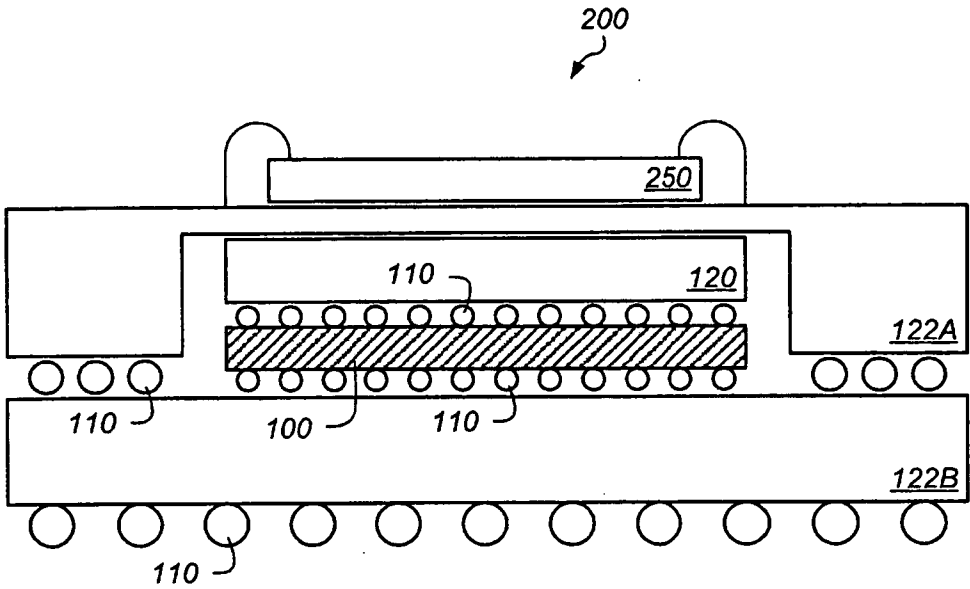


圖9

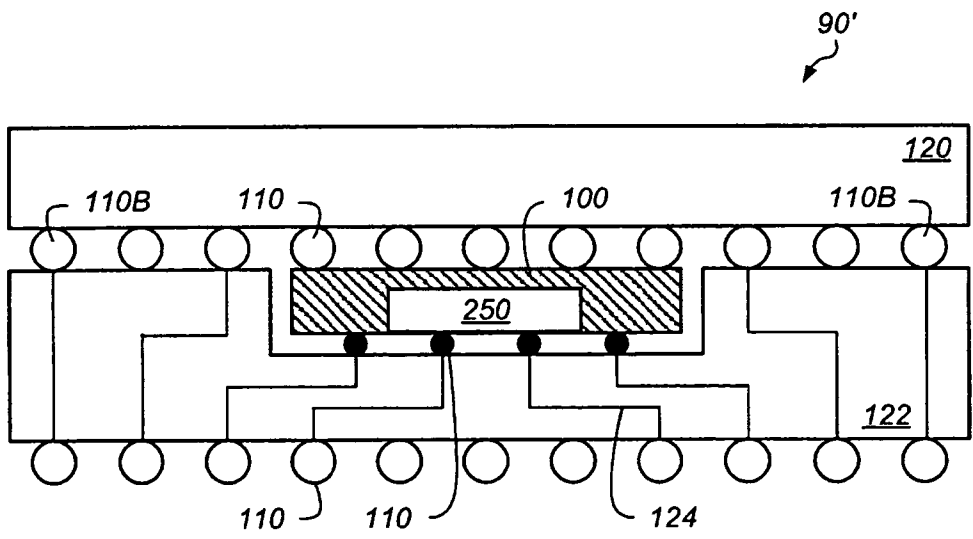


圖10

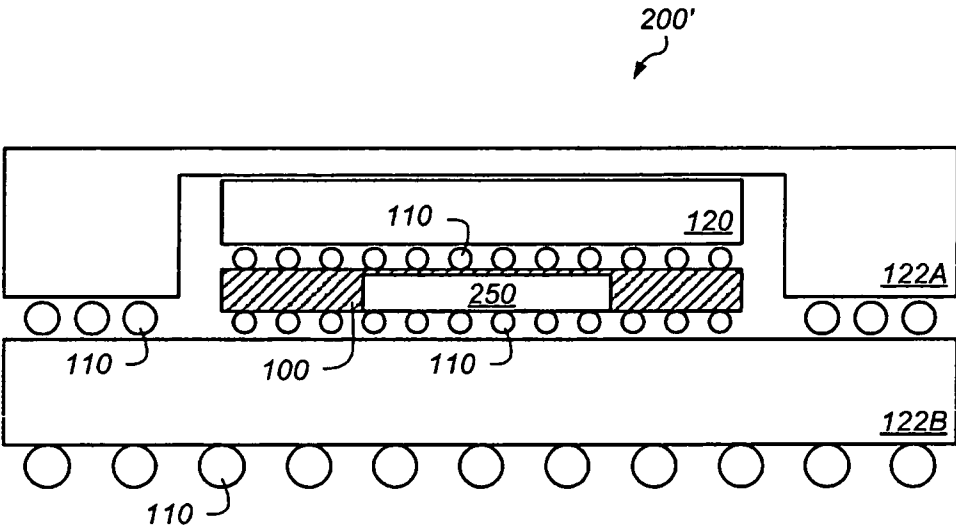


圖 11

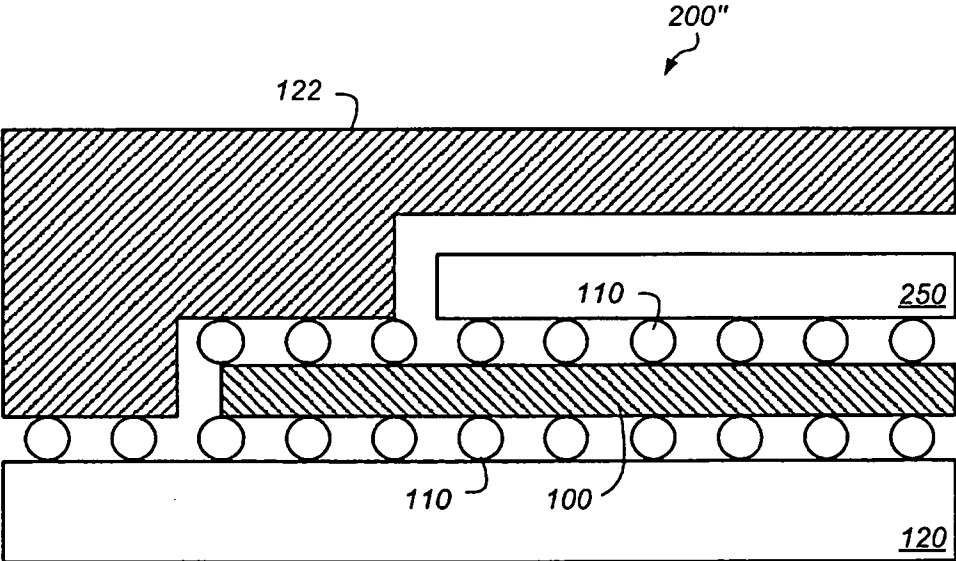


圖 12