

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-33631

(P2010-33631A)

(43) 公開日 平成22年2月12日(2010.2.12)

(51) Int.Cl.		F I		テーマコード (参考)		
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00	6 3 2 Z	5 B 1 2 5
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00	6 3 2 D	
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00	6 2 2 E	
			G 1 1 C	17/00	6 0 1 Q	

審査請求 未請求 請求項の数 5 O L (全 25 頁)

(21) 出願番号	特願2008-192470 (P2008-192470)	(71) 出願人	000003078
(22) 出願日	平成20年7月25日 (2008.7.25)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100137523
			弁理士 出口 智也

最終頁に続く

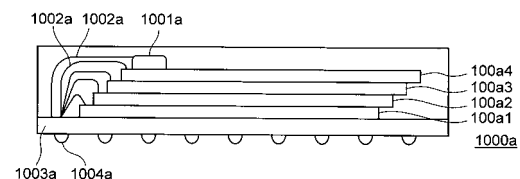
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】電源ノイズが入力されても所定の動作することが可能な不揮発性半導体記憶装置を提供する。

【解決手段】チップアドレス指定されることにより動作する複数のメモリチップを備えた不揮発性半導体記憶装置であって、リセット時においてチップアドレス指定されて動作するように設定されている第1のメモリチップと、リセット時においてチップアドレス指定されず動作しないように設定されている第2のメモリチップと、を備える。第1のメモリチップおよび第2のメモリチップは、電源投入後、電源電圧を検知し、電源電圧が所定値以上になった場合に、その動作を初期化するためのリセット信号を出力するパワーオンリセット回路を、それぞれ有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

チップアドレス指定されることにより動作する複数のメモリチップを備えた不揮発性半導体記憶装置であって、

リセット時においてチップアドレス指定されて動作するように設定されている第 1 のメモリチップと、

リセット時においてチップアドレス指定されず動作しないように設定されている第 2 のメモリチップと、を備え、

前記第 1 のメモリチップおよび前記第 2 のメモリチップは、電源投入後、電源電圧を検知し、前記電源電圧が所定値以上になった場合に、その動作を初期化するためのリセット信号を出力するパワーオンリセット回路を、それぞれ有し、

前記パワーオンリセット回路は、

電源に一端が接続された第 1 の分圧抵抗と、

前記第 1 の分圧抵抗の他端と接地との間に接続された第 2 の分圧抵抗と、

前記電源にソースが接続され、前記第 1 の分圧抵抗と前記第 2 の分圧抵抗との間の第 1 の接点の電圧に応じた電圧がゲートに印加される P M O S トランジスタと、

前記 P M O S トランジスタのドレインと前記接地との間に接続された出力抵抗と、

前記電源と前記第 1 の接点との間に接続されたスイッチ素子と、

前記電源と前記第 1 の接点との間で、前記スイッチ素子と直列に接続された分圧比調整抵抗と、

前記スイッチ素子のオン / オフを切り換えるための切換信号を出力する切換回路と、

前記 P M O S トランジスタと前記出力抵抗との間の第 2 の接点に接続され、前記リセット信号を出力するための出力端子と、を含み、

前記第 1 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記パワーオンリセット回路の前記スイッチ素子を、オンし、

前記第 2 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記パワーオンリセット回路の前記スイッチ素子を、オフする

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

チップアドレス指定されることにより動作する複数のメモリチップを備えた不揮発性半導体記憶装置であって、

リセット時においてチップアドレス指定されて動作するように設定されている第 1 のメモリチップと、

リセット時においてチップアドレス指定されず動作しないように設定されている第 2 のメモリチップと、を備え、

前記第 1 のメモリチップおよび前記第 2 のメモリチップは、電源投入後、電源電圧を検知し、前記電源電圧が所定値以上になった場合に、その動作を初期化するためのリセット信号を出力するパワーオンリセット回路を、それぞれ有し、

前記パワーオンリセット回路は、

電源に一端が接続された第 1 の分圧抵抗と、

前記第 1 の分圧抵抗の他端と接地との間に接続された第 2 の分圧抵抗と、

前記電源にソースが接続され、前記第 1 の分圧抵抗と前記第 2 の分圧抵抗との間の第 1 の接点の電圧に応じた電圧がゲートに印加される P M O S トランジスタと、

前記 P M O S トランジスタのドレインと接地との間に接続された出力抵抗と、

前記接地と前記第 1 の接点との間に接続されたスイッチ素子と、

前記接地と前記第 1 の接点との間で、前記スイッチ素子と直列に接続された分圧比調整抵抗と、

前記スイッチ素子のオン / オフを切り換えるための切換信号を出力する切換回路と、

前記 P M O S トランジスタと前記出力抵抗との間の第 2 の接点に接続され、前記リセット信号を出力するための出力端子と、を含み、

前記第 1 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記スイッチ素子を、オフし、

前記第 2 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記スイッチ素子を、オンする

ことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

チップアドレス指定されることにより動作する複数のメモリチップを備えた不揮発性半導体記憶装置であって、

リセット時においてチップアドレス指定されて動作するように設定されている第 1 のメモリチップと、

リセット時においてチップアドレス指定されず動作しないように設定されている第 2 のメモリチップと、を備え、

前記第 1 のメモリチップおよび前記第 2 のメモリチップは、電源投入後、電源電圧を検知し、前記電源電圧が所定値以上になった場合に、その動作を初期化するためのリセット信号を出力するパワーオンリセット回路を、それぞれ有し、

前記パワーオンリセット回路は、

電源に一端が接続された第 1 の分圧抵抗と、

前記第 1 の分圧抵抗の他端と接地との間に接続された第 2 の分圧抵抗と、

前記電源にソースが接続され、前記第 1 の分圧抵抗と前記第 2 の分圧抵抗との間の第 1 の接点の電圧に応じた電圧がゲートに印加される P M O S トランジスタと、

前記 P M O S トランジスタのドレインと接地との間に接続された出力抵抗と、

前記接地と前記第 1 の接点との間に接続されたスイッチ素子と、

前記接地と前記第 1 の接点との間で、前記スイッチ素子と直列に接続された分圧比調整抵抗と、

前記スイッチ素子のオン / オフを切り換えるための切換信号を出力する切換回路と、

前記 P M O S トランジスタと前記出力抵抗との間の第 2 の接点に接続され、前記リセット信号を出力するための出力端子と、を含み、

前記第 1 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記パワーオンリセット回路の前記スイッチ素子を、オフし、

前記第 2 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記スイッチ素子を、前記電源電圧が設定電圧未満であるときには、オフし、前記電源電圧が前記設定電圧以上であるときには、オンする

ことを特徴とする不揮発性半導体記憶装置。

【請求項 4】

前記切換回路は、チップアドレスに基づいて、前記スイッチ素子のオン / オフを切り換える

ことを特徴とすることを特徴とする請求項 1 ないし 3 の何れかに記載の不揮発性半導体記憶装置。

【請求項 5】

前記第 1 のメモリチップおよび前記第 2 のメモリチップは、N A N D 型フラッシュメモリチップである

ことを特徴とする請求項 1 ないし 4 の何れかに記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1つのパッケージ内に複数のメモリチップを搭載する不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

半導体メモリ製品のパッケージのフットプリントを変えずに大容量製品を得るための方

10

20

30

40

50

法として、マルチチップパッケージ技術がある。このマルチチップパッケージ技術は、パッケージ内に複数のメモリチップを積み重ねるものである。

【 0 0 0 3 】

ここで、このマルチチップパッケージ技術を用いた従来の不揮発性半導体記憶装置には、例えば、ROMリード動作を伴うメモリチップを複数個使用し、パワーオン時に複数個のメモリチップのROMリード動作の起動タイミングを異ならせるものがある。

【 0 0 0 4 】

これにより、複数個のメモリチップを使用した場合に、パワーオン直後のROMリード動作時における消費電流を低減する（例えば、特許文献1参照。）。

【特許文献1】特開2004-152405

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

本発明は、電源ノイズが入力されても所定の動作をすることが可能な不揮発性半導体記憶装置を提供する。

【課題を解決するための手段】

【 0 0 0 6 】

本発明の一態様に係る実施例に従った不揮発性半導体記憶装置は、チップアドレス指定されることにより動作する複数のメモリチップを備えた不揮発性半導体記憶装置であって、リセット時においてチップアドレス指定されて動作するように設定されている第1のメモリチップと、リセット時においてチップアドレス指定されず動作しないように設定されている第2のメモリチップと、を備え、前記第1のメモリチップおよび前記第2のメモリチップは、電源投入後、電源電圧を検知し、前記電源電圧が所定値以上になった場合に、その動作を初期化するためのリセット信号を出力するパワーオンリセット回路を、それぞれ有し、前記パワーオンリセット回路は、電源に一端が接続された第1の分圧抵抗と、前記第1の分圧抵抗の他端と接地との間に接続された第2の分圧抵抗と、前記電源にソースが接続され、前記第1の分圧抵抗と前記第2の分圧抵抗との間の第1の接点の電圧に応じた電圧がゲートに印加されるPMOSトランジスタと、前記PMOSトランジスタのドレインと前記接地との間に接続された出力抵抗と、前記電源と前記第1の接点との間に接続されたスイッチ素子と、前記電源と前記第1の接点との間で、前記スイッチ素子と直列に接続された分圧比調整抵抗と、前記スイッチ素子のオン/オフを切り換えるための切換信号を出力する切換回路と、前記PMOSトランジスタと前記出力抵抗との間の第2の接点に接続され、前記リセット信号を出力するための出力端子と、を含み、前記第1のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記パワーオンリセット回路の前記スイッチ素子を、オンし、前記第2のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記パワーオンリセット回路の前記スイッチ素子を、オフすることを特徴とする。

20

30

【 0 0 0 7 】

本発明の他の態様に係る実施例に従った不揮発性半導体記憶装置は、チップアドレス指定されることにより動作する複数のメモリチップを備えた不揮発性半導体記憶装置であって、リセット時においてチップアドレス指定されて動作するように設定されている第1のメモリチップと、リセット時においてチップアドレス指定されず動作しないように設定されている第2のメモリチップと、を備え、前記第1のメモリチップおよび前記第2のメモリチップは、電源投入後、電源電圧を検知し、前記電源電圧が所定値以上になった場合に、その動作を初期化するためのリセット信号を出力するパワーオンリセット回路を、それぞれ有し、前記パワーオンリセット回路は、電源に一端が接続された第1の分圧抵抗と、前記第1の分圧抵抗の他端と接地との間に接続された第2の分圧抵抗と、前記電源にソースが接続され、前記第1の分圧抵抗と前記第2の分圧抵抗との間の第1の接点の電圧に応じた電圧がゲートに印加されるPMOSトランジスタと、前記PMOSトランジスタのドレインと接地との間に接続された出力抵抗と、前記接地と前記第1の接点との間に接続さ

40

50

れたスイッチ素子と、前記接地と前記第 1 の接点との間で、前記スイッチ素子と直列に接続された分圧比調整抵抗と、前記スイッチ素子のオン / オフを切り換えるための切換信号を出力する切換回路と、前記 P M O S トランジスタと前記出力抵抗との間の第 2 の接点に接続され、前記リセット信号を出力するための出力端子と、を含み、前記第 1 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記スイッチ素子を、オフし、前記第 2 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記スイッチ素子を、オンすることを特徴とする。

【 0 0 0 8 】

本発明のさらに他の態様に係る実施例に従った不揮発性半導体記憶装置は、チップアドレス指定されることにより動作する複数のメモリチップを備えた不揮発性半導体記憶装置であって、リセット時においてチップアドレス指定されて動作するように設定されている第 1 のメモリチップと、リセット時においてチップアドレス指定されず動作しないように設定されている第 2 のメモリチップと、を備え、前記第 1 のメモリチップおよび前記第 2 のメモリチップは、電源投入後、電源電圧を検知し、前記電源電圧が所定値以上になった場合に、その動作を初期化するためのリセット信号を出力するパワーオンリセット回路を、それぞれ有し、前記パワーオンリセット回路は、電源に一端が接続された第 1 の分圧抵抗と、前記第 1 の分圧抵抗の他端と接地との間に接続された第 2 の分圧抵抗と、前記電源にソースが接続され、前記第 1 の分圧抵抗と前記第 2 の分圧抵抗との間の第 1 の接点の電圧に応じた電圧がゲートに印加される P M O S トランジスタと、前記 P M O S トランジスタのドレインと接地との間に接続された出力抵抗と、前記接地と前記第 1 の接点との間に接続されたスイッチ素子と、前記接地と前記第 1 の接点との間で、前記スイッチ素子と直列に接続された分圧比調整抵抗と、前記スイッチ素子のオン / オフを切り換えるための切換信号を出力する切換回路と、前記 P M O S トランジスタと前記出力抵抗との間の第 2 の接点に接続され、前記リセット信号を出力するための出力端子と、を含み、前記第 1 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記パワーオンリセット回路の前記スイッチ素子を、オフし、前記第 2 のメモリチップの前記パワーオンリセット回路において、前記切換回路は、前記スイッチ素子を、前記電源電圧が設定電圧未満であるときには、オフし、前記電源電圧が前記設定電圧以上であるときには、オンすることを特徴とする。

【 発明の効果 】

【 0 0 0 9 】

本発明の不揮発性半導体記憶装置によれば、電源ノイズが入力されても所定の動作をすることができる。

【 発明を実施するための最良の形態 】

【 0 0 1 0 】

(比較例)

図 1 は、比較例である 4 個のメモリチップ 1 0 0 a 1 ~ 1 0 0 a 4 を積層したマルチチップパッケージ製品 (不揮発性半導体記憶装置 1 0 0 0 a) の模式的な断面の一例を示す断面図である。

【 0 0 1 1 】

図 1 に示すように、不揮発性半導体記憶装置 1 0 0 0 a は、基板 1 0 0 3 a 上に積層された 4 個のメモリチップ 1 0 0 a 1 ~ 1 0 0 a 4 、コントローラ 1 0 0 1 a を備える。

【 0 0 1 2 】

これらのメモリチップ 1 0 0 a 1 ~ 1 0 0 a 4 は、例えば、N A N D 型フラッシュメモリチップである。

【 0 0 1 3 】

コントローラ 1 0 0 1 a は、主としてメモリチップ 1 0 0 a 1 ~ 1 0 0 a 4 に対するデータ入出力制御、データ管理を行う。コントローラ 1 0 0 1 a は、E C C 訂正回路 (図示せず) を有しており、データを書き込む際には誤り訂正符号 (E C C) 付加し、読み出す際にも誤り訂正符号の解析・処理を行う。

【 0 0 1 4 】

メモリチップ 1 0 0 a 1 ~ 1 0 0 a 4、およびコントローラ 1 0 0 1 a は、ワイヤ 1 0 0 2 a により基板 1 0 0 3 a にボンディングされている。

【 0 0 1 5 】

基板 1 0 0 3 a の裏面に設けられた各半田ボール 1 0 0 4 a は、それぞれワイヤ 1 0 0 2 a に電氣的に接続されている。パッケージ形状としては、例えば、各半田ボール 1 0 0 4 a が二次元的に配置された表面実装型の B G A (B a l l G r i d A r r a y) が採用される。

【 0 0 1 6 】

また、図 2 は、図 1 に示す不揮発性半導体記憶装置 1 0 0 0 a の 4 個のメモリチップの回路図である。

10

【 0 0 1 7 】

図 2 に示すように、4 個のメモリチップ 1 0 0 a 1 ~ 1 0 0 a 4 のコントロール線、I / O 線および電源線は、パッケージの基板 1 0 0 3 a 上で共通配線となっている。これらのメモリチップの選択は、アドレス入力によって行われる。

【 0 0 1 8 】

ウェハ製造時には、4 個のメモリチップ 1 0 0 a 1 ~ 1 0 0 a 4 は、同一の製品である。しかし、パッケージにアセンブリされた後で、メモリチップ内部のアドレスセット回路 (図示せず) にメモリチップ 1 0 0 a 1 ~ 1 0 0 a 4 のアドレスをセットし、外部から入力したアドレスの上位 2 ビットにより各メモリチップの選択 / 非選択を制御する。

20

【 0 0 1 9 】

チップアドレスのビットを 3 ビット、4 ビットと増やすことにより、搭載するチップの数は、8 チップ、1 6 チップとさらに多数を制御することもできる。

【 0 0 2 0 】

一般に、半導体メモリ製品には、電源投入時に電源の立ち上がりを検知して、メモリチップの内部状態をある決められた初期状態にリセットするリセット信号を出力するパワーオンリセット回路が備えられている。

【 0 0 2 1 】

マルチチップパッケージ品では、それぞれのメモリチップの内部に備えられているパワーオンリセット回路が、リセット信号を出力して、電源の立ち上がりを検知してそれぞれのメモリチップを初期状態にリセットする。リセット後には、例えば、メモリチップ 1 0 0 a 1 が選択状態になり、メモリチップ 1 0 0 a 2 ~ 1 0 0 a 4 は非選択状態になる。

30

【 0 0 2 2 】

ここで、図 3 は、比較例のパワーオンリセット回路の構成の一例を示す回路図である。

【 0 0 2 3 】

図 3 に示すように、パワーオンリセット回路 2 a の P M O S トランジスタ P 1 は、電源電圧 V_{cc} がソースに印加され、電源電圧 V_{cc} を抵抗 R 1 と抵抗 R 2 で分割した接点 W 1 における電圧がゲートに印加されている。

【 0 0 2 4 】

また、電源電圧 V_{cc} を P M O S トランジスタ P 1 と抵抗 R 3 で分割した接点 W 2 における電圧が、インバータ I 1、I 2、I 5 を介して、パワーオンリセット回路 2 a のリセット信号 P W O N として出力される。

40

【 0 0 2 5 】

ここで、図 4 は、電源投入時における、図 3 に示すパワーオンリセット回路 2 a の各接点の電圧、および出力信号 (リセット信号) の電圧を示す図である。

【 0 0 2 6 】

図 4 に示すように、電源電圧 V_{cc} が 0 V から立ち上がる時、第 1 の接点 W 1 の電圧は、抵抗分割されている分だけ電源電圧 V_{cc} よりも遅れて立ち上がる。電源電圧 V_{cc} が低いときには、ソースとゲートの電位差が小さいため、P M O S トランジスタ P 1 はオフしている (遮断状態)。これにより、リセット信号 P W O N は、電源電圧 V_{cc} とともに

50

上昇する。

【0027】

電源電圧 V_{cc} がある電圧（パワーオン検知電圧）まで上昇したときに、電源電圧 V_{cc} と第1の接点 $W1$ の電圧の差は、トランジスタ $P1$ のしきい値電圧 $V_{th}(P1)$ に達する（時間 $t1$ ）。この電源電圧 V_{cc} がこの電圧以上では、PMOSトランジスタ $P1$ はオンする（導通状態）。これにより、リセット信号 $PWON$ は、“Low”レベルになる。

【0028】

したがって、パワーオンリセット回路2aは、電源電圧 V_{cc} が立ち上がるにしたがって、出力信号であるリセット信号 $PWON$ （パルス信号）を発生することになる。このリセット信号 $PWON$ は、メモリチップ内部のすべての回路のリセットに使われる。リセット信号 $PWON$ が“High”レベルである時にメモリチップ内部の状態は初期状態にリセットされる。

10

【0029】

このように、パワーオンリセット回路2aのパワーオン検知電圧は、PMOSトランジスタ $P1$ のしきい値電圧によって決まっている。このため、メモリチップ間で数十mV程度のばらつきが生じ得る。

【0030】

パワーオン検知電圧は、製品の動作保証範囲よりも十分低い電圧に設定されているので、通常は動作には影響しない。しかし、ノイズによって電源電圧 V_{cc} がパワーオン検知電圧よりも低くなったときに、リセット信号 $PWON$ が出力され、メモリチップ内部は初期状態にリセットされる。この場合、電源電圧 V_{cc} が、もとの動作保証範囲に戻ったときに、再び動作が正常に開始できれば問題はない。しかし、条件によっては、メモリチップの動作に異常が発生し得る。

20

【0031】

図5は、図3に示すパワーオンリセット回路2aのパワーオン検知電圧と電源電圧 V_{cc} との関係を示す図である。また、図6は、図2に示す各メモリチップ100a1～100a4の選択状態の遷移の一例を示す図である。なお、図6においては、電源ノイズが入る前に、メモリチップ100a3を選択していた場合を示している。

【0032】

30

ここで、例えば、PMOSトランジスタ $P1$ のしきい値電圧のばらつきにより、メモリチップ100a1のパワーオン検知電圧 V_{a1} がその他のメモリチップ100a2～100a4のパワーオン検知電圧 $V_{a2} \sim V_{a4}$ と比べ低く設定されている時に、図5に示すような電源ノイズが入った場合を考える。

【0033】

電源ノイズによって、電源電圧 V_{cc} がパワーオン検知電圧 V_{a3} よりも低くなり、メモリチップ100a3のパワーオンリセット回路2aは、リセット信号 $PWON$ を出力する。このため、図6に示すように、メモリチップ100a3は、初期状態であるチップ非選択状態になる。

【0034】

40

一方、既述のように、メモリチップ100a1のパワーオンリセット回路2aのパワーオン検知電圧 V_{a1} は、電源ノイズよりも低くなっている。このため、メモリチップ100a1のパワーオンリセット回路2aはリセット信号 $PWON$ を出力されることはない。すなわち、図6に示すように、メモリチップ100a1は、電源ノイズが消えた後も非選択状態のままとなる。

【0035】

その結果、電源ノイズ後にスタンバイ状態に戻っても、すべてのメモリチップ100a1～100a4が非選択となってしまう。

【0036】

上記状態で、IDコード読み出しのようなチップアドレスを必要としない動作をメモリ

50

チップ 100a1 ~ 100a4 に対して要求すると、すべてのメモリチップ 100a1 ~ 100a4 は信号を出力できないという問題が生じ得る。

【0037】

そこで、本発明に係る実施形態では、パワーオンリセット回路のトランジスタのしきい値電圧のばらつきの影響を低減し、瞬間的な電源低下ノイズが入ったときにも所望の動作をする不揮発性半導体記憶装置を提供する。

【0038】

以下、本発明に係る各実施例について図面に基づいて説明する。

【実施例 1】

【0039】

10

図 7 は、本発明の一態様である実施例 1 に係る不揮発性半導体記憶装置 1000 の要部の模式的な断面の一例を示す断面図である。

【0040】

図 7 に示すように、不揮発性半導体記憶装置 1000 は、基板 1003 上に積層された 4 個のメモリチップ 100-1 ~ 100-4、コントローラ 1001 を備える。

【0041】

これらのメモリチップ 100-1 ~ 100-4 は、例えば、NAND 型フラッシュメモリチップである。

【0042】

コントローラ 1001 は、主としてメモリチップ 100-1 ~ 100-4 に対するデータ入出力制御、データ管理を行う。コントローラ 1001 は、ECC 訂正回路（図示せず）を有しており、データを書き込む際には誤り訂正符号（ECC）付加し、読み出す際にも誤り訂正符号の解析・処理を行う。

20

【0043】

メモリチップ 100-1 ~ 100-4、およびコントローラ 1001 は、ワイヤ 1002 により基板 1003 にボンディングされている。

【0044】

基板 1003 の裏面に設けられた各半田ボール 1004 は、それぞれワイヤ 1002 に電氣的に接続されている。パッケージ形状としては、例えば、各半田ボール 1004 が二次元的に配置された表面実装型の BGA（Ball Grid Array）が採用される。

30

【0045】

図 8 は、図 7 に示す不揮発性半導体記憶装置 1000 のメモリチップ 100-1 ~ 1004 内部の構成の一例を示す図である。

【0046】

図 8 に示すように、各メモリチップ 100-1 ~ 100-4 は、メモリセルアレイ 11 と、アドレスバッファ 12 と、カラムデコーダ 13 と、ロウデコーダ 14 と、センスアンプ 15 と、入出力バッファ 17 と、パワーオンリセット回路 18 と、制御回路 19 と、電圧生成回路 20 と、チップアドレスデコード回路 21 と、チップアドレスセット回路 22 と、を備える。

40

【0047】

メモリセルアレイ 11 は、データを格納する通常のメモリセル領域 11a と、リダンダンシ情報、トリミング情報などを格納する ROM 領域 11b とを有する。

【0048】

アドレスバッファ 12 に入力されたアドレスのうち、カラムアドレスがカラムデコーダ 13 に入力されてデコードされ、ロウアドレスがロウデコーダ 14 に入力されてデコードされる。そして、指定されたアドレスに基づいて、メモリセル領域 11a におけるメモリセルへのデータの書込、または、該メモリセルからのデータ読み出しが行われる。

【0049】

データが読み出される時は、センスアンプ 15、カラムデコーダ 13、および入出力バ

50

ッファ 17 を介して、読み出しデータが出力される。

【0050】

一方、データが書き込まれる時は、読み出しとは逆の経路で、書き込みデータがメモリセルアレイ 11 に供給される。

【0051】

電圧生成回路 20 は、外部から供給された電源電圧 V_{cc} を用いて、参照用の基準電圧や、プログラム電圧等の内部電圧を生成する。

【0052】

チップアドレスセット回路 22 は、アドレスバッファ 12 を介して入力された 2 ビットのロウアドレス ADD_0 、 ADD_1 、を、ボンディングによって決定された 2 ビットのチップアドレス $CHIPADD_0$ 、 $CHIPADD_1$ (チップ選択情報) と比較する。そして、チップアドレスセット回路 22 は、その比較結果を、制御回路 19 に出力する。これにより、この比較結果に基づいて、制御回路 19 は、メモリチップを動作させる。すなわち、該比較結果が一致したメモリチップがチップアドレス指定され、このメモリチップのみが動作するようになっている。

10

【0053】

ここで、チップアドレスセット回路 22 は、電源投入時等のリセット時において、ロウアドレスの入力が無い場合においても、メモリチップ 100 - 1 ~ 100 - 4 の何れかをチップアドレス指定するように設定されている。これにより、例えば、メモリチップ 100 - 1 は、リセット時においてチップアドレス指定されて動作するように (すなわち、リセット時に選択状態に)、設定されている。一方、メモリチップ 100 - 2 ~ 100 - 4 は、リセット時においてチップアドレス指定されず動作しないように (すなわち、リセット時に非選択状態に)、設定されている。

20

【0054】

チップアドレスデコード回路 21 は、各メモリチップに固有の 2 ビットのチップアドレス $CHIPADD_0$ 、 $CHIPADD_1$ を演算し、その演算結果である信号 $CADD_1$ をパワーオンリセット回路 18 に出力するようになっている。

【0055】

パワーオンリセット回路 18 は、電源電圧 V_{cc} に応じて、リセット信号 $PWON$ を、制御回路 19 に出力するようになっている。例えば、パワーオンリセット回路 18 は、電源が投入されてから電源電圧 V_{cc} がパワーオン検知電圧以上になると、リセット信号 $PWON$ (パルス波) が出力されるように、設定されている。

30

【0056】

このパワーオンリセット回路 18 は、上述の信号 $CADD_1$ により、該パワーオン検知電圧が制御されるようになっている。

【0057】

また、制御回路 19 は、リセット信号 $PWON$ に基づいて、アドレスバッファ 12、コラムデコーダ 13、ロウデコーダ 14、センスアンプ 15、および電圧生成回路 20 それぞれを初期化するための制御信号を出力するようになっている。

【0058】

40

また、既述のように、制御回路 19 は、チップアドレスセット回路 22 の比較結果に基づいて、メモリチップを動作させる。すなわち、該比較結果が一致したメモリチップがチップアドレス指定され、このメモリチップのみが動作するようになっている。

【0059】

以上のように、不揮発性半導体記憶装置 1000 の各メモリチップは、電源投入後、電源電圧 V_{cc} を検知し、電源電圧 V_{cc} が所定値以上になった場合に、その動作を初期化するためのリセット信号 $PWON$ を出力するパワーオンリセット回路 18 を、それぞれ有する。

【0060】

ここで、図 9 は、図 7 に示す 4 個のメモリチップ 100 - 1 ~ 100 - 4 を備えた場合

50

の不揮発性半導体記憶装置 1000 のブロック図である。

【0061】

図9に示すように、電源パッド(Vcc)および接地パッド(Vss)、/CE(チップイネーブル信号)、/WE(ライトイネーブル信号)、/RE(リードイネーブル信号)などの制御信号やコマンド入力用の各種パッド、I/Oなどの入出力パッドが、4個のメモリチップ100-1~100-4で共通の配線によって相互に結線される。

【0062】

また、上記各パッドの他に、4個の各メモリチップ100-1~100-4にはそれぞれ、後述するように、チップアドレス指定用の2ビットのチップアドレスCHIPADD__0、CHIPADD__1を入力するための2個のパッドが設けられる。

10

【0063】

そして、各2個のチップアドレス指定用のパッドに対し、ボンディングワイヤによりそれぞれのチップアドレスに対応した電圧(電源電圧Vccまたは接地電圧Vss)を接続することで、各々のメモリチップがどのチップアドレスに対応しているかが決定される。

【0064】

例えば、メモリチップ100-1では、CHIPADD__0、CHIPADD__1指定用のパッドが共に接地電圧VSSに接続されている。メモリチップ100-2では、CHIPADD__0指定用のパッドが接地電圧VSSに接続され、CHIPADD__1指定用のパッドが電源電圧VDDに接続されている。メモリチップ100-3では、CHIPADD__0指定用のパッドが電源電圧VDDに接続され、CHIPADD__1指定用のパッドが接地電圧VSSに接続されている。メモリチップ100-4では、CHIPADD__0、CHIPADD__1指定用のパッドが共に電源電圧VDDに接続されている。

20

【0065】

外部から個々のメモリチップ100-1~100-4にアクセスするには、1個のメモリチップのみが設けられている場合と同様に、コマンドやアドレス、データの入出力が行われる。アドレスは、1個のメモリチップのみが設けられている場合の4倍のアドレス空間で入力される。複数のメモリチップは同時にこのアドレスを受け取り、受け取ったアドレスがどのメモリチップに該当しているが個々のメモリチップで判断され、該当チップのみが動作する。

【0066】

30

既述のように、チップアドレスセット回路22は、入力された2ビットのロウアドレスADD__0、ADD__1を、ボンディングによって決定された2ビットのチップアドレスCHIPADD__0、CHIPADD__1と比較する。そして、チップアドレスセット回路22は、その比較結果を、制御回路19に出力する。これにより、この比較結果に基づいて、制御回路19は、メモリチップを動作させる。すなわち、該比較結果が一致したメモリチップのみが動作するようになっている。

【0067】

これにより、複数個のメモリチップが実装されているにもかかわらず、あたかもパッケージの外から見たら4倍のメモリ容量のメモリチップ1個が動作しているようになる。

【0068】

40

なお、このチップアドレス指定用のパッドは2個に限られるものではなく、例えば、同一パッケージ内に8個のメモリチップを収納する場合にはチップアドレス指定用のパッドは3個設けられ、16個のメモリチップを収納する場合にはチップアドレス指定用のパッドは4個設けられる。

【0069】

ここで、図10は、図8に示すメモリセルの実施例1に係るパワーオンリセット回路18の構成を示す回路図である。

【0070】

図9に示すように、パワーオンリセット回路18は、第1の分圧抵抗R1と、第2の分圧抵抗R2と、出力抵抗R3と、分圧比調整抵抗R4と、PMOSTランジスタP1と、

50

スイッチ素子 P 2 と、出力端子 1 8 a と、切換回路 1 8 b と、を含む。

【 0 0 7 1 】

第 1 の分圧抵抗 R 1 は、電源に一端が接続されている。

【 0 0 7 2 】

第 2 の分圧抵抗 R 2 は、第 1 の分圧抵抗 R 1 の他端と接地との間に接続されている。

【 0 0 7 3 】

P M O S トランジスタ P 1 は、電源にソースが接続され、第 1 の分圧抵抗 R 1 と第 2 の分圧抵抗 R 2 との間の第 1 の接点 W 1 の電圧に応じた電圧がゲートに印加されるようになっている。

【 0 0 7 4 】

出力抵抗 R 3 は、P M O S トランジスタ P 1 のドレインと接地との間に接続されている。

【 0 0 7 5 】

スイッチ素子 P 2 は、電源と第 1 の接点 W 1 との間に接続されている。このスイッチ素子 P 2 は、ここでは、例えば、P M O S トランジスタで構成される。なお、スイッチ素子 P 2 は、他のトランジスタ等の素子で構成されていてもよい。

【 0 0 7 6 】

分圧比調整抵抗 R 4 は、電源と第 1 の接点 W 1 との間で、スイッチ素子 P 2 と直列に接続されている。

【 0 0 7 7 】

出力端子 1 8 a は、P M O S トランジスタ P 1 と出力抵抗 R 3 との間の第 2 の接点 W 2 に、インバータ I 1、I 2、I 5 を介して接続され、リセット信号 P W O N を出力するようになっている。

【 0 0 7 8 】

切換回路 1 8 b は、スイッチ素子 P 2 のオン / オフを切り換えるための切換信号を出力するようになっている。

【 0 0 7 9 】

この切換回路 1 8 b は、インバータ I 3 と、コンデンサ C 1 と、を有する。

【 0 0 8 0 】

インバータ I 3 は、信号 C A D D 1 が入力され、スイッチ素子 P 2 である P M O S トランジスタのゲートに出力が接続されている。

【 0 0 8 1 】

コンデンサ C 1 は、電源に一端が接続され、スイッチ素子 P 2 である P M O S トランジスタのゲートに他端が接続されている。このコンデンサ C 1 により、スイッチ素子 P 2 である P M O S トランジスタのゲートの電圧が安定するようになっている。

【 0 0 8 2 】

すなわち、切換回路 1 8 b は、信号 C A D D 1 を反転した信号を切換信号として、スイッチ素子 P 2 に出力する。

【 0 0 8 3 】

ここで、図 1 1 は、図 8 に示すメモリチップの実施例 1 に係るチップアドレスデコード回路 2 1 の構成の一例を示す回路図である。

【 0 0 8 4 】

図 1 1 に示すように、チップアドレスデコード回路 2 1 は、例えば、チップアドレス (信号) C H I P A D D _ 0 とチップアドレス (信号) C H I P A D D _ 1 とが入力される論理和回路 2 1 a と、この論理和回路 2 1 a の出力が入力に接続され、信号 C A D D 1 を出力するインバータ 2 1 b とにより構成されている。

【 0 0 8 5 】

このチップアドレスデコード回路 2 1 は、C H I P A D D _ 0 と C H I P A D D _ 1 がともに “ L o w ” レベルの時、“ H i g h ” レベルの信号 C A D D 1 を出力する。

【 0 0 8 6 】

10

20

30

40

50

一方、チップアドレスデコード回路 21 は、CHIPADD__0 と CHIPADD__1 がともに “High” レベル、または、何れかが “High” レベルの時、“Low” レベルの信号 CADD1 を出力する。

【0087】

次に、以上のような構成を有する不揮発性半導体記憶装置 1000 の動作の一例について説明する。

【0088】

メモリチップ 100 - 1 のパワーオンリセット回路 18 において、切換回路 18b は、信号 CADD1 (“High” レベル) に応じて、該パワーオンリセット回路 18 のスイッチ素子 P2 を、オンする (導通状態)。

10

【0089】

これにより、分圧抵抗 R1、R2、分圧比調整抵抗 R4 による抵抗分割の電源側の分圧比が小さく設定される。このため、第 1 の接点 W1 の電圧が高くなる。

【0090】

一方、メモリチップ 100 - 2 ~ 100 - 4 のパワーオンリセット回路 18 において、切換回路 18b は、信号 CADD1 (“Low” レベル) に応じて、パワーオンリセット回路 18 のスイッチ素子 P2 を、オフする (遮断状態)。

【0091】

これにより、分圧抵抗 R1、R2、分圧比調整抵抗 R4 による抵抗分割の電源側の分圧比が大きく設定される。このため、メモリチップ 100 - 2 ~ 100 - 4 のパワーオンリセット回路 18 の第 1 の接点 W1 の電圧が、メモリチップ 100 - 1 のパワーオンリセット回路 18 の第 1 の接点 W1 の電圧よりも低くなる。

20

【0092】

これにより、メモリチップ 100 - 1 のパワーオン検知電圧 V1 が、その他のメモリチップ 100 - 2 ~ 100 - 4 のパワーオン検知電圧 V2 ~ V4 よりも高く設定される。

【0093】

なお、メモリチップ 100 - 1 のパワーオン検知電圧 V1 とその他のメモリチップ 100 - 2 ~ 100 - 4 のパワーオン検知電圧 V2 ~ V4 の差が、PMOS トランジスタ P1 のしきい値電圧のばらつきによるメモリチップ間の検知電圧のばらつきの程度となるように、分圧比調整抵抗 R4 の抵抗値が選ばれる。

30

【0094】

ここで、図 12A は、電源投入時における、図 10 に示すパワーオンリセット回路 18 の各接点の電圧、および出力信号の電圧を示す図である。

【0095】

図 12A に示すように、各メモリチップ 100 - 1 ~ 100 - 4 において、電源電圧 Vcc が 0V から立ち上がっていく時、接点 W1 の電圧は、抵抗分割されている分だけ電源電圧 Vcc よりも遅れて立ち上がる。電源電圧 Vcc が低いときには、ソースとゲートの電位差が小さいため、PMOS トランジスタ P1 はオフしている (遮断状態)。これにより、リセット信号 PWON は、電源電圧 Vcc とともに上昇する。

【0096】

40

ここで、メモリチップ 100 - 2 ~ 100 - 4 において、電源電圧 Vcc がある電圧 (パワーオン検知電圧 V2 ~ V4) まで上昇したときに、電源電圧 Vcc と第 1 の接点 W1 の電圧の差は、トランジスタ P1 のしきい値電圧 Vth (P1) に達する (時間 t1)。この電源電圧 Vcc がこの電圧以上では、PMOS トランジスタ P1 はオンする (導通状態)。これにより、リセット信号 PWON は、“Low” レベルになる。

【0097】

したがって、メモリチップ 100 - 2 ~ 100 - 4 のパワーオンリセット回路 18 は、電源電圧 Vcc が立ち上がるにしたがって、出力信号であるリセット信号 PWON (パルス信号) を発生することになる。このリセット信号 PWON は、メモリチップ内部のすべての回路のリセットに使われる。すなわち、リセット信号 PWON (パルス信号) に応じ

50

て、メモリチップ 100 - 2 ~ 100 - 4 内部の状態は初期状態にリセットされる。

【0098】

一方、メモリチップ 100 - 1 において、電源電圧 V_{cc} がある電圧（パワーオン検知電圧 V_1 : $V_1 > V_2 \sim V_4$ ）まで上昇したときに、電源電圧 V_{cc} と接点 W_1 の電圧の差は、トランジスタ P_1 のしきい値電圧 $V_{th}(P_1)$ に達する（時間 t_2 ）。この電源電圧 V_{cc} がこの電圧以上では、PMOS トランジスタ P_1 はオンする（導通状態）。これにより、リセット信号 $PWON$ は、“Low” レベルになる。

【0099】

したがって、メモリチップ 100 - 1 のパワーオンリセット回路 18 は、電源電圧 V_{cc} が立ち上がるにしたがって、出力信号であるリセット信号 $PWON$ （パルス信号）を発生することになる。このリセット信号 $PWON$ （パルス信号）は、メモリチップ 100 - 1 内部のすべての回路のリセットに使われる。すなわち、リセット信号 $PWON$ （パルス信号）に応じて、メモリチップ 100 - 1 内部の状態は初期状態にリセットされる。

10

【0100】

以上のように、メモリチップ 100 - 1 のパワーオンリセット回路 18 のパワーオン検知電圧 V_1 は、メモリチップ 100 - 2 ~ 100 - 4 のパワーオンリセット回路 18 のパワーオン検知電圧よりも高く設定される。

【0101】

ここで、図 12 B は、図 10 に示すパワーオンリセット回路 18 のパワーオン検知電圧と電源電圧 V_{cc} との関係を示す図である。

20

【0102】

既述のように、メモリチップ 100 - 1 のパワーオン検知電圧 V_1 がその他のメモリチップ 100 - 2 ~ 100 - 4 のパワーオン検知電圧 $V_2 \sim V_4$ と比べ高く設定されている。

【0103】

図 12 B に示すように、例えば、電源ノイズ A によって、電源電圧 V_{cc} がパワーオン検知電圧 $V_1 \sim V_4$ よりも低くなる場合を考える。

【0104】

この場合、メモリチップ間の検知電圧のばらつきによらず、まずメモリチップ 100 - 1 でリセット動作が始まる。続いて、第 2 ~ 第 4 のメモリチップ 100 - 2 ~ 100 - 4 でリセット動作が始まる。

30

【0105】

メモリチップ 100 - 1 ~ 100 - 4 のパワーオンリセット回路 18 は、リセット信号 $PWON$ を出力する。このため、メモリチップ 100 - 1 は、初期状態になるとともにチップ選択状態になり、メモリチップ 100 - 2 ~ 100 - 4 は、初期状態になるとともにチップ非選択状態になる。

【0106】

一方、電源ノイズ B によって、電源電圧 V_{cc} がパワーオン検知電圧 V_1 よりも低くなる場合を考える。この場合、メモリチップ 100 - 1 のパワーオンリセット回路 18 は、リセット信号 $PWON$ を出力する。このため、メモリチップ 100 - 1 は、初期状態になるとともにチップ選択状態になる。この場合、他のメモリチップ 100 - 2 ~ 100 - 4 は、リセットされず、チップ選択状態またはチップ非選択状態となる。

40

【0107】

このように、少なくともメモリチップ 100 - 1 が、電源ノイズが消えた後にチップ選択状態となる。

【0108】

上記状態で、ID コード読み出しのようなチップアドレスを必要としない動作をメモリチップ 100 - 1 ~ 100 - 4 に対して要求した場合、すべてのメモリチップ 100 - 1 ~ 100 - 4 は信号を出力できないという問題は回避される。

【0109】

50

以上のように、本実施例に係る不揮発性半導体記憶装置によれば、電源ノイズが入力されても所定の動作をすることができる。

【実施例 2】

【0110】

実施例 1 では、電源ノイズが入力されても所定の動作をするためのパワーオンリセット回路の構成の一例について述べた。

【0111】

本実施例 2 では、特に、パワーオンリセット回路のスイッチ素子、切換回路が異なる他の例について述べる。

【0112】

図 13 は、実施例 2 に係るパワーオンリセット回路 318 の構成を示す回路図である。なお、このパワーオンリセット回路 318 は、実施例 1 のパワーオンリセット回路 18 と同様に、図 8 に示すメモリチップ 100 - 1 ~ 100 - 4 に適用される。

【0113】

図 13 に示すように、パワーオンリセット回路 318 は、実施例 1 のパワーオンリセット回路 18 と比較して、スイッチ素子 N1、切換回路 318b の構成が、実施例 1 のスイッチ素子 P2、切換回路 18b と異なる。

【0114】

スイッチ素子 N1 は、接地と第 1 の接点 W1 との間に接続されている。このスイッチ素子 N1 は、ここでは、例えば、NMOS トランジスタで構成される。なお、スイッチ素子 N1 は、他のトランジスタ等の素子で構成されていてもよい。

【0115】

分圧比調整抵抗 R4 は、接地と第 1 の接点 W1 との間で、スイッチ素子 N2 と直列に接続されている。

【0116】

切換回路 318b は、スイッチ素子 N1 のオン / オフを切り換えるための切換信号を出力するようになっている。

【0117】

切換回路 318b は、インバータ I4 と、コンデンサ C3 と、を有する。

【0118】

インバータ I4 は、信号 CADD1 が入力され、スイッチ素子 N1 である NMOS トランジスタのゲートに出力が接続されている。

【0119】

コンデンサ C3 は、接地に一端が接続され、スイッチ素子 N1 である NMOS トランジスタのゲートに他端が接続されている。このコンデンサ C3 により、スイッチ素子 N1 である NMOS トランジスタのゲートの電圧が安定するようになっている。

【0120】

すなわち、切換回路 318b は、信号 CADD1 を反転した信号を切換信号として、スイッチ素子 N1 に出力する。

【0121】

なお、パワーオンリセット回路 318 のその他の構成は、実施例 1 のパワーオンリセット回路 18 と同様である。

【0122】

次に、上記パワーオンリセット回路 318 を適用した構成を有する不揮発性半導体記憶装置 1000 の動作の一例について説明する。

【0123】

メモリチップ 100 - 1 のパワーオンリセット回路 318 において、切換回路 318b は、信号 CADD1 (“ High ” レベル) に応じて、該パワーオンリセット回路 318 のスイッチ素子 N1 を、オフする (遮断状態) 。

【0124】

10

20

30

40

50

これにより、分圧抵抗 R_1 、 R_2 、分圧比調整抵抗 R_4 による抵抗分割の電源側の分圧比が小さく設定される。このため、第 1 の接点 W_1 の電圧が高くなる。

【0125】

一方、メモリチップ 100 - 2 ~ 100 - 4 のパワーオンリセット回路 318 において、切換回路 318b は、信号 $CADD_1$ (“Low”レベル) に応じて、パワーオンリセット回路 318 のスイッチ素子 N_1 を、オンする (導通状態)。

【0126】

これにより、分圧抵抗 R_1 、 R_2 、分圧比調整抵抗 R_4 による抵抗分割の電源側の分圧比が大きく設定される。このため、メモリチップ 100 - 2 ~ 100 - 4 のパワーオンリセット回路 318 の第 1 の接点 W_1 の電圧が、メモリチップ 100 - 1 のパワーオンリセット回路 318 の第 1 の接点 W_1 の電圧よりも低くなる。

10

【0127】

これにより、メモリチップ 100 - 1 のパワーオン検知電圧 V_1 が、その他のメモリチップ 100 - 2 ~ 100 - 4 のパワーオン検知電圧 $V_2 \sim V_4$ よりも高く設定される。

【0128】

なお、メモリチップ 100 - 1 のパワーオン検知電圧 V_1 とその他のメモリチップ 100 - 2 ~ 100 - 4 のパワーオン検知電圧 $V_2 \sim V_4$ の差が、PMOS トランジスタ P_1 のしきい値電圧のばらつきによるメモリチップ間の検知電圧のばらつきの程度となるように、分圧比調整抵抗 R_4 の抵抗値が選ばれる。

【0129】

20

したがって、実施例 1 と同様に、電源ノイズが電源電圧 V_{cc} に入力された場合、少なくともメモリチップ 100 - 1 が、電源ノイズが消えた後にチップ選択状態となる。

【0130】

そして、実施例 1 と同様に、上記状態で、ID コード読み出しのようなチップアドレスを必要としない動作をメモリチップ 100 - 1 ~ 100 - 4 に対して要求した場合、すべてのメモリチップ 100 - 1 ~ 100 - 4 は信号を出力できないという問題は回避される。

【0131】

以上のように、本実施例に係る不揮発性半導体記憶装置によれば、電源ノイズが入力されても所定の動作をすることができる。

30

【実施例 3】

【0132】

実施例 2 では、電源ノイズが入力されても所定の動作をするためのパワーオンリセット回路の構成の一例について述べた。

【0133】

本実施例 3 では、特に、パワーオンリセット回路の切換回路が異なる例について述べる。

【0134】

図 14 は、実施例 3 に係るパワーオンリセット回路 418 の構成を示す回路図である。なお、このパワーオンリセット回路 418 は、実施例 2 のパワーオンリセット回路 318 と同様に、図 8 に示すメモリチップ 100 - 1 ~ 100 - 4 に適用される。

40

【0135】

図 14 に示すように、パワーオンリセット回路 418 は、実施例 2 のパワーオンリセット回路 318 と比較して、切換回路 418b の構成が、実施例 2 の切換回路 318b と異なる。

【0136】

この切換回路 418b は、演算回路である AND 回路 X_2 と、インバータ I_4 と、コンデンサ C_3 と、を有する。

【0137】

AND 回路 X_2 は、インバータ I_4 の出力信号 (信号 $CADD_1$ の反転信号) およびイ

50

ンバータ I 2 の出力信号 (リセット信号 P W O N の反転信号) が入力され、スイッチ素子 N 1 である N M O S トランジスタのゲートに出力が接続されている。

【 0 1 3 8 】

このように、切換回路 4 1 8 b は、インバータ I 4 の出力信号とインバータ I 2 の出力信号とを論理演算した信号を切換信号として、スイッチ素子 N 1 に出力するようになっている。

【 0 1 3 9 】

コンデンサ C 4 は、電源に一端が接続され、インバータ I 2 の出力に他端が接続されている。このコンデンサ C 4 は、電源の立ち上がり時に、A N D 回路 X 2 の入力を安定させる働きがある。

【 0 1 4 0 】

なお、パワーオンリセット回路 4 1 8 のその他の構成は、実施例 2 のパワーオンリセット回路 3 1 8 と同様である。

【 0 1 4 1 】

次に、上記パワーオンリセット回路 4 1 8 を適用した構成を有する不揮発性半導体記憶装置 1 0 0 0 の動作の一例について説明する

ここで、実施例 2 と同様に、メモリチップ 1 0 0 - 1 のパワーオンリセット回路 4 1 8 において、切換回路 4 1 8 b は、信号 C A D D 1 (“ H i g h ” レベル) が入力されるように設定されている。

【 0 1 4 2 】

したがって、切換回路 4 1 8 b は、インバータ I 2 の出力信号に拘わらず、パワーオンリセット回路 4 1 8 のスイッチ素子 N 1 を、オフする (遮断状態)。これにより、分圧抵抗 R 1、R 2、分圧比調整抵抗 R 4 による抵抗分割の電源側の分圧比が小さく設定される。

【 0 1 4 3 】

また、メモリチップ 1 0 0 - 2 ~ 1 0 0 - 4 のパワーオンリセット回路 4 1 8 において、切換回路 4 1 8 b は、信号 C A D D 1 (“ L o w ” レベル) が入力されるように設定されている。

【 0 1 4 4 】

したがって、メモリチップ 1 0 0 - 2 ~ 1 0 0 - 4 において、インバータ I 2 の出力信号が “ L o w ” レベルのとき、該パワーオンリセット回路 4 1 8 のスイッチ素子 N 1 を、オフする (遮断状態)。これにより、分圧抵抗 R 1、R 2、分圧比調整抵抗 R 4 による抵抗分割の電源側の分圧比が小さく設定される。このため、第 1 の接点 W 1 の電圧が高くなる。

【 0 1 4 5 】

一方、メモリチップ 1 0 0 - 2 ~ 1 0 0 - 4 において、インバータ I 2 の出力信号が “ H i g h ” レベルのとき、該パワーオンリセット回路 4 1 8 のスイッチ素子 N 1 を、オンする (導通状態)。これにより、分圧抵抗 R 1、R 2、分圧比調整抵抗 R 4 による抵抗分割の電源側の分圧比が大きく設定される。このため、第 1 の接点 W 1 の電圧が低くなる。

【 0 1 4 6 】

このように、メモリチップ 1 0 0 - 2 ~ 1 0 0 - 4 のパワーオンリセット回路 4 1 8 において、切換回路 4 1 8 b は、スイッチ素子 N 1 を、電源電圧 V c c が或る設定電圧未満であるときには、オンし、電源電圧 V c c が該設定電圧以上であるときには、オフする。

【 0 1 4 7 】

このため、電源電圧 V c c が該設定電圧以上の場合、メモリチップ 1 0 0 - 2 ~ 1 0 0 - 4 のパワーオンリセット回路 4 1 8 の第 1 の接点 W 1 の電圧が、メモリチップ 1 0 0 - 1 のパワーオンリセット回路 4 1 8 の第 1 の接点 W 1 の電圧よりも低くなる。

【 0 1 4 8 】

これにより、電源電圧 V c c が該設定電圧以上の場合、メモリチップ 1 0 0 - 1 のパワーオン検知電圧 V 1 が、その他のメモリチップ 1 0 0 - 2 ~ 1 0 0 - 4 のパワーオン検知

10

20

30

40

50

電圧 $V_2 \sim V_4$ よりも高く設定される。

【0149】

なお、メモリチップ100-1のパワーオン検知電圧 V_1 とその他のメモリチップ100-2～100-4のパワーオン検知電圧 $V_2 \sim V_4$ の差が、PMOSトランジスタP1のしきい値電圧のばらつきによるメモリチップ間の検知電圧のばらつきの程度となるように、分圧比調整抵抗 R_4 の抵抗値が選ばれる。

【0150】

以上のように、初めの電源投入時のパワーオン検知電圧は、すべてのメモリチップで同じ電圧に設定されている。しかし、電源が立ち上がった後（パワーオンリセットが完了した後）は、メモリチップ100-1のパワーオン検知電圧 V_1 だけが、その他のメモリチップ100-2～100-4のパワーオン検知電圧 $V_2 \sim V_4$ よりも高く設定される。

10

【0151】

これにより、本実施例4では、パワーオンリセット回路の本来の目的である初めの電源投入の動作には影響を与えず、動作中の電源ノイズによる不具合のみを回避することができる。

【0152】

以上のように、本実施例に係る不揮発性半導体記憶装置によれば、電源ノイズが入力されても所定の動作をすることができる。

【実施例4】

【0153】

実施例4では、特に、フリップフロップによりパワーオンリセット回路を制御する例について述べる。

20

【0154】

図15は、実施例4に係るパワーオンリセット回路518の構成を示す回路図である。なお、このパワーオンリセット回路518は、図8に示すメモリチップ100-1～100-4に適用される。

【0155】

図15に示すように、パワーオンリセット回路518は、第1の分圧抵抗 R_1 と、第2の分圧抵抗 R_2 と、出力抵抗 R_3 と、調整抵抗 R_5 と、PMOSトランジスタP1、P6と、スイッチ素子N2、P4、P5と、出力端子18aと、フリップフロップF1と、NAND回路X3と、コンデンサC5と、インバータI1、I2、I5～I7と、を備える。

30

【0156】

第1の分圧抵抗 R_1 は、分圧抵抗 R_{1a} と分圧抵抗 R_{1b} に分割されている。

【0157】

分圧抵抗 R_{1b} と第2の分圧抵抗 R_2 の間の第1の接点W1は、PMOSトランジスタP1のゲートに接続されている。したがって、電源が立ち上がっていく時に、電源電圧 V_{cc} と第1の接点W1の電圧との電位差がPMOSトランジスタP1のしきい値電圧となる時に、PMOSトランジスタP1はオフからオンに状態が切り替わるようになっている。

40

【0158】

PMOSトランジスタP1のドレインには、PMOSトランジスタで構成されたスイッチ素子P4が接続されている。出力抵抗 R_3 は、このスイッチ素子P4のドレイン側の第2の接点W2に接続されている。この第2の接点W2と出力端子18aとの間には、直列に接続されたインバータI1、I2、I5が接続されている。

【0159】

また、分圧抵抗 R_{1a} と分圧抵抗 R_{1b} との間の接点W3は、PMOSトランジスタP6のゲートに接続されている。

【0160】

PMOSトランジスタP6のドレイン側の第4の接点W4は、フリップフロップF1の

50

セット端子Sに入力されている。この第4の接点W4は、PMOSトランジスタで構成されたスイッチ素子P5のソースに接続されている。スイッチ素子P5のドレインは、第2の接点W2に接続されている。

【0161】

フリップフロップF1のリセット端子Rには、第5の接点W5が接続されている。この第5の接点W5は、PMOSトランジスタP1のドレインに、インバータI6を介して、接続されている。フリップフロップF1の出力Qは、信号CADD1とともに、NAND回路X3に入力されている。なお、NAND回路X3の信号CADD1が入力される端子と接地との間には、コンデンサC5が接続されている。

【0162】

このNAND回路X3の出力は、スイッチ素子P5のゲートに入力されている。さらに、NAND回路X3の出力は、インバータI7を介して、スイッチ素子P4のゲートに入力されている。

【0163】

また、第4の接点W4と接地との間には、スイッチ素子(NMOSトランジスタ)N2と調整抵抗R5とが直列に接続されている。このスイッチ素子N2のゲートには、NAND回路X3の出力が入力されている。

【0164】

次に、以上のような構成を有するパワーオンリセット回路518の動作について説明する。

【0165】

電源電圧Vccを分圧抵抗R1a、R1b、R2で分圧した電圧により、第3の接点W3の電圧は、第1の接点W1の電圧と比べて高くなる。このため、電源電圧Vccが立ち上がる時には、PMOSトランジスタP6よりも先にPMOSトランジスタP1がオフからオンに切り替わる。この時、第5の接点W5の電圧は、“High”レベルから“Low”レベルになる。これにより、フリップフロップF1のリセット動作が完了する。

【0166】

そして、電源電圧Vccがさらに上がっていくと、電源電圧Vccを分圧抵抗R1a、R1b、R2で分圧した電圧でPMOSトランジスタP6がオフからオンに切り替わる。この時、第4の接点W4の電圧は、“Low”レベルから“High”レベルになる。これにより、フリップフロップF1がセットされる。これにより、フリップフロップF1の出力Qからは“High”レベルが出力されることになる。

【0167】

チップアドレスが先頭チップ(メモリチップ100-1)である場合には、信号CADD1が“High”レベルであるため、第6の接点W6は“High”レベルから“Low”レベルに切り替わる。したがって、各スイッチ素子の状態は、スイッチ素子P4がオン、スイッチ素子P5がオフの状態から、スイッチ素子P4がオフ、スイッチ素子P5がオンの状態に切り替わる。

【0168】

以上の動作から、メモリチップ100-1のパワーオンリセット回路518は、電源の立ち上げ始めにおいて、電源電圧VccがPMOSトランジスタP1のしきい値電圧で設定されたパワーオン検知電圧のとき、リセット信号PWONを出力する。しかし、メモリチップ100-1のパワーオンリセット回路518は、電源電圧VccがPMOSトランジスタP6のしきい値電圧で設定されたパワーオン検知電圧以上に電源が立ち上がった後は、電源電圧VccがPMOSトランジスタP1よりも高いPMOSトランジスタP6によるパワーオン検知電圧のとき、リセット信号PWONを出力する。

【0169】

メモリチップ100-1以外のメモリチップ100-2～100-4では、信号CADD1が“Low”レベルである。このため、第6の接点W6は、常に“High”レベルとなっている。これにより、スイッチ素子P4がオン、スイッチ素子P5がオフしている

10

20

30

40

50

。このため、単に電源電圧 V_{cc} が PMOS トランジスタ P1 で設定されたパワーオン検知電圧のとき、リセット信号 PWON が出力される。

【0170】

PMOS トランジスタ P1 と PMOS トランジスタ P2 のパワーオンリセット回路の差が、PMOS トランジスタのしきい値のばらつきを補償できる値になるように分圧抵抗 R1a と分圧抵抗 R1b を設定する。これにより、電源電圧がノイズにより下がった場合には、必ずメモリチップ 100-1 が初めにリセットされることになる。これにより、どのメモリチップも動作しないという状況は避けられる。

【0171】

さらに、電源の立ち上げ時にはメモリチップ 100-1 を含めて全てのメモリチップで同じ設定状態となるため、通常の動作には影響しない。このため、メモリチップ 100-1 とそれ以外のメモリチップ 100-2 ~ 100-4 のノイズ耐性の設定は、容易になる。

10

【実施例 5】

【0172】

本実施例 5 では、既述の不揮発性半導体記憶装置 1000 を、電子機器の一例である携帯電話に適用する例について説明する。

【0173】

図 16 は、不揮発性半導体記憶装置 1000 を内部に実装する携帯電話を示す図である。図 16 に示すように、携帯電話 2000 は、メイン画面 2001 を有する本体上部 2002 と、キーパッド 2003 を有する本体下部 2004 と、を備えている。この携帯電話 2000 には、不揮発性半導体記憶装置（半導体チップ）1000 が搭載される。

20

【0174】

携帯電話 2000 に搭載された CPU（図示せず）は、不揮発性半導体記憶装置 1000 にインターフェイス（図示せず）を介してアクセスし、データ等の転送を行うようになっている。

【0175】

尚、不揮発性半導体記憶装置 1000 は、上記携帯電話以外にも、パーソナルコンピュータ、デジタルスチルカメラ、PDA 等の各種電子機器に適用することができる。

【図面の簡単な説明】

30

【0176】

【図 1】比較例である 4 個のメモリチップ 100a1 ~ 100a4 を積層したマルチチップパッケージ製品（不揮発性半導体記憶装置 1000a）の模式的な断面の一例を示す断面図である。

【図 2】図 1 に示す不揮発性半導体記憶装置 1000a の 4 個のメモリチップの回路図である。

【図 3】比較例のパワーオンリセット回路の構成の一例を示す回路図である。

【図 4】電源投入時における、図 3 に示すパワーオンリセット回路 2a の各接点の電圧、および出力信号（リセット信号）の電圧を示す図である。

【図 5】図 3 に示すパワーオンリセット回路 2a のパワーオン検知電圧と電源電圧 V_{cc} との関係を示す図である。

40

【図 6】図 2 に示す各メモリチップ 100a1 ~ 100a4 の選択状態の遷移の一例を示す図である。

【図 7】本発明の一態様である実施例 1 に係る不揮発性半導体記憶装置 1000 の要部の模式的な断面の一例を示す断面図である。

【図 8】図 7 に示す不揮発性半導体記憶装置 1000 のメモリチップ 100-1 ~ 100-4 内部の構成の一例を示す図である。

【図 9】図 7 に示す 4 個のメモリチップ 100-1 ~ 100-4 を備えた場合の不揮発性半導体記憶装置 1000 のブロック図である。

【図 10】図 8 に示すメモリセルの実施例 1 に係るパワーオンリセット回路 18 の構成を

50

示す回路図である。

【図 1 1】図 8 に示すメモリチップの実施例 1 に係るチップアドレスデコード回路 2 1 の構成の一例を示す回路図である。

【図 1 2 A】電源投入時における、図 1 0 に示すパワーオンリセット回路 1 8 の各接点の電圧、および出力信号の電圧を示す図である。

【図 1 2 B】図 1 0 に示すパワーオンリセット回路 1 8 のパワーオン検知電圧と電源電圧 V_{cc} との関係を示す図である。

【図 1 3】実施例 2 に係るパワーオンリセット回路 3 1 8 の構成を示す回路図である。

【図 1 4】実施例 3 に係るパワーオンリセット回路 4 1 8 の構成を示す回路図である。

【図 1 5】実施例 4 に係るパワーオンリセット回路 5 1 8 の構成を示す回路図である。

【図 1 6】不揮発性半導体記憶装置 1 0 0 0 を内部に実装する携帯電話を示す図である。

【符号の説明】

【 0 1 7 7 】

1 1 メモリセルアレイ

1 2 アドレスバッファ

1 3 カラムデコーダ

1 4 ロウデコーダ

1 5 センスアンプ

1 7 入出力バッファ

1 8 パワーオンリセット回路

1 8 a 出力端子

1 8 b 切換回路

1 9 制御回路

2 0 電圧生成回路

2 1 チップアドレスデコード回路

2 1 a 論理和回路

2 1 b インバータ

2 2 チップアドレスセット回路

1 0 0 - 1 ~ 1 0 0 - 4、1 0 0 a 1 ~ 1 0 0 a 4 メモリチップ

1 0 0 0、1 0 0 0 a 不揮発性半導体記憶装置

1 0 0 1、1 0 0 1 a コントローラ

1 0 0 2、1 0 0 2 a ワイヤ

1 0 0 3、1 0 0 3 a 基板

1 0 0 4、1 0 0 4 a 半田ボール

2 0 0 0 携帯電話

2 0 0 1 メイン画面

2 0 0 2 本体上部

2 0 0 3 キーパッド

2 0 0 4 本体下部

C 1、C 2、C 3、C 4、C 5 コンデンサ

F 1 フリップフロップ

I 1、I 2、I 3、I 4、I 5、I 6、I 7 インバータ

P 1、P 6 P M O S トランジスタ

P 2、P 3、P 4、P 5、N 1、N 2 スイッチ素子

P W O M リセット信号

Q フリップフロップの出力

R リセット端子

R 1 第 1 の分圧抵抗

R 1 a、R 1 b 分圧抵抗

R 2 第 2 の分圧抵抗

10

20

30

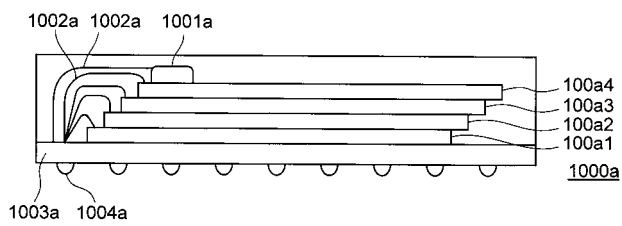
40

50

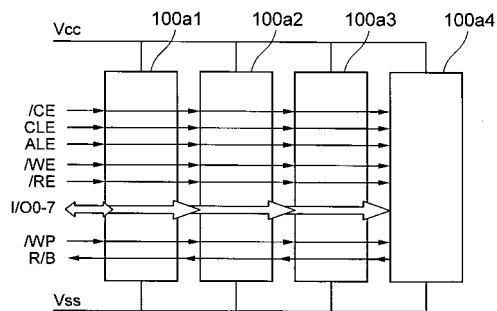
- R 3 出力抵抗
- R 4 分圧比調整抵抗
- R 5 調整抵抗
- S セット端子
- W 1 第 1 の接点
- W 2 第 2 の接点
- W 3 第 3 の接点
- W 4 第 4 の接点
- W 5 第 5 の接点
- W 6 第 6 の接点
- X 1、X 3 N A N D 回路
- X 2 A N D 回路

10

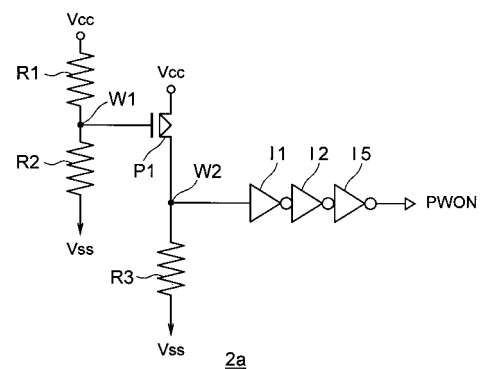
【 図 1 】



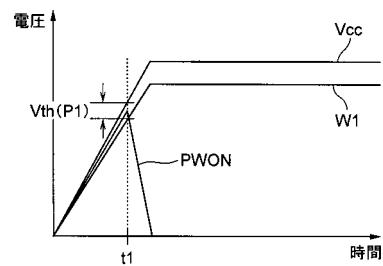
【 図 2 】



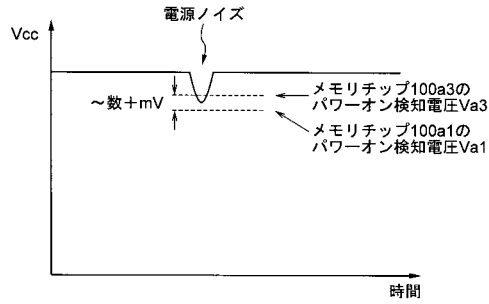
【 図 3 】



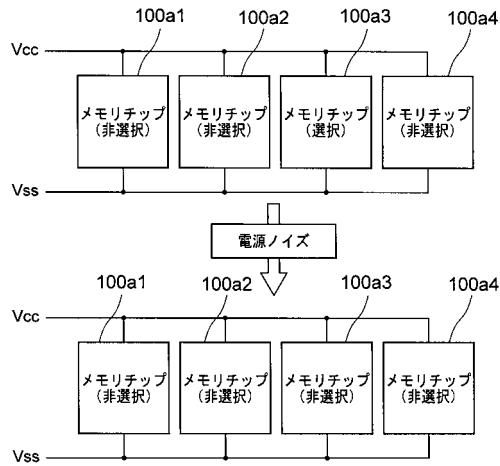
【 図 4 】



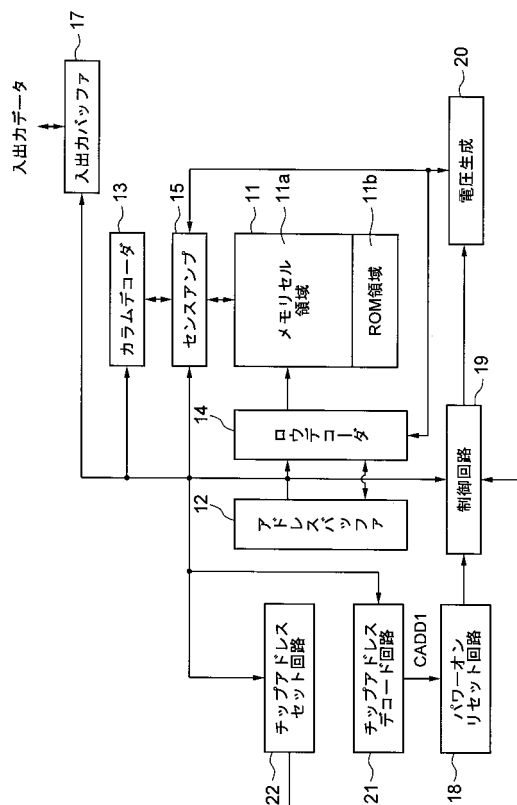
【図 5】



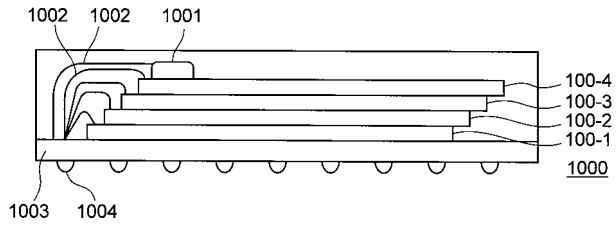
【図 6】



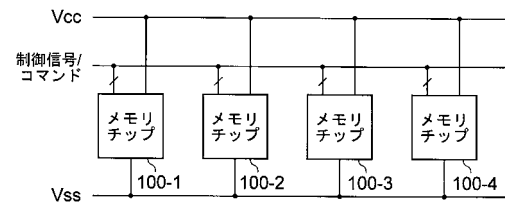
【図 8】



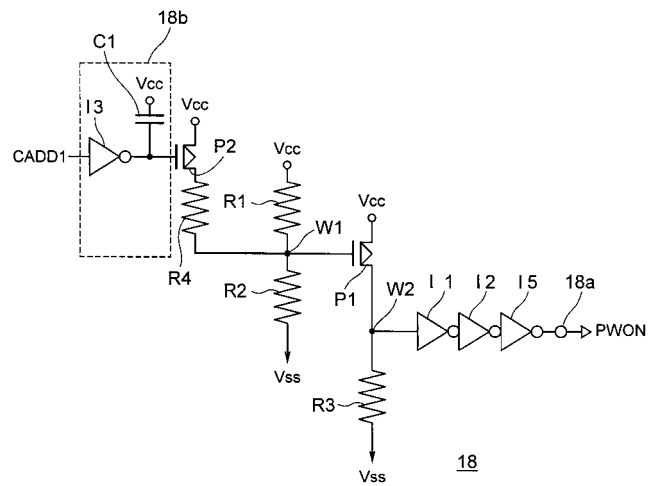
【図 7】



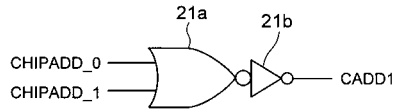
【図 9】



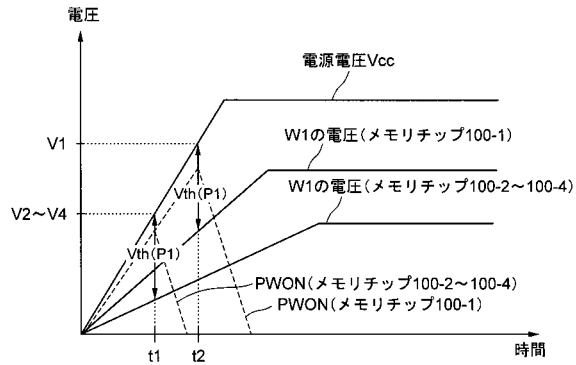
【図 10】



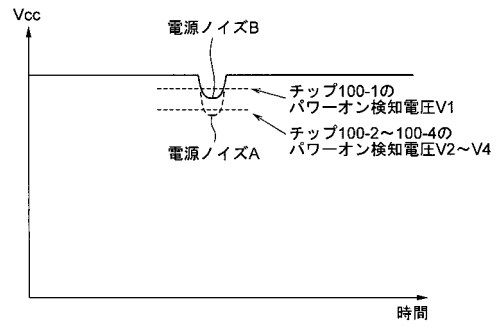
【図 1 1】



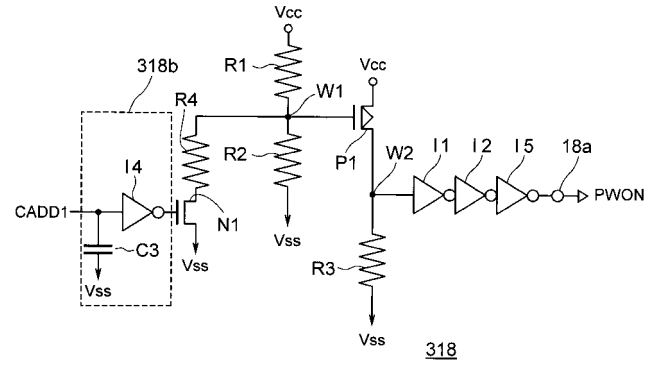
【図 1 2 A】



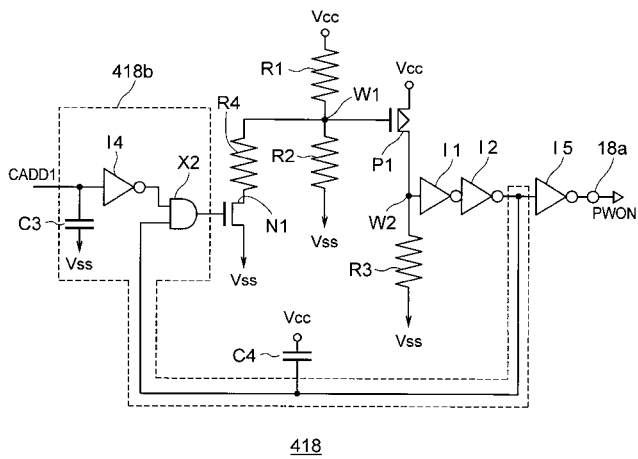
【図 1 2 B】



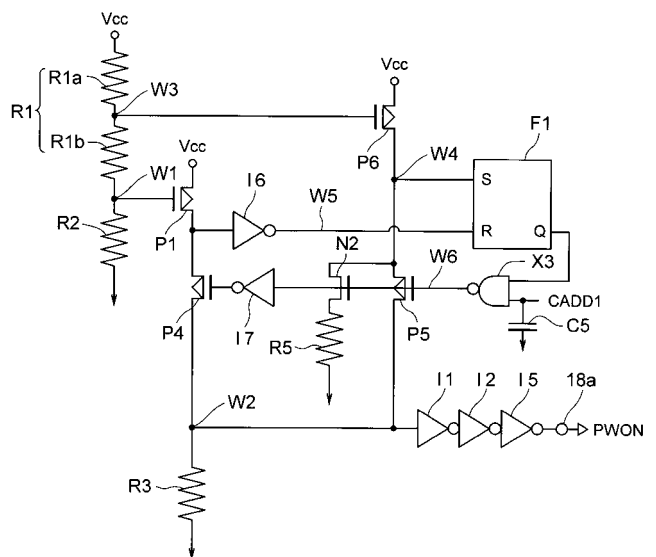
【図 1 3】



【図 1 4】

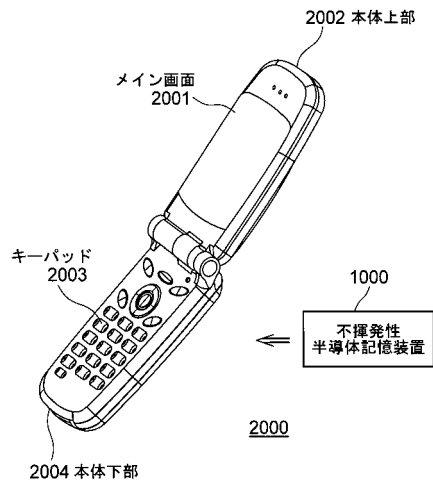


【図 1 5】



518

【図 16】



フロントページの続き

(72)発明者 杉 浦 義 久

東京都港区芝浦一丁目 1 番 1 号 株式会社東芝内

F ターム(参考) 5B125 BA02 CA15 DE08 DE13 DE20 EA05 EF06 EF07 EG18 EG19
EH01 EJ02 EJ03 FA02 FA10