

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4860891号
(P4860891)

(45) 発行日 平成24年1月25日 (2012. 1. 25)

(24) 登録日 平成23年11月11日 (2011. 11. 11)

(51) Int. Cl.

F I

G O 6 F 12/06 (2006. 01)
 G O 6 F 12/00 (2006. 01)
 G O 6 F 12/04 (2006. 01)
 G O 6 F 15/167 (2006. 01)

G O 6 F 12/06 5 2 1 D
 G O 6 F 12/00 5 6 O F
 G O 6 F 12/04 5 2 O C
 G O 6 F 15/167 6 1 O A
 G O 6 F 15/167 6 1 O G

請求項の数 24 (全 16 頁)

(21) 出願番号 特願2002-523172 (P2002-523172)
 (86) (22) 出願日 平成13年8月31日 (2001. 8. 31)
 (65) 公表番号 特表2004-507836 (P2004-507836A)
 (43) 公表日 平成16年3月11日 (2004. 3. 11)
 (86) 国際出願番号 PCT/US2001/027047
 (87) 国際公開番号 W02002/019129
 (87) 国際公開日 平成14年3月7日 (2002. 3. 7)
 審査請求日 平成20年3月13日 (2008. 3. 13)
 (31) 優先権主張番号 09/652, 003
 (32) 優先日 平成12年8月31日 (2000. 8. 31)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 595168543
 マイクロン テクノロジー, インク,
 アメリカ合衆国, アイダホ州 8 3 7 1 6
 - 9 6 3 2, ボイズ, サウス フェデ
 ラル ウェイ 8 0 0 0
 (74) 代理人 100147485
 弁理士 杉村 憲司
 (74) 代理人 100143568
 弁理士 英 貢
 (74) 代理人 100072051
 弁理士 杉村 興作
 (72) 発明者 グラハム キルシュ
 イギリス国 ハンツ アールジー 2 6 5
 ビーダブリュー タッドレー プレイムレ
 ー リングシャル ガーデンズ 2
 最終頁に続く

(54) 【発明の名称】 ビット順次手法により大容量並列プロセッサアレイをメモリアレイに接続する方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

メインメモリと、

複数の処理素子であって、該複数の処理素子の各々は、前記メインメモリの各部分に単一ビット接続によって結合される複数の処理素子と、

前記メインメモリと前記複数の処理素子との間に結合され、前記複数の処理素子からのデータを前記メインメモリに水平モードで書き込む回路とを具え、

前記回路は、複数のデータ回路を具え、該複数のデータ回路の各々は、前記複数の処理素子のそれぞれに関連し、前記複数のデータ回路の各々は、当該データ回路に関連する前記処理素子からのデータを前記メインメモリに転送するように構成され、前記複数のデータ回路の各々は、前記単一ビット接続毎に、

前記処理素子に結合され、前記処理素子から複数のデータビットを順次形式で受信するための第1入力、及び前記メモリデバイスのデータバスに結合された第2入力を有する第1マルチプレクサと；

前記第1マルチプレクサの出力に結合された入力、及び出力を有する第1レジスタと；

前記第1レジスタの前記出力に結合された入力、及び前記処理素子に結合された出力を有する第2マルチプレクサと；

前記第1レジスタの前記出力に結合された入力、及び前記データバスに結合された出力を有する第1トライステートデバイスと；

10

20

前記第 1 レジスタの前記出力に結合された入力、及び前記データバス及び前記第 1 マルチプレクサの第 3 入力に結合された出力を有する第 2 トライステートデバイスとを具え、

これにより、前記データ回路は、前記複数のビットの各ビットを、前記メインメモリに関連する異なるデータバス上に出し、前記複数のビットの各ビットを、前記メインメモリ中の異なるアドレスに関連する位置に書き込む能動メモリデバイス。

【請求項 2】

請求項 1 に記載の能動メモリデバイスにおいて、前記回路は、さらに、前記複数の処理素子からのデータを前記メインメモリに垂直モードで書き込むように構成されている能動メモリデバイス。

【請求項 3】

請求項 1 に記載の能動メモリデバイスにおいて、前記メインメモリの複数のデータバスに結合された前記複数の処理素子の第 1 グループが、8 つの処理素子を含む能動メモリデバイス。

【請求項 4】

請求項 1 に記載の能動メモリデバイスにおいて、前記第 2 トライステートデバイスの前記出力は、前記第 1 トライステートデバイスの前記出力とは異なるデータバスに結合されている能動メモリデバイス。

【請求項 5】

請求項 1 に記載の能動メモリデバイスにおいて、前記回路は、さらに、
前記第 1 マルチプレクサの前記出力に結合された入力を有する第 2 レジスタと；
前記第 2 レジスタの出力に結合された第 1 入力、前記第 1 レジスタの前記出力に結合された第 2 入力、及び前記第 2 マルチプレクサの前記入力に結合された出力を有する第 3 マルチプレクサと；

前記第 1 レジスタの前記出力に結合された第 1 入力、前記第 2 レジスタの前記出力に結合された第 2 入力、及び前記第 1 トライステートデバイスの前記入力及び前記第 2 トライステートデバイスの前記入力に結合された出力を有する第 4 マルチプレクサとを具える能動メモリデバイス。

【請求項 6】

請求項 5 に記載の能動メモリデバイスにおいて、前記第 2 トライステートデバイスの前記出力は、前記第 1 トライステートデバイスの前記出力とは異なるデータバスに結合されている能動メモリデバイス。

【請求項 7】

メインメモリと、
複数の処理素子であって、該複数の処理素子の各々は単一ビット接続によって前記メインメモリの各部分に関連する複数の処理素子と、

前記メインメモリと前記複数の処理素子との間に結合され、前記メインメモリ内のデータを水平モードで、前記メインメモリから前記複数の処理素子に読み出す回路とを具え、

前記回路は、複数のデータ回路を具え、該複数のデータ回路の各々は、前記複数の処理素子のそれぞれに関連し、前記複数のデータ回路の各々は、当該データ回路に関連する前記処理素子に、前記メインメモリからのデータを転送するように構成され、前記複数のデータ回路の各々は、前記単一ビット接続毎に、

前記処理素子に結合され、前記処理素子から複数のデータビットを順次形式で受信するための第 1 入力、及び前記メモリデバイスのそれぞれのデータバスに結合され、前記メインメモリの単一アドレスに関連するそれぞれのデータビットを受信するための第 2 入力を有する第 1 マルチプレクサと；

前記第 1 マルチプレクサの出力に結合された入力、及び出力を有する第 1 レジスタと；

前記第 1 レジスタの前記出力に結合された入力、及び前記処理素子に結合された出力を有する第 2 マルチプレクサと；

10

20

30

40

50

前記第 1 レジスタの前記出力に結合された入力、及び前記データバスに結合された出力を有する第 1 トライステートデバイスと；

前記第 1 レジスタの前記出力に結合された入力、及び前記データバス及び前記第 1 マルチプレクサの第 3 入力に結合された出力を有する第 2 トライステートデバイスとを具え、

これにより、前記メインメモリの単一アドレスに関連するデータの各ビットが、前記第 1 レジスタのそれぞれを介して転送されて前記第 2 マルチプレクサに入力され、前記第 2 マルチプレクサは、前記データの各ビットを順次形式で前記処理素子に出力する能動メモリデバイス。

【請求項 8】

請求項 7 に記載のメモリデバイスにおいて、前記回路の各々は、さらに、前記メインメモリに記憶されているデータを、前記メインメモリから垂直モードで前記複数の処理素子に書き込むように構成されているメモリデバイス。

【請求項 9】

請求項 7 に記載のメモリデバイスにおいて、前記第 2 トライステートデバイスの前記出力は、前記第 1 トライステートデバイスの前記出力とは異なるデータバスに結合されているメモリデバイス。

【請求項 10】

請求項 7 のメモリデバイスにおいて、前記回路は、さらに、
前記第 1 マルチプレクサの前記出力に結合された入力、及び出力を有する第 2 レジスタと；

前記第 2 レジスタの出力に結合された第 1 入力、前記第 1 レジスタの前記出力に結合された第 2 入力、及び前記第 2 マルチプレクサの前記入力に結合された出力を有する第 3 マルチプレクサと；

前記第 1 のレジスタの前記出力に結合された第 1 入力、前記第 2 レジスタの前記出力に結合された第 2 入力、及び前記第 1 トライステートデバイスの前記入力及び前記第 2 トライステートデバイスの前記入力に結合された出力を有する第 4 マルチプレクサとを具えるメモリデバイス。

【請求項 11】

請求項 10 に記載のメモリデバイスにおいて、前記第 2 トライステートデバイスの前記出力は、前記第 1 トライステートデバイスの前記出力とは異なるデータバスに結合されているメモリデバイス。

【請求項 12】

処理装置と、
該処理装置に結合された、請求項 1 ～ 6 のいずれかに記載の能動メモリデバイスとを具える処理システム。

【請求項 13】

請求項 12 に記載の処理システムにおいて、前記処理装置及び前記能動メモリデバイスは同じチップに搭載されている処理システム。

【請求項 14】

処理装置と、
前記処理装置に結合された、請求項 7 ～ 11 のいずれかに記載のメモリデバイスとを具える処理システム。

【請求項 15】

請求項 14 に記載の処理システムにおいて、前記処理装置及び前記メモリデバイスは同じチップに搭載されている処理システム。

【請求項 16】

処理素子からのデータをメモリデバイスに書き込む方法において、
前記処理素子からの複数のデータビットを順次形式でデータ回路に提供するステップであって、前記データ回路が、

10

20

30

40

50

前記処理素子に結合された第 1 入力、及び前記メモリデバイスのデータバスに結合された第 2 入力を有する第 1 マルチプレクサと；

前記第 1 マルチプレクサの出力に結合された入力、及び出力を有する第 1 レジスタと；

；
前記第 1 レジスタの前記出力に結合された入力、及び前記処理素子に結合された出力を有する第 2 マルチプレクサと；

前記第 1 レジスタの前記出力に結合された入力、及び前記データバスに結合された出力を有する第 1 トライステートデバイスと；

前記第 1 レジスタの前記出力に結合された入力、及び前記データバス及び前記第 1 マルチプレクサの第 3 入力に結合された出力を有する第 2 トライステートデバイスとを具えているステップと；

10

前記データ回路を介して前記データを転送するステップと；

前記データを前記メモリデバイスに書き込むステップとを具え、

前記データ回路は、前記データを直接前記メモリデバイスに水平モードで転送し、前記データを転送するステップは、さらに、

前記複数のデータビットの各ビットを、前記データ回路から、前記メモリデバイスに関連する異なるデータバス上に出力することを含み、

前記データを書き込むステップは、さらに、前記複数のデータビットの各ビットを、前記メモリ中の異なるアドレスに関連する位置に書き込むことを含む方法。

【請求項 17】

20

請求項 16 に記載の方法において、前記出力することは、さらに、

前記複数のデータビットの各ビットを、それぞれの前記第 1 レジスタを介して転送することを含む方法。

【請求項 18】

請求項 16 に記載の方法において、異なるメモリアドレスの各々が関連する複数のビットを有し、前記データビットの各々を書き込むステップは、さらに、

前記データビットの各ビットを、前記異なるメモリアドレスの各々が有する前記関連する複数のビット中の同じビットに書き込むことを含む方法。

【請求項 19】

請求項 16 に記載の方法において、前記データ回路は、さらに、前記データの少なくとも一部分を前記メモリデバイスに垂直モードで転送するように構成されている方法。

30

【請求項 20】

請求項 19 に記載の方法において、

前記データを書き込むステップは、さらに、前記複数のデータビットの各ビットを、単一のアドレスに関連する順次のビット位置に書き込むことを含む方法。

【請求項 21】

請求項 20 に記載の方法において、前記出力することは、さらに、

前記複数のデータビットの各ビットを、それぞれの前記第 1 レジスタを介して転送することを含む方法。

【請求項 22】

40

メモリデバイスに格納されたデータを読み出し、該データを処理素子に提供する方法において、該方法は、

複数のデータビットを前記メモリデバイスからデータ回路に提供するステップであって、前記データ回路が、

前記処理素子に結合された第 1 入力、及び前記メモリデバイスのデータバスに結合された第 2 入力を有する第 1 マルチプレクサと；

前記第 1 マルチプレクサの出力に結合された入力、及び出力を有する第 1 レジスタと；
；

前記第 1 レジスタの前記出力に結合された入力、及び前記処理素子に結合された出力を有する第 2 マルチプレクサと；

50

前記第 1 レジスタの前記出力に結合された入力、及び前記データバスに結合された出力を有する第 1 トライステートデバイスと；

前記第 1 レジスタの前記出力に結合された入力、及び前記データバス及び前記第 1 マルチプレクサの第 3 入力に結合された出力を有する第 2 トライステートデバイスとを具えているステップと；

前記データ回路を介して前記データを転送するステップとを具え、

前記データは、前記メモリデバイスに水平モードで格納され、前記データを転送するステップは、さらに、

前記メモリデバイスの単一アドレスに関連するデータの各ビットを、それぞれの前記第 1 レジスタを介して転送することと；

前記単一アドレスに関連する前記データの各ビットを、前記第 2 マルチプレクサに入力することを含み、

前記第 2 マルチプレクサは、前記データの各ビットを、順次形式で、前記処理回路に出力する方法。

【請求項 2 3】

請求項 2 2 に記載の方法において、前記データの少なくとも一部分は、前記メモリデバイスに垂直モードで格納される方法。

【請求項 2 4】

請求項 2 3 に記載の方法において、前記データの少なくとも一部分を転送するステップは、さらに、

前記メモリデバイスの異なるアドレスに関連する前記データの各ビットを、前記第 2 マルチプレクサに入力することを含み、

前記第 2 マルチプレクサは、前記データの各ビットを、順次形式で、前記処理素子に出力する方法。

【発明の詳細な説明】

【0001】

発明の背景

1. 発明の分野

本発明は、コンピュータメモリデバイスの技術分野に関し、特に、バイト長のデータに再配置させるために、ビット順次手法により大容量並列プロセッサアレイをメモリアレイに接続する技術に関するものである。

【0002】

2. 関連技術の説明

全てのパーソナルコンピュータ（PC）やワークステーションに用いられる基本アーキテクチャは、図 1 のブロック図に示すように、一般にフォンノイマンアーキテクチャとして知られている。フォンノイマンアーキテクチャでは、主中央処理装置（CPU）10 が、それ自体の演算をメモリ 12 に格納されたプログラムを用いて順次実行するものである。そして、メモリ 12 は、ここでは“メインメモリ”と呼ばれ、CPU 10 が演算するデータを有する。現代のコンピュータシステムにおいて、キャッシュメモリの階層は、通常、CPU 10 とメインメモリ 12 との間のトラフィック量を減少させるために、システムに組み込まれる。

【0003】

フォンノイマン手法は、低性能の用途から中性能の用途まで適用され、特に、いくつかのシステムファンクションが特別な目的のハードウェア（例えば、3D グラフィックスアクセラレータ、デジタルシグナルプロセッサ（DSP）、ビデオエンコーダまたはデコーダ、オーディオまたはミュージックプロセッサなど）によって加速される際に適用される。しかしながら、アクセラレータ機器を付加する手法は、システムの CPU / メモリ側からアクセラレータへのリンクの帯域幅によって制限される。その手法は、帯域幅が 1 よりも多いアクセラレータによって共有されると、さらに制限される。このように、大容量データの集合の処理要求は、一般に広く知られているように、フォンノイマンアーキテクチャ

10

20

30

40

50

によっては十分に満たされない。同様に、処理がさらに複雑になりデータが大容量になると、その処理要求は一般的なアクセラレータによっては適合しなくなってしまう。

【 0 0 0 4 】

しかしながら、フォンノイマンアーキテクチャにはいくつかの利点がある点に留意すべきである。例えば、そのアーキテクチャは同質のメモリ構造を含んでいるので、多数の小容量標準ユニットから大容量メモリを構成することができる。さらに、処理が集中するので、データ（またはプログラム）がメモリのどこにあるかについては問題にならない。最後に、その順次実行モデルは制御しやすく利用しやすい。現在の処理システムは、システムメモリと他のリソースの割り当てをこれらの属性を利用して制御する。問題は、複数の用途がシステムリソース、特にメインメモリを共有し分割する一般的な処理システム環境において、処理能力をいかに高めるかにある。

10

【 0 0 0 5 】

1つの解決手段は、図2に示すように、コンピュータシステムにおいて、能動メモリデバイスを利用することである。要するに、能動メモリは、データの記憶よりも多くを実現することができるメモリ、すなわち、記憶データを処理することもできるメモリである。能動メモリは、CPUまたはシステムの他の部分にデータを（システムバスを介して）転送することなく、データコンテンツを用いて何らかのことを実行させることを除き、CPU 10に対して通常に動作する。これは、メモリの局所的な一部分として並列に全て動作する処理素子（PE）をメモリ構造全体にわたってアレイ14に分配することにより達成される。さらに、PEアレイ14の各PE 16は、一般に、図3に示すように、データを交換するため相互に通信を行う。このように、能動メモリは、コンピュータアーキテクチャとは少し異なる概念を有しているといえ、すなわち、プロセッサというよりもむしろデータの的にみて、“メモリを主体にしたもの”といえる。

20

【 0 0 0 6 】

能動メモリを有するコンピュータシステムでは、図2に示すように、CPU 10の仕事は、スケジューリング処理及びシステムリソースや時間を割り当てるような処理システムのタスクについては軽減されている。データ処理のほとんどは、メモリ12で実行される。メインメモリ12と処理リソースすなわち、PEアレイ14との間を多数接続することによって、メモリに向かってまたメモリから外部に向かってデータを移動させる帯域幅は、極めて増大する。多くのパラレルプロセッサはメモリ12に接続され、メモリ上でそれら自身の領域において独立して動作することができる。これらの2つの構成が一緒になって極めて高い性能が実現される。

30

【 0 0 0 7 】

パラレルプロセッサには、いくつかの異なるトポロジがある。1つのトポロジ例は、一般に、SIMD（単一命令、複数データ）と呼ばれるものである。そのSIMDトポロジは多くのプロセッサを含み、同じ流れの指示をそれら自体の（局所的に記憶された）データを用いて同時に全て実行する。能動メモリ手法は、SIMD大容量並列プロセッサ（MPP）アーキテクチャによって特徴付けられる。SIMD MPPにおいて、比較的簡単なPEによる極めて多数のプロセッサ（通常、1000またはそれ以上）は、メモリに接近して接続され、各PEがそれ自身のメモリの部分にアクセスするように構成される。全てのPEは、異なるデータについて同一の指示を一緒に実行する。指示の流れは、制御シーケンサまたはプロセッサによって生成される。

40

【 0 0 0 8 】

SIMD MPPは、システムにおける制御のオーバーヘッドが最小に維持されるとともに、処理及びメモリアクセスの帯域幅を最大化するように維持されるという長所がある。従って、SIMD MPPは、非常に効率的に高性能を実現する潜在能力を有している。さらに、そのハードウェアは、多くのかかなり簡単なリピータ素子から構成される。PEは縮小命令セットコンピュータ（RISC）に比べてかなり小型であるから、迅速にシステム設計を行うことができ、最適化に関する利点は処理素子の数に従って大きくなる。加えて、PEは簡単な構成であるから、極端なパイプラインに頼ることなく、迅速にそれらを

50

クロックさせることができる。

【0009】

ある典型的な大容量並列プロセッサアレイにおいて、PEアレイ14の各PE16は単一のピンのみを使用し、メモリ12に接続する。これにより、1ビット長データの接続が行われる。このようにして、バイナリ値の順次ビットはメモリ12の順次の位置に格納されるから、データは“ビット順次で”格納される。この格納方式は、“垂直な”格納と呼ばれる。このように、各PEから読み出され各PEに書き込まれるデータは、図4に示すように、メモリ12の順次の位置において、それぞれ、“垂直に”読み出され格納される。このように、図4において、PEアレイ14の列22における各PE16a-16nが8ビットPEである場合、すなわち、一度に8ビットのデータを処理する場合、図示したように、メモリ内のそのデータは、8つの順次の垂直位置に格納される。上述したように、各PEは、1ビット長データの接続24によってメモリ12に接続される。このように、PE16cからのデータは、領域20の順次の位置である、メモリ12における1バイトサイズの領域20に格納され、すなわち、そのデータは、矢印30に示したように、垂直に格納される。ビット順次でデータを格納することについては、多数の利点がある。まず第1に、メモリ12に対するPE16毎のデータ線の数で最小限で済むことである。第2に、より以上に簡単にかつ効率的に正確な可変計算を実行させることを可能にする。例えば、10、12または14ビット数は、効率的に格納されかつ処理される。第3に、ある場合には、PEサイクルタイムに対するメモリアクセス速度の違いは、データアクセスを順番に行うことによって整合させることができる。

【0010】

しかしながら、PEアレイ14からのデータをビット順次で格納することについては、いくつかの欠点がある。例えば、多くの用途において、SIMD MPPアレイ14とそれに関連するメモリ12を含むチップは、図2に示した例えばCPU10のような外部デバイスに、オンチップメモリ12とのアクセスを可能にするオフチップインタフェースの形態をとる。CPU10は、ワード長に、すなわち、図4の矢印32に示すように、ノーマルモードと称する“水平に”格納されたデータを扱う。このように、外部デバイスが垂直に格納されたデータにアクセスするには、データを再配置する必要がある、すなわちメモリから外部デバイスに転送される前にノーマルモードに変換され、あるいはデータを用いる前に外部デバイスにより変換する必要がある。

【0011】

2つのフォーマット、すなわち、ノーマルモードと垂直モードと間の変換は、PEアレイ14において、または、データへのアクセスが必要な外部のデバイスにおいて実行されるが、単一のフォーマットにおいてデータを格納することがより以上に効率的であり、1つのフォーマットでデータを格納し他の方式に切り替える必要がなくなる。その単一のフォーマットは、外部のデバイスによって使用されるノーマルフォーマットであることが望ましい。

【0012】

このように、MPP内のPEアレイとメインメモリとの間の接続に関し、ソフトウェアによるデータ変換が必要とされず、かつ、データがノーマルモードまたは垂直モードでメモリに格納されることができる必要性が存在する。

【0013】

発明の概要

本発明は、MPPアレイのプロセッサアレイをメモリに接続する方法および装置であって、ソフトウェアによるデータ変換が不要であり、かつ、データがノーマルモードまたは垂直モードのいずれかのモードによりメモリに直接格納される方法及び装置を提供する。

【0014】

本発明の上述した特徴及び他の特徴や長所は、複数のPEがメモリアレイ内で複数のデータビットへの接続を共有する接続回路によってもたらされる。各PEは、複数のメモリバッファレジスタに関連し、1または2のメモリデータビットから読み出される（または書

き込まれる)データを格納する。水平(ノーマル)モードの接続において、与えられる1バイトのビット全てが同じPEに格納されるようにするために、メモリビットが選択され、すなわち、それぞれのPEに関連するバッファレジスタのそれぞれの組は、外部のレジスタによって扱われる1バイトを包含する。垂直(ビットシリアル)モードにおいて、バッファレジスタの各組は、メモリワードにおけるそのPEの位置に対応するメモリの順次の位置に順次のビットを包含する。その選択は、レジスタへの入力としてのマルチプレクサと各データラインを動作させる1組のトライステートドライバとを使用することによってなされる。

【0015】

本発明のこれらや他の特徴や長所を、添付した図面を参照にして発明の詳細な説明により、さらに明らかにする。

10

【0016】

好適実施例の詳細な説明

図5から7に示す実施例を用いて、本発明を具体的に説明する。他の実施例にも適用され、また、本発明の精神や範囲から逸脱しない限り、構成的な変更や論理的な変更が可能である。同一の構成要素には同じ番号を付す。

【0017】

本発明によれば、ソフトウェアによるデータ変換が不要であり、かつ、データがノーマルモードまたは垂直モードのいずれかのモードによりメモリに直接格納される、MPPのプロセッサレイをメモリに接続する方法および装置が提供される。

20

【0018】

図5は、本発明による、MPPのプロセッサレイのメモリへの接続を示している。本発明によれば、8つの8ビットPEであるPE0 - PE7は、メモリアレイにおける64データビットへの接続を分担している。接続回路40a - 40hは、各PE、すなわち、PE0からPE7にそれぞれ関連している。図5に示すように、例えば図2のメモリ12のようなメモリからの各アドレスであるアドレス0 - アドレス7は8ビットアドレスであり、関連する8ビットデータラインバス50a - 50hを有する。図5の説明は8ビットPE及び8ビットデータバスに関するものであるが、本発明はそれに限定されるものでなく、例えば、10ビット、12ビット、14ビットなどのあらゆるデータ長に適用可能である。

30

【0019】

図5に示すように、データバス50a - 50hの各データビットラインは、各PEであるPE0 - PE7に関連する各接続回路40a - 40hのそれぞれのマルチプレクサ52a - 52hの第2の入力に接続される。このように、データの第1のビット、すなわちビット0に関するデータビットラインは、PE0に関連する回路40a内のマルチプレクサ52a - 52hにおける第2の入力に接続され、データの第2のビット、すなわちビット1に関するデータビットラインは、PE1に関連する回路40b内のマルチプレクサ52a - 52hにおける第2の入力に接続される。同様にして、データの最後のビット、すなわちビット7に関するデータビットラインまで接続され、ビット7に関するデータビットラインは、PE7に関連する回路40h内のマルチプレクサ52a - 52hにおける第2の入力に接続される。

40

【0020】

図5のPE0に関連する回路40aを再度参照すると、各マルチプレクサ52a - 52hの出力は、各バッファレジスタ54a - 54hに接続される。バッファレジスタ54a - 54hの出力は、8入力マルチプレクサ60aのそれぞれの入力<0> - <7>に接続される。各バッファレジスタ54a - 54hの出力も同様に、それぞれ1組のトライステートドライバ56a - 56hの入力に接続される。マルチプレクサ60の出力PE0Din62aは、データをメモリすなわちアドレス0 - アドレス7からPE0へ転送する単一ビット接続によって、8個のPEグループの第1のPEすなわちPE0に接続される。第2のデータラインPE0Out64aも同様に、PE0からデータを受信する単一ビットライ

50

ンに接続されて、アドレス 0 - アドレス 7 を介してメモリにデータを書き込む。データライン P E D o u t 6 4 a は、各マルチプレクサ 5 2 a - 5 2 h の第 1 の入力に接続される。

【 0 0 2 1 】

組 5 6 a における第 1 のトライステートドライバ及び第 2 のトライステートドライバの出力は、データバス 5 0 a のそれぞれのビットデータライン、すなわち、アドレス 0 におけるデータの第 1 のビットであるビット 0 に関連するデータビットラインに接続される。そして、組 5 6 a における第 2 のトライステートドライバからの出力は、マルチプレクサ 5 2 a の第 3 の入力に接続される。組 5 6 b における第 1 のトライステートドライバの出力は、データバス 5 0 b のそれぞれのデータビットライン、すなわち、アドレス 1 におけるデータの第 1 のビットであるビット 0 に関連するデータビットラインに接続され、また、組 5 6 b における第 2 のトライステートドライバの出力は、データバス 5 0 a の第 2 のデータビットライン、及びマルチプレクサ 5 2 b の第 3 の入力に接続される。残りのトライステートドライバの組 5 6 c - 5 6 h の出力は、同様に接続され、すなわち、各組 5 6 c - 5 6 h における第 1 のトライステートドライバの出力は、データバス 5 0 c - 5 0 h のデータの第 1 のビットであるビット 0 に関連するビットデータラインに接続され、また、各組 5 6 c - 5 6 h における第 2 のトライステートドライバの出力は、それぞれのマルチプレクサ 5 2 c - 5 2 h の第 3 の入力に接続され、データバス 5 0 a のそれぞれのビットデータラインにも接続される。

【 0 0 2 2 】

上述した回路 4 0 a は、以下に示す例外があるものの、そのグループにおけるそれぞれの P E、すなわち、P E 1 - P E 7 に関連するそれぞれの残りの回路 4 0 b - 4 0 h と本質的に同様の構成をなす。P E 1 に関連する回路 4 0 b において、組 5 6 b における第 1 のトライステートドライバ及び第 2 のトライステートドライバの出力は、データバス 5 0 b のそれぞれのビットデータバス、すなわち、アドレス 1 におけるデータの第 2 のビットに関連するビットデータラインに接続され、また、残りトライステートドライバの組 5 6 a 及び 5 6 c - 5 6 h は、それに関連するデータバス 5 0 a 及び 5 0 c - 5 0 h のデータの第 2 のビットであるビット 1 に関連するビットデータラインに接続された第 1 のトライステートドライバの出力をそれぞれ有し、第 2 のトライステートドライバからの出力は、データバス 5 0 b のそれぞれのビットデータライン、及び、それぞれのマルチプレクサ 5 2 a 及び 5 2 c - 5 2 h への第 3 の入力にそれぞれ接続される。(図示しない) P E 2 に関連する回路において、組 5 6 c における第 1 のトライステートドライバ及び第 2 のトライステートドライバからの出力は、データバス 5 0 c のデータの第 3 のビットであるビット 2 に関連するビットデータラインに接続され、また、残りのトライステートドライバの組 5 6 a , 5 6 b 及び 5 6 d - 5 6 h は、それに関連するデータバス 5 0 a , 5 0 b 及び 5 0 d - 5 0 h のデータの第 3 のビットであるビット 2 に関連するビットデータラインに接続された第 1 のトライステートドライバの出力をそれぞれ有し、第 2 のトライステートドライバの出力は、データバス 5 0 c のそれぞれのビットデータライン、及び、それぞれのマルチプレクサ 5 2 a , 5 2 b 及び 5 2 d - 5 2 h への第 3 の入力にそれぞれ接続される。このように、8 つの P E のグループにおける最後の P E、すなわち P E 7 に関連する回路 4 0 h まで、同様の構成をなし、回路 4 0 h において、組 5 6 h における第 1 のトライステートドライバ及び第 2 のトライステートドライバの出力は、データバス 5 0 h のアドレス 7 におけるデータの最後のビットであるビット 7 に関連するデータビットラインに接続され、残りのトライステートドライバの組 5 6 a - 5 6 g は、それに関連するデータバス 5 0 a - 5 0 g の最後のビットであるビット 7 に関連するデータビットラインに接続された第 1 のトライステートドライバからの出力をそれぞれ有し、第 2 のトライステートドライバからの出力は、データバス 5 0 h のそれぞれのビットデータライン、及び、それぞれのマルチプレクサ 5 2 a - 5 2 g への第 3 の入力にそれぞれ接続される。

【 0 0 2 3 】

次に、図 5 に示す回路の動作について詳細に説明する。例えば、データの読み出しが要求

され、データが垂直モードによりメモリに格納されている場合、すなわち、データが、図4に示すように、垂直モードによりメモリ12から各PEに読み出される場合を想定する。つまり、アドレス0からアドレス7におけるそれぞれのビットをそれぞれのPEに入力する場合である。例えば、アドレス0からアドレス7までの各アドレスから第1のビット、すなわちビット0がPE0に入力され、アドレス0からアドレス7までの各アドレスから第2のビット、すなわちビット1がPE1に入力され、同様にして、最後のビットまで、すなわち、アドレス0からアドレス7までの各アドレスからビット7がPE7に入力される。データがデータバス50a-50hに出力されると、各マルチプレクサ52a-52hは、その第2の入力のデータ、すなわち、それぞれのデータバス50a-50hからのデータを、それぞれのレジスタ54a-54hに転送する。このように、回路40aにおいて、データの第1のビット、すなわちビット0は、マルチプレクサ52a-52hを介してレジスタ54a-54hに転送され、さらにマルチプレクサ60aに転送される。マルチプレクサ60aは、データの各ビットであるビット0を順次に、すなわち、入力<0>から入力<7>まで、出力62aを介してPE0に順番に送出する。このように、マルチプレクサ60aからPE0への出力は、順次手法によりアドレス0-アドレス7のそれぞれのアドレスから出力されるビット0となる。

10

【0024】

同様に、回路40bにおいて、データの第2のビット、すなわちビット1は、マルチプレクサ52a-52hを介してレジスタ54a-54hに転送され、さらにマルチプレクサ60bに転送される。マルチプレクサ60bは、データの各ビットを順次に、すなわち、入力<0>から入力<7>まで、出力62bを介してPE1に順番に送出する。それぞれ残りのPEに関連する回路は、回路40hまで同様に動作し、回路40hにおいて、データの最後のビット、すなわちビット7は、マルチプレクサ52a-52hを介してレジスタ54a-54hに転送され、さらに、マルチプレクサ60hに転送される。マルチプレクサ60hは、データの各ビットを順次に、すなわち、入力<0>から入力<7>まで、出力62hを介してPE7に順番に送出する。以上のように、データは、垂直方法によりアドレス0-アドレス7のメモリアドレスから各PEに出力される。

20

【0025】

次に、例えば、データが水平モードでメモリに格納されているときに読み出しが要求される場合、すなわち、図4に示すように、ノーマルモード(水平モード)でメモリに格納されたデータが、メモリから読み出されそれぞれのPEに入力される場合を想定する。このように、アドレス0からの各ビットデータは、ビット0からビット7まで順次手法によりPE0に入力され、アドレス1からの各ビットデータは、ビット0からビット7まで順次手法によりPE1に入力されなければならない、その他も同様である。回路40aを参照して、アドレス0からのビット0からビット7までのデータがバス50aに提供されるので、バス50aのデータビットライン0のビット0は、マルチプレクサ52aの第3の入力に入力され、バス50aのデータビットライン1のビット1は、マルチプレクサ52bの第3の入力に入力され、バス50aのデータビットライン2のビット2は、マルチプレクサ52cの第3の入力に入力され、同様にして、バス50aのデータビットライン7のビット7まで入力され、つまり、ビット7は、マルチプレクサ52hの第3の入力に入力される。マルチプレクサ52a-52hは、その第3の入力をそれぞれのレジスタ54a-54hに転送する。レジスタ54a-54hのデータは、マルチプレクサ60aに送出される。マルチプレクサ60aは、データの各ビットを順次に、すなわち、入力<0>から入力<7>まで、出力62aを経由してPE0に順番に送出する。このように、PE0は、アドレス0のビット0からビット7を、一度に1ビットずつ受信する。

30

40

【0026】

同様に、回路40bにおいて、アドレス1からのビット0からビット7までのデータがバス50bに提供されるので、バス50bのデータビットライン0のビット0は、マルチプレクサ52aの第3の入力に入力され、バス50bのデータビットライン1のビット1は、マルチプレクサ52bの第3の入力に入力され、バス50bのデータビットライン2の

50

ビット2は、マルチプレクサ52cの第3の入力に入力され、同様にして、バス50bのデータビットライン7のビット7まで入力され、つまり、ビット7は、マルチプレクサ52hの第3の入力に入力される。マルチプレクサ52a - 52hは、その第3の入力をそれぞれのレジスタ54a - 54hに転送する。レジスタ54a - 54hのデータは、マルチプレクサ60bに送出される。マルチプレクサ60bは、データの各ビットを順次に、すなわち、入力<0>から入力<7>まで、出力62bを経由してPE1に順番に送出する。このように、PE1は、アドレス1のビット0からビット7を、一度に1ビットずつ受信する。

【0027】

それぞれの残りのPEに関連する回路は、回路40hまで同様に動作し、つまり、回路40hにおいて、アドレス1からのビット0からビット7までのデータがバス50hに出力されるので、バス50hのデータビットライン0のビット0は、マルチプレクサ52aの第3の入力に入力され、バス50hのデータビットライン1のビット1は、マルチプレクサ52bの第3の入力に入力され、バス50hのデータビットライン2のビット2は、マルチプレクサ52cの第3の入力に入力され、同様にして、バス50hのデータビットライン7のビット7まで入力され、つまり、ビット7は、マルチプレクサ52hの第3の入力に入力される。マルチプレクサ52a - 52hは、その第3の入力をそれぞれのレジスタ54a - 54hに転送する。レジスタ54a - 54hのデータは、マルチプレクサ60hに送出される。マルチプレクサ60hは、データの各ビットを順次に、すなわち、入力<0>から入力<7>まで、出力62hを経由してPE7に順番に送出する。このように、PE7は、アドレス7のビット0からビット7を、一度に1ビットずつ受信する。以上のように、データは、水平モードによりメモリから読み出される。

【0028】

次に、例えば、図4に示すように、各PEからのデータが、垂直モードによりメモリに格納されるとき書き込みが要求される場合を想定する。これは、アドレス0 - アドレス7のそれぞれのメモリアドレスにおいて同じ位置に、PEから8ビットのそれぞれを入力する場合である。図5の回路40aを参照して、データは、各マルチプレクサ52a - 52hの第1の入力に接続されているPEOut64のラインに、PE0から順次に出される。PE0から出力されたデータの第1のビットは、マルチプレクサ52aによってレジスタ54aに転送され、さらにトライステートドライバの組56aに転送される。組56aの第1のトライステートドライバは、データバス50aのデータビットライン0にデータを転送し、アドレス0における第1のビットであるビット0にそのデータを書き込む。同様に、PE0から出力されたデータの第2のビットは、マルチプレクサ52bによってレジスタ54bに転送され、さらにトライステートドライバの組56bの入力に転送される。組56bの第1のトライステートドライバは、データバス50bのデータビットライン0にデータを転送し、アドレス1における第1のビットであるビット0にそのデータを書き込む。このように、PE0からのデータの各ビットは最後のビットまで、同様に転送され、最後のビットは、マルチプレクサ52hによってレジスタ54hに転送され、さらにトライステートドライバの組56hの入力に転送される。組56hの第1のトライステートドライバは、データバス50hのデータビットライン0にデータを転送し、アドレス7における第1のビットであるビット0にそのデータを書き込む。

【0029】

残りの回路40b - 40hも同様に、アドレス0 - アドレス7における各アドレスのそれぞれの位置にデータを格納するために動作する。例えば、回路40bにおいて、PE1から出力されたデータの第1のビットは、マルチプレクサ52aによってレジスタ54aに転送され、さらにトライステートドライバの組56aの入力に転送される。組56aの第1のトライステートドライバは、データバス50aのデータビットライン1にデータを転送し、アドレス0における第2のビットであるビット1にそのデータを書き込む。同様に、PE1から出力されたデータの第2のビットは、マルチプレクサ52bによってレジスタ54bに転送され、さらにトライステートドライバの組56bの入力に転送される。組

10

20

30

40

50

5 6 b の第 1 のトライステートドライバは、データバス 5 0 b のデータビットライン 1 にデータを転送し、アドレス 1 における第 2 のビットであるビット 1 にそのデータを書き込む。この処理は、アドレス 0 - アドレス 7 の各アドレスにおける第 2 のデータビットであるビット 1 について完了するまで、P E 1 からのデータの各ビットに対して行われる。

【 0 0 3 0 】

次に、回路 4 0 h を参照して、P E 7 から出力されたデータの第 1 のビットは、マルチプレクサ 5 2 a によってレジスタ 5 4 a に転送され、さらにトライステートドライバの組 5 6 a の入力に転送される。組 5 6 a の第 1 のトライステートドライバは、データバス 5 0 a のデータビットライン 7 にデータを転送し、アドレス 0 における最後のビットであるビット 7 にそのデータを書き込む。同様に、P E 7 から出力されたデータの第 2 のビットは、マルチプレクサ 5 2 b によってレジスタ 5 4 b に転送され、さらにトライステートドライバの組 5 6 b の入力に転送される。組 5 6 b の第 1 のトライステートドライバは、データバス 5 0 b のデータビットライン 7 にデータを転送し、アドレス 1 における最後のビットであるビット 7 にそのデータを書き込む。この処理は、アドレス 0 - アドレス 7 の各アドレスにおける最後のデータビットであるビット 7 について完了するまで、P E 7 からのデータの各ビットに対して行われる。

【 0 0 3 1 】

次に、例えば、図 4 に示すように、各 P E からのデータが、ノーマルモード（水平モード）によりメモリに格納されるときに書き込みが要求される場合を想定する。これは、同じアドレス位置のそれぞれのビットに順番に、P E から 8 ビットのそれぞれを入力する場合である。図 5 の回路 4 0 a を参照して、データは、ライン P E D o u t 6 4 a に P E 0 から順次に出力され、ライン P E D o u t 6 4 a は、各マルチプレクサ 5 2 a - 5 2 h の第 1 の入力に接続される。P E 0 から出力されたデータの第 1 のビットは、マルチプレクサ 5 2 a によってレジスタ 5 4 a に転送され、さらにトライステートドライバの組 5 6 a の入力に転送される。組 5 6 a の第 2 のトライステートドライバは、データバス 5 0 a のデータビットライン 0 にデータを転送し、アドレス 0 における第 1 のビットであるビット 0 にそのデータを書き込む。同様に、P E 0 から出力されたデータの第 2 のビットは、マルチプレクサ 5 2 b によってレジスタ 5 4 b に転送され、さらにトライステートドライバの組 5 6 b の入力に転送される。組 5 6 b の第 2 のトライステートドライバは、データバス 5 0 a のデータビットライン 1 にデータを転送し、アドレス 0 における第 2 のビットであるビット 1 にそのデータを書き込む。このように、P E 0 からのデータの各ビットは最後のビットまで、同様に転送され、最後のビットは、マルチプレクサ 5 2 h によってレジスタ 5 4 h に転送され、さらにトライステートドライバの組 5 6 h の入力に転送される。組 5 6 h の第 2 のトライステートドライバは、データバス 5 0 a のデータビットライン 7 にデータを転送し、アドレス 0 における最後のビットであるビット 7 にそのデータを書き込む。このように、P E 0 からのデータの 8 ビットは、アドレス 0 のビット 0 からビット 7 に書き込まれる。

【 0 0 3 2 】

残りの回路 4 0 b - 4 0 h も同様に、アドレス 1 - アドレス 7 における各アドレスのそれぞれの位置にデータを格納するために動作する。例えば、回路 4 0 b において、P E 1 から出力されたデータの第 1 のビットは、マルチプレクサ 5 2 a によってレジスタ 5 4 a に転送され、さらにトライステートドライバの組 5 6 a の入力に転送される。組 5 6 a の第 2 のトライステートドライバは、データバス 5 0 b のデータビットライン 0 にデータを転送し、アドレス 1 における第 1 のビットであるビット 0 にそのデータを書き込む。同様に、P E 1 から出力されたデータの第 2 のビットは、マルチプレクサ 5 2 b によってレジスタ 5 4 b に転送され、さらにトライステートドライバの組 5 6 b の入力に転送される。組 5 6 b の第 2 のトライステートドライバは、データバス 5 0 b のデータビットライン 1 にデータを転送し、アドレス 1 における第 2 のビットであるビット 1 にそのデータを書き込む。この処理は、P E 1 からのデータの最後のビットがアドレス 1 のビット 7 に書き込まれるまで、P E 1 からのデータの各ビットに対して行われる。

【 0 0 3 3 】

次に、回路 4 0 h を参照して、P E 7 から出力されたデータの第 1 のビットは、マルチプレクサ 5 2 a によってレジスタ 5 4 a に転送され、さらにトライステートドライバの組 5 6 a の入力に転送される。組 5 6 a の第 2 のトライステートドライバは、データバス 5 0 h のデータビットライン 0 にデータを転送し、アドレス 7 における第 1 のビットであるビット 0 にそのデータを書き込む。同様に、P E 7 から出力されたデータの第 2 のビットは、マルチプレクサ 5 2 b によってレジスタ 5 4 b に転送され、さらにトライステートドライバの組 5 6 b の入力に転送される。組 5 6 b の第 2 のトライステートドライバは、データバス 5 0 h のデータビットライン 1 にデータを転送し、アドレス 7 における第 2 のビットであるビット 1 にそのデータを書き込む。この処理は、最後のデータビットであるビット 7 がアドレス 7 の最後のビットであるビット 7 に書き込まれるまで、P E 7 からのデータの各ビットに対して行われる。このように、データは、水平モードによりメモリに書き込まれる。

10

【 0 0 3 4 】

このように、本発明によれば、データは、垂直モードまたは水平モードのいずれかにより、単一ビット接続を介して、メモリから P E に読み出され、P E からメモリに書き込まれる。

【 0 0 3 5 】

各回路 4 0 a - 4 0 h において、例えば 5 4 a - 5 4 h のような単一のレジスタ 5 4 は、読み出しまたは書き込みのいずれかの動作のために、メモリバッファとして P E 毎に 1 バイトのみを保持することに使用される。第 2 に、そのレジスタは、1 つには書き込みデータを保持することに、他には読み出しのために使用され、または読み出しや書き込みのために行われるデータのパイプライン処理のために使用される。図 6 は、図 5 の代替実施例を示す概略図であり、図 5 の各レジスタ 5 4 a - 5 4 h は、1 組のレジスタ 8 0 a 及び 8 0 b に置き換えられている。すなわち、対応するマルチプレクサ 5 2 の出力、すなわち、図 5 の回路 4 0 a - 4 0 h におけるマルチプレクサ 5 2 a - 5 2 h が、レジスタ 8 0 a 及びレジスタ 8 0 b に入力される。各レジスタ 8 0 a 及び 8 0 b の出力は、マルチプレクサ 8 2 に入力される。マルチプレクサ 8 2 の出力は、それぞれのマルチプレクサ 6 0、すなわち、図 5 のマルチプレクサ 6 0 a - 6 0 h に送出される。さらに、レジスタ 8 0 a 及び 8 0 b の出力は、第 2 のマルチプレクサ 8 4 に入力され、その出力は、それぞれのトライステートドライバの組 5 6、すなわち、図 5 のトライステートドライバ 5 6 a - 5 6 h に接続される。図 6 に示す回路の動作は、マルチプレクサ 8 2 及び 8 4 が、レジスタ 8 0 a 及び 8 0 b からのデータをトライステートドライバの組 5 6 またはマルチプレクサ 6 0 の入力のいずれかに転送することを決定する点を除いて、図 5 に示した動作と同様である。すなわち、2 つのレジスタ 8 0 a、8 0 b は、一つには書き込みデータを保持することに、他には読み出しのために使用され、または読み出しや書き込みのために行われるデータのパイプライン処理のために使用される。

20

30

【 0 0 3 6 】

本発明の接続回路 4 0 a - 4 0 h を有する能動メモリデバイスは、図 7 に示すタイプのプロセッサを基本とするシステム 3 0 0 に用いられる。プロセッサを基本とするシステム 3 0 0 は、バス 3 2 0 を介して、メモリデバイス 3 1 2 及び I / O デバイス 3 0 8 と通信するプロセッサ 3 0 2 を備えている。バス 3 2 0 は、プロセッサを基本とするシステムに共通して用いられる一連のバス及びブリッジであるが、バス 3 2 0 は、説明の都合を考慮して単一バスとして示されていることに注意しなければならない。メモリデバイス 3 1 2 は、図 5 及び 6 を用いて前述したように、接続回路 4 0 a - 4 0 h を含む。メモリデバイス 3 1 2 は、複数の P E を利用した S I M D M P P または他の種類の D R A M や S R A M である。また、プロセッサ 3 0 2 は、それ自体、本発明の回路要素を含むオンチップメモリデバイスを利用する集積プロセッサである。

40

【 0 0 3 7 】

プロセッサを基本とするシステム 3 0 0 は、コンピュータシステム、プロセス制御システ

50

ム、または、プロセッサ及び関連するメモリを使用する他のシステムである。また、プロセッサを基本とするシステム 300 は、読み込み専用メモリ (ROM) 310、及び、バス 320 を介して同様にプロセッサ 302 と通信するフロッピーディスクドライブ 304 やコンパクトディスク (CD) ROM ドライブ 306 のように、技術として良く知られている周辺デバイスを備えている。

【0038】

以上、発明時に知られていた好適な実施例を用いて、本発明を詳細に説明したが、本発明はこのような開示した実施例に制限されるものではない。むしろ、本発明は、その精神及び範囲に合致する限り、前述した説明に含まれない、あらゆる変形、交替、置換または同等の組み合わせに変更することが可能である。従って、本発明は、前述した説明によって

10

【図面の簡単な説明】

【図 1】 一般的なコンピュータアーキテクチャを示すブロック図である。

【図 2】 能動メモリのアーキテクチャを示すブロック図である。

【図 3】 一般的な PE の内部接続アーキテクチャを示すブロック図である。

【図 4】 メモリ内の垂直及び水平方向におけるデータの格納を示す図である。

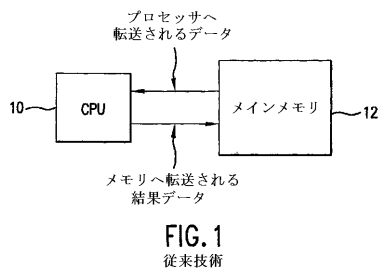
【図 5】 本発明による PE アレイとメモリとの間の接続を示す概略図である。

【図 6】 図 5 における、PE アレイとメモリとの間の接続に関する代替実施例を示す概略図である。

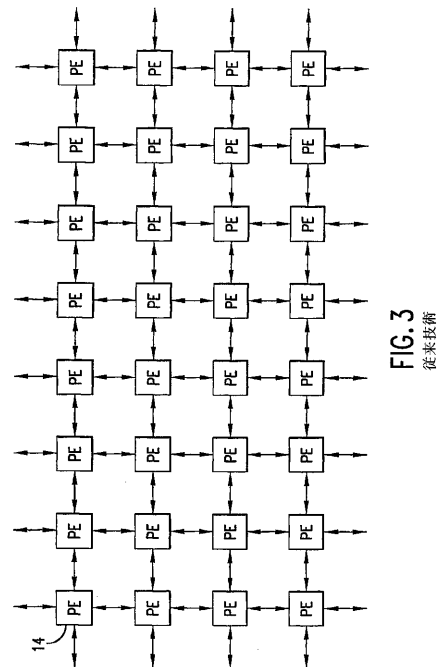
【図 7】 本発明が用いられる、プロセッサを基本としたシステムを示すブロック図である。

20

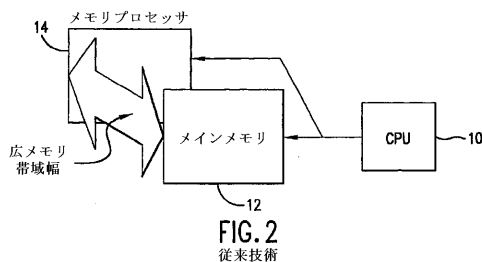
【図 1】



【図 3】



【図 2】



【図4】

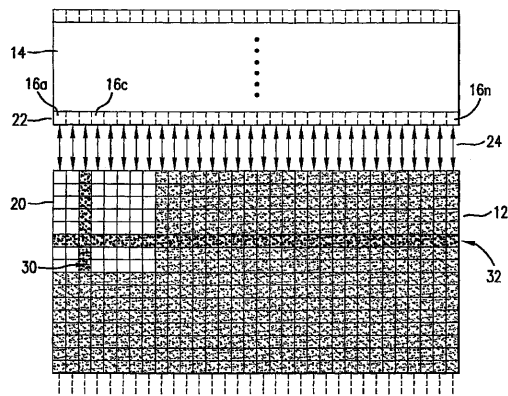


FIG. 4

【図5】

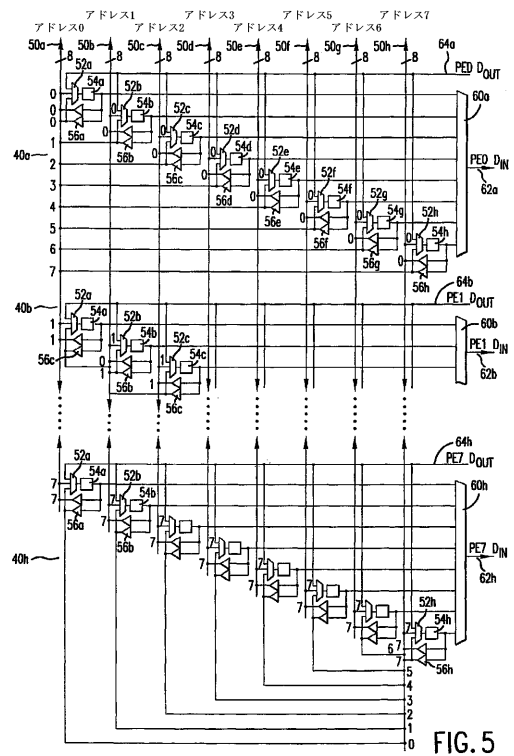


FIG. 5

【図6】

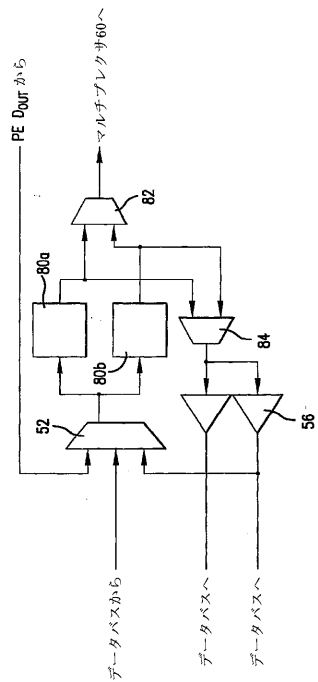


FIG. 6

【図7】

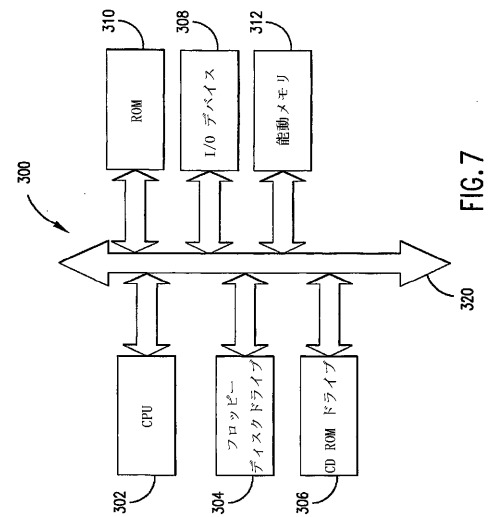


FIG. 7

フロントページの続き

審査官 滝谷 亮一

(56)参考文献 特開平 7 - 1 5 2 7 2 2 (J P , A)
特開平 3 - 2 6 6 0 8 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G06F 12/06

G06F 12/00

G06F 12/04