

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3607116号
(P3607116)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.⁷

G06F 11/10
H03M 13/09

F I

G06F 11/10 330Q
H03M 13/09

請求項の数 14 (全 15 頁)

(21) 出願番号	特願平11-122673	(73) 特許権者	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成11年4月28日(1999.4.28)	(74) 代理人	100105050 弁理士 鷺田 公一
(65) 公開番号	特開2000-311096(P2000-311096A)	(72) 発明者	山中 隆太郎 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信工業株式会社内
(43) 公開日	平成12年11月7日(2000.11.7)	(72) 発明者	惣門 淳二 石川県金沢市彦三町二丁目1番45号 株式会社松下通信金沢研究所内
審査請求日	平成13年4月26日(2001.4.26)	(72) 発明者	戸田 隆 石川県金沢市彦三町二丁目1番45号 株式会社松下通信金沢研究所内

最終頁に続く

(54) 【発明の名称】 演算処理装置

(57) 【特許請求の範囲】

【請求項1】

第1記憶手段に格納された演算データの最上位ビットと第2記憶手段に格納された入力データとの2進数加算を行う第1演算手段と、前記演算データを1ビット最上位ビット側にシフトしたシフトデータと第3記憶手段に格納された生成多項式の係数との2進数加算を行う第2演算手段と、前記第1演算手段の演算結果に基づき、前記第2演算手段の演算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第1記憶手段に格納する選択手段とを具備することを特徴とする演算処理装置。

【請求項2】

第1記憶手段に格納された演算データの最上位ビットと第2記憶手段に格納された入力データとの2進数加算である第1演算を行い、前記演算データを1ビット最上位ビット側にシフトしたシフトデータと第3記憶手段に格納された生成多項式の係数との2進数加算である第2演算を行う第3演算手段と、前記第1演算の演算結果に基づき、前記第2演算の演算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第1記憶手段に格納する選択手段とを具備することを特徴とする演算処理装置。

【請求項3】

選択手段は、第2演算の演算結果が入力されるまで、第1演算の演算結果を第4記憶手段に保持することを特徴とする請求項2記載の演算処理装置。

【請求項4】

第1記憶手段に格納された演算データを1ビット最上位ビット側にシフトしたシフトデー

10

20

タに、第2記憶手段に格納された入力データを合併した値と、第3記憶手段に格納された生成多項式の係数に、前記演算データの最上位ビットを合併した値との2進数加算を行う第4演算手段と、入力データと演算データの最上位ビットとの2進数加算結果に基づき前記シフトデータと生成多項式の係数との2進数加算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第1記憶手段に格納する選択手段とを具備することを特徴とする演算処理装置。

【請求項5】

第1記憶手段に格納される演算データの最上位ビットを所定位置に移動するシフト手段を具備することを特徴とする請求項1から請求項4のいずれかに記載の演算処理装置。

【請求項6】

シフト手段はDSPの汎用シフタを構成要素とすることを特徴とする請求項5記載の演算処理装置。

【請求項7】

演算手段のうち、少なくとも一つがALUを構成要素とすることを特徴とする請求項1から請求項6のいずれかに記載の演算処理装置。

【請求項8】

記憶手段のうち、少なくとも一つがDSPの汎用レジスタを構成要素とすることを特徴とする請求項1から請求項7のいずれかに記載の演算処理装置。

【請求項9】

記憶手段のうち、少なくとも一つがシフトレジスタを構成要素とすることを特徴とする請求項1から請求項8のいずれかに記載の演算処理装置。

【請求項10】

請求項1から請求項9のいずれかに記載の演算処理装置を搭載することを特徴とする無線通信端末装置。

【請求項11】

請求項10記載の無線通信端末装置と無線通信を行うことを特徴とする無線通信基地局装置。

【請求項12】

請求項1から請求項9のいずれかに記載の演算処理装置を搭載することを特徴とする無線通信基地局装置。

【請求項13】

請求項12記載の無線通信基地局装置と無線通信を行うことを特徴とする無線通信端末装置。

【請求項14】

コンピュータを、第1記憶手段に格納された演算データの最上位ビットと第2記憶手段に格納された入力データとの2進数加算を行う第1演算手段と、前記演算データを1ビット最上位ビット側にシフトしたシフトデータと第3記憶手段に格納された生成多項式の係数との2進数加算を行う第2演算手段と、前記第1演算手段の演算結果に基づき、前記第2演算手段の演算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第1記憶手段に格納する選択手段として機能させるためのプログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、無線通信機器等に搭載され、CRC演算を行う演算処理装置に関する。

【0002】

【従来の技術】

無線通信では、無線伝送中に発生するビット誤りを訂正するため、送信側にて、データに対して誤り訂正のための符号化処理を施し、受信側にて、誤り訂正符号に対する復号処理を施している。

10

20

30

40

50

【0003】

しかし、伝搬環境が悪く、極端に誤りが多く発生する場合、上記誤り訂正処理のみでは誤りを完全に訂正することは困難である。そこで、移動無線通信では、上記誤り訂正処理と併用して誤り検査処理を行い、誤りが残留しているか否かを検出している。そして、誤り検査処理の代表的なものにCRC (Cyclic Redundancy Check) がある。

【0004】

以下、CRCについて説明する。まず、CRC演算の符号化回路について説明する。図7は、生成多項式を $G(X) = 1 + X + X^3$ としたときのCRC演算の符号化回路図である。

10

【0005】

図7に示すように、CRC演算の符号化回路におけるシフトレジスタの段数は、生成多項式の最高次数に等しい数となる。そして、各フリップフロップ(以下、「FF」という)の境界が、生成多項式の各次数に対応しており、LSB (Least Significant Bit: 最下位ビット) からMSB (Most Significant Bit: 最高位ビット) に向かう順に次数が高くなる。

【0006】

また、CRC演算の符号化回路は、生成多項式の1次以上の項の係数が「1」なら、その次数に対応した各FFの境界にEXOR (排他的論理和素子) が挿入される。

【0007】

次に、CRCの符号化動作及びCRCの復号動作について説明する。

20

【0008】

CRCの符号化動作では、まず、第1ステップとして、シフトレジスタの内容を全て「0」にリセットする。次に、第2ステップとして、入力データ1ビットに対し、シフトレジスタのMSBとのmod 2加算(modulo 2 adder: 1桁の2進数の加算)を行う。そして、第3ステップとして、第2ステップのmod 2加算結果をシフトレジスタにシフトインとともに、最高次数以外のEXORに入力し、各FF出力とmod 2加算を行い、結果を次段のFFに入力する。

【0009】

上記の第2ステップと第3ステップの処理を入力ビットがなくなるまで繰り返し、最終的に得られたシフトレジスタの内容がCRCの符号化結果であり、冗長ビットとして入力データに付け加えられる。

30

【0010】

一方、CRCの復号動作は、まず、上記CRCの符号化動作と同様の動作を行い、その結果得られたシフトレジスタの内容と受信した冗長ビットとを比較する。そして、比較の結果、一致した場合には、誤りは検出されないと判定され、一致しなければ、誤りが検出されたと判定される。

【0011】

ここで、生成多項式や冗長ビットのビット数、すなわち、シフトレジスタの段数は、システムによって様々であり、同じシステムの中でも複数の種類を使い分けて使用される場合もある。

40

【0012】

したがって、複数の種類のCRC演算に対応した専用ハードウェアを搭載するより、DSP (デジタル信号処理プロセッサ) によりプログラマブルに処理する方が装置の小型化、軽量化を図ることができる。また、DSPは、携帯端末の小型化・軽量化・低価格化を実現するために、専用LSIで処理していた領域もDSP処理による1チップ化が図られている。

【0013】

従来のDSPにてCRC演算を実現させる場合、下記のオペレーションが必要となる。

【0014】

50

まず、第1オペレーションで、入力データをロードして第1レジスタに格納する。

【0015】

次に、第2オペレーションで、演算結果を格納している第2レジスタから最高次のビット位置を抽出して第3レジスタに格納する。

【0016】

次に、第3オペレーションで、第2レジスタをMSB側に1ビット論理シフトして、結果を第2レジスタに格納する。

【0017】

次に、第4オペレーションで、第1レジスタと第3レジスタとのmod2加算を行う。

【0018】

そして、第5オペレーションで、第4オペレーションの結果、「0」であれば第2レジスタの内容を更新せず、「1」であれば第2レジスタと生成多項式を格納している第4レジスタとのmod2加算結果を第2レジスタに格納する。

【0019】

このように、従来のDSPでは、CRC演算を実現するために、入力データ1ビット当たり少なくとも5オペレーション必要であり、それぞれを1マシンサイクルで実行した場合には、最低でも5マシンサイクル必要となる。実際には、第5オペレーションの条件分岐がDSPのパイプラインによる分岐ペナルティを起こすため、さらにその分だけマシンサイクルが増加する。CRC演算に要するDSPの演算量は、必要とするマシンサイクルに比例して増加する。

【0020】

【発明が解決しようとする課題】

ここで、近年、移動無線通信上で伝送されるビットレートは高速化する傾向にある。CRC演算に要するDSPの演算量は、ビットレートに比例して増加する。

【0021】

DSPによる演算量が増加すると、携帯端末のバッテリーを長時間持続させることが困難となる。また、既存のDSPの処理能力を超えてしまい、DSPによる1チップ化が不可能となる。演算量を増加させるためにDSPを高機能化させると、DSP自身のコストアップを招き、結果携帯端末の低価格化が実現できなくなる。

【0022】

本発明はかかる点に鑑みてなされたものであり、少ないハードウェアの投資で、DSPによるCRC演算を効率的に処理する演算処理装置を提供することを目的とする。

【0023】

【課題を解決するための手段】

本発明の骨子は、演算データと入力データとのmod2加算の演算結果に基づいて、演算データをMSB側に1ビットシフトさせたデータと生成多項式の係数とのmod2加算の演算結果、あるいは、演算データをMSB側に1ビットシフトさせたデータのいずれか一方を新たに演算データとして格納することである。

【0024】

【発明の実施の形態】

本発明の第1の態様に係る演算処理装置は、第1記憶手段に格納された演算データの最上位ビットと第2記憶手段に格納された入力データとの2進数加算を行う第1演算手段と、前記演算データを1ビット最上位ビット側にシフトしたシフトデータと第3記憶手段に格納された生成多項式の係数との2進数加算を行う第2演算手段と、前記第1演算手段の演算結果に基づき、前記第2演算手段の演算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第1記憶手段に格納する選択手段とを具備する構成を採る。

【0025】

この構成により、入力データ1ビットにつき1マシンサイクルでCRC演算を繰り返し実行することができるので、DSPによるCRC演算を効率よく実行することができ、DS

10

20

30

40

50

Pの1チップ化、装置の小型化・軽量化・低価格化、及び、バッテリーの長寿命化を実現することができる。

【0026】

本発明の第2の態様に係る演算処理装置は、第1記憶手段に格納された演算データの最上位ビットと第2記憶手段に格納された入力データとの2進数加算である第1演算を行い、前記演算データを1ビット最上位ビット側にシフトしたシフトデータと第3記憶手段に格納された生成多項式の係数との2進数加算である第2演算を行う第3演算手段と、前記第1演算の演算結果に基づき、前記第2演算の演算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第1記憶手段に格納する選択手段とを具備する構成を採る。

10

【0027】

この構成により、1ビット当たり2マシンサイクルでCRC演算を行い、1つの演算器で2度のmod2加算を行うことができるので、第1の態様よりも装置の構成を簡略化することができる。また、従来に比べて、DSPによるCRC演算を効率よく実行ことができ、DSPの1チップ化、装置の小型化・軽量化・低価格化、及び、バッテリーの長寿命化を実現することができる。

【0028】

本発明の第3の態様は、第2の態様の演算処理装置において、選択手段は、第2演算の演算結果が入力されるまで、第1演算の演算結果を第4記憶手段に保持する構成を採る。

【0029】

この構成により、CRC演算時に生じる一時的なデータを高速に保持することができるので、2相クロックで動作させることにより、1つの演算器で、しかも、入力データ1ビット当たり1マシンサイクル相当の時間でCRC演算を実行することができる。

20

【0030】

本発明の第4の態様に係る演算処理装置は、第1記憶手段に格納された演算データを1ビット最上位ビット側にシフトしたシフトデータに第2記憶手段に格納された入力データを合併した値と、第3記憶手段に格納された生成多項式の係数に前記演算データの最上位ビットを合併した値との2進数加算を行う第4演算手段と、入力データと演算データの最上位ビットとの2進数加算結果に基づき、前記シフトデータと生成多項式の係数との2進数加算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第1記憶手段に格納する選択手段とを具備する構成を採る。

30

【0032】

これらの構成により、2種類のデータを合併してから演算することができるので、演算器を1つにして、1ビット当たり1マシンサイクルでCRC演算を行うことができ、第1の態様よりも装置の構成を簡略化することができる。

【0033】

本発明の第6の態様は、第1から第5のいずれかの演算処理装置において、第1記憶手段に格納される演算データの最上位ビットを所定位置に移動するシフト手段を具備する構成を採る。

【0034】

この構成により、任意のビットのCRC演算に対応させることができる。

40

【0035】

本発明の第7の態様は、第6の演算処理装置において、シフト手段はDSPの汎用シフトを構成要素とする構成を採る。

【0036】

本発明の第8の態様は、第1から第7のいずれかの演算処理装置において、演算手段のうち、少なくとも一つがALUを構成要素とする構成を採る。

【0037】

本発明の第9の態様は、第1から第8のいずれかの演算処理装置において、記憶手段のうち、少なくとも一つがDSPの汎用レジスタを構成要素とする構成を採る。

50

【 0 0 3 8 】

本発明の第 1 0 の態様は、第 1 から第 9 のいずれかの演算処理装置において、記憶手段のうち、少なくとも一つがシフトレジスタを構成要素とする構成を採る。

【 0 0 3 9 】

これらの構成により、CRC 演算において DSP の汎用演算器を用いることができるので、CRC アクセラレータのためのハード規模投資量を削減でき、一層の装置の小型化・軽量化・低価格化を実現することができる。

【 0 0 4 0 】

本発明の第 1 1 の態様に係る無線通信端末装置は、第 1 から第 1 0 のいずれかの態様の演算処理装置を搭載する構成を採る。

10

【 0 0 4 1 】

本発明の第 1 2 の態様に係る無線通信基地局装置は、第 1 1 の態様の無線通信端末装置と無線通信を行う構成を採る。

【 0 0 4 2 】

本発明の第 1 3 の態様に係る無線通信基地局装置は、第 1 から第 1 0 のいずれかの態様の演算処理装置を搭載する構成を採る。

【 0 0 4 3 】

本発明の第 1 4 の態様に係る無線通信端末装置は、第 1 3 の態様の無線通信端末装置と無線通信を行う構成を採る。

【 0 0 4 4 】

これらの構成により CRC 演算を効率的に行うことができる無線通信を行うことができる。

20

【 0 0 4 5 】

本発明の第 1 5 の態様に係る コンピュータ読み取り可能な記録媒体は、コンピュータを、第 1 記憶手段に格納された演算データの最上位ビットと第 2 記憶手段に格納された入力データとの 2 進数加算を行う第 1 演算手段と、前記演算データを 1 ビット最上位ビット側にシフトしたシフトデータと第 3 記憶手段に格納された生成多項式の係数との 2 進数加算を行う第 2 演算手段と、前記第 1 演算手段の演算結果に基づき、前記第 2 演算手段の演算結果あるいは前記シフトデータのいずれかを選択し、新たな演算データとして前記第 1 記憶手段に格納する選択手段として機能させるためのプログラムを記録した構成を採る。

30

【 0 0 4 6 】

以下、本発明の実施の形態について、添付図面を参照して詳細に説明する。

【 0 0 4 7 】

(実施の形態 1)

図 1 は、本実施の形態に係る演算処理装置の構成を示すブロック図である。

【 0 0 4 8 】

図 1 において、演算データを格納する演算データ記憶部 1 0 1 と、入力データを格納する入力データ記憶部 1 0 2 と、生成多項式の係数を格納する生成多項式記憶部 1 0 3 と、mod 2 加算を行う演算器 1 0 4、1 0 5 と、入力した 2 つのデータのいずれか一方を出力する選択部 1 0 6 とから主に構成される。

40

【 0 0 4 9 】

以下、3 bit CRC の場合を例に、各構成部が行う処理を具体的に説明する。

【 0 0 5 0 】

N bit CRC の場合、演算データ記憶部 1 0 1 及び生成多項式記憶部 1 0 3 は少なくとも N ビットで構成され、演算器 1 0 5 は少なくとも N ビットの mod 2 加算を行う能力を有する必要がある。例えば、3 bit CRC の場合、演算データ記憶部 1 0 1 及び生成多項式記憶部 1 0 3 は、少なくとも 3 ビットで構成され、演算器 1 0 5 は少なくとも 3 ビットの mod 2 加算を行う。

【 0 0 5 1 】

演算データ記憶部 1 0 1 に格納される演算データを MSB から順に { a_2 、 a_1 、 a_0 }

50

とした場合、 a_2 が 3 次と 2 次との境界、 a_1 が 2 次と 1 次との境界、 a_0 が 1 次と 0 次との境界に対応する。

【 0 0 5 2 】

入力データ記憶部 1 0 2 からは、CRC 対象となる入力データが先頭から 1 マシンサイクル毎に 1 ビットずつ順に出力される。以下、入力データ記憶部 1 0 2 に格納される入力データの各時点における先頭の 1 ビットを { b } とする。

【 0 0 5 3 】

生成多項式記憶部 1 0 3 には、(最高次数 - 1) 次以下の項の係数が、次数が最も高いものを MSB として、順に格納される。例えば、生成多項式の係数を MSB から順に { c_2 、 c_1 、 c_0 } とし、生成多項式として $G(X) = 1 + X + X^3$ を用いた場合、{ c_2 、 c_1 、 c_0 } = { 0、1、1 } が格納される。

10

【 0 0 5 4 】

演算器 1 0 4 は、演算データ記憶部 1 0 1 に格納された演算データの MSB { a_2 } と、入力データ記憶部 1 0 2 に格納された入力データ { b } との mod 2 加算を行い、1 ビットの演算結果 { $a_2 \wedge b$ } を選択部 1 0 6 に出力する。

【 0 0 5 5 】

演算器 1 0 5 は、演算データ記憶部 1 0 1 に格納された演算データを MSB 側に 1 ビットシフトさせたデータ (以下、「シフトデータ」という) { a_1 、 a_0 、0 } と、生成多項式記憶部 1 0 3 に格納された生成多項式の係数 { c_2 、 c_1 、 c_0 } との mod 2 加算を行い、演算結果 { $a_1 \wedge c_2$ 、 $a_0 \wedge c_1$ 、 $0 \wedge c_0$ } を選択部 1 0 6 に出力する。

20

【 0 0 5 6 】

選択部 1 0 6 は、演算器 1 0 4 の演算結果 { $a_2 \wedge b$ } に基づいて、シフトデータ { a_1 、 a_0 、0 } と演算器 1 0 5 の演算結果 { $a_1 \wedge c_2$ 、 $a_0 \wedge c_1$ 、 $0 \wedge c_0$ } のいずれか一方を選択し、選択したものを新たに演算データ { a_2 、 a_1 、 a_0 } として演算データ記憶部 1 0 1 に格納する。例えば、演算器 1 0 4 の演算結果が「0」であればシフトデータを演算データ記憶部 1 0 1 に格納し、「1」であれば演算器 1 0 5 の演算結果を演算データ記憶部 1 0 1 に格納する。

【 0 0 5 7 】

次に、本実施の形態に係る演算処理装置の処理動作について、図 2 のフロー図を用いて説明する。なお、図 2 では、3 bit CRC の場合を示し、演算データを $A[2:0]$ 、入力データの各時点における先頭の 1 ビットを B、生成多項式の係数を $C[2:0]$ として表す。

30

【 0 0 5 8 】

まず、ST 1 5 1 で、記憶部 1 0 1 に格納される演算データ $A[2:0]$ を例えば $A(0, 0, 0)$ 等に初期化する。また、CRC 対象となる入力データを記憶部 1 0 2 に読み込ませる。また、生成多項式の係数 $C[2:0]$ を記憶部 1 0 3 に設定する。例えば、生成多項式が $G(X) = 1 + X + X^3$ である場合、 $C(0, 1, 1)$ となる。

【 0 0 5 9 】

次に、ST 1 5 2 で、演算器 1 0 4 にて、 $A[2]$ と B との mod 2 加算： $D = A[2] \wedge B$ が行われ、1 ビットの演算結果 D が選択部 1 0 6 に出力される。

40

【 0 0 6 0 】

次に、ST 1 5 3 から ST 1 5 5 で、選択部 1 0 6 にて、D の値に基づく A の更新処理が行われる。すなわち、 $D = 0$ の場合、シフトデータ $A \ll 1$ を新たな A とする処理： $A = A \ll 1$ が行われ、 $D = 1$ の場合、演算器 1 0 4 にて行われた $A \ll 1$ と C との mod 2 加算の結果を新たな演算データとする処理： $A = (A \ll 1) \wedge C$ が行われる。

【 0 0 6 1 】

そして、ST 1 5 6 の判断で入力データがなくなるまで、ST 1 5 2 から ST 1 5 5 までの処理が繰り返され、ST 1 5 7 で、最終的に得られる A が、3 bit CRC の演算結果である。

【 0 0 6 2 】

50

このように、入力データ1ビットにつき1マシンサイクルでCRC演算を繰り返し実行することにより、DSPによるCRC演算を効率よく実行することができ、DSPの1チップ化、携帯端末の小型化・軽量化・低価格化、及び、バッテリーの長寿命化を実現することができる。

【0063】

(実施の形態2)

図3は、本実施の形態に係る演算処理装置の構成を示すブロック図である。なお、図3において、図1と共通の構成部分については図1と同一の符号を付して説明を省略する。

【0064】

図3に示す演算処理装置は、図1に示す演算処理装置と比較して、演算器104、105の代わりに、選択部201、202、演算器203、演算結果記憶部204を追加した構成を採る。

【0065】

図3に示す演算処理装置は、図1に示す演算処理装置における2つの演算器104、105の処理を演算器203で兼用し、1ビット当たり2マシンサイクルでCRC演算を実行する。選択部201及び選択部202は、1マシンサイクル目と2マシンサイクル目とで、演算器203に入力するデータを切替える。

【0066】

以下、各マシンサイクルにおける各部の動作について説明する。

【0067】

1マシンサイクル目において、選択部201は、入力データ記憶部102に格納された入力データを演算器203に出力する。選択部202は、演算データ記憶部101に格納された演算データのMSBを演算器203に出力する。演算器203は、入力データと演算データのMSBとのmod2加算を行い、演算結果を演算結果記憶部204に格納する。

【0068】

2マシンサイクル目において、選択部201は、演算データ記憶部101に格納された演算データを演算器203に出力する。選択部202は、生成多項式記憶部103に格納された生成多項式の係数を演算器203に出力する。演算器203は、演算データと生成多項式の係数とのmod2加算を行い、演算結果を選択部106に出力する。

【0069】

また、2マシンサイクル目において、選択部106は、演算結果記憶部204に格納された演算結果に基づいて、シフトデータと演算器203の演算結果のいずれか一方を選択し、選択したものを新たに演算データとして演算データ記憶部101に格納する。例えば、演算結果記憶部204に格納された演算結果が「0」であればシフトデータを演算データ記憶部101に格納し、「1」であれば演算器105の演算結果を演算データ記憶部101に格納する。

【0070】

このように、1ビット当たり2マシンサイクルでCRC演算を行い、1つの演算器で2度のmod2加算を行うことにより、実施の形態1よりも装置の構成を簡略化することができる。また、従来に比べて、DSPによるCRC演算を効率よく実行することができ、DSPの1チップ化、携帯端末の小型化・軽量化・低価格化、及び、バッテリーの長寿命化を実現することができる。

【0071】

なお、演算処理装置を2相クロックで動作させ、演算結果記憶部204をラッチ(latch circuit)で構成し、1相目のクロックでラッチさせ、上記1サイクル目に相当する各部の処理を1相目のクロックで行い、上記2サイクル目に相当する各部の処理を2相目のクロックで行わせることにより、本実施の形態に係る演算処理装置は、入力データ1ビット当たり1マシンサイクル相当の時間でCRC演算を実行することができる。

【0072】

(実施の形態3)

10

20

30

40

50

図4は、本実施の形態に係る演算処理装置の構成を示すブロック図である。なお、図4において、図1と共通の構成部分については図1と同一の符号を付して説明を省略する。

【0073】

図4に示す演算処理装置は、図1に示す演算処理装置と比較して、演算器104、105の代わりに、演算器301を追加した構成を採る。

【0074】

図4に示す演算処理装置は、図1に示す演算処理装置における2つの演算器104、105の処理を演算器301で兼用し、2種類のデータをマージ(merge:合併)してから演算することにより、1ビット当たり1マシンサイクルでCRC演算を実行する。

【0075】

以下、3ビットCRCの場合を例に、各構成部が行う処理を具体的に説明する。

【0076】

3ビットCRCの場合、演算データ記憶部101及び生成多項式記憶部103は、少なくとも3ビットで構成され、演算器301は少なくとも4ビットのmod2加算を行う。

【0077】

演算データ記憶部101に格納される演算データをA[2:0]、入力データ記憶部102に格納される入力データの各時点における先頭の1ビットをB、生成多項式記憶部103に格納される生成多項式の係数をC[2:0]とする。

【0078】

演算器301に入力されるデータの一方は、演算データ記憶部101に格納された演算データを1ビットMSB側に論理シフトしたデータ{A[1]、A[0]、0}と入力データ記憶部102に格納された1ビットの入力データ{B}とをマージした値{A[1]、A[0]、0、B}である。また、他方は、生成多項式記憶部103に格納された生成多項式の係数{C[2]、C[1]、C[0]}と演算データ記憶部101に格納された演算データのMSB{A[2]}とをマージした値{C[2]、C[1]、C[0]、A[2]}である。

【0079】

演算器301は、{A[1]、A[0]、0、B}と{C[2]、C[1]、C[0]、A[2]}とのmod2加算を行い、加算結果を選択部106に出力する。

【0080】

選択部106は、演算器301の演算結果のLSB{A[2]^B}に基づいて、シフトデータ{A[1]、A[0]、0}と演算器301のLSB以外の演算結果{A[1]^C[2]、A[0]^C[1]、0^C[0]}のいずれか一方を選択し、選択したものを新たに演算データ{A[2:0]}として演算データ記憶部101に格納する。例えば、{A[2]^B}が「0」であれば{A[1]、A[0]、0}を演算データ記憶部101に格納し、「1」であれば{A[1]^C[2]、A[0]^C[1]、0^C[0]}を演算データ記憶部101に格納する。

【0081】

このように、2種類のデータをマージしてから演算することにより、演算器を1つにして、1ビット当たり1マシンサイクルでCRC演算を行うことができ、実施の形態1よりも装置の構成を簡略化することができる。

【0082】

(実施の形態4)

図5は、本実施の形態に係る演算処理装置の構成を示すブロック図である。なお、図5において、図1と共通の構成部分については図1と同一の符号を付して説明を省略する。

【0083】

図5に示す演算処理装置は、図1に示す演算処理装置と比較して、シフト部401を追加した構成を採る。

【0084】

シフト部401は、生成多項式の(最高次数-1)の値だけ演算データ記憶部101に格

10

20

30

40

50

納される演算データをLSB側に論理シフトし、LSBの値を演算器104に出力する。

【0085】

これにより、任意のビットのCRC演算に対応させることができる。

【0086】

(実施の形態5)

図6は、本実施の形態に係る演算処理装置の構成を示すブロック図である。なお、図6において、図5と共通の構成部分については図5と同一の符号を付して説明を省略する。

【0087】

図6に示す演算処理装置は、図5に示す演算処理装置と比較して、演算データ記憶部101を汎用レジスタ501にて構成し、入力データ記憶部102をRAM502とシフトレジスタ503にて構成し、生成多項式記憶部103をROM504と汎用レジスタ505にて構成し、シフト部401を汎用シフタ506にて構成し、演算器105をALU(Arithmetic Logic Unit)507にて構成している。

10

【0088】

以下、生成多項式として $G(X) = 1 + X + X^3$ を用い、16ビットの固定小数点DSPを用いて3bitCRCを実現する場合を例に、各構成部が行う処理を具体的に説明する。

【0089】

汎用レジスタ501には、演算データA[15:0]が格納され、CRC演算を行う前に初期値A[15:0] = 0x0000が設定される。

20

【0090】

RAM502には、入力データが16ビット詰めでMSBから先頭にデータが数ワード分格納され、CRC演算を行う前に、1ワード分の入力データB[15:0]がシフトレジスタ503に転送される。

【0091】

シフトレジスタ503は、CRC演算が実行されると、1マシンサイクルに1回、MSBの値を演算器104に出力し、同時にシフトアップする。

【0092】

ROM504には、少なくとも1つの生成多項式の係数が格納され、CRC演算を行う前に、予めDSPが指示した生成多項式が汎用レジスタ505に転送される。本例の場合、ROM504には{0, 1, 1}が格納される。

30

【0093】

汎用レジスタ505は、ROM504の出力が16ビットに満たない場合、生成多項式下位側に、残りの上位ビットを零詰めて格納する。3bitCRCの場合、汎用レジスタ505は、C[15:0] = 0x0003を格納する。

【0094】

汎用シフタ506は、生成多項式の(最高次数 - 1)の値だけ汎用レジスタ501に格納された演算データA[15:0]をLSB側に論理シフトし、LSBの値を演算器104に出力する。本例の場合、汎用シフタ506はA[2]を出力する。

【0095】

ALU507には、汎用レジスタ501に格納された演算データを1ビットMSB側に論理シフトした値であるシフトデータ{A[14:0], 0}が常に固定配線で入力される。また、ALU507には、汎用レジスタ505に格納された生成多項式の係数C[15:0]が入力される。ALU507は、{A[14:0], 0}とC[15:0]とのmod2加算を行い、演算結果を選択部106に出力する。

40

【0096】

選択部106には、ALU507の演算結果と、シフトデータが常に固定配線で入力される。選択部106は、演算器104の演算結果に基づいて、ALU507の演算結果とシフトデータのいずれか一方を選択し、選択したものを新たに演算データとして汎用レジスタ501に格納する。例えば、演算器104の演算結果が「0」であればシフトデータを

50

汎用レジスタ501に格納し、「1」であればALU507の演算結果を汎用レジスタ501に格納する。

【0097】

ここで、汎用レジスタ501、505は、CRC演算以外における途中の演算結果を保存できる。

【0098】

シフトレジスタ503は、割り算命令等、DSPのCRC演算以外の命令と兼用できる。

【0099】

汎用シフト506は、CRC演算以外のシフト演算実行命令時は、汎用レジスタ群やメモリ(RAM又はROM)等からデータを入力してシフト演算を行い、演算結果を汎用レジスタやメモリ等へ書き込みを行う。

10

【0100】

ALU507は、CRC演算以外のALU演算実行命令時は、汎用レジスタ群やメモリ(RAM又はROM)等からデータを入力してALU演算を行い、演算結果を汎用レジスタやメモリ等へ書き込みを行う。

【0101】

このように、CRC演算にDSPの汎用レジスタ、シフトレジスタ、汎用シフト、ALU等を適宜用いることにより、演算処理装置をLSI化する場合、チップ面積をさらに削減することができ、コストを低減することができる。

【0102】

20

なお、上記各実施の形態においては、生成多項式の次数の高い方をMSB側に格納したが、LSB側に格納して適宜変更を施すことも可能である。

【0103】

また、無線通信の基地局装置あるいは端末装置のチャンネル復号部に上記各実施の形態に係る演算処理装置のいずれかを組み込むことにより、チャンネル符号化部、チャンネル復号部及びタイミング制御部等を1チップのDSPのソフトウェアで形成できるため、装置における部品点数を削減でき、装置の小型化・軽量化・低価格化を図ることができる。

【0104】

【発明の効果】

以上説明したように、本発明の演算処理装置は、入力データ1ビットにつき1又は2マシンサイクルでCRC演算を繰り返し実行することができるので、DSPによるCRC演算を効率よく実行することができ、DSPの1チップ化、携帯端末の小型化・軽量化・低価格化、及び、バッテリーの長寿命化を実現することができる。

30

【図面の簡単な説明】

【図1】本発明の実施の形態1に係る演算処理装置の構成を示すブロック図

【図2】上記実施の形態に係る演算処理装置の処理動作を示すフロー図

【図3】本発明の実施の形態2に係る演算処理装置の構成を示すブロック図

【図4】本発明の実施の形態3に係る演算処理装置の構成を示すブロック図

【図5】本発明の実施の形態4に係る演算処理装置の構成を示すブロック図

【図6】本発明の実施の形態5に係る演算処理装置の構成を示すブロック図

40

【図7】生成多項式 $G(X) = 1 + X + X^3$ のCRC演算の符号化回路図

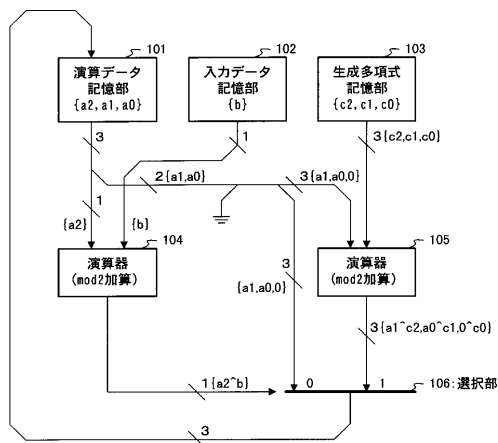
【符号の説明】

- 101 演算データ記憶部
- 102 入力データ記憶部
- 103 生成多項式記憶部
- 104、105、203、301 演算器
- 106、201、202 選択部
- 204 演算結果記憶部
- 401 シフト部
- 501 汎用レジスタ

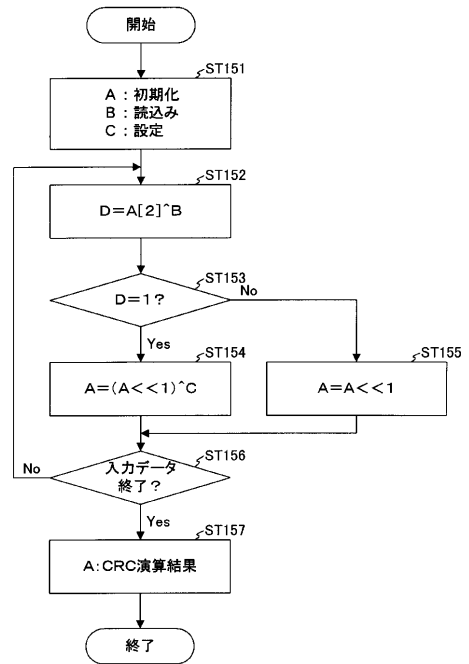
50

- 5 0 3 シフトレジスタ
- 5 0 5 汎用レジスタ
- 5 0 6 汎用シフト
- 5 0 7 A L U

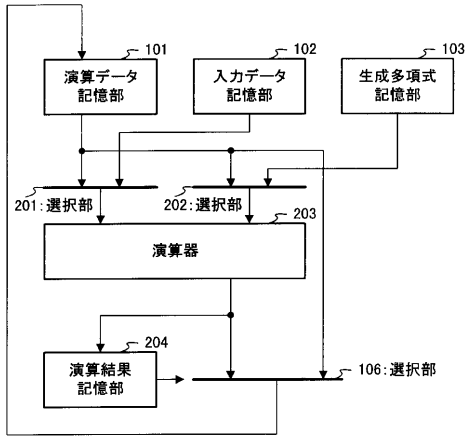
【 図 1 】



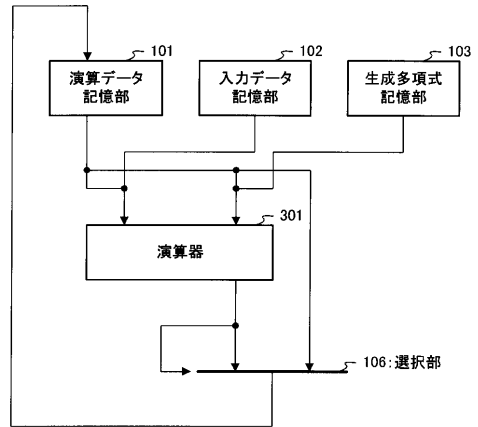
【 図 2 】



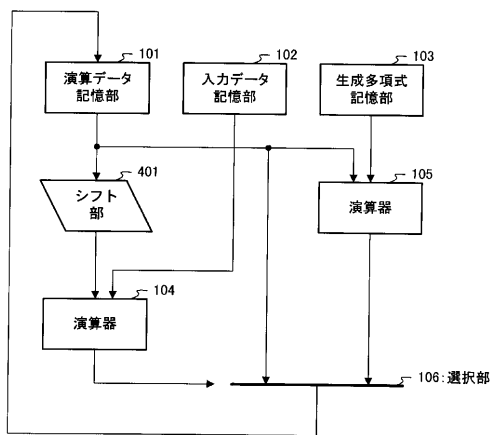
【 図 3 】



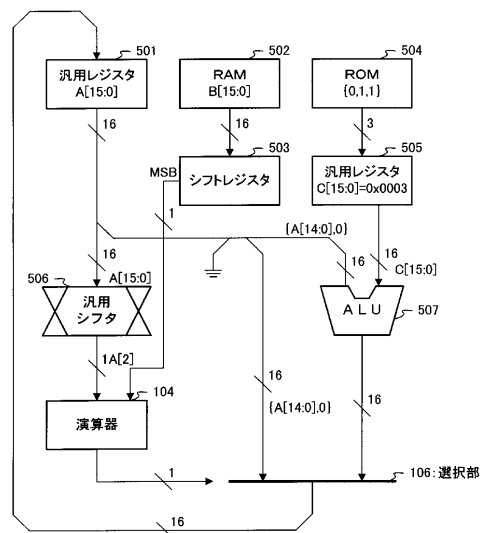
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

審査官 久保 正典

(56)参考文献 特開昭51-132048(JP,A)
特開平07-050596(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)
G06F 11/10
H03M 13/00-13/53