(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2010 年 6 月 24 日(24.06.2010)

PCT

(10) 国際公開番号
WO 2010/070964 A1

(51) 国際特許分類:
H05K 1/02 (2006.01) *H05K 3/28* (2006.01)

(21) 国際出願番号: PCT/JP2009/066907

(22) 国際出願日: 2009 年 9 月 29 日(29.09.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-319852 2008 年 12 月 16 日(16.12.2008) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 **(Murata Manufacturing Co., Ltd.)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 西川博 **(NISHIKAWA Hiroshi)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社村田製作所内 Kyoto (JP). 平井太郎**(HIRAI Taro)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号　株式会社　村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人　楓国際特許事務所 **(Kaede Patent Attorneys' Office)**; 〒5400011 大阪府大阪市中央区農人橋１丁目４番３４号 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

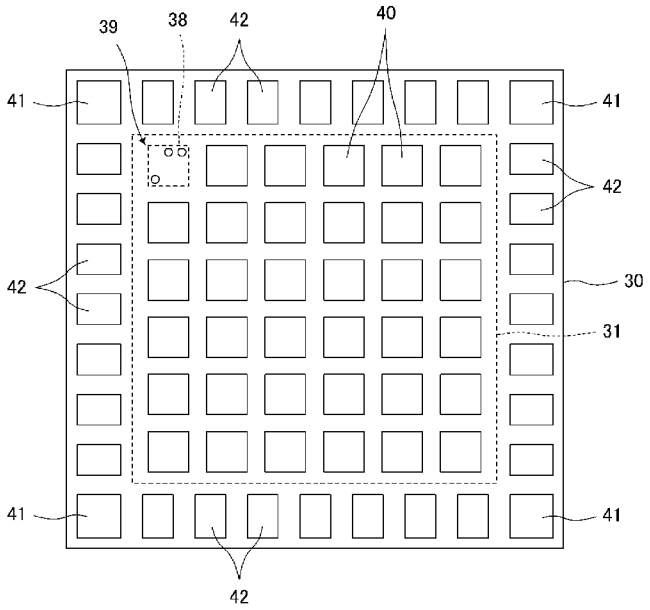
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: CIRCUIT MODULE AND METHOD FOR MANAGING SAME

(54) 発明の名称 : 回路モジュール及びその管理方法

[図3]



(57) **Abstract**: Provided are a small-sized circuit module to which an identifying code has been added and a method for managing the small-sized circuit module. On a module board (30), signal input/output terminals (42) and outer ground terminals (41) are formed around a surface that will serve as a mounting surface when the module board (30) is completed as a circuit module. A plurality of inner ground terminals (40) are formed in an internal ground terminal formation area (31), which is surrounded by the signal input/output terminals (42) and outer ground terminals (41), and further longitudinally and laterally arranged in a matrix. One of the corners is a direction identifying area (39), in which none of the inner ground terminals (40) is formed but a first identifying code is formed which has positional information of the module board (30).

(57) 要約: 識別符号が付された小型の回路モジュール及びその管理方法を提供する。 モジュール基板（３０）には、回路モジュールとして完成したときの実装面側となる面の周囲に、信号入出力端子（４２）、外側グランド端子（４１）が形成されている。この信号入出力端子（４２）及び外側グランド端子（４１）で囲まれた内側グランド端子形成領域（３１）に、縦横のマトリクス状に配列された複数の内側グランド端子（４０）が形成されている。１つの角部は方向識別用領域（３９）であり、この方向識別用領域（３９）には内側グランド端子（４０）が形成されていなくて、この方向識別用領域（３９）に、モジュール基板（３０）の位置情報をもつ第１の識別符号が形成されている。

WO 2010/070964 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 回路モジュール及びその管理方法

技術分野

[0001] 本発明は、回路モジュールおよびその管理方法に関し、特に、識別符号を備えた回路モジュールおよびその管理方法に関するものである。

背景技術

[0002] 各種回路モジュールの製造に際して、集合基板の状態で複数の回路モジュールを同時に構成し、最終的に個別の回路モジュールに分割する製造方法は一般的である。

このような回路モジュール及び集合基板の生産履歴管理を行う方法として特許文献１が開示されている。

[0003] ここで、図１を参照して特許文献１の多面取り基板の生産履歴管理方法及び多面取り基板について説明する。

[0004] 図１に示す多面取り基板１０は、部品実装後に例えば４枚に分割される割基板１１～１４がマトリックス状に配置された基板であり、その割基板以外の部分に基板識別コード（基板ＩＤ）２０が付されると共に、各割基板１１～１４に回路識別コード（回路ＩＤ）２２が付されている。

[0005] 前記基板識別コード２０は、他の多面取り基板１０と重複しないユニークなものとされ、前記回路識別コード２２は、該基板識別コード２０を一部に含むものとされる。

[0006] 例えば、基板識別コード２０が［００００１０］とすると、各割基板１１～１４の回路識別コード２２は、それぞれ［０００１０－００１］［０００１０－００２］［０００１０－００３］［０００１０－００４］とすることができる。

先行技術文献

特許文献

[0007] 特許文献1：特開２００７－４２９３４号公報

発明の概要

発明が解決しようとする課題

[0008] しかし、識別コードを付するには、識別符号を付するためのスペースが必要で、個々の割基板が大型になってしまうという問題があった。特に、基板の裏面には多数の電極が形成されているので、前記識別符号を付するためのスペースが新たに必要になるという問題があった。

[0009] また、回路モジュールの薄型化を図るために、従来行われていた金属キャップを廃して、樹脂封止によるパッケージ化を行った場合、樹脂封止された内部に仮に回路モジュールの識別符号を付与しても、その識別符号を不良解析時に容易に読み取ることができない。

[0010] さらに、樹脂封止を行った場合には、基板と封止樹脂との界面の剥がれ等が信頼性の面で重要である。そのため、例えば、樹脂封止した集合基板状態での不良の発生の監視を可能とするなどのトレーサビリティが要求される。

[0011] そこで、本発明の目的は、識別符号が付された小型の回路モジュール及びその管理方法を提供することにある。

課題を解決するための手段

[0012] 前記課題を解決するために、この発明の回路モジュールは次のように構成する。

（１）複数の回路モジュールが形成された集合基板の分割によって得られる回路モジュールであって、

矩形板状のモジュール基板と、

前記モジュール基板の第１の主面に形成された電極と、

前記モジュール基板の第１の主面に形成されたレジスト膜と、を備え、

前記モジュール基板の第１の主面には、前記電極の部分的な形成／非形成によって、または前記レジスト膜の部分的な形成／非形成によって、前記モジュール基板の方向を表す方向識別用領域を有し、

前記方向識別用領域に前記集合基板上の回路モジュールの位置情報をもつ第１の識別符号が形成されたものとする。

[0013] この構成により、第１の識別符号を設けるための新たなスペースを設ける必要がなくなり、回路モジュールの大型化を避けることができる。

[0014] （２）前記第１の識別符号はドットパターンで表されたものとする。

これにより、文字を形成する場合よりも必要解像度は低くてすみ、限られたスペースに識別符号を形成できる。

[0015] （３）前記第１の識別符号は、前記電極の部分的な形成／非形成によって、または前記レジスト膜の部分的な形成／非形成によって構成されたものとする。

この構成により、電極パターンの形成時に前記第１の識別符号を同時に形成でき、またはレジスト膜の形成時に前記第１の識別符号を同時に形成でき、第１の識別符号を形成するための特別な工程が不要となる。

[0016] （４）前記第１の識別符号は、前記電極の部分的な形成／非形成によって構成され、且つ前記方向識別用領域が前記レジスト膜で覆われているものとする。

この構成により、第１の識別符号が剥がれにくく、前記方向識別用領域を光反射により認識する際に誤認識が生じにくい。

[0017] （５）前記モジュール基板の第１の主面は前記回路モジュールの実装面であり、

前記モジュール基板の第２の主面に複数の部品が配置され、

前記複数の部品は前記モジュール基板上で樹脂により封止されているものとする。

これにより、金属キャップが不要となり、薄型化できる。しかも、樹脂封止された状態のまま識別符号を容易に読み取ることができる。すなわち、特に樹脂封止された回路モジュールに適した構造となる。

[0018] （６）前記モジュール基板の第２の主面側の外面に第２の識別符号が形成されたものとする。

この構成により、２つの識別符号を用いて回路モジュールの識別機能が高まる。

[0019] （７）前記第２の識別符号は、前記集合基板の識別情報をもつものとする。

これにより、第２の識別符号で集合基板が識別でき、第１の識別符号で集合基板内での位置が識別できる。また、第２の識別符号は製造毎に異なるが、第１の識別符号は常に同じパターンに形成できる。このように一定パターンの第１の識別符号は基本的に印刷法で形成できるので、第１の識別符号を形成するためのコストの増加がない。しかも、変動する識別符号のみ第２の識別符号として設けるだけであるので、第２の識別符号の桁数などを最小限なものとすることができ、レーザマーキング等で形成する際に回路モジュール１個あたりに要する時間が長くなることがない。

[0020] この発明の回路モジュールの管理方法は、次のように構成する。

（８） 集合基板に複数の回路モジュールを形成するステップと、

前記集合基板の各モジュール基板部内の方向認識用領域に、前記集合基板上の回路モジュールの位置情報をもつ第１の識別符号を形成するステップと、

前記集合基板を前記各モジュール基板部に分割するステップと、

前記第１の識別符号を読み取り、前記集合基板上の回路モジュールの位置情報を取得するステップと、

によって回路モジュールを管理する。

[0021] この方法により、集合基板内のどの位置から分割された回路モジュールであるかの管理ができ、例えば不良解析性及びトレーサビリティが向上する。

発明の効果

[0022] この発明によれば、第１の識別符号を設けるための新たなスペースを設ける必要がなくなり、回路モジュールの小型化を図ることができる。また、集合基板内のどの位置から分割された回路モジュールであるかの管理ができ、例えば不良解析性及びトレーサビリティが向上する。

図面の簡単な説明

[0023] [図1]特許文献１の多面取り基板の生産履歴管理方法及び多面取り基板について示す図である。

[図2]第１の実施形態に係る回路モジュールの製造途中における集合基板の状態での平面図である。

[図3]１つのモジュール基板３０の構成を示す平面図であり、回路モジュールとして完成したときの実装面側の平面図である。

[図4]方向識別用領域３９に形成されたモジュール基板３０の、集合基板１００における位置を表す第１の識別符号の構成を示す図である。

[図5]第１の識別符号のパターンと情報との関係を表す図である。

[図6]図６（Ａ）は、回路モジュール５０の平面図である。図６（Ｂ）は、第２の識別符号５１の表示と、その内容について示す図である。

[図7]第２の実施形態に係る２種類の回路モジュールの実装面側の平面図である。

[図8]第３の実施形態に係る回路モジュールで用いる第１の識別符号の構成を示す図である。

[図9]図８に示した第１の識別符号のパターンと情報との関係を表す図である。

[図10]第４の実施形態に係る回路モジュールの基板実装面側の平面図である。

[図11]第５の実施形態に係る回路モジュールの基板実装面側の平面図である。

[図12]第６の実施形態に係る回路モジュールの基板実装面側の平面図である。

[図13]第７の実施形態に係る回路モジュールの実装面側の平面図である。

[図14]図１４（Ａ）は回路モジュールの製造方法の手順を示すフローチャート、図１４（Ｂ）は前記回路モジュールの実装手順を示すフローチャート、図１４（Ｃ）は、回路モジュールの動作確認と不良解析についての手順を示すフローチャートである。

発明を実施するための形態

[0024] 《第１の実施形態》

第１の実施形態に係る回路モジュールについて図２～図６を参照して説明する。

図２は第１の実施形態に係る回路モジュールの製造途中における集合基板の状態での平面図である。集合基板１００には複数のモジュール基板部３０が備えられている。この例では１２行×１２列のモジュール基板部を備え、後にこの集合基板１００を分割することによって１４４個の回路モジュールを得ることになる。

[0025] 図３は１つのモジュール基板３０の構成を示す平面図であり、回路モジュールとして完成したときの実装面側（第１の主面側）の平面図である。モジュール基板３０の周辺部（四辺）には信号入出力端子４２が配列されている。またモジュール基板３０の四隅には外側グランド端子４１が形成されている。

なお、モジュール基板３０の四隅のすべてまたは幾つかに信号入出力端子を形成してもよい。このことは、後に示す他の実施形態についても同様である。

[0026] モジュール基板３０の前記信号入出力端子４２及び外側グランド端子４１で囲まれた内側は内側グランド端子形成領域３１である。この内側グランド端子形成領域３１に、縦横のマトリクス状に配列された複数の内側グランド端子４０が形成されている。

[0027] なお、前記信号入出力端子４２及び外側グランド端子４１で囲まれた内側の領域に形成される端子はグランド端子に限らず他の端子や電極であってもよい。例えば信号入力端子が形成されていてもよい。

[0028] この例では、内側グランド端子形成領域３１に６行×６列の内側グランド端子４０が形成されているが、１つの角部は方向識別用領域３９であり、この方向識別用領域３９には内側グランド端子４０が形成されていない。この方向識別用領域３９には後に詳しく述べるように、モジュール基板３０の位置情報をもつ第１の識別符号が形成されている。

[0029] 図４は、前記方向識別用領域３９に形成されたモジュール基板３０の、集

合基板１００における位置を表す第１の識別符号の構成を示す図である。ここで、４つのドット形成領域３８Ｒ１，３８Ｒ２，３８Ｒ３，３８Ｒ４によって行位置情報３８Ｒを構成している。また、４つのドット形成領域３８Ｃ１，３８Ｃ２，３８Ｃ３，３８Ｃ４によって列位置情報３８Ｃを構成している。

[0030] ドット形成領域３８Ｒ１～３８Ｒ４の４つのドットによって、４ビットの２進符号で行位置情報をもたせ、３８Ｃ１～３８Ｃ４の４つのドットによって４ビットの２進符号で列位置情報をもたせる。なお、ドットは電極によって形成されている。

[0031] 例えば、図３に示した方向識別用領域３９に形成された第１の識別符号であれば、（行，列）のビットを表すと（００１１，０１００）であるので、３行目の４列目であることが分かる。すなわち図２に示したモジュール基板領域３０（４，３）のモジュール基板であることが分かる。

[0032] 図５は、第１の識別符号のパターンと情報との関係を表す図である。ここでは行位置情報と列位置情報を同時に表している。図５において「行・列目」は何行目であるか何列目であるかを１０進符号で表した値である。また「ビット表現」は４ビットの２進符号である。さらに「対応マーク」は、図４に示した行位置情報３８Ｒと列位置情報３８Ｃのパターンである。

このようにして、最大（１６行，１６列）のモジュール基板の位置を表す。

[0033] 図２に示した集合基板を基にした回路モジュールの製造工程は次のとおりである。

（１）図２に示した集合基板１００の部品搭載面（図２に示された方向からは裏面側になる面）に所定の電子部品を搭載する。

（２）集合基板１００の部品搭載面の全体を絶縁性の樹脂によって封止する。

（３）各モジュール基板３０の境界線で、樹脂封止面側から集合基板１００の厚みの中央までの深さの溝を形成する。

（４）封止された前記樹脂の表面に導電性ペーストを塗布し、乾燥硬化させる。

（５）その後、各回路モジュールの天面（実装面とは反対側の面）となる位置に、集合基板の識別（その回路モジュールがどの集合基板から分割されたものであるかを表す識別情報）をもつ第２の識別符号を付与する。

（６）最後に、集合基板１００全体をカットすることによって個別の回路モジュールを構成する。

[0034] 図６（Ａ）は、前記製造工程によって製造された回路モジュール５０の平面図である。また、図６（Ｂ）は、第２の識別符号５１Ａの表示と、その内容について示す図である。

[0035] 図６（Ａ）に示すように、回路モジュール５０の天面（モジュール基板の第２の主面側の外面）には、集合基板番号５１Ａ及び製造番号５１Ｂによる第２の識別符号５１がレーザマーキングで形成されている。ここで、製造番号５１Ｂは製造ロットを表すもの、集合基板番号５１Ａは、その製造工場・製造時期において何枚目の集合基板であるかを表すものである。

[0036] 図６（Ｂ）に示すように、第２の識別符号は、０～９及びＡ～Ｚの英数字による２桁で集合基板の基板番号を表す。例えば図６（Ａ）のように、第２の識別符号５１の表記が２Ｂであれば、その回路モジュール５０が７６番目の集合基板から分離されたものであることを表している。

[0037] なお、図３に示した構成で、各電極の形成領域以外の領域（電極間領域）をレジスト膜で被覆してもよい。その際、方向識別用領域３９については、その全体を（すなわち第１の識別符号３８であるドット状の電極を覆うように）レジスト膜で被覆してもよい。

[0038] このことによって、各電極の剥がれを防止できるとともに、方向識別用領域の位置をその光の反射量の違いにより認識する際に、誤認識が生じにくいという効果を奏する。

[0039] また、上述の例では、樹脂封止を行ったが、樹脂で封止せず、金属ケース（キャップ）で封止する場合にも、本発明は適用可能である。このことは、

後に示す他の実施形態についても同様である。

[0040] 《第２の実施形態》

図７（Ａ）、図７（Ｂ）は、第２の実施形態に係る２種類の回路モジュールの実装面側の平面図である。

[0041] 図７（Ａ）の例では、内側グランド端子形成領域３１内に２つの方向識別用領域３９Ａ，３９Ｂが設けられている。方向識別用領域３９Ａには行位置情報３８Ｒが形成されている。方向識別用領域３９Ｂには列位置情報３８Ｃが形成されている。

[0042] このようにして、内側グランド端子４０の複数個分の領域を用いて第１の識別符号を形成してもよい。

[0043] 《第３の実施形態》

図８は、第３の実施形態に係る回路モジュールで用いる第１の識別符号の構成を示す図である。この第１の識別符号は、行位置情報３７Ｒ及び列位置情報３７Ｃを備えている。丸内の数字はビットの桁番号である。

方向識別用領域３９に対してこのように８ビットの行位置情報と８ビットの列位置情報とをもたせてもよい。

[0044] 図９は、図８に示した第１の識別符号のパターンと情報との関係を表す図である。ここでは行位置情報と列位置情報を同時に表している。図９において「行・列目」は何行目であるか何列目であるかを１０進符号で表した値である。また「ビット表現」は８ビットの２進符号である。さらに「対応マーク」は、図８に示した行位置情報３８Ｒまたは列位置情報３８Ｃのパターンである。

このようにして、最大（２５５行，２５５列）のモジュール基板の位置情報をもたせることができる。

[0045] 《第４の実施形態》

図１０は、第４の実施形態に係る回路モジュールの基板実装面側の平面図であり、回路モジュールとして完成したときの実装面側（第１の主面側）の平面図である。モジュール基板３０の周辺部（四辺）には信号入出力端子４

２が配列されている。またモジュール基板３０の四隅には外側グランド端子４１が形成されている。

モジュール基板３０の前記信号入出力端子４２及び外側グランド端子４１で囲まれた内側は内側グランド端子形成領域３１である。この内側グランド端子形成領域３１内に複数の内側グランド端子４０が個別に形成されている。これらの各電極間にはレジスト膜４３が形成されている。

[0046] 方向識別用領域３９には、内側グランド端子４０が形成されず、ドットパターンの電極によって第１の識別符号３８が構成されている。この方向識別用領域３９には、ドットパターンの電極による第１の識別符号３８の表面も含めて全体がレジスト膜４３で被覆されている。

このことによって、各電極の剥がれを防止できるとともに、方向識別用領域の位置をその光の反射量の違いにより認識する際に、誤認識が生じにくいという効果を奏する。

[0047] 《第５の実施形態》

図１１は、第５の実施形態に係る回路モジュールの基板実装面側の平面図であり、回路モジュールとして完成したときの実装面側（第１の主面側）の平面図である。モジュール基板３０の周辺部（四辺）には信号入出力端子４２が配列されている。またモジュール基板３０の四隅には外側グランド端子４１が形成されている。

モジュール基板３０の、信号入出力端子４２及び外側グランド端子４１で囲まれた内側は内側グランド端子形成領域３１である。この内側グランド端子形成領域３１内に連続したグランド電極が形成されている。但し、方向識別用領域３９にグランド電極の部分的な開口（抜きパターン）によって第１の識別符号３８が形成されている。

[0048] また、内側グランド端子形成領域３１内の方向識別用領域３９以外の領域にはレジスト膜４３の部分的な開口によって内側グランド端子４０が設けられている。

[0049] 隣接する信号入出力端子４２同士の間、及び外側グランド端子４１と信号

入出力端子４２との間にもレジスト膜４３が形成されている。

[0050] 方向識別用領域３９には、グランド電極の前記抜きパターンによる第１の識別符号３８の表面も含めて全体がレジスト膜４３で被覆されている。

このことによって、各電極の剥がれを防止できるとともに、方向識別用領域の位置をその光の反射量の違いにより認識する際に、誤認識が生じにくいという効果を奏する。

[0051] 《第６の実施形態》

図１２は、第６の実施形態に係る回路モジュールの基板実装面側の平面図であり、回路モジュールとして完成したときの実装面側（第１の主面側）の平面図である。モジュール基板３０の周辺部（四辺）には信号入出力端子４２が配列されている。またモジュール基板３０の四隅には外側グランド端子４１が形成されている。

モジュール基板３０の、信号入出力端子４２及び外側グランド端子４１で囲まれた内側は内側グランド端子形成領域３１である。この内側グランド端子形成領域３１内に連続したグランド電極が形成されている。そして、内側グランド端子形成領域３１内に複数のレジスト膜４３の開口による内側グランド端子４０が形成されている。但し、方向識別用領域３９にはレジスト膜の部分的な開口（抜きパターン）によって第１の識別符号３８が形成されている。

[0052] このようにしてレジスト膜のパターンによって第１の識別符号を形成してもよい。

この構成により、第１の識別符号３８が剥がれにくくなる。

[0053] 《第７の実施形態》

図１３は、第７の実施形態に係る回路モジュールの実装面側の平面図である。この例では、内側グランド端子形成領域３１に、連続したグランド電極４０Ａが形成され、レジスト膜４３の開口による内側グランド端子４０が設けられるとともに、レジスト膜のパターンによって第１の識別符号３８が形成されている。この第１の識別符号３８の周囲（方向識別用領域３９）には

グランド電極が形成されていなくて、この部分にレジスト膜のみによって第１の識別符号３８が形成されている。

[0054] なお、以上に示した各実施形態では、第１の識別符号をドットパターンで表した例を示したが、ドットパターンは丸形に限らず矩形であってもよい。形状の異なるドットパターンを用いることにより、少ないドット数でより多くの位置を表すことができる。例えば図５に示した８個のドットで１６行×１６列を超える範囲での位置情報をもたせること、及びその位置情報の識別を行うことができる。

[0055] また、例えば集合基板ごとまたはモジュール基板ごとに製造条件や回路構成等を異ならせた場合に、それらの違いに応じて第１の識別符号のドットパターンの形状を異ならせてもよい。このことにより、製造条件や回路構成等の識別を容易に行うこともできる。これらのドットパターンは、丸型・矩形・三角形・十字型・六角形など、様々な形状にすることができる。

[0056] また、第１の識別符号はドットパターンに限らず、バー形状であってもよい。また、２進符号に限らず、１次元や２次元のバーコードで表したものであってもよい。さらには、第１の識別符号を文字で形成してもよいが、ドットやバーで形成した方が、限られたスペースに形成できるという効果を奏する。

[0057] 《第８の実施形態》

次に、この発明の回路モジュールの管理方法について図１４のフローチャートを参照して説明する。

図１４（Ａ）は回路モジュールの製造方法の手順を示すフローチャートである。まず、第１の実施形態で図２等に示したように、集合基板１００に対して複数の回路モジュールを形成する（Ｓ１１）。続いて各回路モジュールの表面側に第２の識別符号をレーザマーキング法で形成する（Ｓ１２）。その後、複数の回路モジュールへ分割し、所定のパーツフィーダに適合するようにテーピングする（Ｓ１３→Ｓ１４）。

[0058] 図１４（Ｂ）は前記回路モジュールの実装手順を示すフローチャートであ

る。まずテープフィーダーから回路モジュールを取り出し、回路モジュールの方向を前記方向識別用領域の位置によって認識する（Ｓ２１→Ｓ２２）。これは、回路モジュールを真空チャックで吸引した状態で回路モジュールの実装面側をカメラで撮像して画像認識することによって行う。正常であれば、その回路モジュールを実装基板上へ実装する（Ｓ２３→Ｓ２４）。もし方向が異常であれば、その回路モジュールについてはリジェクトする等の異常処理を行う（Ｓ２５）。以上の処理を繰り返すことによって回路モジュールの実装を行う。

[0059] 図１４（Ｃ）は、回路モジュールの動作確認と不良解析についての手順を示すフローチャートである。まず、回路モジュールを動作確認装置に接続し、動作確認を自動的に行う（Ｓ３１）。正常であれば、次の回路モジュールと交換して、同様の処理を繰り返す（Ｓ３２→Ｓ３３→Ｓ３１）

もし異常であれば、その回路モジュールの実装面側の第１の識別符号を読み取り、その回路モジュールが集合基板のどの位置から切り出されたものであるかを把握する。そして、その回路モジュールの不良解析を行う（Ｓ３４→Ｓ３５）。このことにより、集合基板の位置と不良率や不良モードとの関係（分布等）を統計的に管理できる。

[0060] また、回路モジュールの表面側の第２の識別符号を読み取ることによって、その回路モジュールがどの集合基板から切り出されたものであるかが把握できる。

これにより、いつ製造されたどの集合基板のどこから分割された回路モジュールであるかを管理対象にでき、トレーサビリティが向上する。なお、識別符号の読み取りは、画像認識で行ったり、レーザー、顕微鏡を用いて行ったりできる。

符号の説明

[0061] １００…集合基板

３０…モジュール基板，モジュール基板部

３１…内側グランド端子形成領域

３７Ｃ…列位置情報

３７Ｒ…行位置情報

３８…第１の識別符号

３８Ｃ…列位置情報

３８Ｃ１，３８Ｃ２，３８Ｃ３，３８Ｃ４…ドット形成領域

３８Ｒ…行位置情報

３８Ｒ１，３８Ｒ２，３８Ｒ３，３８Ｒ４…ドット形成領域

３９…方向識別用領域

３９Ａ，３９Ｂ…方向識別用領域

４０…内側グランド端子

４１…外側グランド端子

４２…信号入出力端子

４３…レジスト膜

５０…回路モジュール

５１…第２の識別符号

５１Ａ…集合基板番号

５１Ｂ…製造番号

請求の範囲

[請求項1] 複数の回路モジュールが形成された集合基板の分割によって得られる回路モジュールであって、

矩形板状のモジュール基板と、

前記モジュール基板の第１の主面に形成された電極と、

前記モジュール基板の第１の主面に形成されたレジスト膜と、を備え、

前記モジュール基板の第１の主面には、前記電極の部分的な形成／非形成によって、または前記レジスト膜の部分的な形成／非形成によって、前記モジュール基板の方向を表す方向識別用領域を有し、

前記方向識別用領域に前記集合基板上の前記モジュール基板の位置情報をもつ第１の識別符号が形成された回路モジュール。

[請求項2] 前記第１の識別符号はドットパターンで表された、請求項１に記載の回路モジュール。

[請求項3] 前記第１の識別符号は、前記電極の部分的な形成／非形成によって、または前記レジスト膜の部分的な形成／非形成によって構成された、請求項１または２に記載の回路モジュール。

[請求項4] 前記第１の識別符号は、前記電極の部分的な形成／非形成によって構成され、且つ前記方向識別用領域が前記レジスト膜で覆われた、請求項１～３のいずれかに記載の回路モジュール。

[請求項5] 前記モジュール基板の第１の主面は前記回路モジュールの実装面であり、

前記モジュール基板の第２の主面に複数の部品が配置され、

前記複数の部品は前記モジュール基板上で樹脂により封止されている、請求項１～４のいずれかに記載の回路モジュール。

[請求項6] 前記モジュール基板の第２の主面側の外面に第２の識別符号が形成された、請求項１～５のいずれかに記載の回路モジュール。

[請求項7] 前記第２の識別符号は、前記集合基板の識別情報をもつ、請求項６

に記載の回路モジュール。

[請求項8] 集合基板に複数の回路モジュールを形成するステップと、

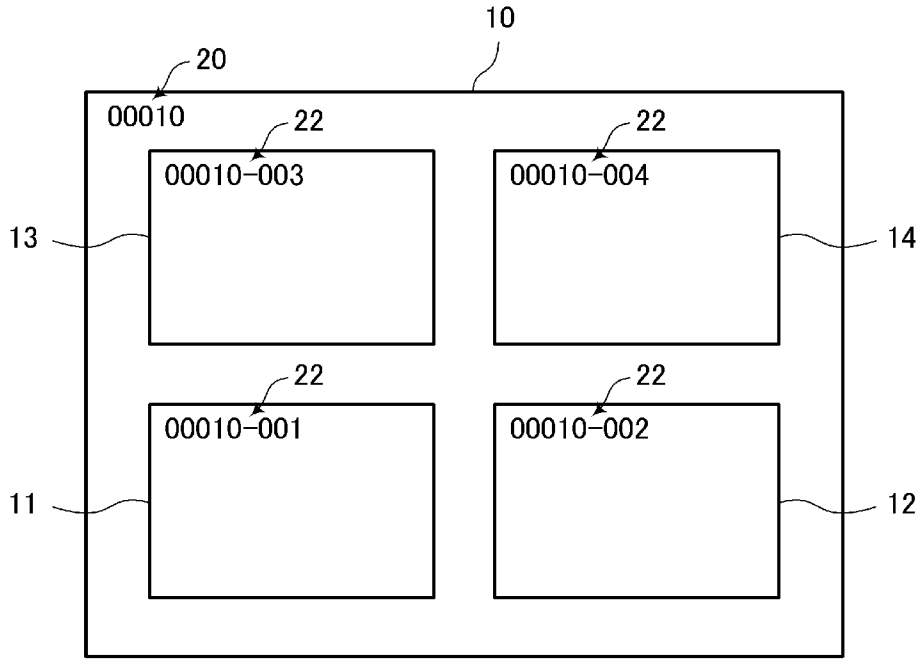
前記集合基板の各モジュール基板部内の方向認識用領域に、前記集合基板上の回路モジュールの位置情報をもつ第１の識別符号を形成するステップと、

前記集合基板を前記各モジュール基板部に分割するステップと、

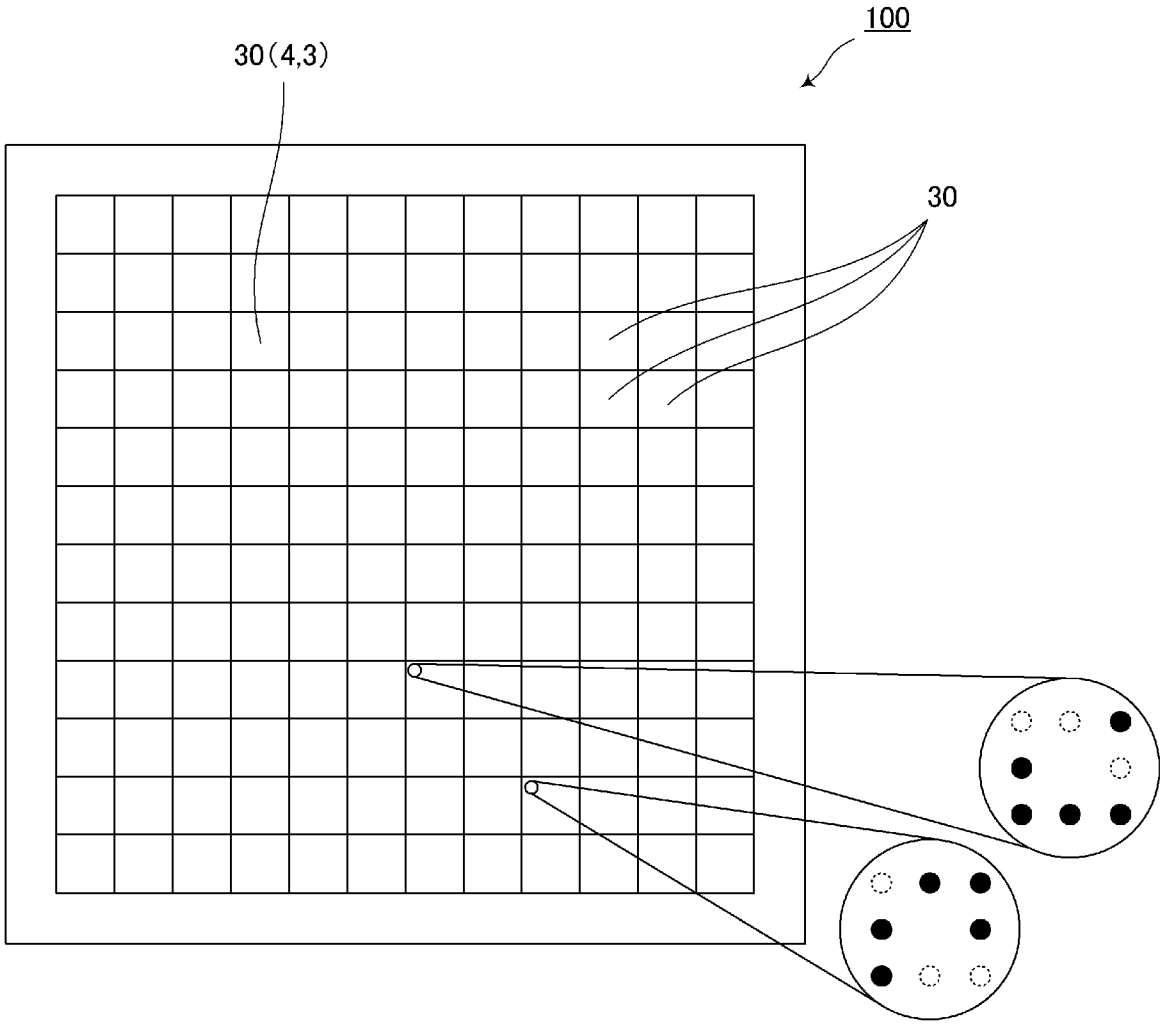
前記第１の識別符号を読み取り、前記集合基板上の回路モジュールの位置情報を取得するステップと、

を実行する回路モジュールの管理方法。

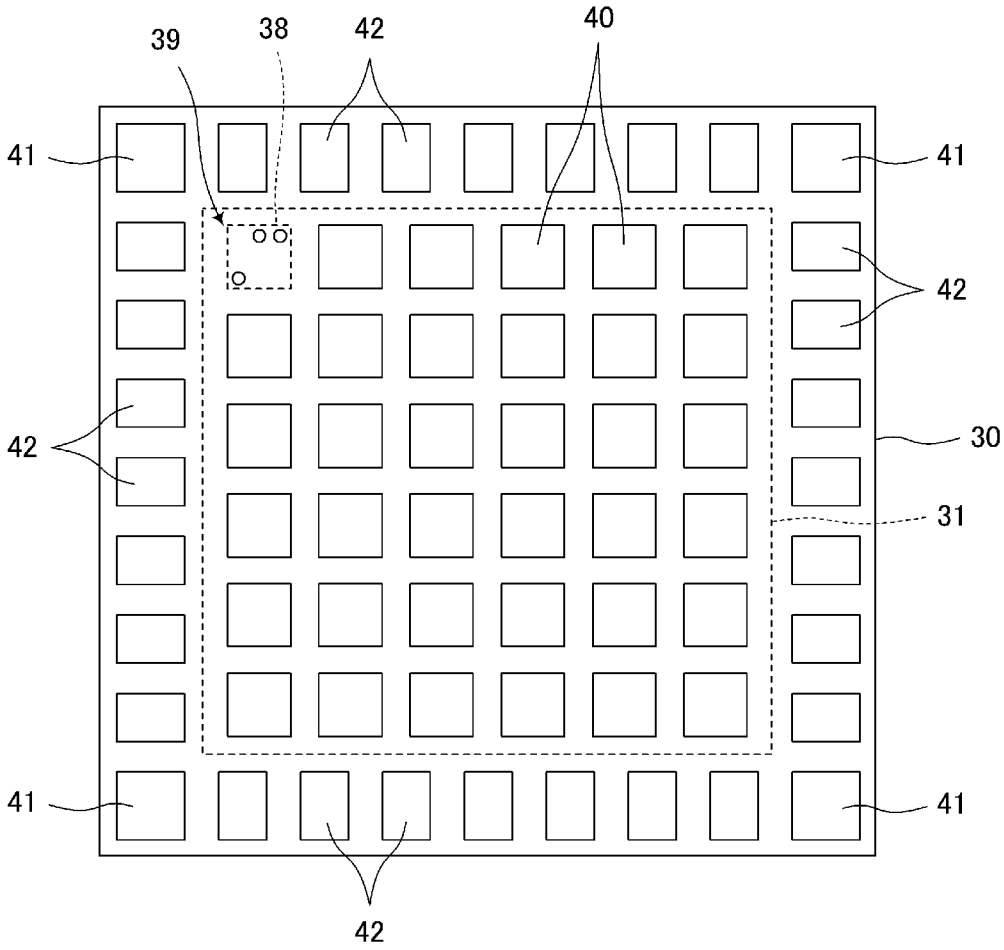
[図1]


10
20
00010
22
00010-003
22
00010-004
13
14
22
00010-001
22
00010-002
11
12

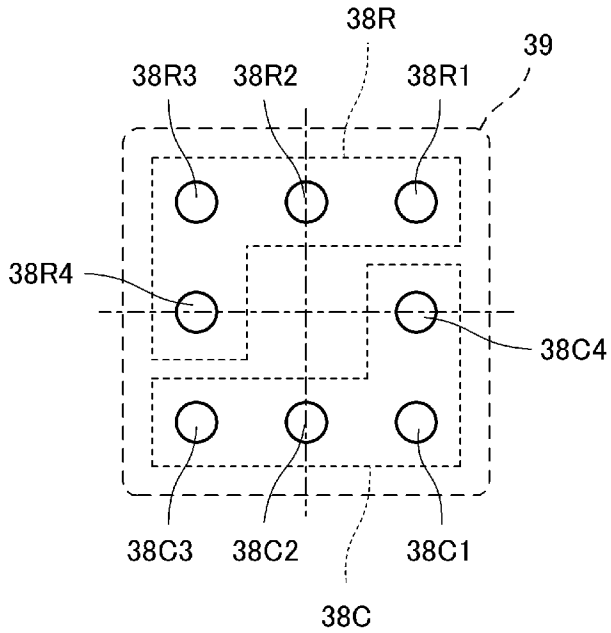
[図2]


100
30(4,3)
30

[図3]


39
38
42
40
41
41
42
42
30
31
41
41
42

[図4]

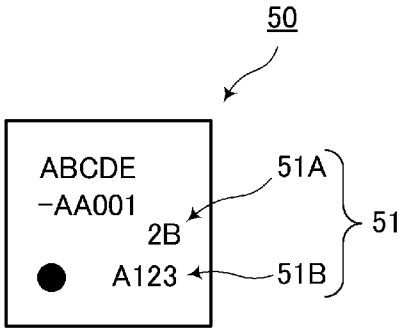

38R
39
38R3
38R2
38R1
38R4
38C4
38C3
38C2
38C1
38C

[図5]

行・列目	ビット表現 4321	対応マーク（色塗り以外はパターン消去）	
		行	列
1	0001	○ ○ ● ○	○ ○ ○ ●
2	0010	○ ● ○ ○	○ ○ ● ○
3	0011	○ ● ● ○	○ ○ ● ●
4	0100	● ○ ○ ○	○ ● ○ ○
5	0101	● ○ ● ○	○ ● ○ ●
6	0110	● ● ○ ○	○ ● ● ○
7	0111	● ● ● ○	○ ● ● ●
8	1000	○ ○ ○ ●	● ○ ○ ○
9	1001	○ ○ ● ●	● ○ ○ ●
10	1010	○ ● ○ ●	● ○ ● ○
11	1011	○ ● ● ●	● ○ ● ●
12	1100	● ○ ○ ●	● ● ○ ○
13	1101	● ○ ● ●	● ● ○ ●
14	1110	● ● ○ ●	● ● ● ○
15	1111	● ● ● ●	● ● ● ●
16	0000	○ ○ ○ ○	○ ○ ○ ○

[図6]

（A）



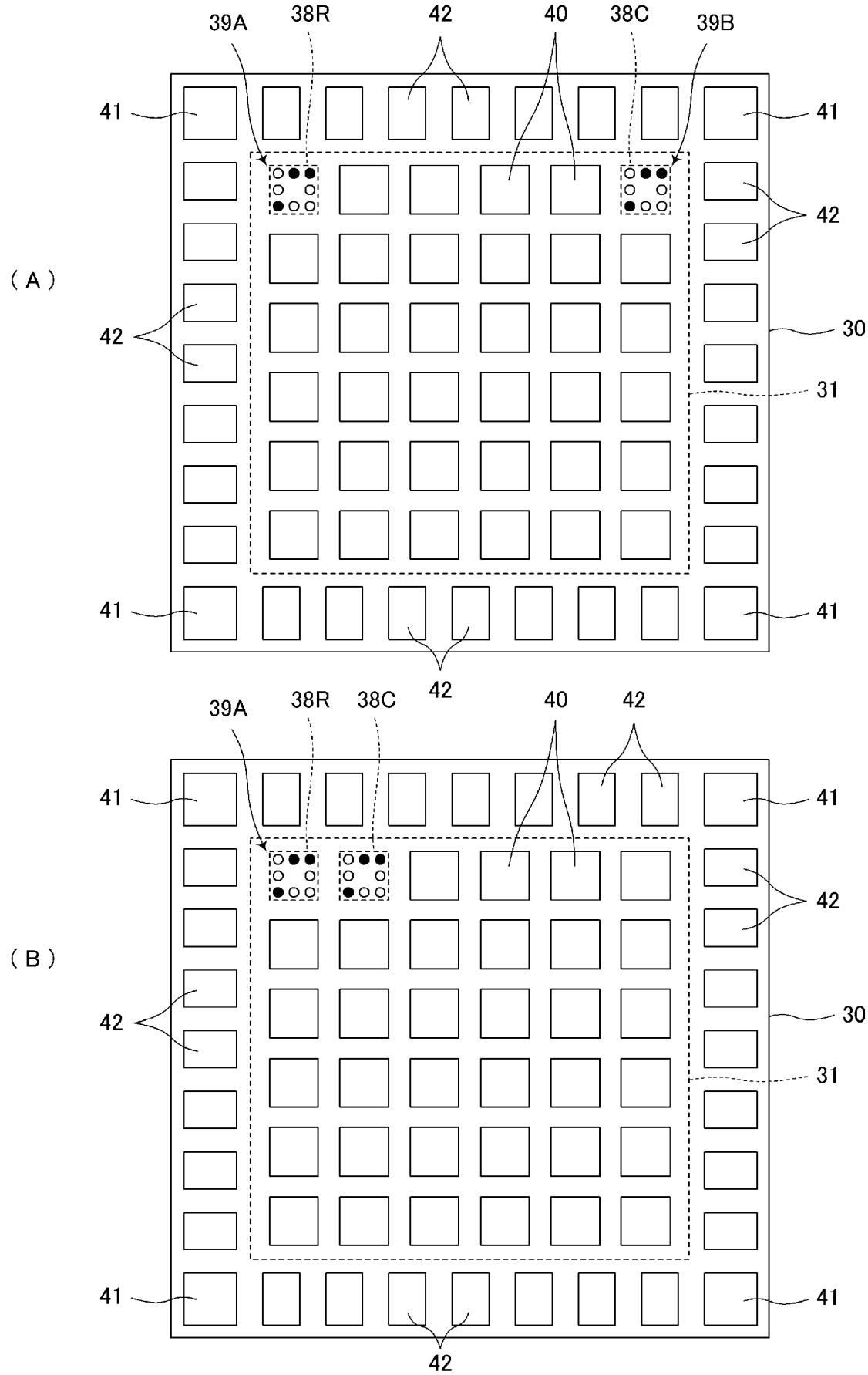
（B）

第2の識別符号

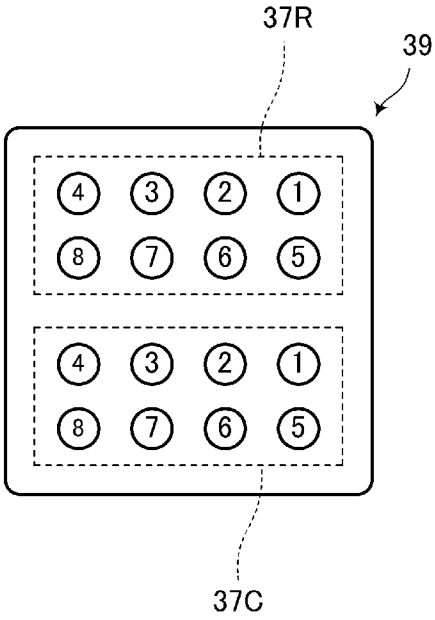
基板番号	表記
1	01
2	02
⋮	⋮
9	09
10	0A
11	0B
⋮	⋮
32	0Z
33	10
34	11
⋮	⋮
64	1Z
65	20
66	21
⋮	⋮
76	2B
⋮	⋮
97	2Z
98	30
99	31
100	32
⋮	⋮
130	3Z
⋮	⋮

1	01
2	02
3	03
4	04
5	05
6	06
7	07
8	08
9	09
10	0A
11	0B
12	0C
13	0D
14	0E
15	0F
16	0G
17	0H
18	0J
19	0K
20	0L
21	0M
22	0N
23	0P
24	0Q
25	0R
26	0T
27	0U
28	0V
29	0W
30	0X
31	0Y
32	0Z

[図7]



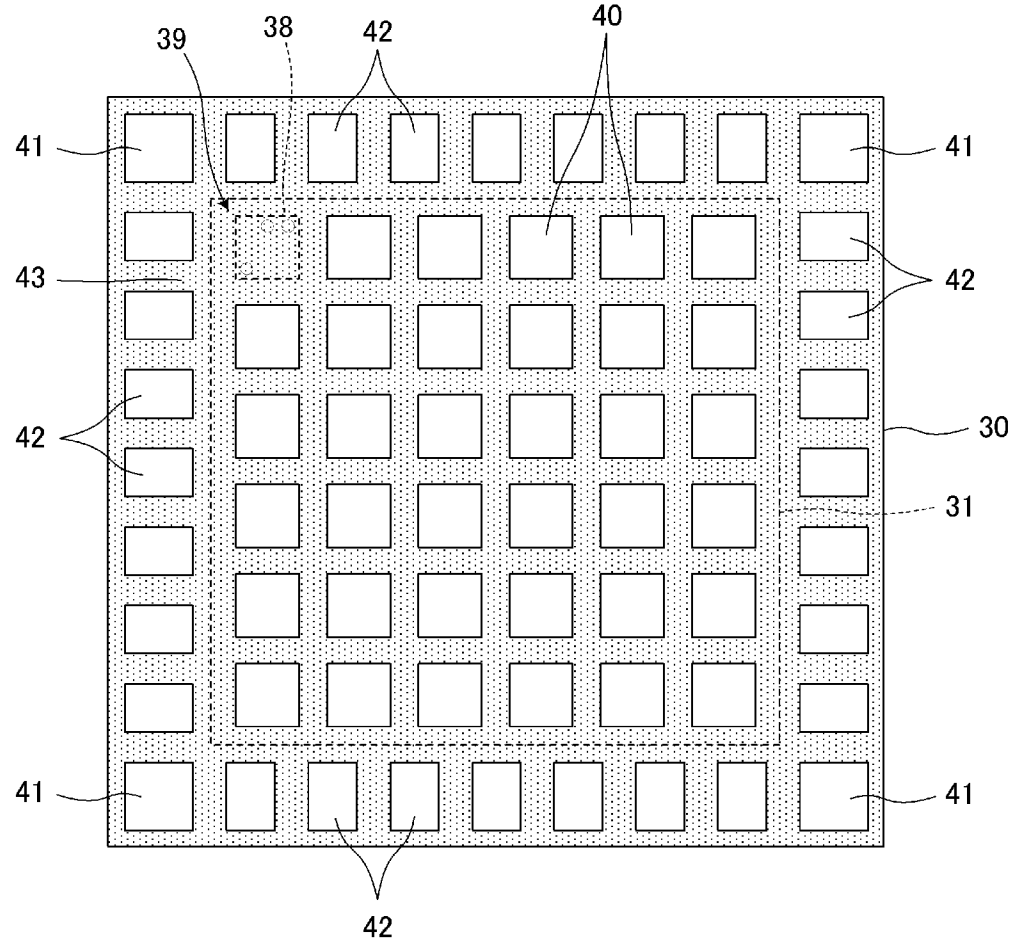
[図8]



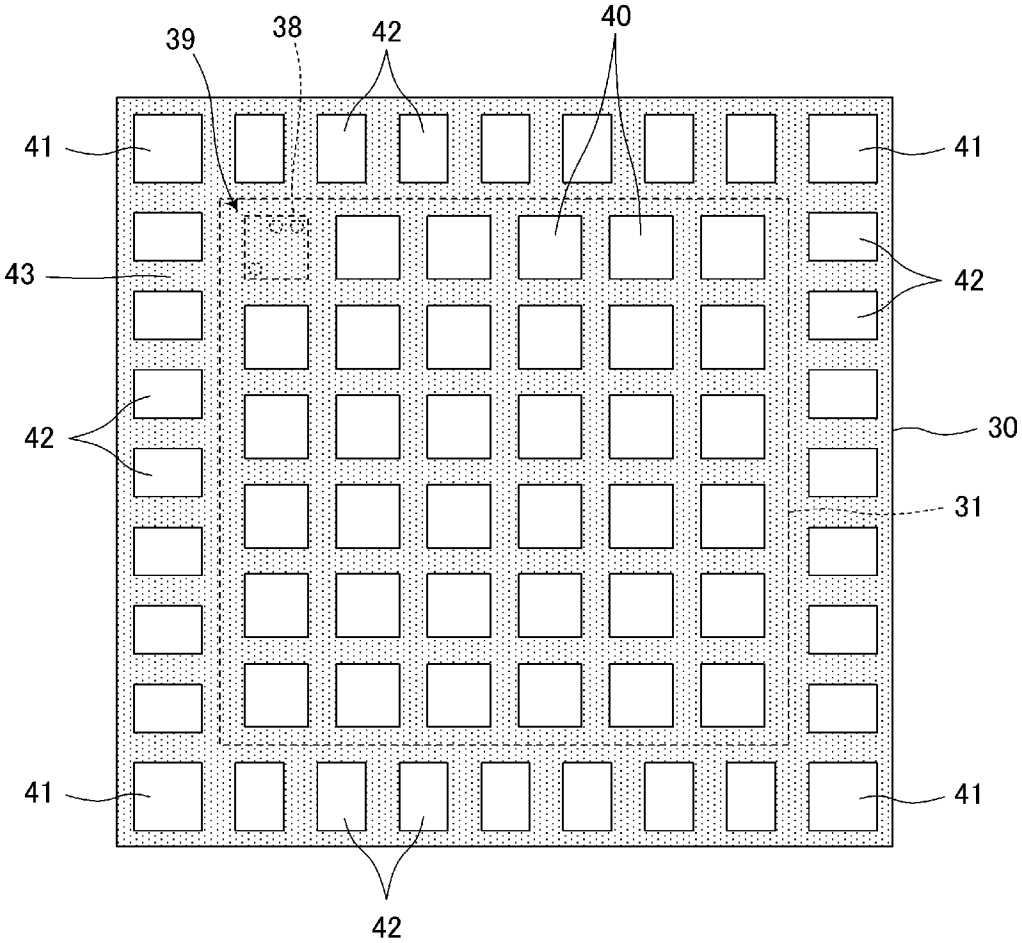
[図9]

行・列目	ビット表現 8765 4321	対応マーク （色塗り以外はパターン消去）
1	0000 0001	④ ③ ② ● ⑧ ⑦ ⑥ ⑤
2	0000 0010	④ ③ ● ① ⑧ ⑦ ⑥ ⑤
3	0000 0011	④ ③ ● ● ⑧ ⑦ ⑥ ⑤
4	0000 0100	④ ● ② ① ⑧ ⑦ ⑥ ⑤
5	0000 0101	④ ● ② ● ⑧ ⑦ ⑥ ⑤
6	0000 0110	④ ● ● ① ⑧ ⑦ ⑥ ⑤
7	0000 0111	④ ● ● ● ⑧ ⑦ ⑥ ⑤
8	0000 1000	● ③ ② ① ⑧ ⑦ ⑥ ⑤
9	0000 1001	● ③ ② ● ⑧ ⑦ ⑥ ⑤
10	0000 1010	● ③ ● ① ⑧ ⑦ ⑥ ⑤
11	0000 1011	● ③ ● ● ⑧ ⑦ ⑥ ⑤
12	0000 1100	● ● ② ① ⑧ ⑦ ⑥ ⑤
13	0000 1101	● ● ② ● ⑧ ⑦ ⑥ ⑤
14	0000 1110	● ● ● ① ⑧ ⑦ ⑥ ⑤
15	0000 1111	● ● ● ● ⑧ ⑦ ⑥ ⑤
16	0001 0000	④ ③ ② ① ⑧ ⑦ ⑥ ●
17	0001 0001	④ ③ ② ● ⑧ ⑦ ⑥ ⑤

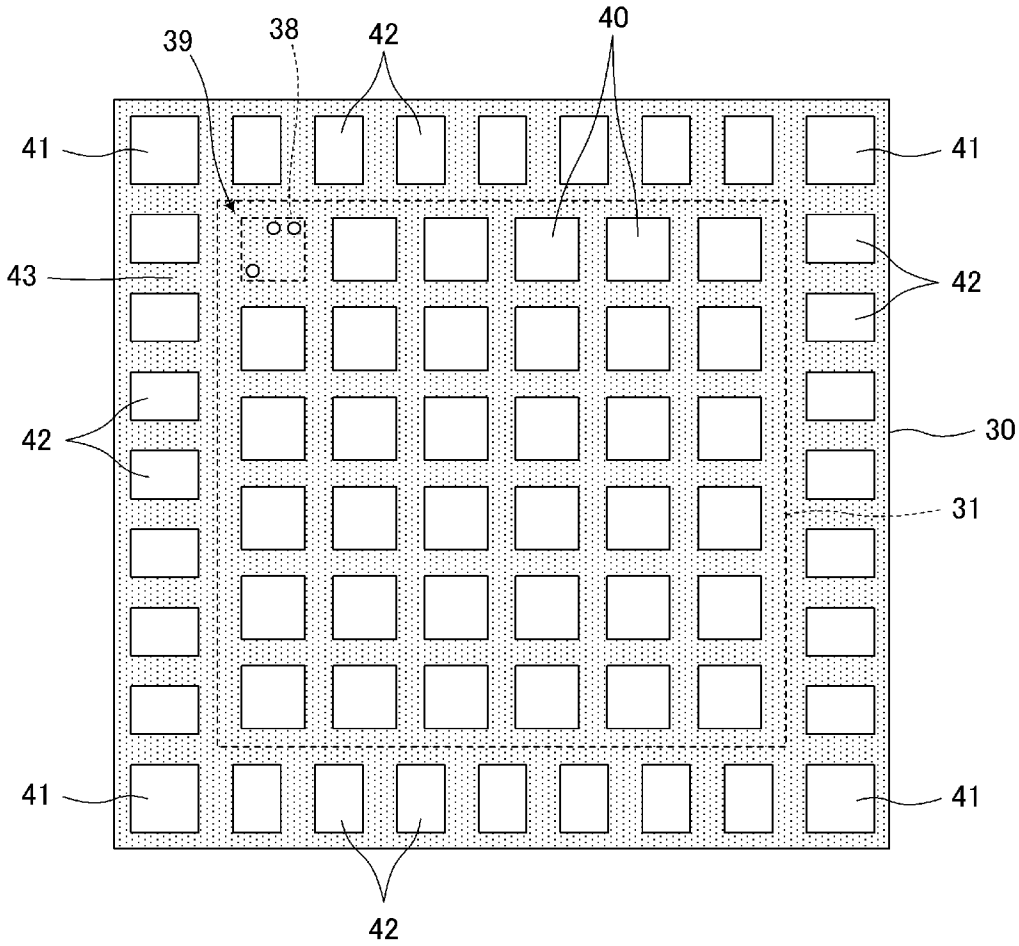
[図10]


39
38
42
40
41
41
43
42
42
30
31
41
41
42

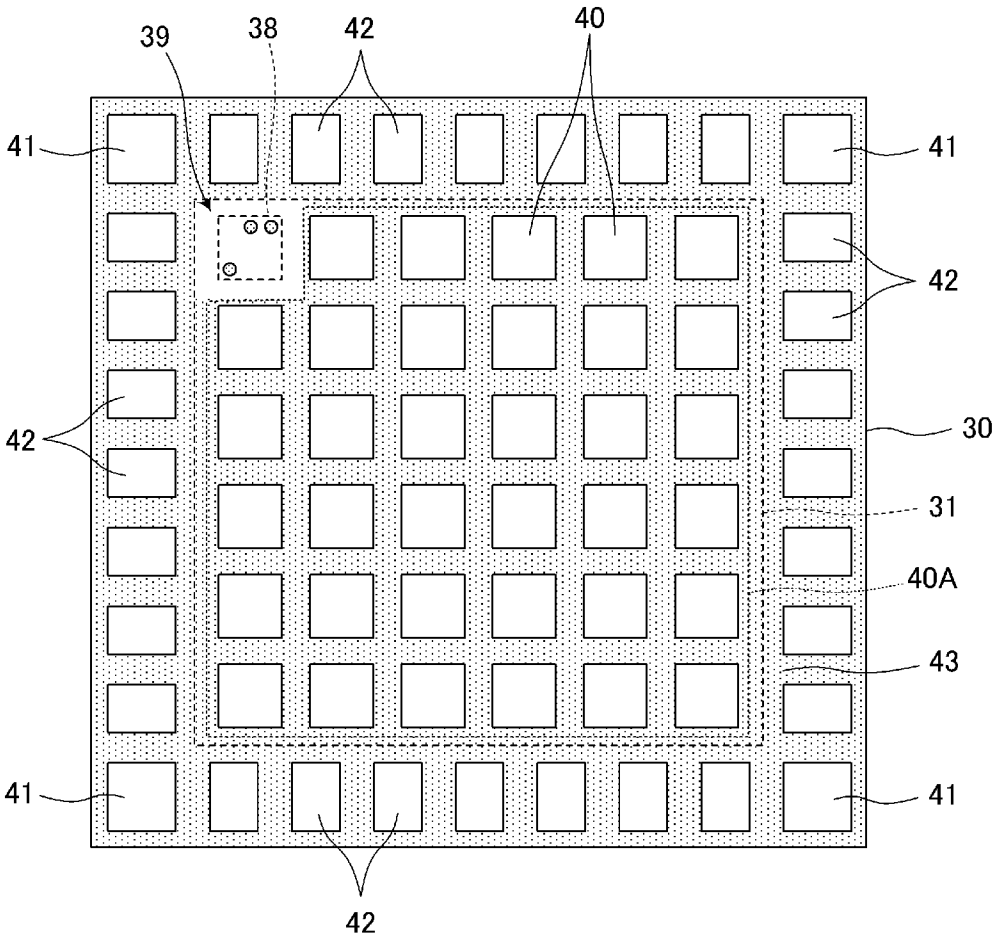
[図11]


39
38
42
40
41
41
43
42
42
30
31
41
41
42

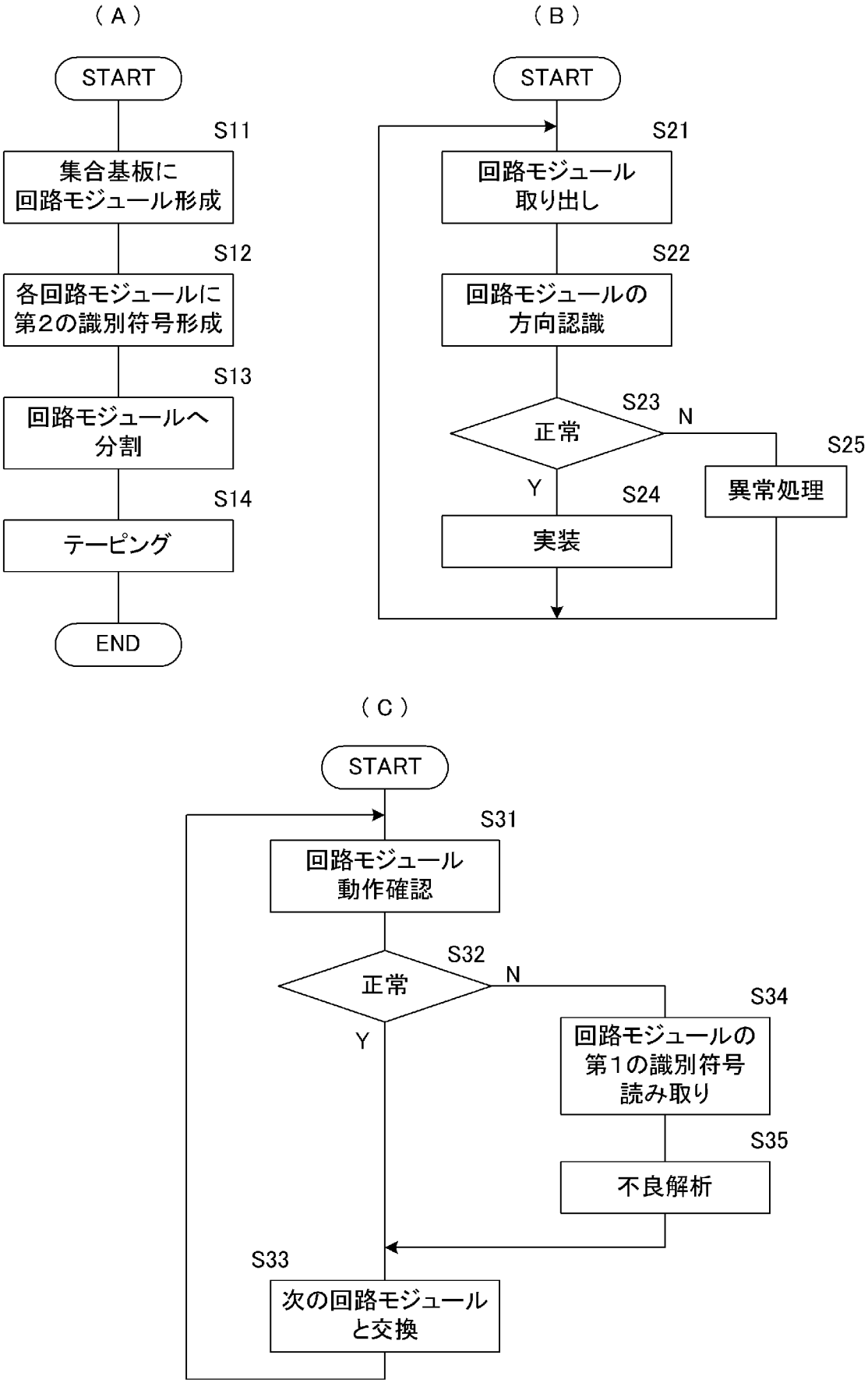
[図12]


39
38
42
40
41
41
43
42
42
30
31
41
41
42

[図13]


39
38
42
40
41
41
42
42
30
31
40A
43
41
41
42

[図14]


（A）
START
S11
集合基板に
回路モジュール形成
S12
各回路モジュールに
第2の識別符号形成
S13
回路モジュールへ
分割
S14
テーピング
END
（B）
START
S21
回路モジュール
取り出し
S22
回路モジュールの
方向認識
S23
正常
N
S25
異常処理
Y
S24
実装
（C）
START
S31
回路モジュール
動作確認
S32
正常
N
S34
回路モジュールの
第1の識別符号
読み取り
Y
S35
不良解析
S33
次の回路モジュール
と交換

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/066907

A. CLASSIFICATION OF SUBJECT MATTER
H05K1/02(2006.01)i, *H05K3/28*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05K1/02, H05K3/00, H05K3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y X	JP 2001-156217 A (Hitachi, Ltd.), 08 June 2001 (08.06.2001), claim 5; paragraphs [0019] to [0025], [0034]; fig. 4, 16 & US 6602734 B1 & US 6797539 B2 & US 2005/0026323 A1 & TW 558806 B & KR 10-2001-0067329 A	1-7 8
Y	JP 2005-294635 A (Seiko Epson Corp.), 20 October 2005 (20.10.2005), claims 1 to 4; paragraphs [0016] to [0019], [0025]; fig. 1 to 3 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 December, 2009 (21.12.09)	12 January, 2010 (12.01.10)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/066907

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 98576/1989(Laid-open No. 38654/1991) (Shindengen Electric Mfg. Co., Ltd.), 15 April 1991 (15.04.1991), fig. 1 (Family: none)	2-7
A	JP 5-218600 A (Ibiden Co., Ltd.), 27 August 1993 (27.08.1993), entire text (Family: none)	1-8
A	JP 2007-42934 A (Juki Corp.), 15 February 2007 (15.02.2007), entire text (Family: none)	1-8
A	JP 2005-183939 A (Matsushita Electric Industrial Co., Ltd.), 07 July 2005 (07.07.2005), entire text & US 2007/0089113 A1 & EP 1688810 A1 & WO 2005/052705 A1 & KR 10-2006-0117933 A & CN 1886707 A	1-8
A	JP 2002-43703 A (Optrex Corp.), 08 February 2002 (08.02.2002), entire text (Family: none)	1-8
A	JP 2003-188039 A (Murata Mfg. Co., Ltd.), 04 July 2003 (04.07.2003), entire text (Family: none)	1-8
A	JP 2005-277075 A (Kyocera Corp.), 06 October 2005 (06.10.2005), entire text (Family: none)	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／０６６９０７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H05K1/02(2006.01)i, H05K3/28(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H05K1/02, H05K3/00, H05K3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y X	JP 2001-156217 A（株式会社日立製作所）2001.06.08, 請求項５、段落【００１９】～【００２５】、【００３４】、第４図、第１６図 & US 6602734 B1 & US 6797539 B2 & US 2005/0026323 A1 & TW 558806 B & KR 10-2001-0067329 A	1-7 8
Y	JP 2005-294635 A（セイコーエプソン株式会社）2005.10.20, 請求項１～請求項４、段落【００１６】～【００１９】、【００２５】、第１～３図（ファミリーなし）	1-7

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２１．１２．２００９	国際調査報告の発送日 １２．０１．２０１０
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　３Ｓ　３６２９ 貞光　大樹 電話番号　０３－３５８１－１１０１　内線　３３９１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	日本国実用新案登録出願 1-98576 号(日本国実用新案登録出願公開 3-38654 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（新電元工業株式会社）1991.04.15, 第１図（ファミリーなし）	2-7
A	JP 5-218600 A（イビデン株式会社）1993.08.27, 全文（ファミリーなし）	1-8
A	JP 2007-42934 A（ＪＵＫＩ株式会社）2007.02.15, 全文（ファミリーなし）	1-8
A	JP 2005-183939 A（松下電器産業株式会社）2005.07.07, 全文 & US 2007/0089113 A1 & EP 1688810 A1 & WO 2005/052705 A1 & KR 10-2006-0117933 A & CN 1886707 A	1-8
A	JP 2002-43703 A（オプトレックス株式会社）2002.02.08, 全文（ファミリーなし）	1-8
A	JP 2003-188039 A（株式会社村田製作所）2003.07.04, 全文（ファミリーなし）	1-8
A	JP 2005-277075 A（京セラ株式会社）2005.10.06, 全文（ファミリーなし）	1-8