(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0100012
(43) 공개일자 2022년07월14일

(51) 국제특허분류(Int. Cl.)
H01L 27/146 (2006.01)
(52) CPC특허분류
H01L 27/1463 (2013.01)
H01L 27/14603 (2013.01)
(21) 출원번호 10-2022-7019570
(22) 출원일자(국제) 2020년11월06일
심사청구일자 2022년06월09일
(85) 번역문제출일자 2022년06월09일
(86) 국제출원번호 PCT/CN2020/126966
(87) 국제공개번호 WO 2021/109794
국제공개일자 2021년06월10일
(30) 우선권주장
201911215993.3 2019년12월02일 중국(CN)

(71) 출원인
우한 신신 세미컨덕터 메뉴팩처링 컴퍼니 리미티드
중국 후베이 430205, 우한 동후 디벨롭먼트 존, 고신 포스 로드 넘버 18
(72) 발명자
후, 성
중국 후베이 430205, 우한 동후 디벨롭먼트 존, 고신 포스 로드 넘버 18
양, 판
중국 후베이 430205, 우한 동후 디벨롭먼트 존, 고신 포스 로드 넘버 18
(74) 대리인
김진환, 박지하, 김민철

전체 청구항 수 : 총 15 항

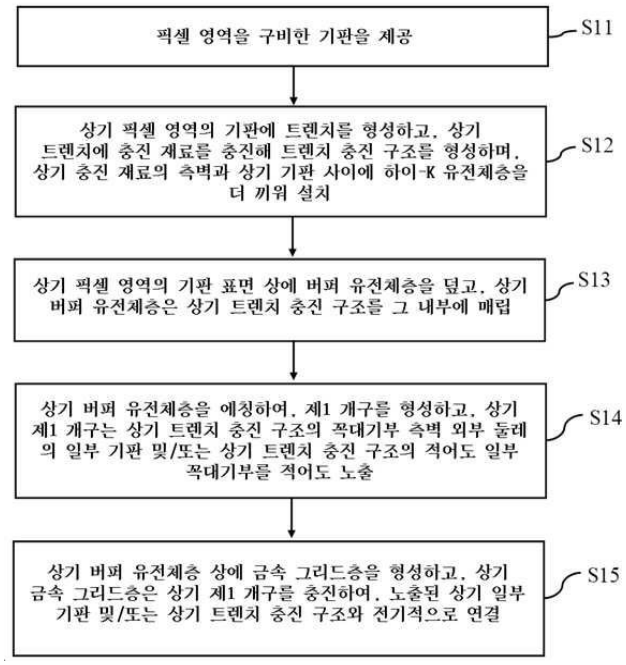
(54) 발명의 명칭 **반도체 소자 및 이의 제조 방법**

(57) 요 약

반도체 소자 및 이의 제조 방법에 있어서, 상기 반도체 소자의 제조 방법은, 픽셀 영역의 기판에 트렌치 충진 구조를 형성하고, 트렌치 충진 구조 중의 충진 재료의 측벽과 기판 사이에 하이-K 유전체층을 더 끼우는 단계(S12); 픽셀 영역의 기판 표면 상에 버퍼 유전체층을 덮고, 버퍼 유전체층은 트렌치 충진 구조를 그 내부에 매립

(뒷면에 계속)

대 표 도 - 도2



하는 단계(S13); 버퍼 유전체층을 에칭하여, 적어도 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 트렌치 충진 구조의 적어도 일부 꼭대기부의 제1 개구를 노출시키는 단계(S14); 및 버퍼 유전체층 상에 금속 그리드층을 형성하고 제1 개구를 충진하여, 노출된 일부 기판 및/또는 트렌치 충진 구조와 전기적으로 연결되는 단계(S15)를 포함한다. 상기 반도체 소자 및 이의 제조 방법은 금속 그리드층을 노출된 일부 기판 및/또는 트렌치 충진 구조와 전기적으로 연결한다. 이를 통해 반도체 소자를 전기학적 성능 측면에서 최적화 및 개선시킬 수 있다.

(52) CPC특허분류
H01L 27/14636 (2013.01)
H01L 27/1464 (2013.01)
H01L 27/14687 (2013.01)
H01L 27/14689 (2013.01)

명 세 서

청구범위

청구항 1

반도체 소자의 제조 방법에 있어서,

픽셀 영역을 구비하는 기판을 제공하는 단계;

상기 픽셀 영역의 기판에 트렌치를 형성하고, 상기 트렌치에 충진 재료를 충진하며, 상기 충진 재료의 측벽과 상기 기판 사이에 하이-K 유전체층이 형성되어, 트렌치 충진 구조를 형성하는 단계;

상기 픽셀 영역의 기판 표면 상에 버퍼 유전체층을 덮고, 상기 버퍼 유전체층은 상기 트렌치 충진 구조를 그 내부에 매립하는 단계;

상기 버퍼 유전체층을 에칭하여 제1 개구를 형성하고, 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시키는 단계; 및

상기 버퍼 유전체층 상에 금속 그리드층을 형성하고, 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결되는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 2

제1항에 있어서,

상기 픽셀 영역의 기판에 상기 트렌치 및 상기 트렌치 충진 구조를 형성하는 단계는,

상기 픽셀 영역의 기판 표면 상에 패드 산화층을 덮는 단계;

상기 패드 산화층 상에 제1 패턴화된 포토레지스트층을 형성하여, 상기 제1 패턴화된 포토레지스트층을 마스크로 사용하고, 상기 패드 산화층 및 적어도 일부 두께의 상기 기판을 에칭하여 상기 픽셀 영역의 기판에 트렌치를 형성하는 단계;

상기 제1 패턴화된 포토레지스트층과 패드 산화층을 제거하는 단계;

상기 트렌치 및 상기 기판의 표면 상에 제1 분리 산화층, 하이-K 유전체층 및 제2 분리 산화층을 순차적으로 형성하는 단계;

상기 트렌치에 상기 충진 재료를 충진하고, 상기 충진 재료는 상기 트렌치의 외부의 상기 제2 분리 산화층을 더 덮는 단계; 및

에칭 또는 화학 기계적 연마 공정을 채택해 상기 트렌치의 외부의 상기 기판의 표면을 덮는 상기 충진 재료, 제2 분리 산화층, 하이-K 유전체층 및 제1 분리 산화층을 제거하거나, 상기 트렌치의 외부의 상기 기판의 표면을 덮는 상기 충진 재료만 제거하여, 상기 트렌치에 트렌치 충진 구조를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 3

제2항에 있어서,

상기 충진 재료는 제1 도전성 금속층을 포함하고, 상기 제1 개구가 상기 트렌치 충진 구조의 일부 꼭대기부를 적어도 노출시키는 단계는, 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기부 측벽을 둘러싸도록 개설되어, 상기 트렌치 충진 구조의 꼭대기부 측벽 상의 제1 도전성 금속층을 노출시키고, 및/또는 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기 표면 상에 위치하여, 상기 트렌치 충진 구조의 제1 도전성 금속층의 일부 또는 모든 꼭대기 표면을 노출시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 4

제1항에 있어서,

상기 버퍼 유전체층을 에칭하여 상기 제1 개구를 형성하는 단계는,

상기 버퍼 유전체층 상에 제2 패턴화된 포토레지스트층을 형성하여 상기 제2 패턴화된 포토레지스트층을 마스크로 사용하고, 상기 버퍼 유전체층을 에칭하여 상기 픽셀 영역의 버퍼 유전체층에 상기 제1 개구를 형성하고, 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시키는 단계; 및

상기 제2 패턴화된 포토레지스트층을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 5

제1항에 있어서,

상기 버퍼 유전체층 상에 상기 금속 그리드층을 형성하는 단계는,

제2 도전성 금속층을 형성하여 상기 버퍼 유전체층을 덮고, 상기 제2 도전성 금속층은 상기 제1 개구를 채우는 단계;

상기 제2 도전성 금속층 상에 제3 패턴화된 포토레지스트층을 형성하여 상기 제3 패턴화된 포토레지스트층을 마스크로 사용하고, 상기 제2 도전성 금속층을 에칭하여 상기 픽셀 영역에 금속 그리드층을 형성하고, 상기 금속 그리드층은 상기 제1 개구에 의해 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결되는 단계; 및

상기 제3 패턴화된 포토레지스트층을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 기판은 상기 픽셀 영역의 외부 둘레에 위치하는 패드 영역을 구비하고, 상기 패드 영역의 기판에는 금속 상호연결 구조 및 상기 금속 상호연결 구조의 상방에 위치하는 플러그 구조가 형성되고, 상기 플러그 구조의 바닥부는 상기 금속 상호연결 구조와 전기적으로 연결되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 7

제6항에 있어서,

상기 트렌치 충진 구조를 형성한 후, 상기 픽셀 영역의 기판 표면 상에 상기 버퍼 유전체층을 덮기 전에, 상기 패드 영역의 기판에 상기 플러그 구조를 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 8

제6항에 있어서,

상기 픽셀 영역의 기판 표면 상에 상기 버퍼 유전체층을 덮는 단계에 있어서, 상기 버퍼 유전체층은 상기 패드 영역의 기판 표면을 덮도록 더 연장되어, 상기 버퍼 유전체층이 상기 플러그 구조를 그 내부에 매립하도록 만들고; 상기 픽셀 영역 상의 상기 버퍼 유전체층을 에칭하여 상기 제1 개구를 형성하는 동시에, 상기 패드 영역 상의 상기 버퍼 유전체층을 더 에칭하여 제2 개구를 형성하고, 상기 제2 개구는 상기 플러그 구조의 일부의 꼭대기부 표면을 노출시키고; 및 상기 픽셀 영역의 상기 버퍼 유전체층 상에 상기 금속 그리드층을 형성하는 동시에, 상기 패드 영역의 상기 버퍼 유전체층 상에 패드 구조를 더 형성하고, 상기 패드 구조는 상기 제2 개구를 채워, 노출된 상기 플러그 구조의 꼭대기부와 전기적으로 연결되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 9

반도체 소자에 있어서,

픽셀 영역을 구비하는 기판 - 상기 픽셀 영역의 기판에는 트렌치가 형성됨 - ;

상기 픽셀 영역의 기판에 형성되며, 상기 트렌치를 채우는 충진 재료 및 상기 충진 재료의 측벽과 상기 기판 사

이에 위치하는 하이-K 유전체층을 포함하는 트렌치 충진 구조;

상기 픽셀 영역의 기판 표면을 덮으며, 제1 개구를 구비하는 버퍼 유전체층 - 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킴 - ; 및

상기 버퍼 유전체층 상에 형성되는 금속 그리드층 - 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결됨 - 을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 10

제9항에 있어서,

상기 트렌치 충진 구조는 상기 트렌치의 표면을 순차적으로 덮는 제1 분리 산화층, 상기 하이-K 유전체층, 제2 분리 산화층 및 상기 트렌치에 충진된 상기 충진 재료를 포함하고, 상기 제1 분리 산화층, 하이-K 유전체층 및 제2 분리 산화층은 상기 충진 재료의 측벽과 상기 기판 사이에 적어도 위치하는 것을 특징으로 하는 반도체 소자.

청구항 11

제10항에 있어서,

상기 충진 재료는 제1 도전성 금속층을 포함하고, 상기 제1 개구가 상기 트렌치 충진 구조의 일부 꼭대기부를 적어도 노출시키는 단계는, 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기부 측벽을 둘러싸도록 개설되어, 상기 트렌치 충진 구조의 꼭대기부 측벽 상의 제1 도전성 금속층을 노출시키고, 및/또는 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기 표면 상에 위치하여, 상기 트렌치 충진 구조의 제1 도전성 금속층의 일부 또는 모든 꼭대기 표면을 노출시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자.

청구항 12

제9항에 있어서,

상기 하이-K 유전체층의 K 값은 7보다 큰 것을 특징으로 하는 반도체 소자.

청구항 13

제9항 내지 제12항 중 어느 한 항에 있어서,

상기 기판은 상기 픽셀 영역의 외부 둘레에 위치하는 패드 영역을 더 구비하고, 상기 패드 영역의 기판에는 금속 상호연결 구조 및 상기 금속 상호연결 구조 상방에 위치하는 플러그 구조가 형성되고, 상기 플러그 구조의 바닥부는 상기 금속 상호연결 구조와 전기적으로 연결되는 것을 특징으로 하는 반도체 소자.

청구항 14

제13항에 있어서,

상기 패드 영역의 기판에는 비아가 형성되고, 상기 비아는 상기 금속 상호연결 구조의 일부 꼭대기 표면을 적어도 노출시키고, 상기 플러그 구조는 상기 비아의 측벽 상에 위치하는 제3 분리 산화층; 및 상기 비아를 채우는 제3 도전성 금속층을 포함하는 것을 특징으로 하는 반도체 소자.

청구항 15

제13항에 있어서,

상기 버퍼 유전체층은 상기 패드 영역의 기판 표면을 덮도록 더 연장되고, 상기 버퍼 유전체층은 상기 플러그 구조의 적어도 일부 꼭대기부를 노출시키는 제2 개구를 구비하고, 상기 패드 영역의 버퍼 유전체층 상에는 패드 구조가 더 형성되고, 상기 패드 구조는 상기 제2 개구를 채워, 노출된 상기 플러그 구조의 꼭대기부와 전기적으로 연결되는 것을 특징으로 하는 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 발명은 반도체 집적회로 제조 분야에 관한 것으로, 더욱 상세하게는 반도체 소자 및 이의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 후면식 CMOS 이미지 센서(Back-side Illuminated CMOS Image Sensor, BSI-CIS로 약칭)의 제조 공정에 있어서, 딥 트렌치 분리(Deep Trench Isolation, DTI로 약칭) 기술과 후면 금속 그리드(Backside Metal Grid, BMG로 약칭) 기술을 함께 사용하면 후면식 CMOS 이미지 센서의 광학 성능을 더욱 향상시킬 수 있다.

[0003] 그러나 종래의 후면식 CMOS 이미지 센서를 제작하는 공정 과정에서는, 제작된 픽셀 영역의 금속 그리드와 하방의 기판 및 딥 트렌치 충진 구조 사이에 버퍼 유전체층이 존재한다. 이는 금속 그리드와 하방의 기판 및 딥 트렌치 충진 구조 사이를 물리적으로만 연결할 수 있으며, 전기적으로는 연결할 수 없다. 따라서 전기학적 성능 측면에서 후면식 CMOS 이미지 센서를 최적화하고 개선할 수 없다.

[0004] 따라서 픽셀 영역의 금속 그리드의 제작 공정을 개선하여, 금속 그리드와 하방의 기판 및/또는 트렌치 충진 구조 사이의 전기적 연결을 구현하고, 전기학적 성능 측면에서 반도체 소자를 최적화 및 개선하는 방법은 현재 시급히 해결해야 할 문제이다.

발명의 내용

[0005] 본 발명의 목적은 반도체 소자 및 이의 제조 방법을 제공함으로써, 금속 그리드층을 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결하여, 반도체 소자를 전기학적 성능 측면에서 최적화 및 개선하는 데에 있다.

[0006] 상기 목적을 달성하기 위해, 본 발명은 반도체 소자의 제조 방법을 제공한다.

[0007] 여기에는 픽셀 영역을 구비한 기판을 제공하는 단계;

[0008] 상기 픽셀 영역의 기판에 트렌치를 형성하고, 상기 트렌치에 충진 재료를 충진하며, 상기 충진 재료의 측벽과 상기 기판 사이에 하이-K 유전체층이 형성되어, 트렌치 충진 구조를 형성하는 단계;

[0009] 상기 픽셀 영역의 기판 표면 상에 버퍼 유전체층을 덮고, 상기 버퍼 유전체층은 상기 트렌치 충진 구조를 그 내부에 매립하는 단계;

[0010] 상기 버퍼 유전체층을 에칭하여 제1 개구를 형성하고, 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시키는 단계; 및

[0011] 상기 버퍼 유전체층 상에 금속 그리드층을 형성하고, 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결되는 단계가 포함된다.

[0012] 선택적으로, 상기 픽셀 영역의 기판에 상기 트렌치 및 상기 트렌치 충진 구조를 형성하는 단계는,

[0013] 상기 픽셀 영역의 기판 표면 상에 패드 산화층을 덮는 단계;

[0014] 상기 패드 산화층 상에 제1 패턴화된 포토레지스트층을 형성하여 상기 제1 패턴화된 포토레지스트층을 마스크로 사용하고, 상기 패드 산화층 및 적어도 일부 두께의 기판을 에칭하여 상기 픽셀 영역의 기판에 트렌치를 형성하는 단계;

[0015] 상기 제1 패턴화된 포토레지스트층과 패드 산화층을 제거하는 단계;

[0016] 상기 트렌치 및 상기 기판 표면 상에 제1 분리 산화층, 하이-K 유전체층 및 제2 분리 산화층을 순차적으로 형성하는 단계;

[0017] 상기 트렌치에 상기 충진 재료를 충진하고, 상기 충진 재료는 상기 트렌치 외부의 상기 제2 분리 산화층을 더 덮는 단계; 및

[0018] 에칭 또는 화학 기계적 연마 공정을 채택해 상기 트렌치 외부의 상기 기판의 표면을 덮는 상기 충진 재료, 제2 분리 산화층, 하이-K 유전체층 및 제1 분리 산화층을 제거하거나, 상기 트렌치 외부의 상기 기판의 표면을 덮는 상기 충진 재료만 제거하여 상기 트렌치에 트렌치 충진 구조를 형성하는 단계를 포함한다.

[0019] 선택적으로, 상기 충진 재료는 제1 도전성 금속층을 포함한다. 상기 제1 개구가 상기 트렌치 충진 구조의 일부 꼭대기부를 적어도 노출시키는 단계는, 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기부 측벽을 둘러싸도록 개설되어, 상기 트렌치 충진 구조의 꼭대기부 측벽 상의 제1 도전성 금속층을 노출시키고, 및/또는 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기 표면 상에 위치하여 상기 트렌치 충진 구조의 제1 도전성 금속층의 일부 또는 모든 꼭대기 표면을 노출시키는 단계를 포함한다.

[0020] 선택적으로, 상기 버퍼 유전체층을 에칭하여 상기 제1 개구를 형성하는 단계는, 상기 버퍼 유전체층 상에 제2 패턴화된 포토레지스트층을 형성하여 상기 제2 패턴화된 포토레지스트층을 마스크로 사용하고, 상기 버퍼 유전체층을 에칭하여 상기 픽셀 영역의 버퍼 유전체층에 상기 제1 개구를 형성하고, 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시키는 단계; 및

[0021] 상기 제2 패턴화된 포토레지스트층을 제거하는 단계를 포함한다.

[0022] 선택적으로, 상기 버퍼 유전체층 상에 상기 금속 그리드층을 형성하는 단계는, 제2 도전성 금속층을 형성하여 상기 버퍼 유전체층을 덮고, 상기 제2 도전성 금속층은 상기 제1 개구를 채우는 단계;

[0023] 상기 제2 도전성 금속층 상에 제3 패턴화된 포토레지스트층을 형성하여 상기 제3 패턴화된 포토레지스트층을 마스크로 사용하고, 상기 제2 도전성 금속층을 에칭하여 상기 픽셀 영역에 금속 그리드층을 형성하고, 상기 금속 그리드층은 상기 제1 개구에 의해 노출된 상기 일부 기판 및/또는 트렌치 충진 구조와 전기적으로 연결되는 단계; 및

[0024] 상기 제3 패턴화된 포토레지스트층을 제거하는 단계를 포함한다.

[0025] 선택적으로, 상기 기판은 상기 픽셀 영역 외부 둘레에 위치하는 패드 영역을 더 구비한다. 상기 패드 영역의 기판에는 금속 상호연결 구조 및 상기 금속 상호연결 구조 상방에 위치하는 플러그 구조가 형성된다. 상기 플러그 구조의 바닥부는 상기 금속 상호연결 구조와 전기적으로 연결된다.

[0026] 선택적으로, 상기 트렌치 충진 구조를 형성한 후, 상기 픽셀 영역의 기판 표면 상에 상기 버퍼 유전체층을 덮기 전에, 상기 패드 영역의 기판에 상기 플러그 구조를 형성한다.

[0027] 선택적으로, 상기 픽셀 영역의 기판 표면 상에 상기 버퍼 유전체층을 덮는 단계에 있어서, 상기 버퍼 유전체층은 상기 패드 영역의 기판 표면을 덮도록 더 연장되어, 상기 버퍼 유전체층이 상기 플러그 구조를 그 내부에 매립하도록 만든다. 상기 픽셀 영역 상의 상기 버퍼 유전체층을 에칭하여 상기 제1 개구를 형성하는 동시에, 상기 패드 영역 상의 상기 버퍼 유전체층을 더 에칭하여 제2 개구를 형성한다. 상기 제2 개구는 상기 플러그 구조의 일부의 꼭대기부 표면을 노출시킨다. 상기 픽셀 영역의 상기 버퍼 유전체층 상에 상기 금속 그리드층을 형성하는 동시에, 상기 패드 영역의 상기 버퍼 유전체층 상에 패드 구조를 더 형성한다. 상기 패드 구조는 상기 제2 개구를 채워, 노출된 상기 플러그 구조의 꼭대기부와 전기적으로 연결된다.

[0028] 본 발명은 반도체 소자를 더 제공한다.

[0029] 여기에는 픽셀 영역을 구비하는 기판 - 상기 픽셀 영역의 기판에는 트렌치가 형성됨 - ;

[0030] 상기 픽셀 영역의 기판에 형성되며, 상기 트렌치를 충진하는 충진 재료 및 상기 충진 재료의 측벽과 상기 기판 사이에 위치하는 하이-K 유전체층을 포함하는 트렌치 충진 구조;

[0031] 상기 픽셀 영역의 기판 표면을 덮으며, 제1 개구를 구비하는 버퍼 유전체층 - 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킴 - ; 및

[0032] 상기 버퍼 유전체층 상에 형성되는 금속 그리드층 - 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결됨 - 이 포함된다.

[0033] 선택적으로, 상기 트렌치 충진 구조는 상기 트렌치의 표면을 순차적으로 덮는 제1 분리 산화층, 상기 하이-K 유전체층, 제2 분리 산화층 및 상기 트렌치에 충진된 상기 충진 재료를 포함한다. 상기 제1 분리 산화층, 하이-K 유전체층 및 제2 분리 산화층은 상기 충진 재료의 측벽과 상기 기판 사이에 적어도 위치한다.

[0034] 선택적으로, 상기 충진 재료는 제1 도전성 금속층을 포함한다. 상기 제1 개구가 상기 트렌치 충진 구조의 일부 꼭대기부를 적어도 노출시키는 단계는, 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기부 측벽을 둘러싸도록

개설되어, 상기 트렌치 충진 구조의 꼭대기부 측벽 상의 제1 도전성 금속층을 노출시키고, 및/또는 상기 제1 개구가 상기 트렌치 충진 구조의 꼭대기 표면 상에 위치하여, 상기 트렌치 충진 구조의 제1 도전성 금속층의 일부 또는 모든 꼭대기 표면을 노출시키는 단계를 포함한다.

[0035] 선택적으로, 상기 하이-K 유전체층의 K 값은 7보다 크다.

[0036] 선택적으로, 상기 기판은 상기 픽셀 영역 외부 둘레에 위치하는 패드 영역을 더 구비한다. 상기 패드 영역의 기판에는 금속 상호연결 구조 및 상기 금속 상호연결 구조 상방에 위치하는 플러그 구조가 형성된다. 상기 플러그 구조의 바닥부는 상기 금속 상호연결 구조와 전기적으로 연결된다.

[0037] 선택적으로, 상기 패드 영역의 기판에 비아가 형성된다. 상기 비아는 상기 금속 상호연결 구조의 일부 꼭대기 표면을 적어도 노출시킨다. 상기 플러그 구조는, 상기 비아의 측벽 상에 위치하는 제3 분리 산화층; 및 상기 비아를 채우는 제3 도전성 금속층을 포함한다.

[0038] 선택적으로, 상기 버퍼 유전체층은 상기 패드 영역의 기판 표면을 덮도록 더 연장된다. 또한 상기 버퍼 유전체층은 상기 플러그 구조의 적어도 일부 꼭대기부를 노출시키는 제2 개구를 구비한다. 상기 패드 영역의 버퍼 유전체층 상에는 패드 구조가 더 형성된다. 상기 패드 구조는 상기 제2 개구를 채워, 노출된 상기 플러그 구조의 꼭대기부와 전기적으로 연결된다.

[0039] 종래 기술에 비해 본 발명의 기술적 해결책은 이하의 유익한 효과를 나타낸다.

[0040] 1. 본 발명의 반도체 소자의 제조 방법은, 픽셀 영역의 기판에 트렌치 충진 구조를 형성하고, 상기 트렌치 충진 구조 중의 충진 재료의 측벽과 상기 기판 사이에 하이-K 유전체층을 더 끼운다. 상기 픽셀 영역의 기판 표면 상에 버퍼 유전체층을 덮고, 상기 버퍼 유전체층은 상기 트렌치 충진 구조를 그 내부에 매립한다. 상기 버퍼 유전체층을 에칭하여 제1 개구를 형성한다. 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킨다. 상기 버퍼 유전체층 상에 금속 그리드층을 형성한다. 상기 금속 그리드층은 상기 제1 개구를 충진하여, 상기 금속 그리드층과 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조를 전기적으로 연결시킨다. 나아가 전기학적 측면에서 반도체 소자를 최적화 및 개선할 수 있다. 또한 상기 충진 재료의 측벽과 상기 기판 사이에 끼워진 하이-K 유전체층도 반도체 소자의 성능을 최적화시킨다.

[0041] 2. 본 발명의 반도체 소자는, 픽셀 영역의 기판에 형성된 트렌치 충진 구조 - 상기 트렌치 충진 구조는 상기 기판의 트렌치에 충진된 충진 재료 및 상기 충진 재료의 측벽과 상기 기판 사이에 끼워 설치되는 하이-K 유전체층을 포함함 - ; 상기 픽셀 영역의 기판 표면 상에 형성된 버퍼 유전체층 - 상기 버퍼 유전체층은 제1 개구를 구비하며, 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킴 - ; 및 상기 버퍼 유전체층 상에 형성된 금속 그리드층 - 상기 금속 그리드층은 상기 제1 개구를 충진하여, 금속 그리드층을 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결하며, 나아가 전기학적 성능 측면에서 반도체 소자를 최적화하고 개선할 수 있음 - 을 포함한다. 또한 상기 충진 재료의 측벽과 상기 기판 사이에 끼워진 하이-K 유전체층도 반도체 소자의 성능을 최적화할 수 있다.

도면의 간단한 설명

[0042] 도 1a 내지 1f는 반도체 소자의 제조 과정에서 소자의 개략도이다.

도 2는 본 발명 일 실시예에 따른 반도체 소자의 제조 방법의 흐름도이다.

도 3a 내지 3i는 도 2에 도시된 반도체 소자의 제조 방법에서 실시예 1의 소자의 개략도이다.

도 4a 내지 4e는 도 2에 도시된 반도체 소자의 제조 방법에서 실시예 2의 소자의 개략도이다.

도 5a 내지 5e는 도 2에 도시된 반도체 소자의 제조 방법에서 실시예 3의 소자의 개략도이다.

도 6a 내지 6g는 도 2에 도시된 반도체 소자의 제조 방법에서 실시예 4의 소자의 개략도이다.

도 7은 도 2에 도시된 반도체 소자의 제조 방법에서 실시예 5의 소자의 개략도이다.

도 8a 내지 8p는 도 2에 도시된 반도체 소자의 제조 방법에서 실시예 6의 소자의 개략도이다.

여기에서 도 1a 내지 8p의 부호에 대한 설명은 이하와 같다.

10은 기판, 11은 픽셀 영역, 12는 패드 산화층, 13은 제1 패턴화된 포토레지스트층, 14는 트렌치, 15는 트렌치 충진 구조, 151은 분리 산화층, 152는 도전성 금속층, 16은 버퍼 산화층, 17은 금속 그리드막층, 18은 제2 패턴화된 포토레지스트층, 19는 금속 그리드층이다.

20은 기판, 21은 픽셀 영역, 211은 트렌치, 212는 트렌치 충진 구조, 2121은 제1 분리 산화층, 2122는 하이-K 유전체층, 2123은 제2 분리 산화층, 2124는 제1 도전성 금속층, 2131, 2132, 2133, 2134는 제1 개구, 2141, 2142, 2143, 2144, 2145는 금속 그리드층, 22는 패드 영역, 221은 금속 상호연결 구조, 222는 제3 개구, 223은 비아, 224는 플러그 구조, 2241은 제3 분리 산화층, 2242는 제3 도전성 금속층, 225는 제2 개구, 226은 패드 구조, 23은 패드 산화층, 24는 제1 패턴화된 포토레지스트층, 25는 버퍼 유전체층, 251은 제1 버퍼 유전체층, 252는 제2 버퍼 유전체층, 253은 제3 버퍼 유전체층, 261, 262, 263, 264는 제2 패턴화된 포토레지스트층, 27은 제2 도전성 금속층, 281, 282, 283, 284는 제3 패턴화된 포토레지스트층, 29는 제4 패턴화된 포토레지스트층, 30은 제5 패턴화된 포토레지스트층이다.

발명을 실시하기 위한 구체적인 내용

[0043] 픽셀 영역의 금속 그리드층의 제작 공정은 이하와 같다.

[0044] 도 1a에 도시된 바와 같이, 픽셀 영역(11)을 구비한 기판(10)을 제공한다.

[0045] 도 1a 및 1b에 도시된 바와 같이, 상기 픽셀 영역(11) 상에 패드 산화층(12)을 형성한다. 제1 패턴화된 포토레지스트층(13)을 상기 패드 산화층(12) 상에 형성하여 상기 제1 패턴화된 포토레지스트층(13)을 마스크로 사용한다. 상기 픽셀 영역(11) 상의 패드 산화층(12)과 일부 두께의 상기 기판(10)을 에칭하여 상기 픽셀 영역(11)의 기판(10)에 트렌치(14)를 형성한다. 또한 상기 제1 패턴화된 포토레지스트층(13)을 제거한다.

[0046] 도 1c에 도시된 바와 같이, 상기 트렌치(14)의 표면과 상기 패드 산화층(12)의 표면에 분리 산화층(151)을 형성한다. 또한 상기 트렌치(14)에 도전성 금속층(152)을 충진하며, 상기 도전성 금속층(152)은 상기 패드 산화층(12)을 덮는다. 화학 기계적 연마 공정을 채택해 상기 기판(10)을 덮는 상기 도전성 금속층(152), 분리 산화층(151) 및 패드 산화층(12)을 제거할 수 있다. 이를 통해 상기 트렌치(14)에 위치하는 트렌치 충진 구조(15)를 획득한다. 상기 트렌치 충진 구조(15)는 상기 분리 산화층(151)과 도전성 금속층(152)을 포함한다.

[0047] 도 1d에 도시된 바와 같이, 버퍼 산화층(16) 및 금속 그리드막층(17)을 순차적으로 형성하여 상기 기판(10)을 덮는다.

[0048] 도 1e 및 1f에 도시된 바와 같이, 상기 금속 그리드막층(17) 상에 제2 패턴화된 포토레지스트층(18)을 형성하여 상기 제2 패턴화된 포토레지스트층(18)을 마스크로 사용한다. 상기 금속 그리드막층(17)을 에칭하여 상기 버퍼 산화층(16) 상에 금속 그리드층(19)을 형성하고, 상기 제2 패턴화된 포토레지스트층(18)을 제거한다. 여기에서 상기 금속 그리드층(19)은 상기 트렌치 충진 구조(15)의 상방에 대응하도록 위치한다.

[0049] 상술한 단계에서 명확하게 알 수 있듯이, 픽셀 영역 상의 금속 그리드층과 하방의 기판 및 트렌치 충진 구조 사이에 버퍼 산화층이 존재한다. 이는 금속 그리드층과 하방의 기판 및 트렌치 충진 구조 사이를 물리적으로만 연결할 수 있으며, 전기적으로는 연결할 수 없게 만든다. 따라서 전기학적 성능 측면에서 반도체 소자를 최적화 및 개선할 수 없다. 따라서 본 발명은 반도체 소자 및 이의 제조 방법을 제공한다. 이는 금속 그리드층과 하방의 기판 및 트렌치 충진 구조 사이의 전기적 연결을 구현할 수 있다. 또한 전기학적 성능 측면에서 반도체 소자를 최적화 및 개선할 수 있다.

[0050] 본 발명의 목적, 장점 및 특징을 보다 명확하게 설명하기 위해, 이하에서는 첨부 도면 2 내지 8p를 함께 참조하여 본 발명에서 제공하는 반도체 소자 및 이의 제조 방법을 보다 상세하게 설명한다. 첨부 도면은 매우 단순화된 형태이며 모두 부정확한 비율을 사용하였다. 이는 단지 본 발명 실시예의 목적을 용이하고 명확하게 설명하기 위한 것임에 유의한다.

[0051] 본 발명의 일 실시예는 반도체 소자의 제조 방법을 제공한다. 도 2를 참조하면, 도 2는 본 발명의 일 실시예에 따른 반도체 소자의 제조 방법의 흐름도이다. 상기 반도체 소자의 제조 방법은 이하의 단계를 포함한다.

[0052] 단계 S11: 픽셀 영역을 구비한 기판을 제공한다.

[0053] 단계 S12: 상기 픽셀 영역의 기판에 트렌치를 형성하고, 상기 트렌치에 충진 재료를 충진하여 트렌치 충진 구조를 형성한다. 상기 충진 재료의 측벽과 상기 기판 사이에 하이-K 유전체층이 더 끼워진다.

[0054] 단계 S13: 상기 픽셀 영역의 기판 표면 상에 버퍼 유전체층을 덮고, 상기 버퍼 유전체층은 상기 트렌치 충진 구조를 그 내부에 매립한다.

[0055] 단계 S14: 상기 버퍼 유전체층을 에칭하여 제1 개구를 형성한다. 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킨다.

[0056] 단계 S15: 상기 버퍼 유전체층 상에 금속 그리드층을 형성한다. 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결한다.

[0057] 이하에서는 도 3a 내지 8p를 참조하여 본 실시예에 따른 반도체 소자의 제조 방법을 보다 상세하게 설명한다. 도 3a 내지 8p도 반도체 소자의 종방향 횡단면도이다.

[0058] 단계 S11에 따라, 픽셀 영역(21)을 구비한 기판(20)을 제공한다. 상기 기판(20)의 재질은 본 발명이 속한 기술 분야의 당업자에게 공지된 임의의 적합한 기판일 수 있다. 예를 들어, 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe), 실리콘 탄소(SiC), 실리콘 게르마늄 탄소(SiGeC), 인듐 비소(InAs), 갈륨 비소(GaAs), 인듐 인화물(InP) 또는 기타 III/V족 화합물 반도체 중 적어도 하나일 수 있다.

[0059] 단계 S12에 따라, 상기 픽셀 영역(21)의 기판(20)에 트렌치(211)를 형성하고, 상기 트렌치(211)에 충진 재료를 충진하여 트렌치 충진 구조(212)를 형성한다. 상기 충진 재료의 측벽과 상기 기판(20) 사이에 하이-K 유전체층(2122)이 더 끼워진다. 여기에서 상기 트렌치(211)는 깊이가 1 내지 5μm인 딥 트렌치일 수 있다. 상기 트렌치(211)의 깊이는 이 깊이 범위에 한정되지 않으며, 반도체 소자의 성능 수요에 따라 적합한 깊이의 상기 트렌치(211)를 형성할 수 있다. 상기 트렌치 충진 구조(212)는 상기 픽셀 영역(21)의 기판(20)에서 각 소자를 분리하는 역할을 수행한다. 상기 하이-K 유전체층(2122)의 K(유전 상수) 값은 7보다 큰 것이 바람직하다. 상기 하이-K 유전체층(2122)의 재질은 질화물 또는 금속 산화물을 포함할 수 있다. 예를 들어 질화규소, 질산규소, 이산화티타늄, 오산화이탄탈 등일 수 있다. 상기 하이-K 유전체층(2122)은 상이한 주파수 대역 전압 및 상이한 성질의 전하를 가진다. 따라서 상기 하이-K 유전체층(2122)은 상기 기판(20)의 전하를 변화시켜 암전류를 감소시키고 암전류로 인한 노이즈가 반도체 소자의 성능에 영향을 미치는 것을 방지할 수 있다.

[0060] 여기에서 상기 픽셀 영역(21)의 기판(20)에 상기 트렌치(211) 및 상기 트렌치 충진 구조(212)를 형성하는 단계는 다음의 단계를 포함한다. 즉, 먼저 도 3a에 도시된 바와 같이, 상기 픽셀 영역(21)의 기판(20) 표면에 패드 산화층(23)을 덮는다. 상기 패드 산화층(23)은 후속 포토리소그래피에서 제1 패턴화된 포토레지스트층(24)을 형성할 때 상기 기판(20)을 보호한다. 그 후 도 3a 및 3b에 도시된 바와 같이, 상기 패드 산화층(23) 상에 제1 패턴화된 포토레지스트층(24)을 형성하여 상기 제1 패턴화된 포토레지스트층(24)을 마스크로 사용한다. 상기 패드 산화층(23) 및 적어도 일부 두께의 상기 기판(20)을 에칭하여 상기 픽셀 영역(21)의 기판(20)에 트렌치(211)를 형성한다. 이어서, 상기 제1 패턴화된 포토레지스트층(24)과 패드 산화층(23)을 제거한다. 다음으로, 상기 트렌치(211)와 상기 기판(20)의 표면 상에 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)을 순차적으로 형성한다. 상기 트렌치(211) 중의 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)은 상기 트렌치(211)의 측벽 상에만 위치할 수 있으며, 상기 트렌치(211)의 측벽과 바닥벽 상에 모두 위치할 수도 있다. 이어서, 상기 트렌치(211)에 상기 충진 재료를 충진하고, 상기 충진 재료는 상기 트렌치(211) 외부 둘레의 상기 제2 분리 산화층(2123)을 더 덮는다. 이어서, 에칭 또는 화학 기계적 연마 공정을 채택해 상기 트렌치(211) 외부 둘레의 상기 기판(20)의 표면을 덮는 상기 충진 재료, 제2 분리 산화층(2123), 하이-K 유전체층(2122) 및 제1 분리 산화층(2121)을 제거한다(도 3c에 도시된 바와 같음). 또는 상기 트렌치(211) 외부 둘레의 상기 기판(20)의 표면을 덮는 상기 충진 재료만 제거하여(도 6a에 도시된 바와 같음), 상기 트렌치(211)에 트렌치 충진 구조(212)를 형성한다. 여기에서 도 6a의 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)은 여전히 상기 기판(20)을 덮는다.

[0061] 여기에서 상기 충진 재료는 유전체 재료 또는 금속 재료를 포함하거나, 유전체 재료와 금속 재료를 동시에 포함할 수 있다. 상기 충진 재료가 금속 재료인 경우, 도 3c에 도시된 바와 같이, 상기 트렌치 충진 구조(212)는 상기 트렌치(211)의 표면에 형성된 제1 분리 산화층(2121), 하이-K 유전체층(2122), 제2 분리 산화층(2123) 및 상기 트렌치(211)를 채우는 제1 도전성 금속층(2124)(즉, 상기 충진 재료는 상기 제1 도전성 금속층(2124)임)을 포함한다. 상기 유전체 재료는 이산화규소, 질화규소, 테트라에틸 오르소실리케이트(tetraethyl orthosilicate), 붕규산 유리, 인규산 유리, 붕소인규산 유리, 질산규소 중 적어도 하나를 포함할 수 있다. 상기 금속 재료는 텅스텐, 니켈, 알루미늄, 은, 금 및 티타늄 중 적어도 하나를 포함할 수 있다.

[0062] 또한 상기 트렌치 충진 구조(212)의 꼭대기 표면은 상기 기판(20)의 꼭대기 표면과 가지런할 수 있다. 또는 상기 트렌치 충진 구조(212)의 꼭대기 표면은 상기 기판(20)의 꼭대기 표면보다 높을 수 있다. 또는 상기 트렌치 충진 구조(212)에서 충진 재료의 꼭대기 표면만 상기 기판(20)의 꼭대기 표면보다 높을 수 있다.

[0063] 단계 S13에 따라, 상기 픽셀 영역(21)의 기판(20) 표면에 버퍼 유전체층(25)을 덮고, 상기 버퍼 유전체층(25)은 상기 트렌치 충진 구조(212)를 그 내부에 매립한다. 이는 도 3d에 도시된 바와 같다. 상기 버퍼 유전체층(25)의 재질은 이산화규소, 질화규소, 테트라에틸 오르소실리케이트, 붕규산 유리, 인규산 유리, 붕소인규산 유리, 질산규소 중 적어도 하나를 포함할 수 있다. 도 6a 및 6b에 도시된 바와 같이, 상기 트렌치(211) 외부 둘레의 상기 기판(20)의 표면을 덮는 상기 충진 재료만 제거하여, 상기 기판(20)의 표면 상에 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)만 덮이는 경우, 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)도 상기 버퍼 유전체층(25)을 구성하는 일부분으로 이해할 수 있다.

[0064] 단계 S14에 따라, 상기 버퍼 유전체층(25)을 에칭하여 제1 개구를 형성한다. 상기 제1 개구는 적어도 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 또는 상기 트렌치 충진 구조(212)의 적어도 일부 꼭대기부를 노출시키거나, 적어도 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)과 상기 트렌치 충진 구조(212)의 적어도 일부 꼭대기부를 노출시킨다.

[0065] 여기에서 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부의 기판(20)을 적어도 노출시킨다. 즉, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 외부 둘레를 적어도 둘러싸도록 설치되어, 상기 트렌치 충진 구조(212)의 꼭대기부 외부 둘레를 둘러싸는 일부의 기판(20)을 적어도 노출시킴을 의미한다.

[0066] 상기 제1 개구가 상기 트렌치 충진 구조(212)의 일부 꼭대기부를 적어도 노출시키는 경우는 다음의 경우를 포함한다. 즉, 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높은 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설되어, 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 분리 산화층(2121)을 노출시킬 수 있다. 이때 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)도 노출시킨다. 상기 트렌치 충진 구조(212)에서 충진 재료의 꼭대기 표면만 상기 기판(20)의 꼭대기 표면보다 높은 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설되어, 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 충진 재료를 노출시킬 수 있다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높거나 동일한 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 표면 상에 위치하여, 상기 트렌치 충진 구조(212)의 일부 또는 모든 꼭대기 표면을 노출시킬 수도 있다. 여기에는 상기 충진 재료의 일부 또는 모든 꼭대기 표면을 노출시키는 것, 또는 상기 충진 재료의 일부 또는 모든 꼭대기 표면을 노출시키는 것 및 상기 제1 분리 산화층(2121) 및/또는 상기 하이-K 유전체층(2122) 및/또는 상기 제2 분리 산화층(2123)의 일부 또는 모든 꼭대기 표면을 노출시키는 것이 포함된다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높은 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 분리 산화층(2121) 또는 하이-K 유전체층(2122) 또는 제2 분리 산화층(2123) 또는 충진 재료 및 상치 트렌치 충진 구조(212)의 일부 또는 모든 꼭대기 표면을 동시에 노출시킬 수도 있다.

[0067] 상기 충진 재료에 제1 도전성 금속층(2124)이 포함되는 경우, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 일부 꼭대기부를 적어도 노출시키는 경우는 다음의 경우를 포함한다. 즉, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽을 둘러싸도록 개설되어, 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 도전성 금속층(2124)을 노출시킨다. 또는 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기 표면 상에 위치하여, 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 또는 모든 꼭대기 표면을 노출시킨다. 또는 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 도전성 금속층(2124) 및 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 또는 모든 꼭대기 표면을 동시에 노출시킨다.

[0068] 상술한 상기 제1 개구가 그 바닥부 구조를 노출시키는 다양한 경우에 있어서, 상기 제1 개구를 형성하는 다양한 방법의 예시는 다음과 같다. 여기에서 도 3e 내지 3i, 도 4a 내지 4e, 도 5a 내지 5e는 상기 트렌치 충진 구조(212)의 꼭대기 표면과 상기 기판(20)의 꼭대기 표면이 가지런한 예시를 도시한 것이다. 도 6c 내지 6g는 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높고, 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)이 여전히 상기 기판(20)을 덮는 예시를 도시한 것이다.

[0069] 도 3e 내지 3f를 참조하면, 상기 제1 개구(2131)를 형성하는 단계는 다음의 단계를 포함할 수 있다. 즉, 상기 버퍼 유전체층(25) 상에 제2 패턴화된 포토레지스트층(261)을 형성하여(도 3e에 도시된 바와 같음) 상기 제2 패

턴화된 포토레지스트층(261)을 마스크로 사용한다. 상기 버퍼 유전체층(25)을 에칭하여 상기 픽셀 영역(21)의 버퍼 유전체층(25)에 상기 제1 개구(2131)를 형성한다. 상기 제1 개구(2131)는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면을 노출시킨다. 이는 도 3f에 도시된 바와 같다.

[0070] 또는 도 4a 내지 4b를 참조하면, 상기 제1 개구(2132)를 형성하는 단계는 다음의 단계를 포함할 수 있다. 즉, 상기 버퍼 유전체층(25) 상에 제2 패턴화된 포토레지스트층(262)을 형성하여(도 4a에 도시된 바와 같음) 상기 제2 패턴화된 포토레지스트층(262)을 마스크로 사용한다. 상기 버퍼 유전체층(25)을 에칭하여 상기 픽셀 영역(21)의 버퍼 유전체층(25)에 상기 제1 개구(2132)를 형성한다. 상기 제1 개구(2132)는 상기 트렌치 충진 구조(212)의 일부 꼭대기 표면을 노출시킨다. 예를 들어 상기 충진 재료의 일부의 꼭대기 표면을 노출시킨다. 도 4b에 도시된 바와 같이, 상기 충진 재료가 상기 제1 도전성 금속층(2124)이면, 상기 제1 개구(2132)는 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 꼭대기 표면을 노출시킨다.

[0071] 또는 도 5a 내지 5b를 참조하면, 상기 제1 개구(2133)를 형성하는 단계는 다음의 단계를 포함할 수 있다. 즉, 상기 버퍼 유전체층(25) 상에 제2 패턴화된 포토레지스트층(263)을 형성하여(도 5a에 도시된 바와 같음) 상기 제2 패턴화된 포토레지스트층(263)을 마스크로 사용한다. 상기 버퍼 유전체층(25)을 에칭하여 상기 픽셀 영역(21)의 버퍼 유전체층(25)에 상기 제1 개구(2133)를 형성한다. 도 5b에 도시된 바와 같이, 상기 제1 개구(2133)는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)을 노출시킨다.

[0072] 또는 도 6c 내지 6d를 참조하면, 상기 제1 개구(2134)를 형성하는 단계는 다음의 단계를 포함할 수 있다. 즉, 상기 버퍼 유전체층(25) 상에 제2 패턴화된 포토레지스트층(264)을 형성하여(도 6c에 도시된 바와 같음) 상기 제2 패턴화된 포토레지스트층(264)을 마스크로 사용한다. 상기 기판(20)을 덮는 버퍼 유전체층(25), 제2 분리 산화층(2123), 하이-K 유전체층(2122) 및 제1 분리 산화층(2121)을 에칭하여 상기 픽셀 영역(21)의 버퍼 유전체층(25)에 상기 제1 개구(2134)를 형성한다. 상기 제1 개구(2134)는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면을 노출시킨다. 도 6d에 도시된 바와 같이, 에칭된 상기 제1 도전성 금속층(2124)의 높이는 여전히 상기 기판(20)보다 높아, 상기 제1 개구(2134)가 여전히 상기 제1 도전성 금속층(2124)의 꼭대기부의 측벽을 노출시키도록 만든다.

[0073] 또한 상기 제1 개구를 형성한 후, 상기 제2 패턴화된 포토레지스트층을 제거한다.

[0074] 단계 S15에 따라, 상기 버퍼 유전체층(25) 상에 금속 그리드층을 형성한다. 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판(20) 또는 상기 트렌치 충진 구조(212)와 전기적으로 연결된다. 또는 노출된 상기 일부 기판(20)과 상기 트렌치 충진 구조(212)와 동시에 전기적으로 연결된다.

[0075] 상기 금속 그리드층은 노출된 상기 일부 기판(20) 및/또는 상기 트렌치 충진 구조(212)와 전기적으로 연결될 수 있다. 따라서 전기학적 성능 측면에서 반도체 소자를 최적화 및 개선할 수 있다. 예를 들어 반도체 소자의 암전류를 최적화하고 개선할 수 있다. 또한 상기 하이-K 유전체층(2122)은 상기 반도체 소자의 암전류를 더욱 감소시켜, 상기 반도체 소자의 전기학적 성능을 더욱 최적화 및 개선시킬 수 있다.

[0076] 상기 제1 개구가 상기 일부 기판(20)만 노출시킬 경우, 상기 금속 그리드층은 노출된 상기 일부 기판(20)과만 전기적으로 연결된다. 상기 제1 개구가 상기 트렌치 충진 구조(212)의 일부 꼭대기부를 적어도 노출시키는 경우, 상술한 단계 S14에 나열된 경우에 따라, 대응하는 상기 금속 그리드층과 하방의 구조가 전기적으로 연결되는 경우는 다음의 경우를 포함한다. 즉, 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설된 경우(즉, 꼭대기부 측벽 상의 제1 분리 산화층(2121)이 노출됨), 상기 금속 그리드층도 노출된 상기 일부 기판(20)과만 전기적으로 연결된다. 상기 트렌치 충진 구조(212)에서 충진 재료의 꼭대기 표면만 상기 기판(20)의 꼭대기 표면보다 높고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설된 경우, 상기 충진 재료가 상기 제1 도전성 금속층(2124)이면, 상기 금속 그리드층은 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 도전성 금속층(2124)과 전기적으로 연결된다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높거나 같고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 충진 재료의 꼭대기부 표면에 위치할 경우, 상기 충진 재료가 상기 제1 도전성 금속층(2124)이면, 상기 금속 그리드층은 상기 트렌치 충진 구조(212)의 노출된 일부 또는 모든 제1 도전성 금속층(2124)의 꼭대기 표면과 전기적으로 연결된다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1분리 산화층(2121) 또는 제1 도전성 금속층(2124)을 동시에 노출시키고, 상기 제1 도전성 금속층(2124)의 일부 또는 모든 꼭대기 표면을 노출시킬 경우, 상기 금속 그리

드층은 상기 일부 기판(20) 및 제1 도전성 금속층(2124)과 동시에 전기적으로 연결된다.

[0077] 단계 S14에서 상기 제1 개구가 바닥부 구조를 노출시키는 다양한 경우에 따라, 상기 제1 개구를 형성하는 상이한 방법에 대응하여, 상기 버퍼 유전체층(25) 상에 상기 금속 그리드층을 형성하는 방법은 이하 단계를 포함할 수 있다.

[0078] 도 3g 내지 3i를 참조하면, 상기 버퍼 유전체층(25) 상에 상기 금속 그리드층(2141)을 형성하는 단계는 다음의 단계를 포함한다. 즉, 먼저 도 3g에 도시된 바와 같이, 제2 도전성 금속층(27)을 형성하여 상기 버퍼 유전체층(25)을 덮고, 상기 제2 도전성 금속층(27)은 상기 제1 개구(2131)를 채운다. 그 후 상기 제2 도전성 금속층(27) 상에 제3 패턴화된 포토레지스트층(281)을 형성하여(도 3h에 도시된 바와 같음) 상기 제3 패턴화된 포토레지스트층(281)을 마스크로 사용한다. 상기 제2 도전성 금속층(27)을 에칭하여 상기 픽셀 영역(21)에 금속 그리드층(2141)을 형성한다(도 3i에 도시된 바와 같음). 상기 금속 그리드층(2141)은 상기 제1 개구(2131)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면(즉, 상기 트렌치 충진 구조(212)의 모든 도전성 재질의 꼭대기 표면)과 전기적으로 연결된다.

[0079] 또는 도 4c 내지 4e를 참조하면, 상기 버퍼 유전체층(25) 상에 상기 금속 그리드층(2142)을 형성하는 단계는 다음의 단계를 포함한다. 즉, 먼저 도 4c에 도시된 바와 같이, 제2 도전성 금속층(27)을 형성하여 상기 버퍼 유전체층(25)을 덮고, 상기 제2 도전성 금속층(27)은 상기 제1 개구(2132)를 채운다. 그 후 상기 제2 도전성 금속층(27) 상에 제3 패턴화된 포토레지스트층(282)을 형성하여(도 4d에 도시된 바와 같음) 상기 제3 패턴화된 포토레지스트층(282)을 마스크로 사용한다. 상기 제2 도전성 금속층(27)을 에칭하여 상기 픽셀 영역(21)에 금속 그리드층(2142)을 형성한다(도 4e에 도시된 바와 같음). 상기 금속 그리드층(2142)은 상기 제1 개구(2132)에 의해 노출된 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 꼭대기 표면과 전기적으로 연결된다.

[0080] 또는 도 5c 내지 5e를 참조하면, 상기 버퍼 유전체층(25) 상에 상기 금속 그리드층(2143)을 형성하는 단계는 다음의 단계를 포함한다. 즉, 먼저 도 5c에 도시된 바와 같이, 제2 도전성 금속층(27)을 형성하여 상기 버퍼 유전체층(25)을 덮고, 상기 제2 도전성 금속층(27)은 상기 제1 개구(2133)를 채운다. 그 후 상기 제2 도전성 금속층(27) 상에 제3 패턴화된 포토레지스트층(283)을 형성하여(도 5d에 도시된 바와 같음) 상기 제3 패턴화된 포토레지스트층(283)을 마스크로 사용한다. 상기 제2 도전성 금속층(27)을 에칭하여 상기 픽셀 영역(21)에 금속 그리드층(2143)을 형성한다(도 5e에 도시된 바와 같음). 상기 금속 그리드층(2143)은 상기 제1 개구(2133)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)과 전기적으로 연결된다.

[0081] 또는 도 6e 내지 6g를 참조하면, 상기 버퍼 유전체층(25) 상에 상기 금속 그리드층(2144)을 형성하는 단계는 다음의 단계를 포함한다. 즉, 먼저 도 6e에 도시된 바와 같이, 제2 도전성 금속층(27)을 형성하여 상기 버퍼 유전체층(25)을 덮고, 상기 제2 도전성 금속층(27)은 상기 제1 개구(2134)를 채운다. 그 후 상기 제2 도전성 금속층(27) 상에 제3 패턴화된 포토레지스트층(284)을 형성하여(도 6f에 도시된 바와 같음) 상기 제3 패턴화된 포토레지스트층(284)을 마스크로 사용한다. 상기 제2 도전성 금속층(27)을 에칭하여 상기 픽셀 영역(21)에 금속 그리드층(2144)을 형성한다(도 6g에 도시된 바와 같음). 상기 금속 그리드층(2144)은 상기 제1 개구(2134)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면과 전기적으로 연결된다. 또한 상기 금속 그리드층(2144)도 상기 제1 도전성 금속층(2124)의 꼭대기부 측벽과 접촉된다.

[0082] 또한 상기 금속 그리드층을 형성한 후, 상기 제3 패턴화된 포토레지스트층을 제거한다. 상기 제2 도전성 금속층(27)의 재질은 니켈, 알루미늄, 은, 금, 티타늄 및 구리 중 적어도 하나를 포함할 수 있다.

[0083] 또한 도 7에 도시된 바와 같이, 상기 금속 그리드층(2145)은 상기 제1 개구에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 꼭대기 표면과 전기적으로 연결될 수도 있다.

[0084] 또한 상기 기판은 상기 픽셀 영역 외부 둘레에 위치하는 패드 영역을 더 구비한다. 상기 패드 영역의 기판에는 금속 상호연결 구조 및 상기 금속 상호연결 구조 상방에 위치하는 플러그 구조가 형성된다. 상기 플러그 구조의 바닥부는 상기 금속 상호연결 구조와 전기적으로 연결된다. 상기 플러그 구조의 꼭대기부에는 패드 구조가 더 전기적으로 연결된다. 상기 패드 영역의 기판에는 상기 금속 상호연결 구조 이외의 다른 금속 구조가 형성될 수도 있음에 유의한다. 상기 플러그 구조의 바닥부는 상기 금속 구조와 전기적으로 연결된다. 예를 들어 상기 금속 구조는 도전성 접촉 플러그일 수 있으며, 상기 플러그 구조의 바닥부는 상기 도전성 접촉 플러그와 전기적으로 연결된다. 이하에서는 모두 상기 금속 구조가 금속 상호연결 구조인 것을 예로 들어 설명한다.

[0085] 상기 하이-K 유전체층이 상기 패드 영역의 플러그 구조에 형성될 경우 소자의 커패시턴스가 증가하여 심각한 전송 지연(RC delay)을 유발할 수 있으며 이는 반도체 소자의 성능에 영향을 미친다. 따라서 상기 하이-K 유전체층은 상기 패드 영역의 플러그 구조에 형성될 수 없다. 따라서 상기 픽셀 영역의 트렌치 충진 구조는 상기 패드 영역의 플러그 구조와 분리하여 제작해야 한다.

[0086] 상기 패드 영역의 각 구조의 형성 단계는 다음의 단계를 포함할 수 있다. 즉, 상기 트렌치 충진 구조를 형성한 후, 상기 픽셀 영역의 기판 표면에 상기 버퍼 유전체층을 덮기 전에, 상기 패드 영역의 기판에 상기 플러그 구조를 형성한다. 상기 픽셀 영역의 기판 표면 상에 상기 버퍼 유전체층을 덮는 동시에, 상기 패드 영역의 기판 표면 상에 상기 버퍼 유전체층을 더 덮어, 상기 버퍼 유전체층이 상기 플러그 구조를 그 내부에 매립하도록 만든다. 상기 픽셀 영역 상의 상기 버퍼 유전체층을 에칭하여 상기 제1 개구를 형성하는 동시에, 상기 패드 영역 상의 상기 버퍼 유전체층을 더 에칭하여 제2 개구를 형성한다. 상기 제2 개구는 상기 플러그 구조의 일부의 꼭대기부 표면을 노출시킨다. 상기 픽셀 영역의 상기 버퍼 유전체층 상에 상기 금속 그리드층을 형성하는 동시에, 상기 패드 영역의 상기 버퍼 유전체층 상에 패드 구조를 더 형성한다. 상기 패드 구조는 상기 제2 개구를 채워, 노출된 상기 플러그 구조의 꼭대기부와 전기적으로 연결된다.

[0087] 이하에서는 도 8a 내지 8p를 참조하여 상기 픽셀 영역의 트렌치 충진 구조와 금속 그리드층 및 상기 패드 영역의 플러그 구조 및 패드 구조의 제작 단계를 설명한다. 여기에서 상기 픽셀 영역의 금속 그리드층과 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조가 전기적으로 연결되는 다양한 경우는 상술한 단계 S11 내지 S15를 참조한다. 따라서 여기에서 반복하여 설명하지 않기로 한다. 도 6a 내지 6g에 도시된 상기 금속 그리드층(2144)과 상기 제1 개구(2134)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면이 전기적으로 연결되는 경우를 예로 든다. 상기 픽셀 영역(21)의 트렌치 충진 구조(212) 및 금속 그리드층(2144)과 상기 패드 영역(22)의 플러그 구조(224) 및 패드 구조(226)의 제작 단계는 이하와 같다.

[0088] 도 8a를 참조하면, 단계 S21에 따라 픽셀 영역(21) 및 패드 영역(22)을 구비한 기판(20)을 제공한다. 상기 패드 영역(22)은 상기 픽셀 영역(21)의 외부 둘레에 위치한다. 상기 패드 영역(22)의 기판(20)에는 금속 상호연결 구조(221)가 형성된다.

[0089] 도 8a 내지 8c를 참조하면, 단계 S22에 따라, 상기 픽셀 영역(21)의 기판(20)에 트렌치(211)를 형성하고, 상기 트렌치(211)에 충진 재료를 충진하여 트렌치 충진 구조(212)를 형성한다. 상기 충진 재료의 측벽과 상기 기판(20) 사이에 하이-K 유전체층(2122)이 더 끼워진다.

[0090] 여기에서 상기 픽셀 영역(21)의 기판(20)에 상기 트렌치(211) 및 상기 트렌치 충진 구조(212)를 형성하는 단계는 이하의 단계를 포함한다. 즉, 먼저 도 8a에 도시된 바와 같이, 상기 픽셀 영역(21)과 패드 영역(22)의 기판(20) 표면에 패드 산화층(23)을 덮는다. 상기 패드 산화층(23)은 후속 포토리소그래피로 제1 패턴화된 포토레지스트층(24)을 형성할 때, 상기 기판(20)을 보호하는 데 사용된다. 그 후 도 8a 및 8b에 도시된 바와 같이, 상기 패드 산화층(23) 상에 제1 패턴화된 포토레지스트층(24)을 형성하여 상기 제1 패턴화된 포토레지스트층(24)을 마스크로 사용한다. 상기 픽셀 영역(21)의 패드 산화층(23)과 적어도 일부 두께의 상기 기판(20)을 에칭하여 상기 픽셀 영역(21)의 기판(20)에 트렌치(211)를 형성한다. 이어서, 상기 제1 패턴화된 포토레지스트층(24)과 패드 산화층(23)을 제거한다. 다음으로, 상기 트렌치(211)와 상기 기판(20)의 표면 상에 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)을 순차적으로 형성한다. 또한 상기 트렌치(211)에 상기 제1 도전성 금속층(2124)(즉, 상기 충진 재료)을 충진한다. 상기 제1 도전성 금속층(2124)은 상기 트렌치(211) 외부 둘레의 상기 제2 분리 산화층(2123)을 더 덮는다. 이어서, 에칭 또는 화학 기계적 연마 공정을 채택해 상기 트렌치(211) 외부 둘레의 상기 기판(20)의 표면을 덮는 상기 제1 도전성 금속층(2124)을 제거하여 상기 트렌치(211)에 트렌치 충진 구조(212)를 형성한다. 도 8c에 도시된 바와 같이, 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)은 여전히 상기 기판(20)을 덮는다. 또한 상기 트렌치 충진 구조(212)의 꼭대기 표면은 상기 기판(20)의 꼭대기 표면보다 높다.

[0091] 도 8d 내지 8j를 참조하면, 단계 S23에 따라, 상기 패드 영역(22)의 기판(20)에 상기 플러그 구조(224)를 형성한다. 상기 단계는 다음 단계를 포함할 수 있다. 즉, 먼저 도 8d에 도시된 바와 같이, 상기 픽셀 영역(21)과 패드 영역(22)의 기판(20)의 표면 상에 제1 버퍼 유전체층(251)을 덮는다. 또한 상기 제1 버퍼 유전체층(251)은 상기 트렌치 충진 구조(212)를 그 내부에 매립한다. 그 후, 상기 제1 버퍼 유전체층(251) 상에 제4 패턴화된 포토레지스트층(29)을 형성하여(도 8e에 도시된 바와 같음) 상기 제4 패턴화된 포토레지스트층(29)를 마스크로 사용한다. 상기 패드 영역(22) 상의 제1 버퍼 유전체층(251), 제2 분리 산화층(2123), 하이-K 유전체층(2122) 및

제1 분리 산화층(2121)을 에칭하여 상기 패드 영역(22) 상의 제1 버퍼 유전체층(251)에 제3 개구(222)를 형성한다(도 8f에 도시된 바와 같음). 상기 제3 개구(222)는 상기 금속 상호연결 구조(221) 상방의 기판(20)의 일부 꼭대기 표면을 노출시킨다. 이어서, 도 8g에 도시된 바와 같이, 상기 제3 개구(222)에 제2 버퍼 유전체층(252)을 충진하고, 상기 제1 버퍼 유전체층(251) 상에 상기 제2 버퍼 유전체층(252)을 덮는다. 이어서, 상기 제2 버퍼 유전체층(252) 상에 제5 패턴화된 포토레지스트층(30)을 형성하여(도 8h에 도시된 바와 같음) 상기 제5 패턴화된 포토레지스트층(30)을 마스크로 사용한다. 상기 제3 개구(222) 중의 제2 버퍼 유전체층(252) 및 적어도 일부 두께의 상기 기판(20)을 에칭하여 상기 패드 영역(22) 상의 제2 버퍼 유전체층(252)과 기판(20)에 비아(223)를 형성한다. 도 8i에 도시된 바와 같이, 상기 비아(223)는 상기 금속 상호연결 구조(221)의 일부 꼭대기 표면을 적어도 노출시킨다. 이어서, 상기 비아(223)의 측벽 상에 제3 분리 산화층(2241)을 형성한다. 또한 상기 제3 분리 산화층(2241)은 상기 기판(20)을 덮는다. 이어서, 상기 비아(223)에 제3 도전성 금속층(2242)을 채우고, 상기 제3 도전성 금속층(2242)은 상기 비아(223) 외부 둘레의 상기 제3 분리 산화층(2241)을 더 덮는다. 이어서, 에칭 또는 화학 기계적 연마 공정을 채택해 상기 비아(223) 외부 둘레의 상기 기판(20)을 덮는 제3 도전성 금속층(2242)과 제3 분리 산화층(2241)을 제거하여, 플러그 구조(224)를 형성한다. 상기 플러그 구조(224) 중의 제3 도전성 금속층(2242)의 바닥부는 상기 금속 상호연결 구조(221)와 전기적으로 연결된다. 이는 8j에 도시된 바와 같다.

[0092] 본 출원의 실시예에 있어서, 먼저 제3 개구(222)를 형성하여 상기 금속 상호연결 구조(221) 상방의 기판(20)의 일부 꼭대기 표면을 노출시킨다. 이어서, 상기 제3 개구(222)에 제2 버퍼 유전체층(252)을 충진하고, 상기 제2 버퍼 유전체층(252)은 상기 제1 버퍼 유전체층(251)을 덮는다. 다시 상기 제3 개구(222) 중의 제2 버퍼 유전체층(252) 및 적어도 일부 두께의 상기 기판(20)을 에칭하여, 상기 패드 영역(22) 상의 제2 버퍼 유전체층(252)과 기판(20)에 비아(223)를 형성한다. 이를 통해 상기 비아(223)의 에칭 공정의 정밀도와 신뢰성을 향상시킬 수 있다. 본 출원의 다른 실시예에 있어서, 상기 제1 버퍼 유전체층(251)과 적어도 일부 두께의 상기 기판(20)을 직접 에칭하여 상기 비아(223)를 형성할 수도 있다. 즉, 상기 제3 개구(222)를 더 이상 형성하지 않으므로, 제조 공정을 단순화시킬 수 있다.

[0093] 도 8k를 참조하면, 단계 S24에 따라, 상기 픽셀 영역(21)과 패드 영역(22)의 기판(20)의 표면 상에 제3 버퍼 유전체층(253)을 덮는다. 또한 상기 제3 버퍼 유전체층(253)은 상기 플러그 구조(224)를 그 내부에 매립한다. 도 8k에 도시된 바와 같이, 상기 기판(20)을 덮고, 상기 트렌치 충진 구조(212)와 플러그 구조(224)를 그 내부에 매립하는 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122), 제2 분리 산화층(2123), 제1 버퍼 유전체층(251), 제2 버퍼 유전체층(252) 및 제3 버퍼 유전체층(253)은 상기 버퍼 유전체층(25)을 구성함을 이해할 수 있다.

[0094] 도 8l 내지 8m을 참조하면, 단계 S25에 따라, 상기 버퍼 유전체층을 에칭하여, 상기 픽셀 영역(21)의 버퍼 유전체층에 제1 개구(2134)를 형성하고 상기 패드 영역(22)의 버퍼 유전체층에 제2 개구(225)를 형성한다. 상기 제1 개구(2134)는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면을 노출시킨다. 상기 제2 개구(225)는 상기 플러그 구조(224)의 일부 꼭대기부 표면을 노출시킨다.

[0095] 상기 제1 개구(2134) 및 상기 제2 개구(225)를 형성하는 단계는 다음의 단계를 포함할 수 있다. 즉, 상기 제3 버퍼 유전체층(253) 상에 제2 패턴화된 포토레지스트층(264)을 형성하여(도 8l에 도시된 바와 같음) 상기 제2 패턴화된 포토레지스트층(264)를 마스크로 사용한다. 상기 픽셀 영역(21) 상의 제3 버퍼 유전체층(253), 제1 버퍼 유전체층(251), 제2 분리 산화층(2123), 하이-K 유전체층(2122) 및 제1 분리 산화층(2121)을 에칭한다. 또한 상기 패드 영역(22) 상의 상기 제3 버퍼 유전체층(253)을 에칭한다. 이를 통해 상기 픽셀 영역(21)의 버퍼 유전체층에 상기 제1 개구(2134)를 형성하고 상기 패드 영역(22)의 버퍼 유전체층에 제2 개구(225)를 형성한다. 도 8m에 도시된 바와 같이, 상기 제1 개구(2134)는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)과 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면을 노출시킨다. 또한 상기 제1 개구(2134)는 상기 제1 도전성 금속층(2124)의 꼭대기부의 측벽을 더 노출시킨다. 상기 제2 개구(225)는 상기 플러그 구조(224)의 제3 도전성 금속층(2242)의 일부 꼭대기부 표면을 노출시킨다.

[0096] 도 8n 내지 8p를 참조하면, 단계 S26에 따라, 상기 픽셀 영역(21)의 제3 버퍼 유전체층(253) 상에 금속 그리드층(2144)을 형성하고 상기 패드 영역(22)의 상기 제3 버퍼 유전체층(253) 상에 패드 구조(226)를 형성한다. 상기 금속 그리드층(2144)은 상기 제1 개구(2134)를 채워, 노출된 상기 일부 기판(20) 및 상기 트렌치 충진 구조(212)와 전기적으로 연결된다. 상기 패드 구조(226)는 상기 제2 개구(225)를 채워, 노출된 상기 플러그 구조

(224)의 꼭대기부와 전기적으로 연결된다.

[0097] 상기 픽셀 영역(21)의 제3 버퍼 유전체층(253) 상에 금속 그리드층(2144)을 형성하고 상기 패드 영역(22)의 상기 제3 버퍼 유전체층(253) 상에 패드 구조(226)를 형성하는 단계는 다음의 단계를 포함한다. 즉, 먼저 도 8n에 도시된 바와 같이, 제2 도전성 금속층(27)을 형성하여 상기 제3 버퍼 유전체층(253)을 덮는다. 또한 상기 제2 도전성 금속층(27)은 상기 제1 개구(2134) 및 상기 제2 개구(225)를 채운다. 그 후, 상기 제2 도전성 금속층(27) 상에 제3 패턴화된 포토레지스트층(284)을 형성하여(도 8o에 도시된 바와 같음) 상기 제3 패턴화된 포토레지스트층(284)을 마스크로 사용한다. 상기 제2 도전성 금속층(27)을 에칭하여, 상기 픽셀 영역(21)에 금속 그리드층(2144)을 형성하고, 상기 패드 영역(22)에 패드 구조(226)를 형성한다(도 8p에 도시된 바와 같음). 상기 금속 그리드층(2144)과 상기 제1 개구(2134)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면은 전기적으로 연결된다. 상기 패드 구조(226)는 노출된 상기 플러그 구조(224)의 제3 도전성 금속층(2242)의 일부 꼭대기부 표면과 전기적으로 연결된다.

[0098] 또한 상술한 반도체 소자의 제조 방법에서 각 단계는 상술한 형성 순서로 제한되지 않는다. 각 단계의 순서는 유연하게 조정할 수 있다.

[0099] 상기 내용을 요약하면, 본 발명에서 제공하는 반도체 소자의 제조 방법은 다음 단계를 포함한다. 즉, 픽셀 영역을 구비한 기판을 제공한다. 상기 픽셀 영역의 기판에 트렌치를 형성하고, 상기 트렌치에 충진 재료를 충진하여 트렌치 충진 구조를 형성한다. 상기 충진 재료의 측벽과 상기 기판 사이에 하이-K 유전체층이 더 끼워진다. 상기 픽셀 영역의 기판 표면 상에 버퍼 유전체층을 덮고, 상기 버퍼 유전체층은 상기 트렌치 충진 구조를 그 내부에 매립한다. 상기 버퍼 유전체층을 에칭하여 제1 개구를 형성한다. 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킨다. 상기 버퍼 유전체층 상에 금속 그리드층을 형성하고, 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결된다. 본 발명의 반도체 소자의 제조 방법은 금속 그리드층을 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결하여, 반도체 소자를 전기학적 성능 측면에서 최적화 및 개선시킬 수 있다.

[0100] 본 발명의 일 실시예는 반도체 소자를 제공한다. 상기 반도체 소자는 기판, 트렌치 충진 구조, 버퍼 유전체층 및 금속 그리드층을 포함한다. 상기 기판은 픽셀 영역을 구비한다. 상기 픽셀 영역의 기판에는 트렌치 충진 구조가 형성된다. 상기 트렌치 충진 구조는 상기 기판의 트렌치에 충진된 충진 재료 및 상기 충진 재료의 측벽과 상기 기판 사이에 끼워진 하이-K 유전체층을 포함한다. 상기 버퍼 유전체층은 상기 픽셀 영역의 기판 표면에 형성된다. 상기 버퍼 유전체층은 제1 개구를 구비한다. 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킨다. 상기 금속 그리드층은 상기 버퍼 유전체층 상에 형성된다. 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결된다.

[0101] 이하에서는 도 3i, 4e, 5e, 6g, 7 및 8p를 참조하여 본 실시예에서 제공하는 반도체 소자를 상세하게 설명한다.

[0102] 상기 기판(20)은 픽셀 영역(21)을 구비한다. 상기 기판(20)의 재질은 본 기술분야의 당업자에게 공지된 임의의 적합한 재질일 수 있다. 구체적으로 단계 S11을 참조하며, 여기에서는 반복하여 설명하지 않기로 한다.

[0103] 상기 트렌치 충진 구조(212)는 상기 픽셀 영역(21)의 기판(20)에 형성된다. 상기 트렌치 충진 구조(212)는 상기 기판(20) 중의 트렌치(211)에 충진된 충진 재료 및 상기 충진 재료의 측벽과 상기 기판(20) 사이에 끼워 설치되는 하이-K 유전체층(2122)을 포함한다. 여기에서 상기 트렌치(211)는 깊이가 1 내지 5μm인 딥 트렌치일 수 있다. 상기 트렌치(211)의 깊이는 이 깊이 범위에 한정되지 않으며, 반도체 소자의 성능 수요에 따라 적합한 깊이의 상기 트렌치(211)를 형성할 수 있다. 상기 트렌치 충진 구조(212)는 상기 픽셀 영역(21)의 기판(20)에서 각 소자를 분리하는 역할을 수행할 수 있다. 상기 하이-K 유전체층(2122)의 K(유전 상수) 값은 7보다 큰 것이 바람직하다. 상기 하이-K 유전체층(2122)의 재질은 질화물 또는 금속 산화물을 포함할 수 있다. 예를 들어 질화규소, 질산규소, 이산화티타늄, 오산화이탄탈 등일 수 있다. 상기 하이-K 유전체층(2122)은 상이한 주파수 대역 전압 및 상이한 성질의 전하를 가진다. 따라서 상기 하이-K 유전체층(2122)이 상기 기판(20)의 전하를 변화시켜 암전류를 감소시키고 암전류로 인한 노이즈가 반도체 소자의 성능에 영향을 미치는 것을 방지할 수 있도록 한다.

[0104] 상기 트렌치 충진 구조(212)는 상기 기판(20)의 트렌치(211)의 표면을 순차적으로 덮는 제1 분리 산화층(2121),

하이-K 유전체층(2122), 제2 분리 산화층(2123) 및 상기 트렌치(211)에 충진되는 상기 충진 재료를 포함할 수 있다. 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122), 제2 분리 산화층(2123)은 상기 충진 재료의 측벽과 상기 기판(20) 사이에 적어도 위치한다. 즉, 상기 트렌치(211) 중의 제1 분리 산화층(2121), 하이-K 유전체층(2122) 및 제2 분리 산화층(2123)은 상기 트렌치(211)의 측벽 상에만 위치할 수 있으며, 상기 트렌치(211)의 측벽과 바닥벽 상에 모두 위치할 수도 있다.

[0105] 여기에서 상기 충진 재료는 유전체 재료 또는 금속 재료를 포함하거나, 유전체 재료와 금속 재료를 동시에 포함할 수 있다. 상기 충진 재료가 금속 재료인 경우, 도 3i에 도시된 바와 같이, 상기 트렌치 충진 구조(212)는 상기 트렌치(211)의 표면에 형성된 제1 분리 산화층(2121), 하이-K 유전체층(2122), 제2 분리 산화층(2123) 및 상기 트렌치(211)를 채우는 제1 도전성 금속층(2124)(즉, 상기 충진 재료는 상기 제1 도전성 금속층(2124)임)을 포함한다. 상기 유전체 재료는 이산화규소, 질화규소, 테트라에틸 오르소실리케이트, 붕규산 유리, 인규산 유리, 붕소인규산 유리, 질산규소 중 적어도 하나를 포함할 수 있다. 상기 금속 재료는 텅스텐, 니켈, 알루미늄, 은, 금 및 티타늄 중 적어도 하나를 포함할 수 있다.

[0106] 또한 상기 트렌치 충진 구조(212)의 꼭대기 표면은 상기 기판(20)의 꼭대기 표면과 가지런할 수 있다. 또는 상기 트렌치 충진 구조(212)의 꼭대기 표면은 상기 기판(20)의 꼭대기 표면보다 높을 수 있다. 또는 상기 트렌치 충진 구조(212)에서 충진 재료의 꼭대기 표면만 상기 기판(20)의 꼭대기 표면보다 높을 수 있다.

[0107] 상기 버퍼 유전체층(25)은 상기 픽셀 영역(21)의 기판(20) 표면 상에 형성된다. 상기 버퍼 유전체층(25)은 제1 개구를 구비한다. 상기 제1 개구는 적어도 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 또는 상기 트렌치 충진 구조(212)의 적어도 일부 꼭대기부를 노출시키거나, 적어도 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)과 상기 트렌치 충진 구조(212)의 적어도 일부 꼭대기부를 노출시킨다.

[0108] 여기에서 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부의 기판(20)을 적어도 노출시킨다. 즉, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 외부 둘레를 적어도 둘러싸도록 설치되어, 상기 트렌치 충진 구조(212)의 꼭대기부 오부 둘레를 둘러싸는 일부의 기판(20)을 적어도 노출시킴을 의미한다.

[0109] 상기 제1 개구가 상기 트렌치 충진 구조(212)의 일부 꼭대기부를 적어도 노출시키는 경우는 다음의 경우를 포함한다. 즉, 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높은 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설되어, 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 분리 산화층(2121)을 노출시킨다. 이때 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)도 노출시킨다. 상기 트렌치 충진 구조(212)에서 충진 재료의 꼭대기 표면만 상기 기판(20)의 꼭대기 표면보다 높은 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설되어, 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 충진 재료를 노출시킬 수 있다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높거나 같은 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 표면 상에 위치하여, 상기 트렌치 충진 구조(212)의 일부 도는 모든 꼭대기 표면을 노출시킬 수도 있다. 여기에는 상기 충진 재료의 일부 또는 모든 꼭대기 표면을 노출시키는 것, 또는 상기 충진 재료의 일부 또는 모든 꼭대기 표면을 노출시키는 것 및 상기 제1 분리 산화층(2121) 및/또는 상기 하이-K 유전체층(2122) 및/또는 상기 제2 분리 산화층(2123)의 일부 또는 모든 꼭대기 표면을 노출시키는 것이 포함된다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높은 경우, 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 분리 산화층(2121) 또는 하이-K 유전체층(2122) 또는 제2 분리 산화층(2123) 또는 충진 재료 및 상기 트렌치 충진 구조(212)의 일부 또는 모든 꼭대기부 표면을 동시에 노출시킬 수도 있다.

[0110] 상기 충진 재료에 제1 도전성 금속층(2124)이 포함되는 경우, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 일부 꼭대기부를 적어도 노출시키는 경우는 다음의 경우를 포함한다. 즉, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽을 둘러싸도록 개설되어, 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 도전성 금속층(2124)을 노출시킨다. 또는 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기 표면 상에 위치하여, 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 또는 모든 꼭대기 표면을 노출시킨다. 또는 상기 제1 개구는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 도전성 금속층(2124) 및 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 또는 모든 꼭대기 표면을 동시에 노출시킨다.

[0111] 상기 버퍼 유전체층(25) 상에 상기 금속 그리드층을 형성하고, 상기 금속 그리드층은 상기 제1 개구를

충진하여, 노출된 상기 일부 기판(20) 또는 상기 트렌치 충진 구조와 전기적으로 연결된다. 또는 노출된 상기 일부 기판(20)과 상기 트렌치 충진 구조(212)와 동시에 전기적으로 연결된다.

[0112] 상기 금속 그리드층은 노출된 상기 일부 기판(20) 및/또는 상기 트렌치 충진 구조(212)와 전기적으로 연결될 수 있다. 따라서 전기학적 성능 측면에서 반도체 소자를 최적화 및 개선할 수 있다. 예를 들어 반도체 소자의 암전류를 최적화하고 개선할 수 있다. 또한 상기 하이-K 유전체층은 상기 반도체 소자의 암전류를 더욱 감소시켜, 상기 반도체 소자의 전기학적 성능을 더욱 최적화 및 개선시킬 수 있다.

[0113] 상기 제1 개구가 상기 일부 기판(20)만 노출시킬 경우, 상기 금속 그리드층은 노출된 상기 일부 기판(20)과만 전기적으로 연결된다. 상기 제1 개구가 상기 트렌치 충진 구조(212)의 일부 꼭대기부를 적어도 노출시킬 경우, 상기에서 나열한 다양한 상황에 따라, 대응하는 상기 금속 그리드층과 하방의 구조가 전기적으로 연결되는 경우는 다음의 경우를 포함한다. 즉, 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설된 경우(즉, 꼭대기부 측벽 상의 제1 분리 산화층(2121)이 노출됨), 상기 금속 그리드층도 노출된 상기 일부 기판(20)과만 전기적으로 연결된다. 상기 트렌치 충진 구조(212)에서 충진 재료의 꼭대기 표면만 상기 기판(20)의 꼭대기 표면보다 높고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽만 둘러싸도록 개설된 경우, 상기 충진 재료가 상기 제1 도전성 금속층(2124)이면, 상기 금속 그리드층은 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1 도전성 금속층(2124)과 전기적으로 연결된다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높거나 같고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 충진 재료의 꼭대기부 표면에 위치할 경우, 상기 충진 재료가 상기 제1 도전성 금속층(2124)이면, 상기 금속 그리드층은 상기 트렌치 충진 구조(212)의 노출된 일부 또는 모든 제1 도전성 금속층(2124)의 꼭대기 표면과 전기적으로 연결된다. 상기 트렌치 충진 구조(212)의 꼭대기 표면이 상기 기판(20)의 꼭대기 표면보다 높고, 상기 제1 개구가 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 상의 제1분리 산화층(2121) 또는 제1 도전성 금속층(2124)을 동시에 노출시키고, 상기 제1 도전성 금속층(2124)의 일부 또는 모든 꼭대기 표면을 노출시킬 경우, 상기 금속 그리드층은 상기 일부 기판(20) 및 제1 도전성 금속층(2124)과 동시에 전기적으로 연결된다.

[0114] 상기 금속 그리드층과 노출된 상기 일부 기판(20) 및/또는 상기 트렌치 충진 구조(212)가 전기적으로 연결되는 경우는 예를 들어 다음과 같다. 즉, 도 3i에 도시된 바와 같이, 상기 금속 그리드층(2141)은 상기 제1 개구(2131)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면과 전기적으로 연결된다. 도 4e에 도시된 바와 같이, 상기 금속 그리드층(2142)은 상기 제1 개구(2132)에 의해 노출된 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 꼭대기 표면과 전기적으로 연결된다. 도 5e에 도시된 바와 같이, 상기 금속 그리드층(2143)은 상기 제1 개구(2133)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)과 전기적으로 연결된다. 도 6g에 도시된 바와 같이, 상기 금속 그리드층(2144)은 상기 제1 개구(2134)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기부 표면과 전기적으로 연결된다. 또한 상기 금속 그리드층(2144)은 상기 제1 도전성 금속층(2124)의 꼭대기부의 측벽과도 접촉된다. 도 7에 도시된 바와 같이, 상기 금속 그리드층(2145)은 상기 제1 개구에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 제1 도전성 금속층(2124)의 일부 꼭대기 표면과 전기적으로 연결된다.

[0115] 또한 상기 기판은 상기 픽셀 영역 외부 둘레에 위치하는 패드 영역을 더 구비한다. 상기 패드 영역의 기판에는 금속 상호연결 구조 및 상기 금속 상호연결 구조 상방에 위치하는 플러그 구조가 형성된다. 상기 플러그 구조의 바닥부는 상기 금속 상호연결 구조와 전기적으로 연결된다. 상기 플러그 구조의 꼭대기부에는 패드 구조가 더 전기적으로 연결된다. 상기 패드 영역의 기판에는 상기 금속 상호연결 구조 이외의 다른 금속 구조가 형성될 수도 있음에 유의한다. 상기 플러그 구조의 바닥부는 상기 금속 구조와 전기적으로 연결된다. 예를 들어 상기 금속 구조는 도전성 접촉 플러그이며, 상기 플러그 구조의 바닥부는 상기 도전성 접촉 플러그와 전기적으로 연결될 수 있다. 이하에서는 모두 상기 금속 구조가 금속 상호연결 구조인 것을 예로 들어 설명한다.

[0116] 여기에서 상기 플러그 구조는, 상기 금속 상호연결 구조의 일부 꼭대기 표면을 노출시키는 비아의 측벽 상에 위치하는 제3 분리 산화층, 및 상기 비아를 채우는 제3 도전성 금속층을 포함한다. 상기 버퍼 유전체층은 상기 패드 영역의 기판 표면 상에 더 형성된다. 상기 버퍼 유전체층은 상기 플러그 구조의 일부의 꼭대기부 표면을 노출시키는 제2 개구를 구비한다. 상기 패드 영역의 버퍼 유전체층 상에는 패드 구조가 더 형성된다. 상기 패드 구조는 상기 제2 개구를 채워, 노출된 상기 플러그 구조의 꼭대기부와 전기적으로 연결된다.

[0117] 상기 하이-K 유전체층이 상기 패드 영역의 플러그 구조에 형성될 경우 소자의 커패시턴스가 증가하여 심각한 전송 지연(RC delay)을 유발할 수 있으며 이는 반도체 소자의 성능에 영향을 미친다. 따라서 상기 하이-K 유전체층은 상기 패드 영역의 플러그 구조에 형성될 수 없다.

[0118] 상기 픽셀 영역의 금속 그리드층이 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결되는 다양한 경우는 상술한 설명을 참조할 수 있다. 따라서 여기에서 반복하여 설명하지 않기로 한다. 도 8p에 도시된 바와 같이, 상기 금속 그리드층(2144)과 상기 제1 개구(2134)에 의해 노출된 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20) 및 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면이 전기적으로 연결되는 경우를 예로 들어, 상기 픽셀 영역(21)의 트렌치 충진 구조(212) 및 금속 그리드층(2144)과 상기 패드 영역(22)의 플러그 구조(224) 및 패드 구조(226)에 대해 설명한다.

[0119] 상기 플러그 구조(224)는, 상기 금속 상호연결 구조(221)의 일부 꼭대기 표면을 노출시키는 비아(223)의 측벽 상에 위치한 제3 분리 산화층(2241), 및 상기 비아(223)를 채우는 제3 도전성 금속층(2242)을 포함한다. 상기 플러그 구조(224) 중의 제3 도전성 금속층(242)의 바닥부는 상기 금속 상호연결 구조(221)와 전기적으로 연결된다.

[0120] 상기 기판(20)을 덮고, 상기 트렌치 충진 구조(212)와 플러그 구조(224)를 그 내부에 매립하는 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122), 제2 분리 산화층(2123), 제1 버퍼 유전체층(251), 제2 버퍼 유전체층(252) 및 제3 버퍼 유전체층(253)은 상기 버퍼 유전체층(25)을 구성한다.

[0121] 상기 픽셀 영역(21)의 버퍼 유전체층(25)(즉, 기판(20) 상의 상기 제1 분리 산화층(2121), 하이-K 유전체층(2122), 제2 분리 산화층(2123), 제1 버퍼 유전체층(251) 및 제3 버퍼 유전체층(253))에는 제1 개구(2134)가 형성된다. 또한 상기 패드 영역(22)의 버퍼 유전체층(25)(즉, 상기 제3 버퍼 유전체층(253))에는 제2 개구(225)가 형성된다. 상기 제1 개구(2134)는 상기 트렌치 충진 구조(212)의 꼭대기부 측벽 외부 둘레의 일부 기판(20)과 상기 트렌치 충진 구조(212)의 모든 꼭대기 표면을 노출시킨다. 또한 상기 제1 개구(2134)는 상기 제1 도전성 금속층(2124)의 꼭대기부의 측벽을 더 노출시킨다. 상기 제2 개구(225)는 상기 플러그 구조(224)의 제3 도전성 금속층(2242)의 일부 꼭대기부 표면을 노출시킨다.

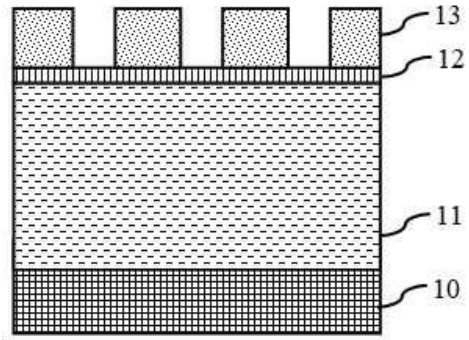
[0122] 상기 픽셀 영역(21)의 버퍼 유전체층(25)(즉, 상기 제3 버퍼 유전체층(253)) 상에는 금속 그리드층(2144)이 형성된다. 상기 패드 영역(22)의 버퍼 유전체층(25) 상에는 패드 구조(226)가 형성된다. 상기 금속 그리드층(2144)은 상기 제1 개구(2134)를 채워, 노출된 상기 일부 기판(20) 및 상기 트렌치 충진 구조(212)와 전기적으로 연결된다. 상기 패드 구조(226)는 상기 제2 개구(225)를 채워, 노출된 상기 플러그 구조(224)의 꼭대기부와 전기적으로 연결된다.

[0123] 상기 내용을 요약하면, 본 발명에서 제공하는 반도체 소자는 픽셀 영역을 구비하는 기판; 상기 픽셀 영역의 기판에 형성되며, 상기 기판의 트렌치를 충진하는 충진 재료 및 상기 충진 재료의 측벽과 상기 기판 사이에 끼워진 하이-K 유전체층을 포함하는 트렌치 충진 구조; 상기 픽셀 영역의 기판 표면에 형성되며, 제1 개구를 구비하는 버퍼 유전체층 - 상기 제1 개구는 적어도 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 노출시킴 - ; 및 상기 버퍼 유전체층 상에 형성되는 금속 그리드층 - 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결됨 - 을 포함한다. 본 발명의 반도체 소자는 금속 그리드층을 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결하여, 반도체 소자를 전기학적 성능 측면에서 최적화 및 개선시킨다.

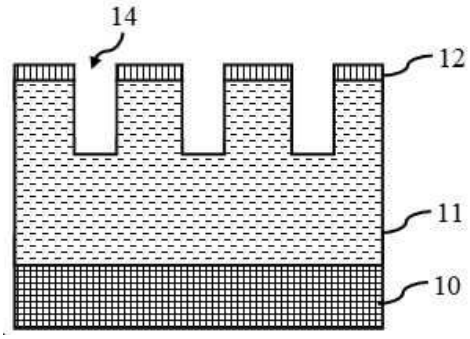
[0124] 상기 설명은 본 발명의 비교적 바람직한 실시예에 대한 설명일 뿐이며, 본 발명의 범위를 어떠한 형태로든 제한하지 않는다. 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 상기 개시된 내용을 기반으로 진행한 임의의 변경 또는 수정은 모두 특허청구범위의 보호 범위에 속한다.

도면

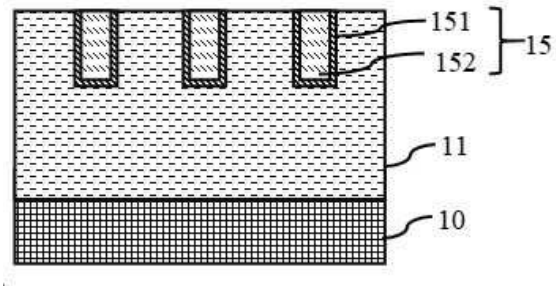
도면1a



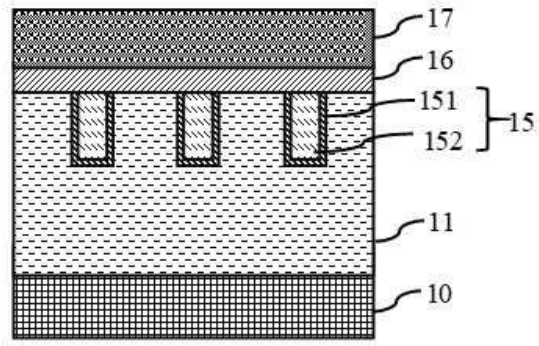
도면1b



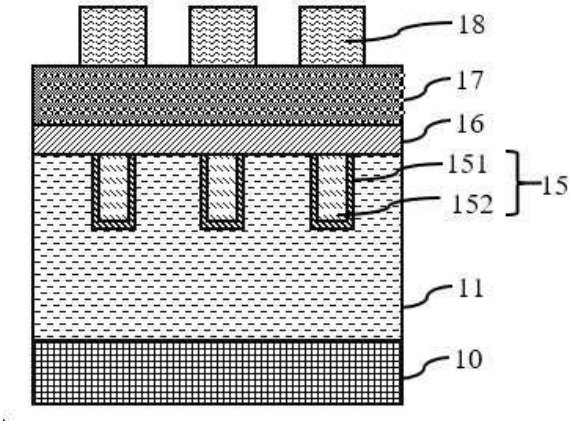
도면1c



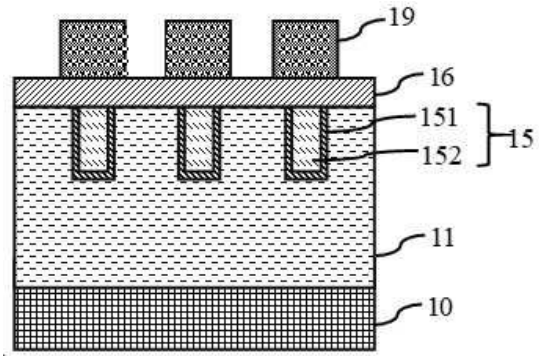
도면1d



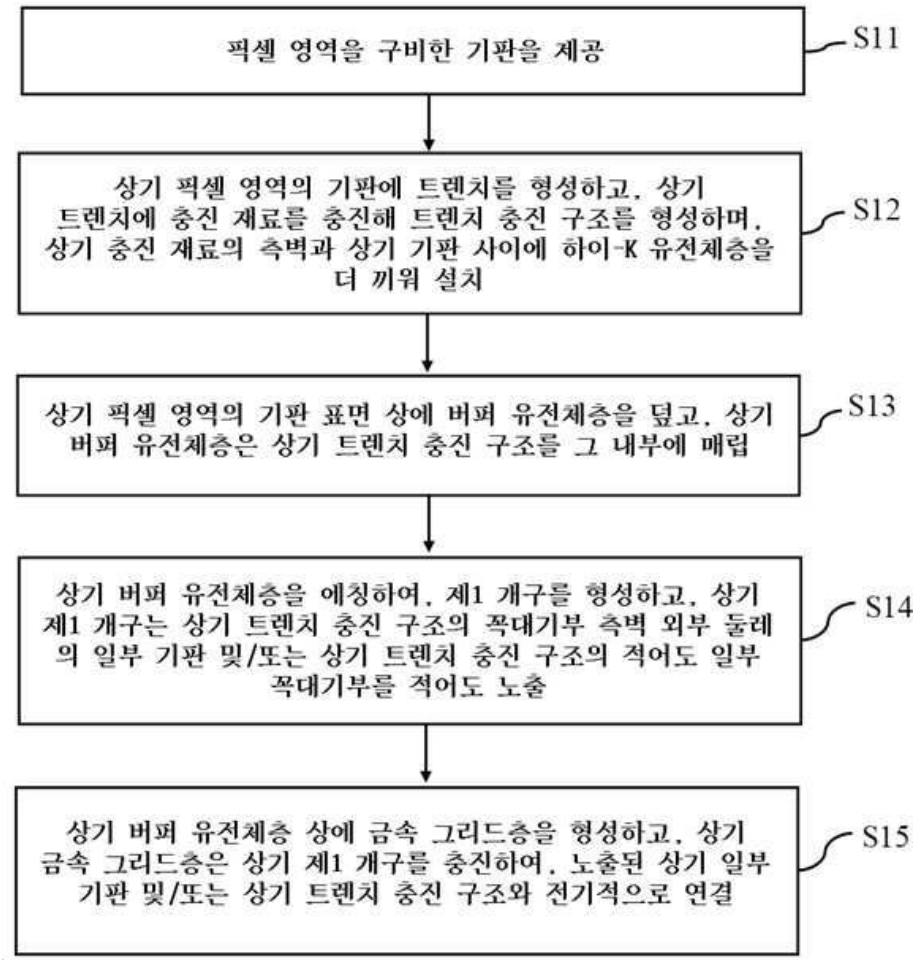
도면1e



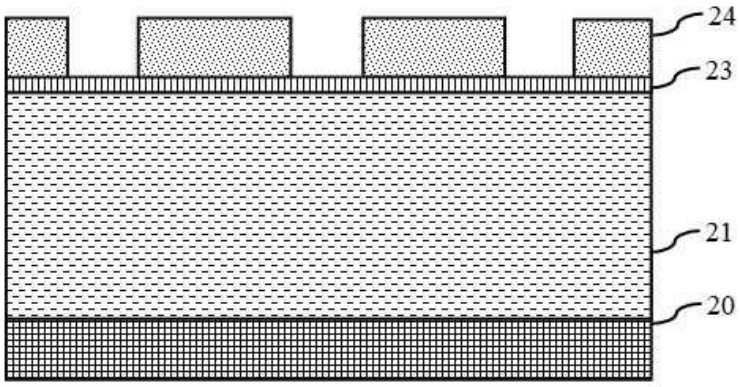
도면1f



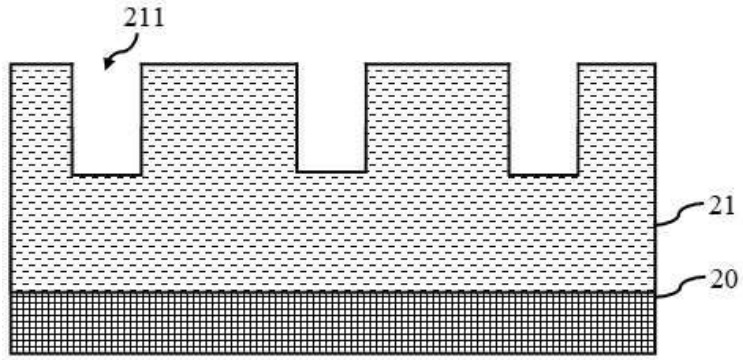
도면2


픽셀 영역을 구비한 기판을 제공
S11
상기 픽셀 영역의 기판에 트렌치를 형성하고, 상기 트렌치에 충진 재료를 충진해 트렌치 충진 구조를 형성하며, 상기 충진 재료의 측벽과 상기 기판 사이에 하이-K 유전체층을 더 끼워 설치
S12
상기 픽셀 영역의 기판 표면 상에 버퍼 유전체층을 덮고, 상기 버퍼 유전체층은 상기 트렌치 충진 구조를 그 내부에 매립
S13
상기 버퍼 유전체층을 에칭하여, 제1 개구를 형성하고, 상기 제1 개구는 상기 트렌치 충진 구조의 꼭대기부 측벽 외부 둘레의 일부 기판 및/또는 상기 트렌치 충진 구조의 적어도 일부 꼭대기부를 적어도 노출
S14
상기 버퍼 유전체층 상에 금속 그리드층을 형성하고, 상기 금속 그리드층은 상기 제1 개구를 충진하여, 노출된 상기 일부 기판 및/또는 상기 트렌치 충진 구조와 전기적으로 연결
S15

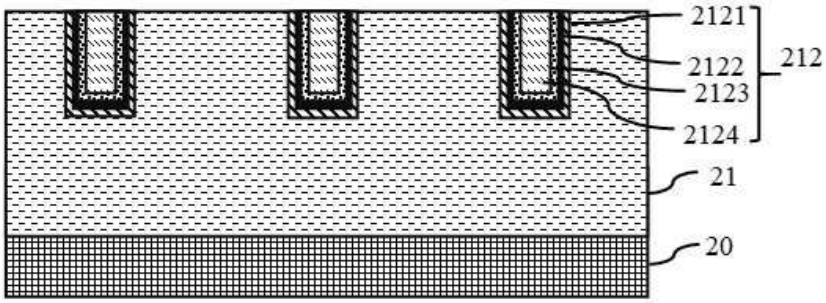
도면3a


24
23
21
20

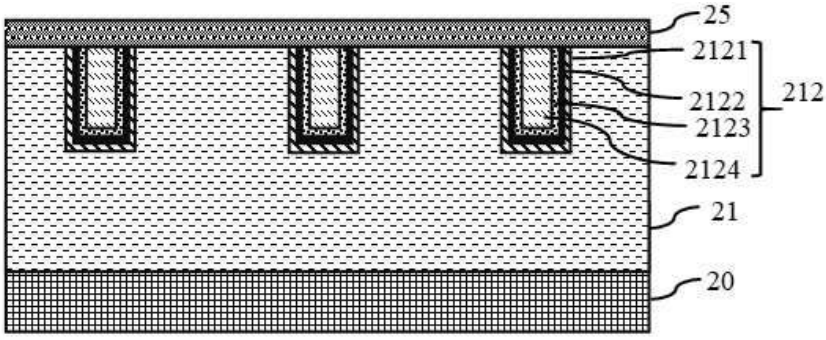
도면3b



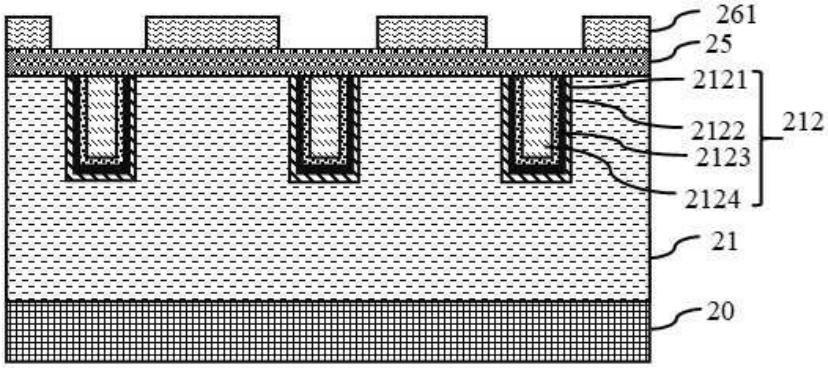
도면3c



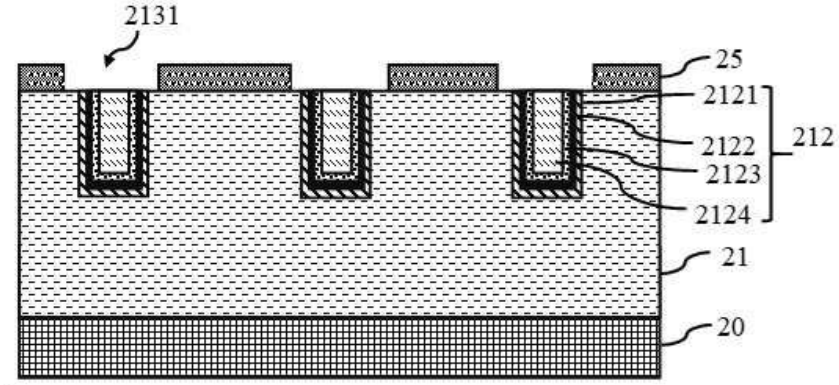
도면3d



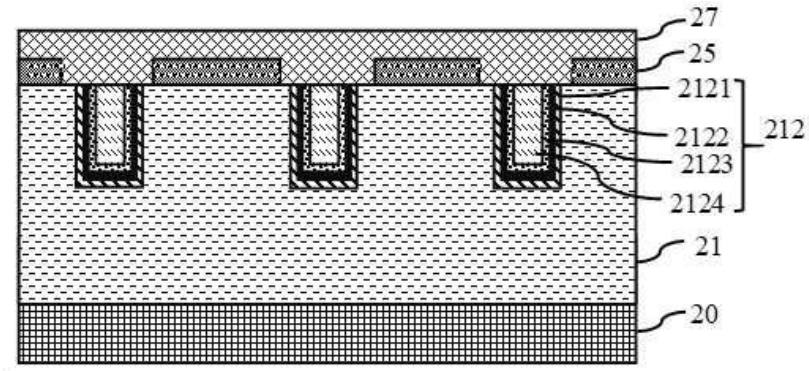
도면3e



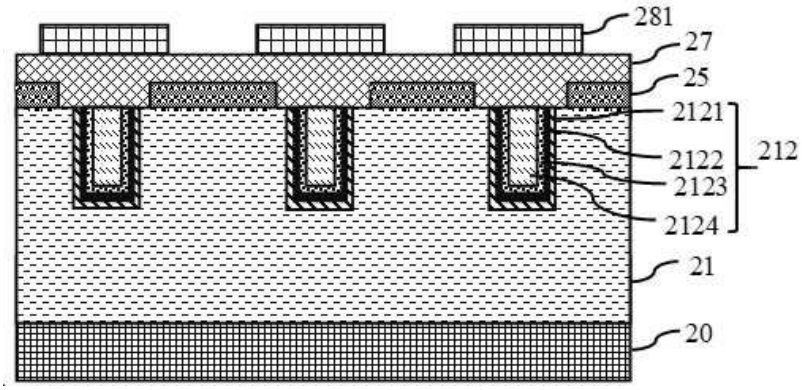
도면3f



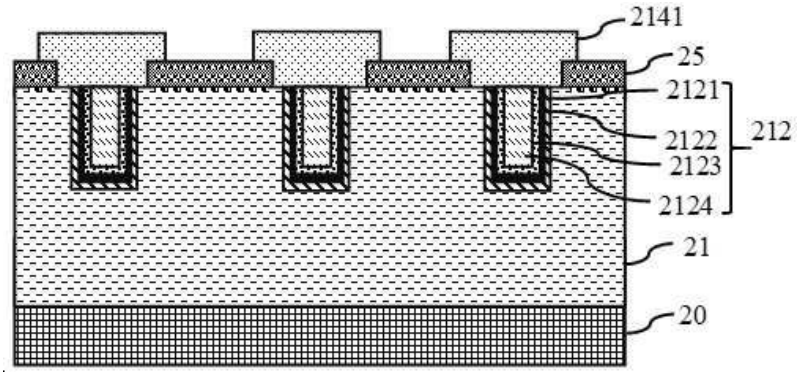
도면3g



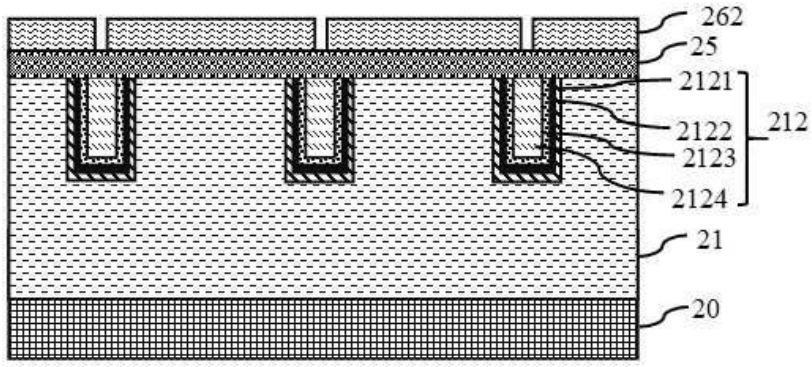
도면3h



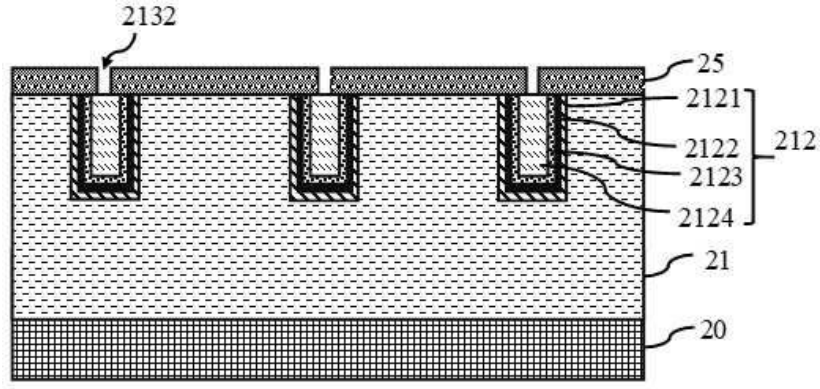
도면3i



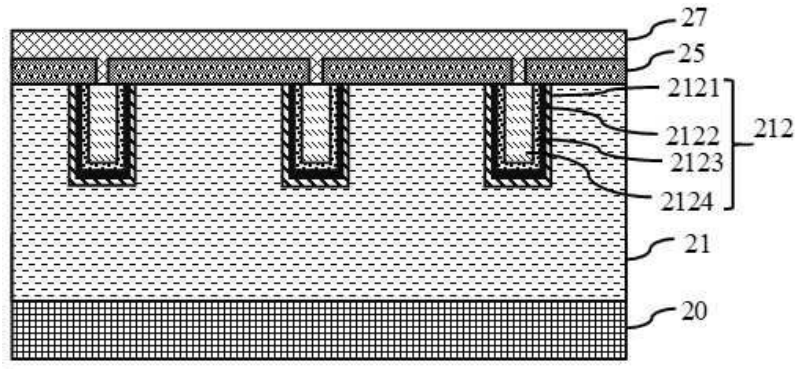
도면4a



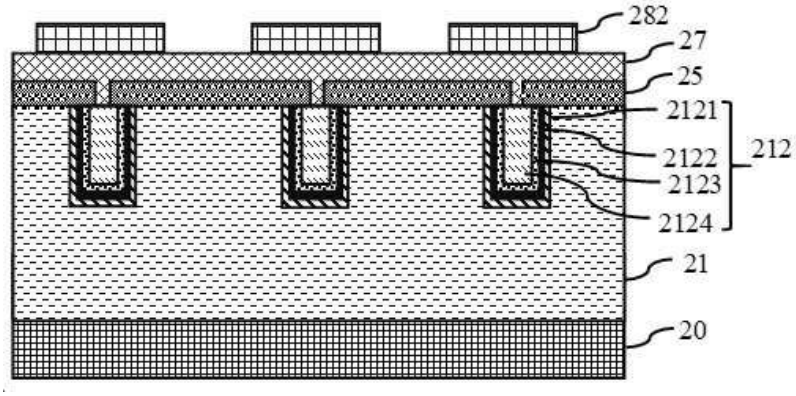
도면4b



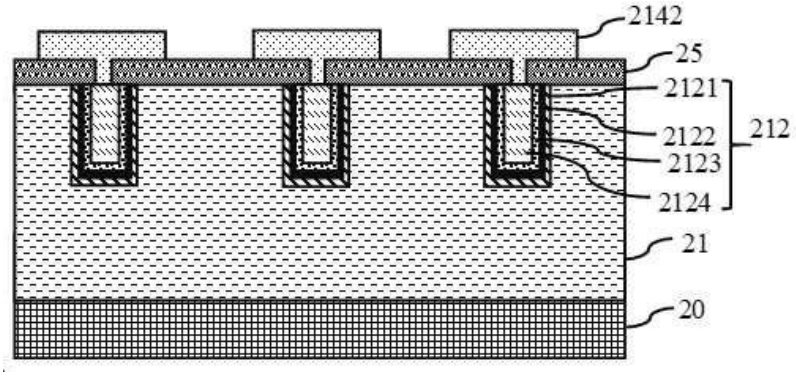
도면4c



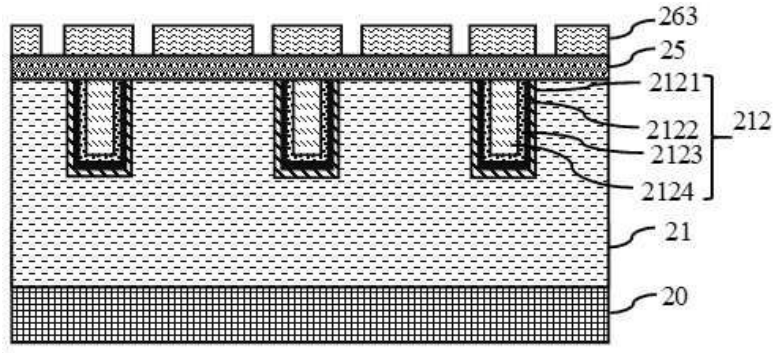
도면4d



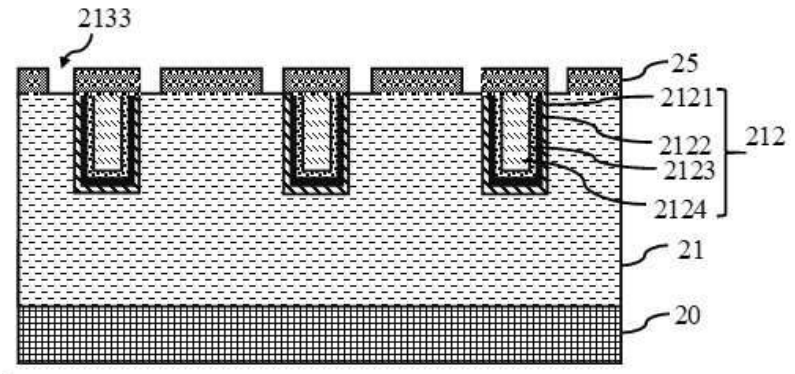
도면4e



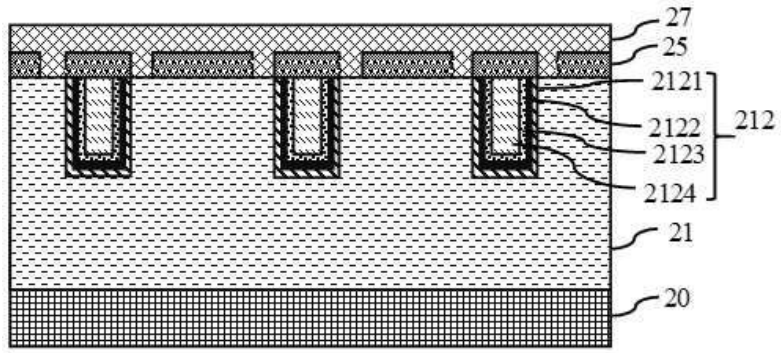
도면5a



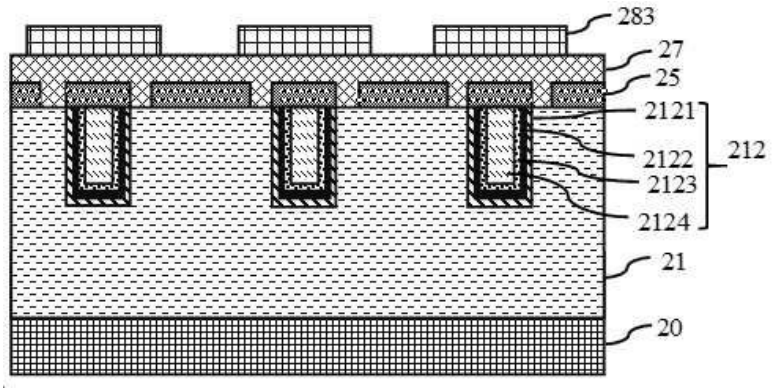
도면5b



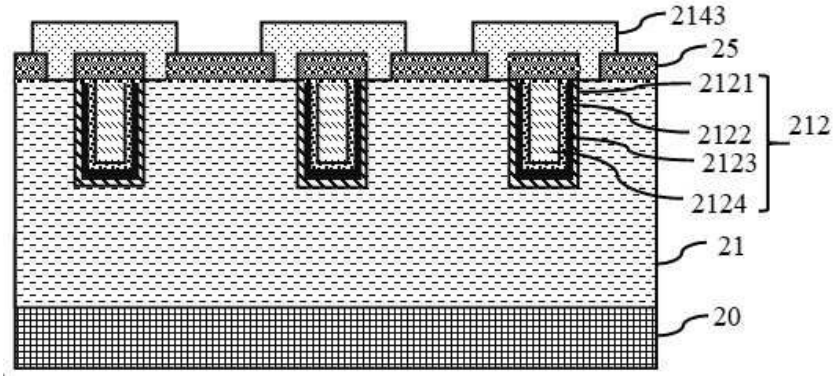
도면5c



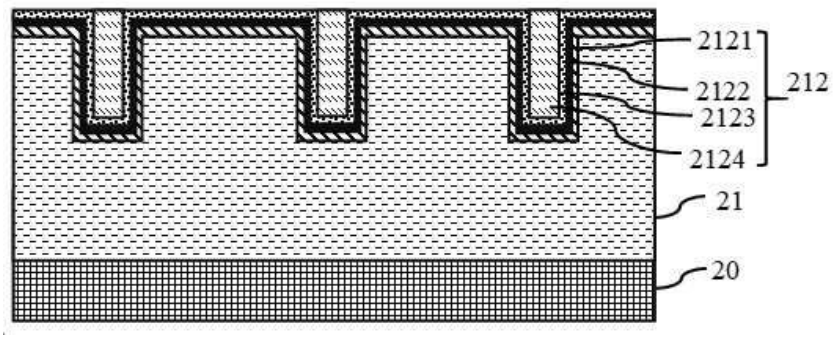
도면5d



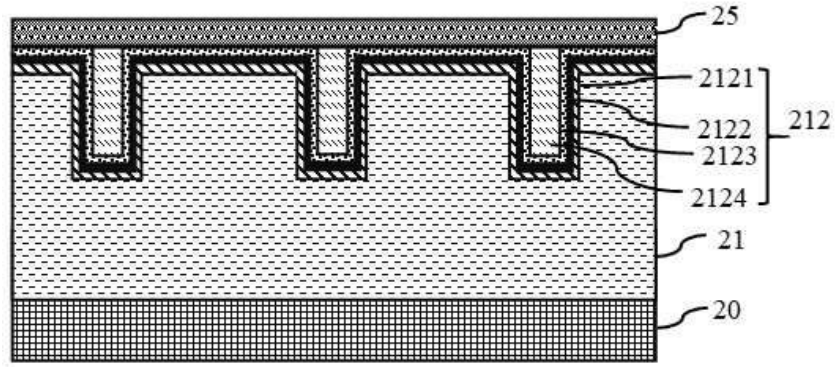
도면5e



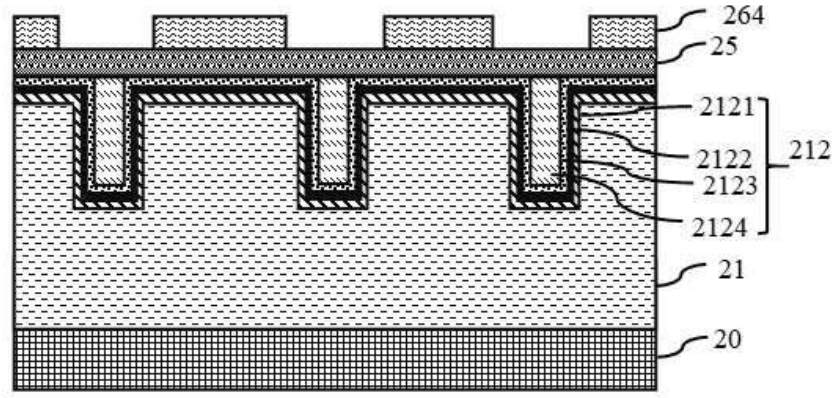
도면6a



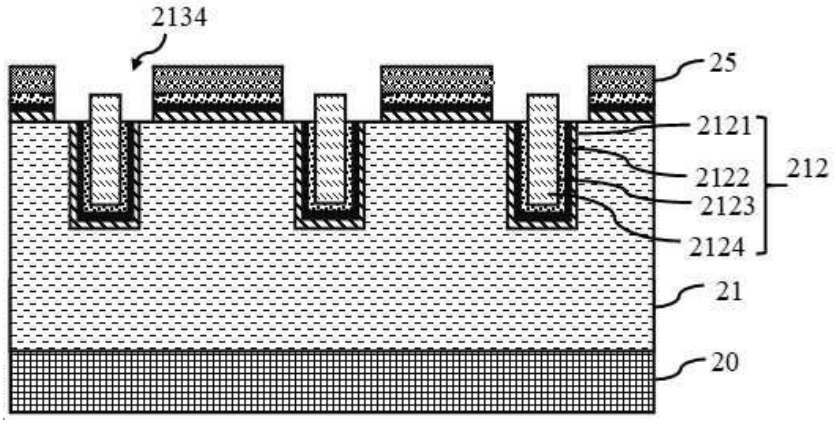
도면6b



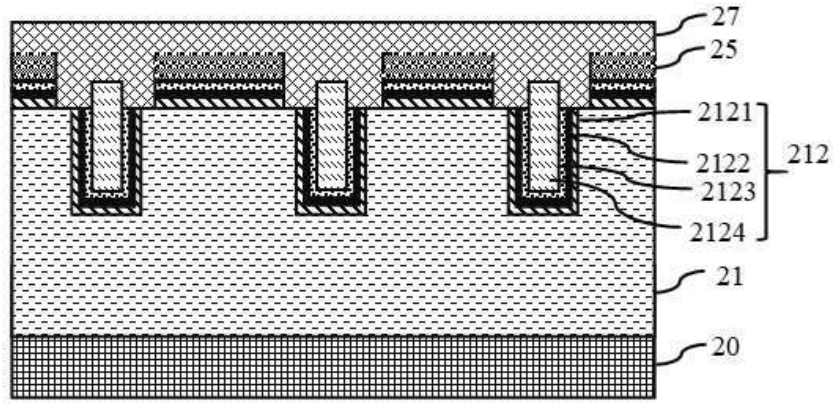
도면6c



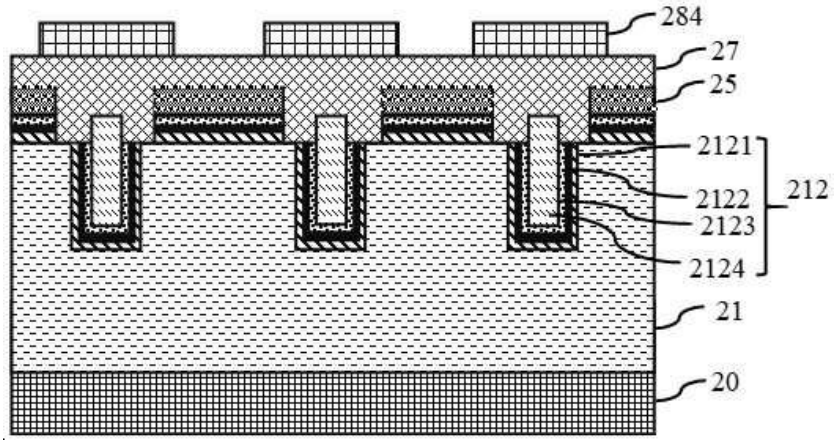
도면6d



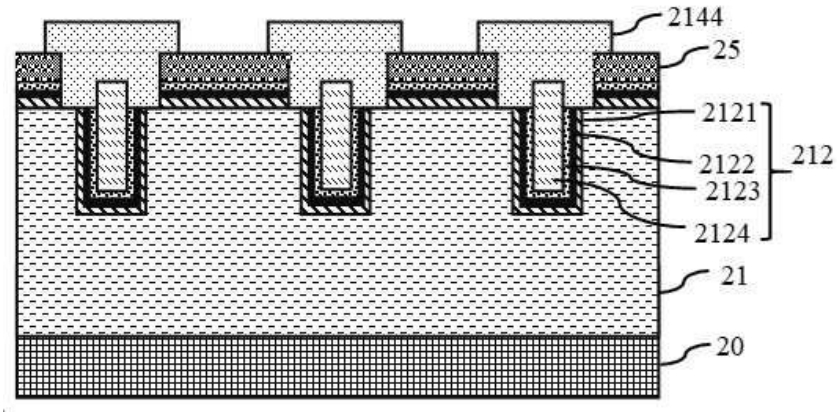
도면6e



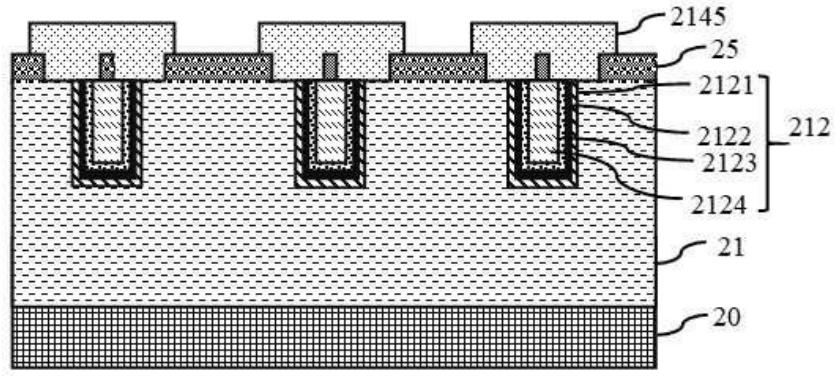
도면6f



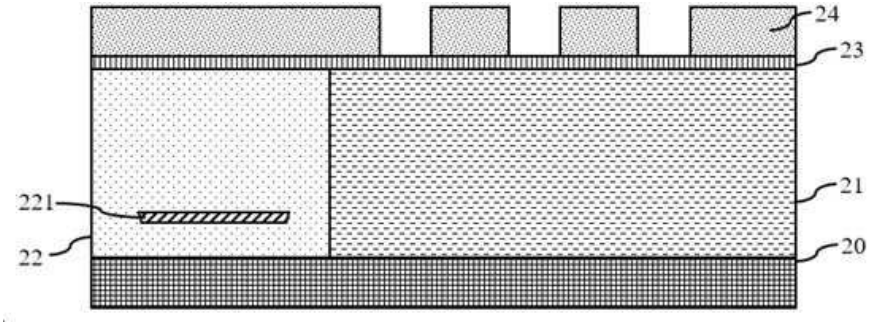
도면6g



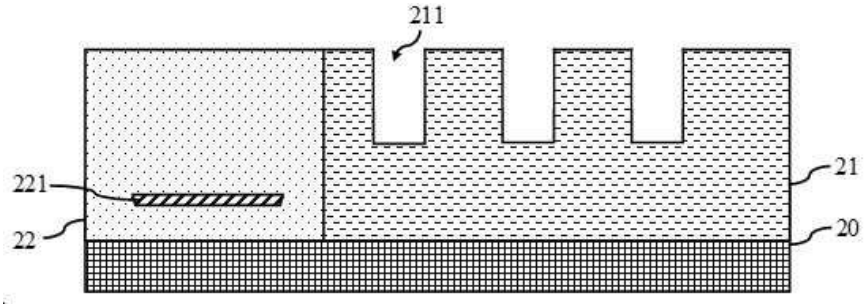
도면7



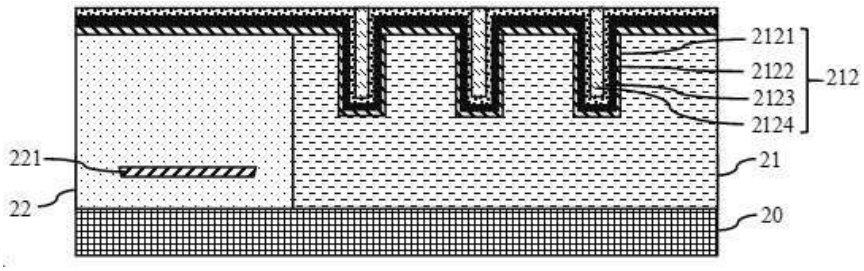
도면8a



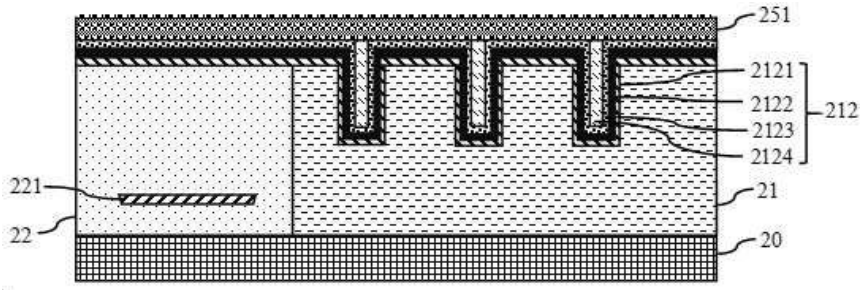
도면8b



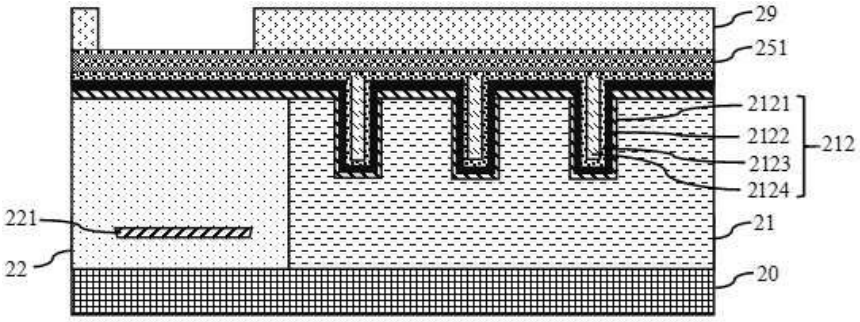
도면8c



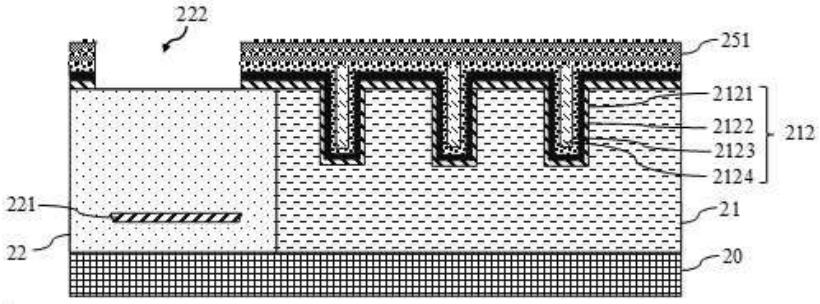
도면8d



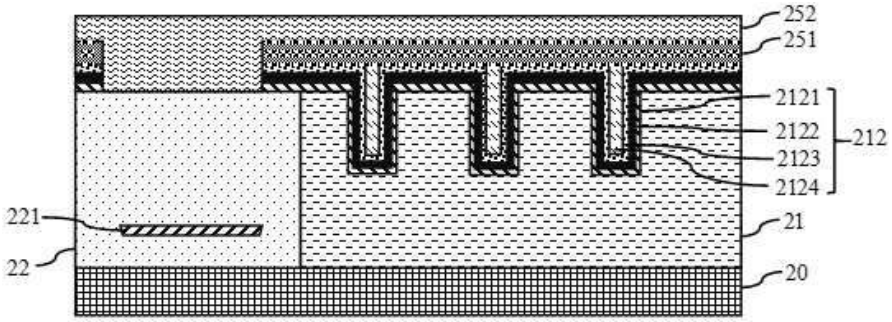
도면8e



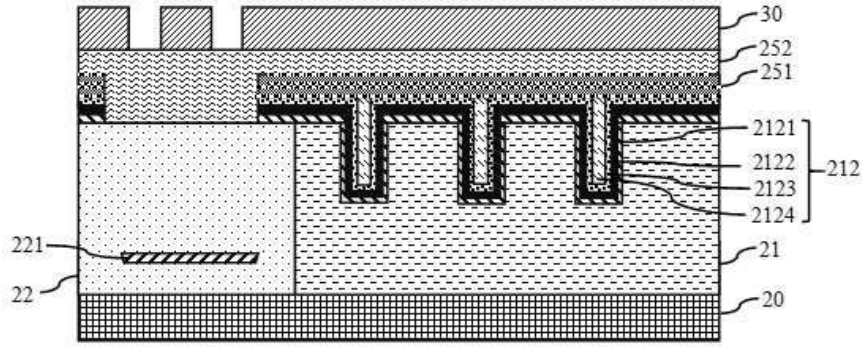
도면8f



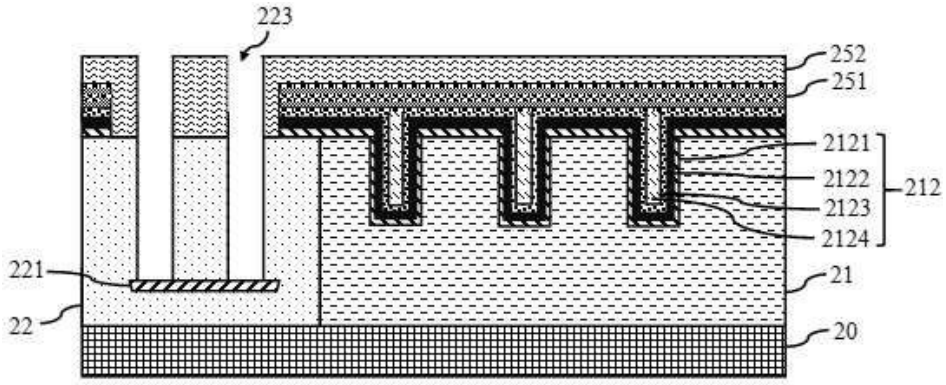
도면8g



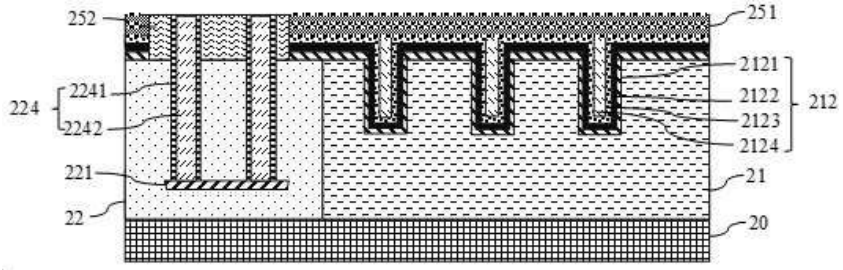
도면8h



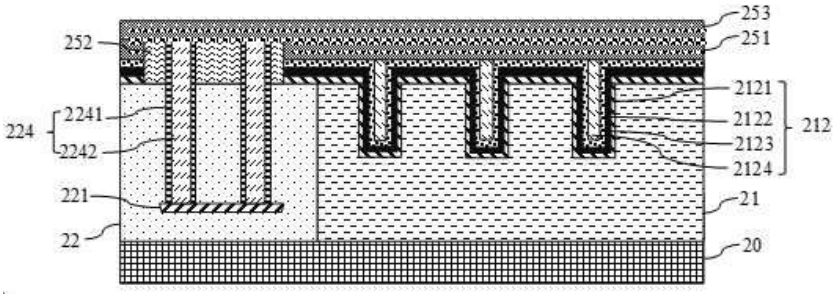
도면8i



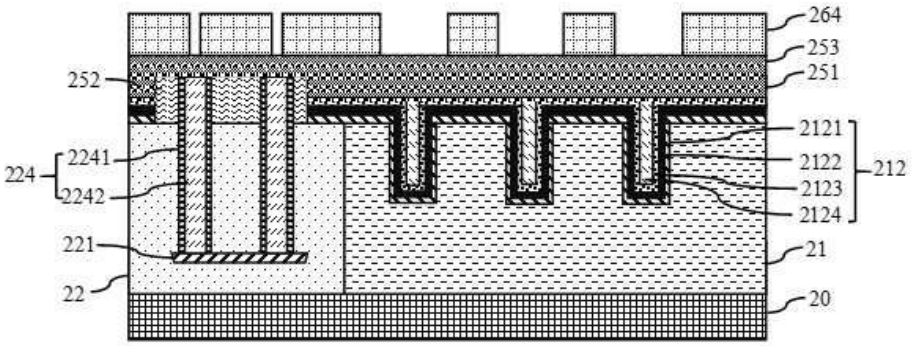
도면8j



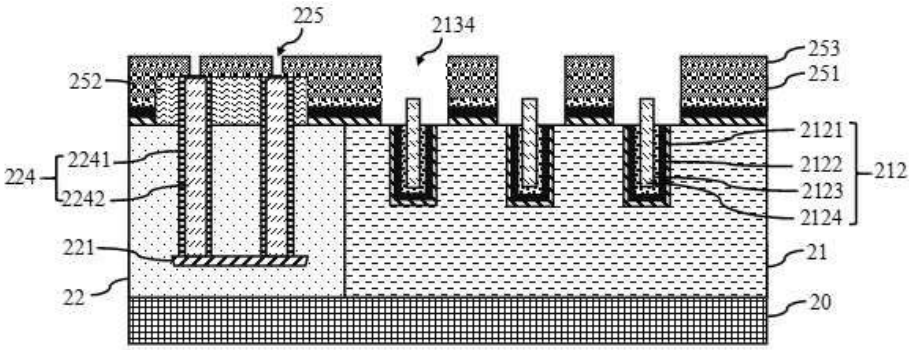
도면8k



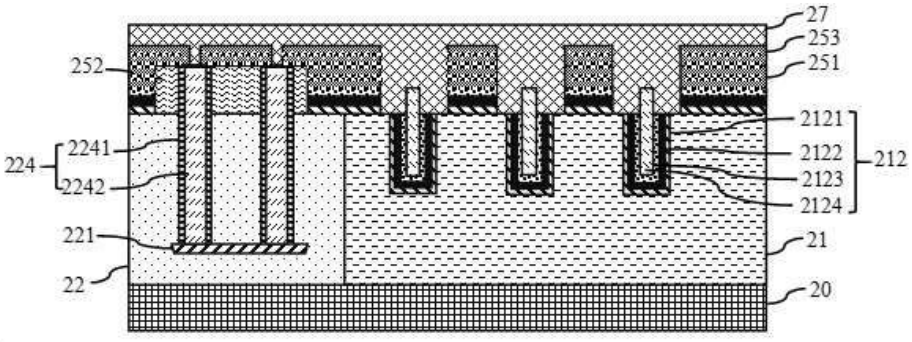
도면8l



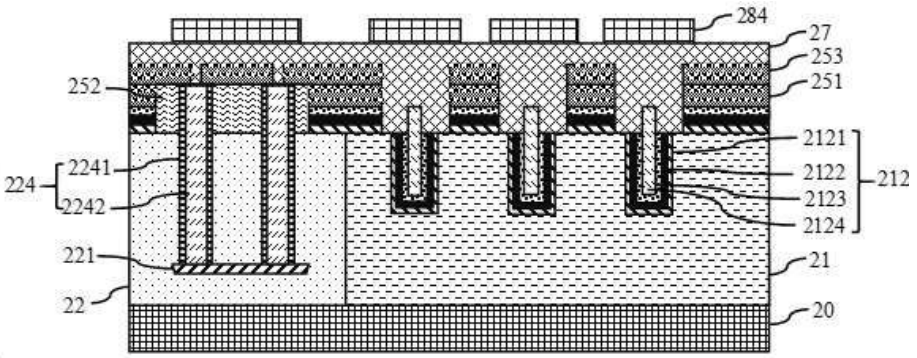
도면8m



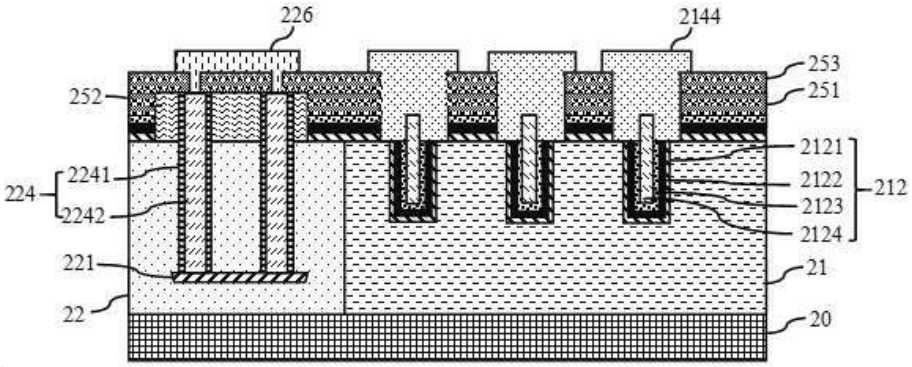
도면8n



도면8o



도면8p


226
2144
253
251
252
2121
2122
2123
2124
212
224
2241
2242
221
21
22
20