(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0070709
(43) 공개일자 2012년07월02일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2010-0132137
(22) 출원일자 2010년12월22일
심사청구일자 2010년12월22일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스내 (서천동, 경희대학교)
(72) 발명자
장진
서울특별시 동대문구 경희대로 26, 차세대 디스플레이연구센터 (회기동, 경희대학교)
강동한
서울특별시 동대문구 경희대로 26 (회기동, 경희대학교)
석만주
서울특별시 동대문구 경희대로 26 (회기동, 경희대학교)
(74) 대리인
박용순, 김희곤, 김인한

전체 청구항 수 : 총 9 항

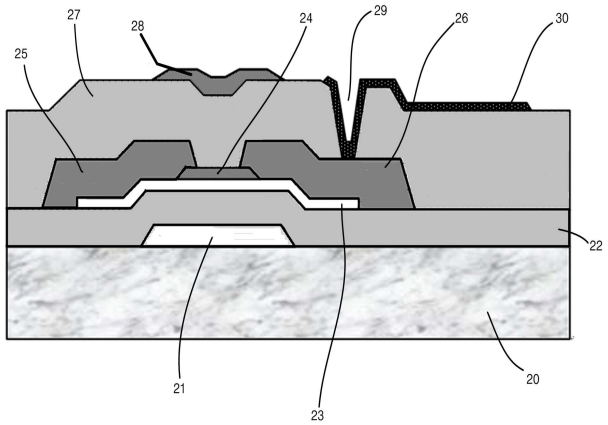
(54) 발명의 명칭 **듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터**

(57) 요 약

본 발명은 박막 트랜지스터 인버터에 관한 것으로, 듀얼 게이트 박막 트랜지스터(Dual gate TFT)의 소스 전극에 또 다른 박막 트랜지스터의 드레인 전극이 직렬로 연결되고, 상기 듀얼 게이트 박막 트랜지스터의 게이트 전극과 소스 전극이 전기적으로 연결된 디플리션 로드(depletion load) 구조인 것을 특징으로 한다.

상기와 같은 구성에 의하면, 본 발명은 기존의 n-타입 인버터의 로드 TFT(load TFT)에 상부(top) 게이트 전극을 형성하여 이에 전압을 인가함으로서 발생하는 문턱전압 편이(V_{th} shift) 현상을 이용하여 공정 및 구조의 추가 없이 디플리션 로드(depletion load) 구조를 형성하여 CMOS와 같은 고이득(high gain)을 구현할 수 있어 보다 유리한 효과가 있다.

대 표 도 - 도2a



이 발명을 지원한 국가연구개발사업

과제고유번호	10035225
부처명	지식경제부
연구사업명	산업원천기술개발사업
연구과제명	고품위 plastic AMOLED 원천 기술 개발
주관기관	서울대학교 산학협력단
연구기간	2010.03.01 ~ 2015.02.28

특허청구의 범위

청구항 1

듀얼 게이트 박막 트랜지스터(Dual gate TFT)의 소스 전극에 또 다른 박막 트랜지스터의 드레인 전극이 직렬로 연결되고,

상기 듀얼 게이트 박막 트랜지스터의 게이트 전극과 소스 전극이 전기적으로 연결된 디플리션 로드(depletion load) 구조인 것을 특징으로 하는 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 2

청구항 1에 있어서,

상기 듀얼 게이트 박막 트랜지스터의 상부(top) 게이트 전극에 전원을 인가하고, 상기 전원을 조절하여 게이트 전압에 대한 드레인 전류의 변화 특성을 제어하는 것을 특징으로 하는 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 듀얼 게이트 박막 트랜지스터의 드레인 전극과 상부 게이트 전극에 레벨 쉬프터(Level shifter)를 이용하여 드레인 전원 전압을 증폭 시켜 별도의 전원전압을 사용하지 않거나, 상기 드레인 전원 전압 외에 추가 외부 전원을 인가하는 구조가 모두 가능한 것을 특징으로 하는 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 4

청구항 1 또는 청구항 2에 있어서,

상기 듀얼 게이트 전극과 소스 전극이 전기적으로 연결된 디플리션 로드(depletion load) 구조로 인하여 풀 스윙(full swing)이 가능한 것을 특징으로 하는 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 5

청구항 1 또는 청구항 2에 있어서,

상기 또 다른 박막 트랜지스터는 청구항 1의 듀얼 게이트 박막 트랜지스터인 것을 특징으로 하는 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 6

청구항 1에 있어서,

상기 산화물 반도체는 비정질 인듐 갈륨 징크옥사이드 반도체인 것을 특징으로 하는 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 7

청구항 5에 있어서,

상기 산화물 반도체는 비정질 인듐 갈륨 징크옥사이드 반도체인 것을 특징으로 하는 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터.

청구항 8

청구항 1 또는 청구항 2의 듀얼 게이트 박막 트랜지스터를 nMOS 또는 pMOS 인버터에서 하나 이상 사용하는 것

을 특징으로 하는 인버터.

청구항 9

청구항 3의 듀얼 게이트 박막 트랜지스터를 nMOS 또는 pMOS 인버터에서 하나 이상 사용하는 것을 특징으로 하는 인버터.

명 세 서

기 술 분 야

[0001] 본 발명은 박막 트랜지스터 인버터에 관한 것으로, 특히 활성층으로서 비정질 인듐 갈륨 징크 옥사이드를 적용하고, 외부 게이트 전극을 추가하며 디플리션 로드(depletion load) 구조를 이용함으로써 고이득을 실현한 산화물 반도체 인버터에 관한 것이다.

배 경 기 술

[0002] 최근 모든 분야의 디스플레이 장치에서 a-IGZO(비정질 인듐 갈륨 징크 옥사이드, Amorphous-$InGaZnO_4$)의 개발 및 적용이 빠르게 진행되고 있는 추세이다. 이와 더불어 기본적인 박막 트랜지스터(Thin Film Transistor, TFT) 소자뿐 만 아니라 이를 이용한 회로도 상당 부분 연구가 진행되고 있다.

[0003] 그러나 a-IGZO 구조의 경우 물질의 기본적인 특성상 p-타입 박막 트랜지스터의 구현이 어렵기 때문에 회로의 구현시 n-타입 구조로만 구현이 가능하다.

[0004] 인버터(inverter)와 링 오실레이터(ring oscillator)의 고이득(high gain)이 회로의 속도에 있어서 주된 요인이며, n-타입 온리(n-type only)와 같은 비례 인버터(ratioed inverter)의 경우는 시모스(Complementary metal-oxide-semiconductor, CMOS)와 달리 고이득 값을 얻기 어려운 구조로 되어 있다.

[0005] 도 1a 및 도 1b는 각각 종래의 n-타입 인버터의 회로도 및 전압전달특성(Voltage Transfer Characteristic, VTC) 곡선을 나타낸다.

[0006] 도 1a에서, V_{DD}를 15V로 설정한 경우, Vin에 0~15V까지 인가하면서 출력 전압을 측정하면 도 1b와 같은 VTC 곡선을 얻을 수 있다. 여기서 M1은 구동(driving) TFT이고, M2는 부하(load) TFT이다.

[0007] 도 1b에 도시된 바와 같이, 종래의 n-타입 인버터의 경우 입력 전압이 0보다 큰 경우 출력 전압이 급격하게 떨어지는 단점을 가지고 있다.

[0008] 따라서 종래의 n-타입 온리(n-type only) 인버터로 비례 인버터(ratioed inverter)의 특성상 고이득을 얻을 수 없으며, 도 1b에 도시된 바와 같이 노이즈 마진(noise margin, 잡음 여유) 관점에서도 불리하다는 문제점이 있다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 상기의 문제점을 해결하기 위해 종래의 n-타입 인버터의 부하 박막 트랜지스터(load TFT)에 듀얼 게이트 전극을 형성하고 이에 전원을 인가함으로써 고이득을 구현할 수 있는 디플리션 모드를 이용한 산화물 반도체 인버터를 얻고자 하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 상기 기술적 과제를 달성하기 위해 본 발명에서는 듀얼 게이트 전극을 형성하고 디플리션 모드를 이용한 산화물 반도체 인버터가 제공된다.

[0011] 본 발명의 듀얼 게이트 박막 트랜지스터의 디플리션 모드를 이용한 산화물 반도체 인버터는, 듀얼 게이트 박막 트랜지스터(Dual gate TFT)의 소스 전극에 또 다른 박막 트랜지스터의 드레인 전극이 직렬로 연결되고, 상기 듀얼 게이트 박막 트랜지스터의 게이트 전극과 소스 전극이 전기적으로 연결된 디플리션 로드(depletion load) 구조인 것을 특징으로 한다.

[0012] 또한 본 발명은 상기 듀얼 게이트 박막 트랜지스터의 상부(top) 게이트 전극에 전원을 인가하고, 상기 전원을

조절하여 게이트 전압에 대한 드레인 전류의 변화 특성을 제어하는 것을 특징으로 한다.

[0013] 나아가 상기 듀얼 게이트 박막 트랜지스터의 드레인 전극과 상부 게이트 전극에 드레인 전원 전압(V_{DD})을 레벨 쉬프터(Level shifter)를 이용하여 증폭 시켜 별도의 전원전압을 사용하지 않거나, 드레인 전원 전압(V_{DD1})보다 높은 별도의 전원전압(V_{DD2})을 사용하여 구현이 가능한 특징이 있다.

[0014] 여기서 상기 듀얼 게이트 전극과 소스 전극이 전기적으로 연결된 디플리션 로드(depletion load) 구조로 인하여 풀 스윙(full swing)이 가능하다.

[0015] 한편 상기 또 다른 박막 트랜지스터는 상기의 듀얼 게이트 박막 트랜지스터일 수 있다.

[0016] 또 한편, 상기 산화물 반도체는 비정질 인듐 갈륨 징크옥사이드(Amorphous-$InGaZnO_4$) 반도체인 것이 바람직하다.

[0017] 또 나아가 상기 듀얼 게이트 박막 트랜지스터를 nMOS 또는 pMOS 인버터에서 하나 이상 사용될 수 있다.

발명의 효과

[0018] 상기와 같은 구성에 의하면, 본 발명은 기존의 n-타입 인버터의 부하 TFT(load TFT)에 톱 게이트 전극을 형성하여 이에 전압을 인가함으로서 발생하는 문턱 전압 편이(V_{th} shift) 현상을 이용하여 공정 및 구조의 추가 없이 디플리션 로드(depletion load) 구조를 형성하여 CMOS와 같은 고이득(high gain)을 구현할 수 있어 보다 유리한 효과가 있는 것이다

도면의 간단한 설명

[0019] 도 1a 및 도 1b는 각각 종래의 n-타입 인버터의 회로도 및 전압전달특성(Voltage Transfer Characteristic, VTC) 곡선을 나타낸다.

도 2a는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터의 바람직한 일 실시예로서 역스태거(inverted staggered) 구조의 단면도이다.

도 2b의 두 회로는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터를 이용한 바람직한 일 실시예로서 인버터 회로도들이다.

도 2c는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터의 바람직한 일 실시예로서, 드레인 전원 전압(V_{DD})을 이용하여 상부 게이트 전극에 전압을 인가한 경우의 게이트 전압 및 드레인 전류 특성을 나타낸다.

도 3은 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터를 이용한 바람직한 일 실시예로서, a-IGZO(amorphous-$InGaZnO_4$) 박막 트랜지스터의 문턱 전압(V_{th})별 전이 곡선(transfer curve) 및 상부 게이트 전극에 전압을 인가한 경우 전이 곡선을 나타낸다.

도 4는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터를 이용한 인버터의 바람직한 일 실시예로서, 구동(driving) TFT와 부하(load) TFT 사이의 폭비(width ratio)의 효과를 나타낸 VTC 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 본 발명의 바람직한 실시예를 첨부된 도면들을 참조하여 상세히 설명한다. 우선 각 도면의 구성 요소들에 참조 부호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호를 가지도록 하고 있음에 유의해야 한다. 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.

[0021] 도 1a 및 도 1b는 종래의 인버터 및 그에 대한 VTC로서 이미 설명하였으므로 이하의 설명은 생략한다.

[0022] 도 2a는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터의 바람직한 일 실시예로서

역스태거(inverted staggered) 구조의 단면도이다.

[0023] 도 2a에 도시된 바와 같이, 기판(20) 상에 게이트 전극(21)이 형성되고, 게이트 전극(21) 위로 게이트 절연막(22), 활성층(23), 에치 스토퍼(24), 소스(25) 및 드레인 전극(26) 및 패시베이션(passivation) 층(27)이 적층되어 있다. 또한 다시 외부 전극으로서 상부 게이트(top gate, 28)) 전극이 패시베이션 층(27) 위에 형성된다.

[0024] 상기 상부 게이트(28)에 대응하여 기판 상에 형성된 게이트 전극(21)을 하부 게이트(bottom gate) 전극이라 명명한다.

[0025] 한편 여기서 활성층(23)은 비정질 인듐 갈륨 징크 옥사이드(a-IGZO)이며 바람직하게는 드레인 전극(26)으로 컨택홀(29)이 형성된 화소 전극(30)이 형성된다.

[0026] 도 2b의 두 회로는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터를 이용한 바람직한 일 실시예로서 인버터 회로도들이다.

[0027] 도 2b의 두 회로에 도시된 바와 같이, 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터(M2)와 게이트 전극, 활성층, 소스 전극 및 드레인 전극을 포함하여 형성된 또 다른 박막 트랜지스터(M1)가 직렬로 연결되어 있다.

[0028] 이 때 상기 듀얼 게이트의 상부 게이트(28) 전극에는 도 2b의 왼쪽 회로에 도시된 바와 같이 레벨 쉬프터(Level shifter)(미도시)를 이용하여 드레인 전원 전압(V_{DD})을 증폭 시켜 별도의 전원전압을 사용하지 않는 경우와 도 2b의 오른쪽 회로와 같이 드레인 전원 전압(V_{DD1})외에 추가 외부 전원(V_{DD2})을 인가하는 구조가 가능하다.

[0029] 한편 상기 또 다른 박막 트랜지스터(M1)도 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터가 될 수 있다.

[0030] 나아가 상기 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터의 게이트 전극(21)은 소스 전극(25)에 전기적으로 연결되어 디플리션 로드(depletion load) 구조를 취하고 있다.

[0031] 도 2c는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터의 바람직한 일 실시예로서, 드레인 전원 전압(V_{DD})을 이용하여 상부 게이트 전극에 전압을 인가한 경우의 게이트 전압 및 드레인 전류 특성을 나타낸다.

[0032] 도 2c는, 듀얼 게이트의 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터에 있어서, V_{GS}를 스윕(sweep)(-15V~+15V)할 때 V_D=0.1V로 고정한 후 측정하여, 상부 게이트를 동시에 0, 2, 4, 6, 8, 10V를 인가했을 때의 특성을 보여준다.

[0033] 즉 상부 게이트 전극(28)에 10V를 인가하면 도 2c에서와 같이 박막트랜지스터의 특성이 왼쪽 방향으로 이동하기 때문에 디플리션 박막트랜지스터가 되고 인버터에 이러한 성질을 적용한다.

[0034] 이하에서는 이러한 특성 변화에 대해 보다 상세하게 설명한다. 상부 게이트 전극(28)에 양의 전압(V_{TG})을 인가하면 채널에 전자가 모이게 된다. 그 전자는 기존의 하부 게이트(bottom gate, 21)) 전극 입장에서 보면, 없던 전자가 추가로 생긴 것이다. 즉 기존의 하부 게이트(21)에 전압(V_{BG})을 인가할 때 전자들이 모이면서 채널을 만들어 턴 온(turn on)이 되는데, 상부 게이트 전극(28)에 전압(V_{TG})을 인가하면 전자들이 V_{TG}에 영향받은 만큼 만들어져서, 없을 때보다 더 빨리 턴 온이 되기 때문에 도 2c에서와 같은 특성 변화가 생기는 것이다.

[0035]

[0036] 도 3은 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터를 이용한 바람직한 일 실시예로서, a-IGZO(amorphous-$InGaZnO_4$) 박막 트랜지스터의 문턱 전압(V_{th})별 전이 곡선(transfer curve) 및 상부 게이트 전극(28)에 전압을 인가한 경우 전이 곡선을 나타낸다.

[0037] 도 3에서, V_{G1}은 측정시 스윕(sweep)하는 게이트 전극의 전압, 여기서는 V_{BG}(bottom gate 전압)이다.

[0038] 또한 지시선 1은 a-IGZO 박막 트랜지스터의 문턱 전압별 전이 곡선을 나타낸다. 산화물의 두께에 따라 시뮬레이션 한 결과(simul1, simul2, simul3, simul4), 문턱 전압이 조금씩 변경될 수 있음을 알 수 있다.

[0039] 한편 지시선 2는 도 2c에서 V_{TG}에 10V를 인가한 경우의 측정 결과를 나타낸다.

[0040] 도 4는 본 발명의 듀얼 게이트 비정질 인듐 갈륨 징크 옥사이드 박막 트랜지스터를 이용한 인버터의 바람직한 일 실시예로서, 구동(driving) TFT와 부하(load) TFT 사이의 폭비(width ratio)의 효과를 나타낸 VTC 그래프이다.

[0041] 지시선 41, 42, 43은 각각 폭비가 W_D:W_L = 10:1, W_D:W_L = 25:1, W_D:W_L = 50:1일 경우의 시뮬레이션 결과(simul1, simul2, simul3)를 나타낸다.

[0042] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 부가 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

[0043] 20: 기판 21: 하부 게이트 전극

22: 게이트 절연막 23: 활성층

24: 에치 스토퍼 25: 소스 전극

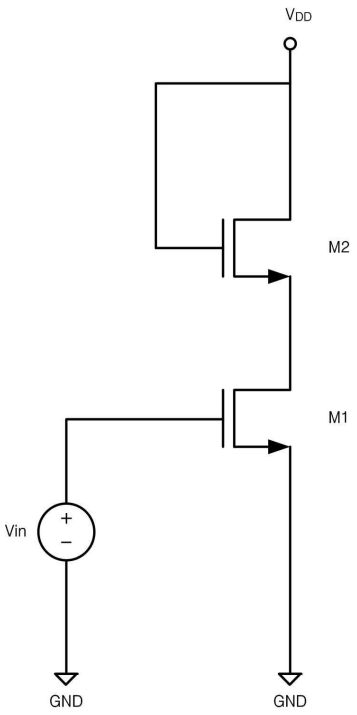
26: 드레인 전극 27: 패시베이션 층

28: 상부 게이트 전극 29: 컨택홀

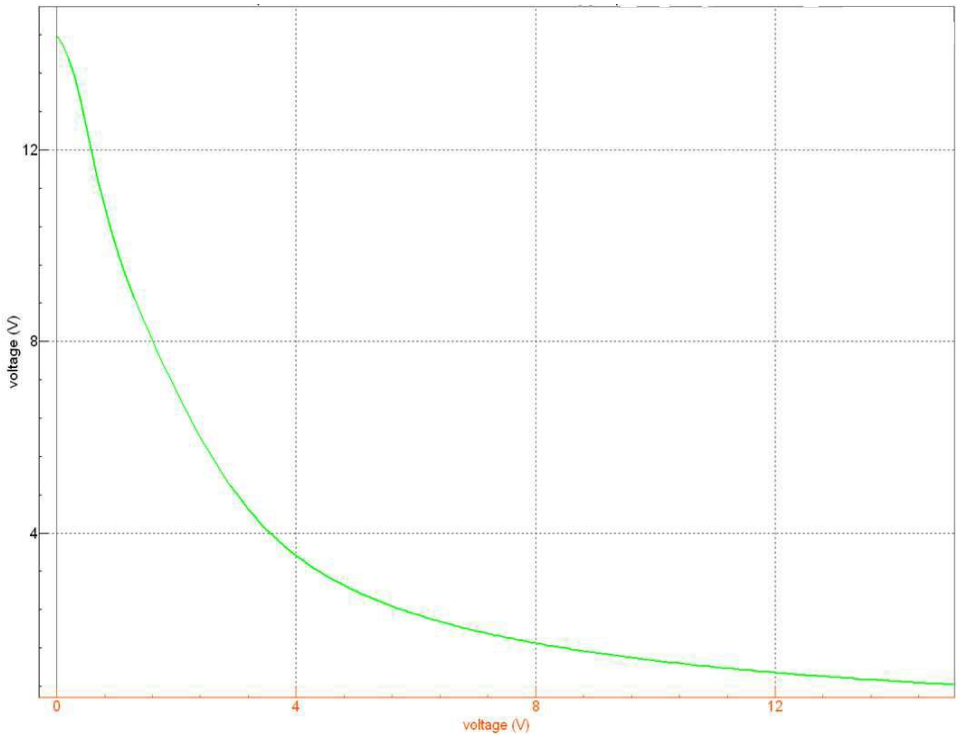
30: 화소 전극

도면

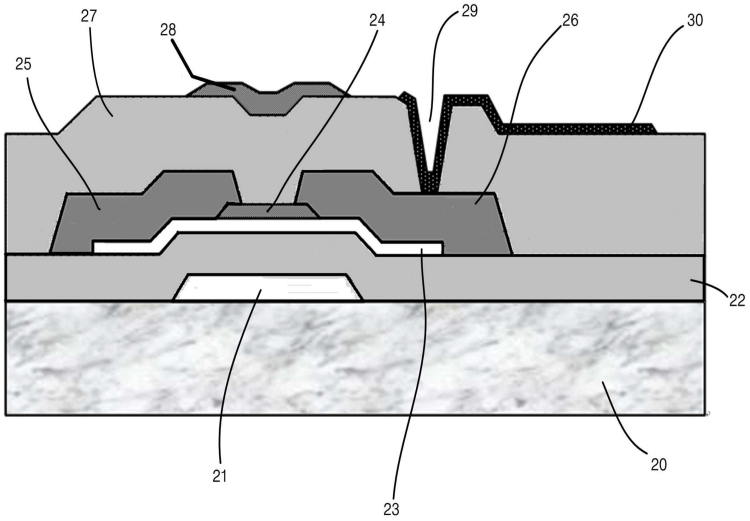
도면1a



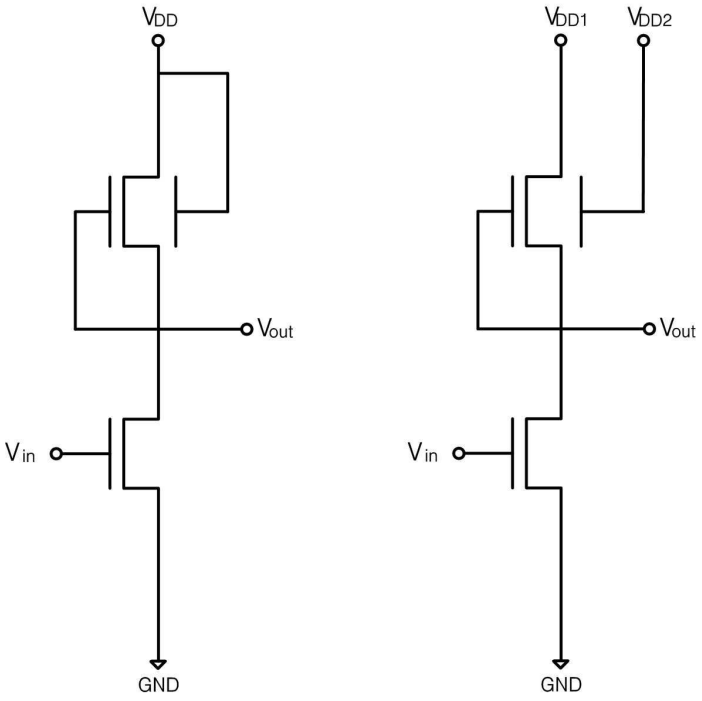
도면1b



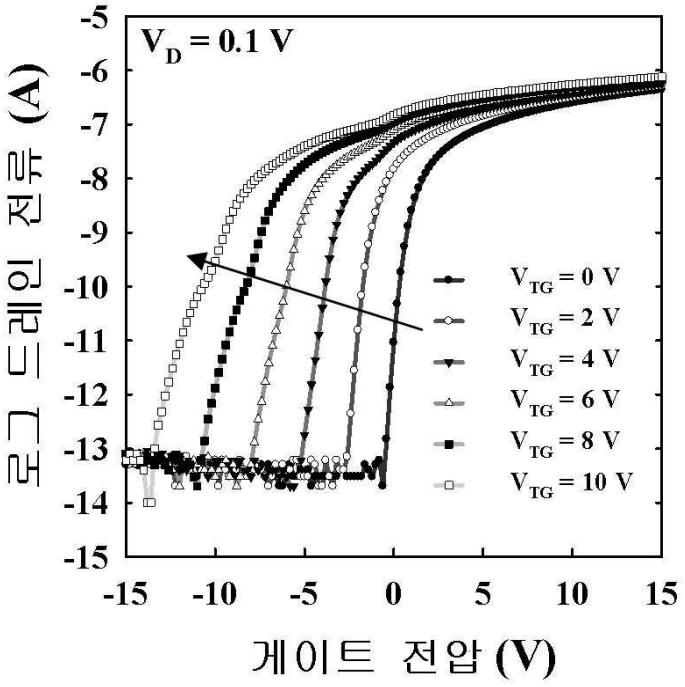
도면2a



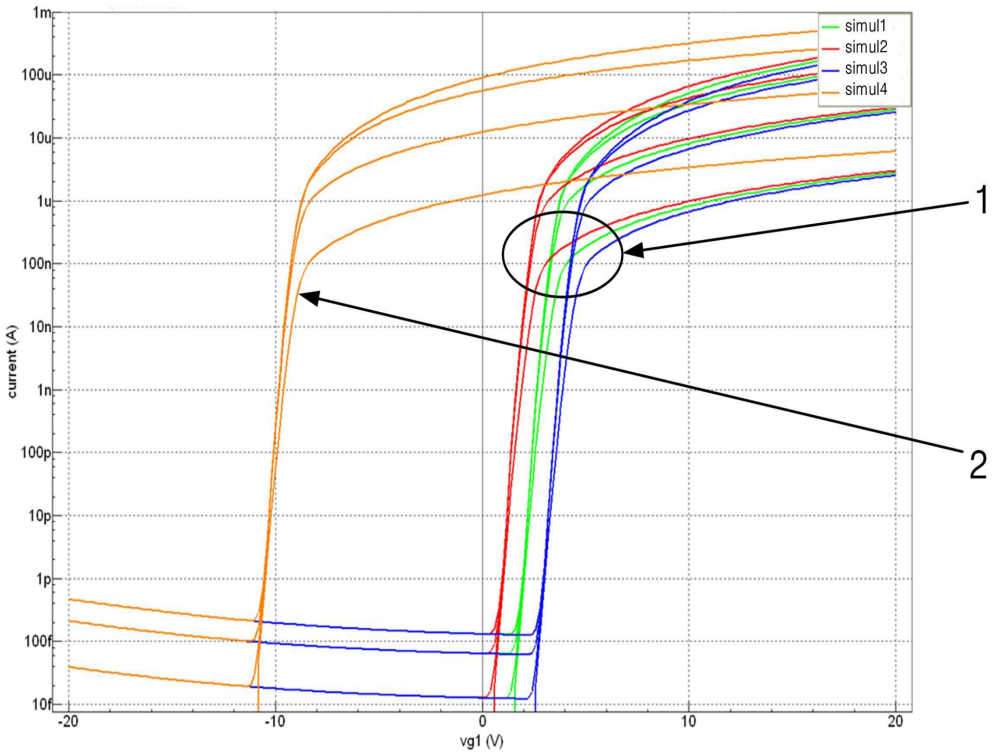
도면2b


VDD
Vout
Vin
GND
VDD1
VDD2
Vout
Vin
GND

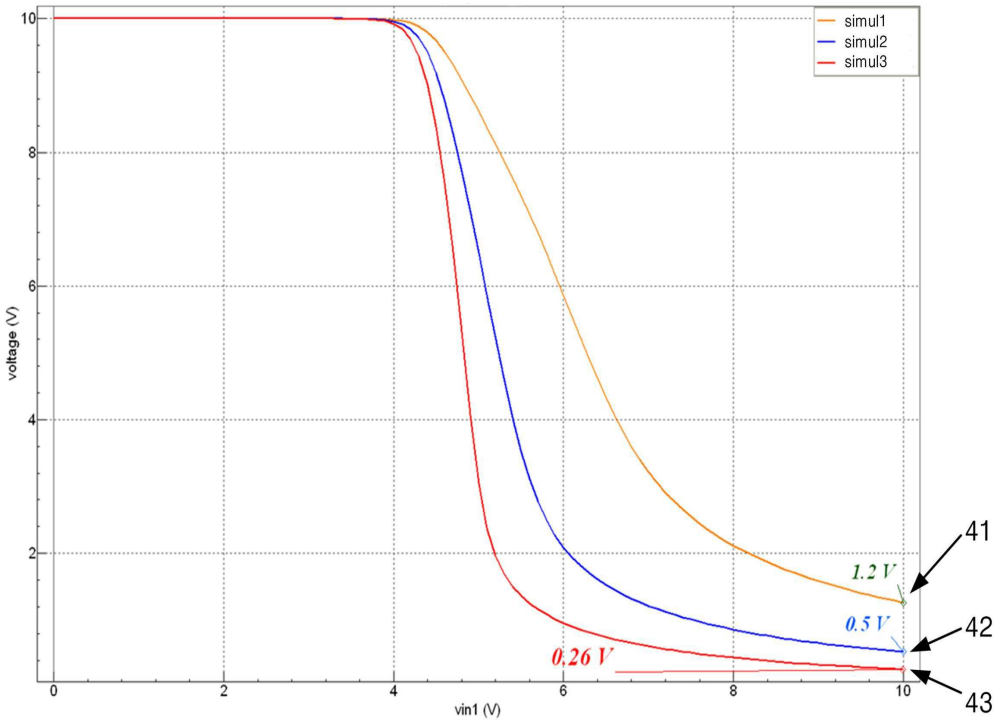
도면2c


VD = 0.1 V
로그 드레인 전류 (A)
-5
-6
-7
-8
-9
-10
-11
-12
-13
-14
-15
-15
-10
-5
0
5
10
15
게이트 전압 (V)
VTG = 0 V
VTG = 2 V
VTG = 4 V
VTG = 6 V
VTG = 8 V
VTG = 10 V

도면3


simul1
simul2
simul3
simul4
current (A)
vg1 (V)
1
2

도면4


simul1
simul2
simul3
voltage (V)
vin1 (V)
1.2 V
0.5 V
0.26 V
41
42
43