

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2017-5281

(P2017-5281A)

(43) 公開日 平成29年1月5日(2017.1.5)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 21/8244 (2006.01)

H01 L 27/10 381

5 F 083

HO 1 L 27/11 (2006.01)

審査請求 有 請求項の数 4 O L (全 16 頁)

(21) 出願番号 特願2016-199209 (P2016-199209)

(22) 出願日 平成28年10月7日 (2016. 10. 7)

(62) 分割の表示 特願2015-180386 (P2015-180386)
の分割

原出願日 平成12年4月27日 (2000.4.27)

(31) 優先權主張番号 特願平11-130945

(32) 優先日 平成11年5月12日 (1999. 5. 12)

(33) 優先権主張国 日本国 (JP)

(71) 出願人 302062931

ルネサスエレクトロニクス株式会社

東京都江東区豊洲三丁目2番24号

(74) 代理人 110002066

特許業務法人筒井国際特許事務所

(72) 発明者 長田 健一

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所 中央研究所内

(72) 發明者 南 正隆

東京都小平市上水本町五丁目20番1号

株式会社日立製作所 半導体グループ内

(72) 発明者 池田 修二

東京都小平市上水本町五丁目20番1号

株式会社日立製作所 半導体グループ内

[最終頁に続く](#)

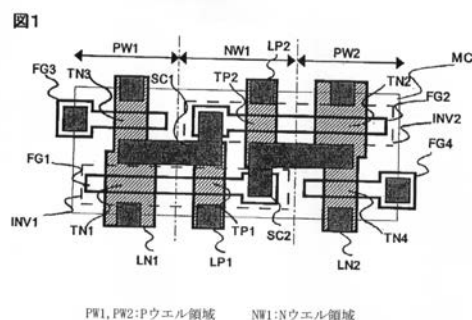
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】本発明は、従来のSRAMメモリセルでは、Pウエル領域の基板へのコンタクトをとるために、拡散層の形を鍵状に曲げる必要があった。このため、対称性が悪く微細化が困難であるという問題があった。

【解決手段】SRAMセルを構成するインバータが形成されたPウエル領域PW1、PW2が2つに分割されてNウエル領域NW1の両側に配置され、トランジスタを形成する拡散層に曲がりがなく、配置方向が、ウエル境界線やビット線に平行に走るように形成される。アレイの途中には、基板への電源を供給するための領域が、メモリセル32ローあるいは、64ロー毎に、ワード線と平行に形成される。

【選択図】図1



【特許請求の範囲】

【請求項 1】

半導体基板、
前記半導体基板に形成された第 1 及び第 2 の P ウエル領域、
前記半導体基板に形成され、前記第 1 及び前記第 2 の P ウエル領域の間に設けられた N
ウエル領域、
各々は第 1 の方向に沿って延びる第 1 及び第 2 のビット線、
各々は前記第 1 及び前記第 2 のビット線に接続する複数のメモリセル、
前記複数のメモリセルにそれぞれ接続され、各々は第 2 の方向に沿って延びる複数のワ
ード線、を含み、
前記第 1 の P ウエル領域、前記 N ウエル領域及び前記第 2 の P ウエル領域は、平面視し
て前記第 2 の方向に並んで配置され、
前記 N ウエル領域に設けられ、そのドレインが第 1 の接続ノードに接続され、そのゲー
トが第 2 の接続ノードに接続される第 1 の P チャネル型トランジスタ、
前記第 1 の P ウエル領域に設けられ、そのドレインが前記第 1 の接続ノードに接続され
、そのゲートが前記第 2 の接続ノードに接続される第 1 の N チャネル型トランジスタ、
前記 N ウエル領域に設けられ、そのドレインが前記第 2 の接続ノードに接続され、その
ゲートが前記第 1 の接続ノードに接続される第 2 の P チャネル型トランジスタ、
前記第 2 の P ウエル領域に設けられ、そのドレインが前記第 2 の接続ノードに接続され
、そのゲートが前記第 1 の接続ノードに接続される第 2 の N チャネル型トランジスタ、
前記第 1 の P ウエル領域に設けられ、前記第 1 のビット線と前記第 1 の接続ノードとの
間を電氣的に接続し、ソース、ドレイン、および、ゲートを有する第 3 の N チャネル型ト
ランジスタ、
前記第 2 の P ウエル領域に設けられ、前記第 2 のビット線と前記第 2 の接続ノードとの
間を電氣的に接続し、ソース、ドレイン、および、ゲートを有する第 4 の N チャネル型ト
ランジスタ、
前記第 1 の P チャネル型 MOS トランジスタのゲートおよび前記第 1 の N チャネル型 M
OS トランジスタのゲートを一体に構成し、前記第 2 の方向へ延在する第 1 の配線と、
前記第 2 の P チャネル型 MOS トランジスタのゲートおよび前記第 2 の N チャネル型 M
OS トランジスタのゲートを一体に構成し、前記第 2 の方向へ延在する第 2 の配線と、
前記第 3 の N チャネル型 MOS トランジスタのゲートを構成し、前記第 2 の方向へ延在
する第 3 の配線と、
前記第 4 の N チャネル型 MOS トランジスタのゲートを構成し、前記第 2 の方向へ延在
する第 4 の配線と、
前記第 1 の P ウエル領域に設けられ、前記第 1 配線と交差して前記第 1 の方向へ延在す
る第 1 拡散層と、
前記第 1 の P ウエル領域に設けられ、前記第 3 配線と交差して前記第 1 の方向へ延在す
る第 2 拡散層と、
を有し、
前記第 2 の方向において、前記第 1 配線が交差する部分の前記第 1 拡散層の第 1 幅は、
前記第 3 配線が交差する部分の前記第 2 拡散層の第 2 幅よりも大きい、半導体集積回路装
置。

【請求項 2】

請求項 1 に記載の半導体集積回路装置において、
前記第 1 の配線は、長方形である、半導体集積回路装置。

【請求項 3】

請求項 1 に記載の半導体集積回路装置において、
前記第 3 の配線は、長方形である、半導体集積回路装置。

【請求項 4】

請求項 1 に記載の半導体集積回路装置において、

前記第1幅は、前記第2幅の1.5倍である、半導体集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路装置に関わり、特にSRAM (static random access memory) セルのレイアウトおよびこのセルを用いて構成したメモリに関するものである。

【背景技術】

【0002】

CMOS構成の1ポートSRAMセルは、通常6個のトランジスタで構成されており、従来の公知のレイアウトとして特開平10-178110が知られている。

従来のSRAMセルのレイアウトでは、SRAMセルを構成するインバータが形成されたPウェル領域が2つに分割されてNウェル領域の両側に配置され、ウェル境界線がビット線に平行に走るように形成されている。

【発明の概要】

【発明が解決しようとする課題】

【0003】

微細化が進むにつれ、露光装置の波長をG線からI線さらにエキシマレーザへと短くして対応してきた。しかし、微細化の要求は装置の短波長化の進歩よりも早く、近年では波長以下のパターン寸法を加工する必要に迫られている。パターン寸法が波長以下になると鍵状に曲がったような複雑なパターンではレイアウトに忠実にパターンを形成できなくなり、メモリセルの対称性を崩す原因となる。しかし、従来の公知例では、Pウェル領域の基板へのコンタクトをとるために、拡散層の形を鍵状に曲げる必要があった。このため、対称性が悪く微細化が困難であるという問題があった。

【課題を解決するための手段】

【0004】

そこで、本発明では、第1のNチャネル型MOSトランジスタと第1のPチャネル型MOSトランジスタとを含む第1のインバータと、第2のNチャネル型MOSトランジスタと、第2のPチャネル型MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル型MOSトランジスタと、前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、ワード線にゲートが接続された第4のNチャネル型MOSトランジスタとを備え、前記第1および第3のNチャネル型MOSトランジスタは第1のPウェル領域に形成され、その拡散層は曲がりがなく、配置方向が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウェル領域との境界に対して、平行であり、前記第2および第4のNチャネル型MOSトランジスタは第2のPウェル領域に形成され、その拡散層が曲がりがなく、配置方向が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウェル領域との境界に対して、平行であることを特徴としている。

【0005】

拡散層の形状としては、また、その外形を直線を主体として構成し、最も長い直線部分が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウェル領域との境界に対して、平行であり、かつ、その境界に平行な中心線となる直線を規定した場合、その中心線に対して線対称であり、第2および第4のNチャネル型MOSトランジスタは第2のPウェル領域に形成され、その拡散層の外形は直線を主体として構成され、最も長い直線部分が、第1および第2のPチャネル型MOSトランジスタが形成される第1のnウェル領域との境界に対して、平行であり、かつ、その境界に平行な中心線となる直線を規定した場合、その中心線に対して線対称であることとしてもよい。このとき、線対称と言った場合、完全に線対称でなくとも、例えば中心線の左右で拡散層の面積が同じ程度の形状として、若干の非対称も場合により許容するものである。

【 0 0 0 6 】

また、前記第 3 の N チャンネル型 M O S トランジスタのゲートに用いられる第 1 の多結晶シリコン配線層と、前記第 1 の N チャンネル型 M O S トランジスタのゲートと前記第 1 の P チャンネル型 M O S トランジスタのゲートとに用いられる第 2 の多結晶シリコン配線層とが平行に配置され、前記第 4 の N チャンネル型 M O S トランジスタのゲートに用いられる第 3 の多結晶シリコン配線層と、前記第 2 の N チャンネル型 M O S トランジスタのゲートと前記第 2 の P チャンネル型 M O S トランジスタのゲートに用いられる第 4 の多結晶シリコン配線層とが平行に配置され、第 1 および第 3 の多結晶シリコン配線層は、ワード線を構成する第 2 層の金属配線層とコンタクトを介して接続される。

【 0 0 0 7 】

また、前記第 1 のインバータの入力端子と前記第 2 のインバータの出力端子がコンタクトで電氣的に接続され、前記第 2 のインバータの入力端子と前記第 1 のインバータの出力端子がコンタクトで電氣的に接続されてもよい。

【 0 0 0 8 】

また、前記第 1、第 2 のビット線と、前記第 1、第 2 の P チャンネル型 M O S トランジスタのソースに接続された電源線と、前記第 1、第 2 の N チャンネル型 M O S トランジスタのソースに接続された接地線とが、第 3 層の金属配線層で、拡散層と平行に形成されてもよい。

【 0 0 0 9 】

また、前記第 3 層の金属配線層で形成された第 1 のビット線が前記第 3 層の金属配線層で形成された電源線と、前記第 3 層の金属配線層で形成された第 1 の N チャンネル型 M O S トランジスタのソースに接続された接地線とに挟まれ、前記第 3 層の金属配線層で形成された第 2 のビット線が前記第 3 層の金属配線層で形成された電源線と、前記第 3 層の金属配線層で形成された第 2 の N チャンネル型 M O S トランジスタのソースに接続された接地線とに挟まれてもよい。

【 0 0 1 0 】

あるいは、前記第 1、第 2 のビット線と、前記第 1、第 2 の P チャンネル型 M O S トランジスタのソースに接続された電源線とが第 2 層の金属配線層で形成され、ワード線が第 3 層の金属層で形成され、前記第 1、第 2 の N チャンネル型 M O S トランジスタのソースに接続された接地線が、第 3 層および第 2 層の金属配線層で形成されてもよい。

【 0 0 1 1 】

また、前記メモリセルがアレイ状に並べられ、アレイ中およびアレイの上下に、P ウエル領域の基板へのコンタクトおよび N ウエル領域の基板へのコンタクトがワード線と平行に直線的に配置されている。以上では n ウエル領域の両側に 2 つの p ウエル領域を配置した例であるが、p ウエル領域の両側に 2 つの n ウエル領域を配置することもできる。

【 0 0 1 2 】

また、本願発明を適用した半導体記憶装置の他の例においては、少なくとも 1 対の N ウエル領域と P ウエル領域とからなるメモリセルをアレイ状に配置したメモリアレイを複数備え、そのメモリアレイの間に少なくとも一つの間隔領域を有し、N ウエル領域と P ウエル領域との境界は少なくとも一つの直線部分を有し、N ウエル領域と P ウエル領域にそれぞれ形成された拡散層の平面形状は、

(1) 直線部分と平行な長辺を有する長方形の形状、または、(2) 直線部分と平行な長辺を有する複数の長方形をそれぞれの短辺を介して組み合わせた形状であり、あるいは、(1) 直線部分と平行な長辺を有する長方形の形状、または、(2) 直線部分と平行な長辺を有する複数の長方形を上記直線部分の方向に延びるように組み合わせた形状であることを特徴とする。

【 0 0 1 3 】

少なくともメモリアレイの領域においては、直線部分に平行にビット線が配置され、直線部分に垂直な方向にワード線が配置される。好ましくは、中間領域においては、直線部分に垂直な方向に少なくとも一種の配線が配置され、かつ、電源配線と N ウエル領域ま

10

20

30

40

50

たはPウエル領域に形成された拡散層との電氣的接触を行う配線（例えばコンタクト）が形成されている。この配線としては電源配線、接地配線、その他の電位の配線が考えられる。

【0014】

本願発明は特に6つのトランジスタから構成されるスタティックRAMのメモリセルを有する半導体記憶装置に好適である。

【発明の効果】

【0015】

本発明によれば、拡散層が必要以上に複雑な形状とならないため、微細化が容易である。

10

【図面の簡単な説明】

【0016】

【図1】実施例1に係わる半導体装置のレイアウト図。

【図2】実施例1に係わる半導体装置のレイアウト図。

【図3】実施例1、2、3、4で使用される記号の説明図。

【図4】実施例2に係わる半導体装置のレイアウト図。

【図5】実施例3に係わる半導体装置のレイアウト図。

【図6】実施例3に係わる半導体装置のレイアウト図。

【図7】実施例4に係わる半導体装置のレイアウト図。

【図8】実施例4に係わる半導体装置のレイアウト図。

20

【図9】実施例5に係わる半導体装置のレイアウト図。

【図10】実施例5に係わる半導体装置のレイアウト図。

【図11】実施例5で使用される記号の説明図。

【図12】実施例6に係わる半導体装置のレイアウト図。

【図13】実施例6に係わる半導体装置のレイアウト図。

【図14】実施例6で使用される記号の説明図。

【図15】実施例6に係わる半導体装置のプロセスフロー断面図。

【図16】実施例7に係わる半導体装置のレイアウト図。

【図17】実施例7に係わる半導体装置のレイアウト図。

【図18】実施例8に係わる半導体装置のレイアウト図。

30

【図19】実施例8に係わる半導体装置のレイアウト図。

【図20】実施例8で使用される記号の説明図。

【図21】実施例8に係わる半導体装置の断面図。

【図22】実施例9に係わる半導体装置のプロセスフロー断面図。

【図23】実施例10に係わる半導体装置のプロセスフロー断面図。

【発明を実施するための形態】

【0017】

以下、本発明に係わる半導体記憶装置の好適ないくつかの事例につき、図面を用いて説明する。

【0018】

40

実施例1

図1および図2に本発明のSRAMセルのレイアウトMCを示す。図1は、半導体基板に形成された、ウエル領域、拡散層、多結晶シリコン配線層およびコンタクトが示されており、図2には、第1層の金属配線層、ビアホール1、第2層の金属配線層、ビアホール2および第3層の金属配線層が示されている。図3は、図1および図2で使用される記号の説明である。

【0019】

Pウエル領域PW1に形成されるNチャネル型MOSトランジスタTN1とNウエル領域NW1に形成されるPチャネル型MOSトランジスタTP1によってインバータINV1が構成される。また、Nウエル領域PW1に形成されるNチャネル型MOSトランジス

50

タTN2とNウエル領域NW1に形成されるPチャネル型MOSトランジスタTP2によってインバータINV2が構成される。

【0020】

インバータINV1の出力は、コンタクトSC1によってインバータINV2の入力と電氣的に接続されている。また、インバータINV2の出力は、コンタクトSC2によってインバータINV1の入力と電氣的に接続されている。

【0021】

Nチャネル型MOSトランジスタTN3は、ドレイン電極がビット線BL1に接続され、ソース電極が、Nチャネル型MOSトランジスタTN1のドレインに接続され、ゲート電極は、ワード線WDに接続される。同様に、Nチャネル型MOSトランジスタTN4は、ドレイン電極がビット線BL2に接続され、ソース電極が、Nチャネル型MOSトランジスタTN2のドレインに接続され、ゲート電極は、ワード線WDに接続される。

10

【0022】

Nチャネル型MOSトランジスタTN1およびNチャネル型MOSトランジスタTN3は、拡散層LN1上に形成され、Nチャネル型MOSトランジスタTN2およびNチャネル型MOSトランジスタTN4は、拡散層LN2上に形成される。

【0023】

Pチャネル型MOSトランジスタTP1は、拡散層LP1上に形成され、Pチャネル型MOSトランジスタTP2は、拡散層LP2上に形成される。

【0024】

20

拡散層(LN1、LN2、LP1、LP2)は、曲がりなく直線であるため、折れ曲がり部でのパターン補正が必要なく、ノード間のバランスが良くなる。メモリセルをアレイ上に並べた場合、拡散層は、ビット線(BL1、BL2)に平行な4本の直線となる。

【0025】

また、Nチャネル型MOSトランジスタTN3のゲート電極に用いられる多結晶シリコン配線層FG3および、Nチャネル型MOSトランジスタTN4のゲート電極に用いられる多結晶シリコン配線層FG4は、ビット線(BL1、BL2)と垂直方向に第2の金属配線層を用いて形成されるワード線WLに接続されている。Nチャネル型MOSトランジスタTN1およびPチャネル型MOSトランジスタTP1のゲート電極に用いられる多結晶シリコン配線層FG1、Nチャネル型MOSトランジスタTN2およびPチャネル型MOSトランジスタTP2のゲート電極に用いられる多結晶シリコン配線層FG2および多結晶シリコン配線層(FG3、FG4)は、ワード線と平行に配置されている。

30

【0026】

Nチャネル型MOSトランジスタTN1のソース電極は、第3層の金属配線層で形成された接地電位線Vss1に接続され、Nチャネル型MOSトランジスタTN2のソース電極は、第3層の金属配線層で形成された接地電位線Vss2に接続される。また、Pチャネル型MOSトランジスタ(TP1、TP2)のソース電極は、第3層の金属配線層で形成された電源電位線Vcc1に接続されている。

【0027】

ビット線BL1は、電源電位Vcc1と接地電位Vss1に挟まれており、ビット線BL2は電源電位Vcc1と接地電位Vss2に挟まれている。この構造は、ビット線どうしのクロスカップルノイズを低減でき、低電圧、高速動作に効果がある。

40

【0028】

また、コンタクトホールのエッチ時にサイドスペーサーを削ってn⁺層上にコンタクトが形成された場合、コンタクトからn⁺を通して基板に流れ込むことが考えられる。多結晶シリコン配線層と拡散層をつなぐコンタクトを形成する場合、拡散層TP2と多結晶シリコン配線層FG1の間隔をサイドスペーサーの長さよりも長くすることにより、拡散層にn⁺が形成されずリーク電流を防ぐことができる。

【0029】

実施例2

50

図4に実施例1のメモリセルMCをアレイ状に配列した場合の例を示す。図中の記号は、図3に説明されている。

【0030】

メモリセルMCは例えば、256ロー×128カラム並べられる。実施例1のメモリセルは、ビット線方向の高さが低いため、256ローのメモリセルを並べても、ビット線の長さが従来に比べて短くなるので、高速化できる。隣合うメモリセルMCは、y軸に対して線対称に配置され、上下のメモリセルMCは、x軸に対して線対称に配置される。また、アレイの途中には、基板への電源を供給するための領域STが、ワード線WDと平行に形成される。領域STは、例えば、メモリセル32ローあるいは、64ロー毎に配置される。

10

【0031】

Pウエル領域(PW1、PW2)に電位を供給する配線VbnおよびNウエル領域NW1に電位を供給する配線Vbpがワード線と平行に形成される。配線Vbnは、接地電位Vssと接続してもいいし、Vssとは異なる電位を供給することができる。また、配線Vbpは、電源電位Vccと接続してもいいし、Vccとは異なる電位を供給することもできる。

【0032】

また、領域STでは、電源電位線Vcc1を補強するための電源電位線Vccがワード線と平行に形成され、接地電位(Vss1、Vss2)を補強するための接地電位線Vssがワード線と平行に形成される。

20

【0033】

また、接地電位線(Vss1、Vss2)が、ワード線WDと垂直方向に配置されるので、1つのワード線を選択した場合に、このワード線に沿った各メモリセルに対して、1対の接地電位線から電位が供給されるので、電位線のノイズが小さく、アクセスの高速化、低電圧化に効果がある。

【0034】

また、メモリセルMCは、ワード線方向の幅が広いため、センスアンプAMPのレイアウトが容易であり、従来行われていた、メモリセル2カラムで1つのセンスアンプをレイアウトする必要がなく、1カラムに1つのセンスアンプがレイアウトできる。また、ワードドライバ回路wdrvは従来に比べて偏平なレイアウトとなる。

30

【0035】

実施例3

図5および図6に実施例3のSRAMセルのレイアウトMC2を示す。図5および図6で使用される記号の説明を図3に示した。実施例3のメモリセルMC2は実施例1のメモリセルMCと比べて、実施例1では、拡散層(LN1、LN1)の形が羽子板状であるのに対し、実施例3の拡散層(LN3、LN4)が長方形であると点と、コンタクト(SC1、SC2)が、コンタクト(SC3、SC4)と第1層の金属配線層(M11、M12)で置き換えられている点を除いて同一である。

【0036】

通常メモリセルでは、安定性を確保するために、Nチャネル型MOSトランジスタ(TN1、TN2)のゲート幅は、Nチャネル型MOSトランジスタ(TN3、TN4)のゲート幅の1.5倍に設計される。しかし、この場合は、実施例1で示したように、拡散層の形が羽子板状になり、パターン補正(OPC)などの技術が必要となる。また、このために、トランジスタどうしのバランスも悪くなる。これに対して、実施例3では、拡散層(LN3、LN4)が長方形なので、加工が容易で、また、この結果トランジスタのバランスも良くすることができる。ただし、ゲート幅の比が1.0倍になってしまうため、Nチャネル型MOSトランジスタ(TN1、TN2)に比べて、Nチャネル型MOSトランジスタ(TN3、TN4)の酸化膜厚を厚くするか、ゲート長を長くするか、しきい値を高くするか、あるいは電界緩和のための低濃度ドレイン領域の不純物濃度を低くするなどにより駆動力に差をつけていわゆるセルレシオを大きくする必要がある。また、実施例3

40

50

では、実施例 1 でインバータ I N V 1 の出力とインバータ I N V 2 の入力を接続していたコンタクト S C 1 の代わりに、コンタクト S C 3 と第 1 層の金属配線層 M 1 1 を用いている。このようにすることにより折れ曲がったコンタクトが必要なくなり、パターン補正 (O P C) 等が必要なくなる。

【 0 0 3 7 】

実施例 4

図 7 および図 8 に実施例 4 の S R A M セルのレイアウト M C 3 を示す。図 7 および図 8 で使用される記号の説明を図 3 に示した。実施例 4 のメモリセル M C 3 は実施例 3 のメモリセル M C 2 と比べて、多結晶シリコン配線層 (F G 5 、 F G 6 、 F G 7 、 F G 8) の形が長方形である点異なる。このセルでは、折れ曲がりがなく、パターン補正 (O C P) が必要なく、トランジスタどうしのバランスがよくなる。

10

【 0 0 3 8 】

実施例 5

図 9 および図 1 0 に実施例 5 の S R A M セルのレイアウト M C 4 を示す。図 9 および図 1 0 で使用される記号の説明を図 1 1 に示した。実施例 5 のメモリセル M C 4 は実施例 1 のメモリセル M C と比べて、配線構造が異なる。

【 0 0 3 9 】

ビット線 (B L 3 、 B L 4) および、電源電位線 V c c 2 は、第 2 層の金属配線層を用いて形成される。ワード線 W D 1 および接地電位線 (V s s 5 、 V s s 6) は、第 3 層の金属配線層を用いてビット線と垂直に形成される。接地電位線 (V s s 3 、 V s s 4) は、第 4 層の金属配線層を用いてビット線と平行に形成される。

20

【 0 0 4 0 】

グローバルビット線 G B は、ビット線を階層化した場合に使用される配線である。グローバルビット線 G B とビット線 (B L 3 、 B L 4) とは、第 3 層の金属配線層でシールドされているので、クロスカップルノイズを防ぐことができる。また、接地電位線 (V s s 3 、 V s s 4) によって、グローバルビット線 G B どうしのクロスカップルノイズを防ぐことができる。

【 0 0 4 1 】

実施例 6

図 1 2 および図 1 3 に実施例 6 の S R A M セルのレイアウト M C 5 を示す。図 1 2 および図 1 3 で使用される記号の説明を図 1 4 に示した。実施例 6 のメモリセル M C 5 は実施例 1 のメモリセル M C と比べて、ゲート電極と拡散層接続するいわゆる 3 層コンタクトの構造が異なる。

30

【 0 0 4 2 】

実施例 1 では L 字状のコンタクト S C 1 、 S C 2 でゲート電極と拡散層を接続しているが、実施例 6 ではゲート電極と拡散層接続領域 S S 1 、 S S 2 でシリサイドにより接続している。そのためゲート電極と拡散層を接続するためにコンタクトを L 字状に曲げる必要がなく I 字状の長方形のコンタクト S C 5 、 S C 6 にできる。コンタクトに折れ曲がりがなく、パターン補正 (O C P) が必要ない。

【 0 0 4 3 】

ゲート電極と拡散層接続領域 S S 1 、 S S 2 でシリサイドにより接続する具体的なプロセスフローを図 1 5 に示す。

40

【 0 0 4 4 】

ゲート電極 F G を多結晶シリコンで形成する (図 1 5 (a)) 。

【 0 0 4 5 】

ゲート電極 F G の側壁にサイドスペーサ S i N を C V D シリコン窒化膜により形成する (図 1 5 (b)) 。

【 0 0 4 6 】

アクティブ領域側のサイドスペーサ S i N をシリコン窒化膜と酸化膜を高選択でエッチングできる条件でエッチングし取り除く (図 1 5 (c)) 。

50

【 0 0 4 7 】

P型高濃度拡散層P⁺を形成する(図15(d))。

【 0 0 4 8 】

C_oなどの高融点金属をスパッタにより堆積し、アニールすることで多結晶シリコンゲート電極と拡散層に選択的にシリサイドを形成する(図15(e))。このときゲート電極の側壁と拡散層とがシリサイドにより接続される。

【 0 0 4 9 】

実施例7

図16および図17に実施例7のSRAMセルのレイアウトMC6を示す。図16および図17で使用される記号の説明を図14に示した。実施例7のメモリセルMC6は実施例6のメモリセルMC5と比べて、コンタクト(SC5、SC6)が、コンタクト(SC7、SC8)と第1層の金属配線層(M11、M12)で置き換えられている点を除いて同一である。

【 0 0 5 0 】

実施例7ではすべてのコンタクトを正方形コンタクトにでき、パターン補正(OC_P)が必要ない。

【 0 0 5 1 】

実施例8

図18および図19に実施例8のSRAMセルのレイアウトMC7を示す。図18および図19で使用される記号の説明を図20に示した。実施例8のメモリセルMC7は実施例1のメモリセルMCと比べて、コンタクト(SC1、SC2)が、ローカルインターコネクト(LI1、LI2)で置き換えられている点と、ワード線が第2層目の金属配線から第1層目の金属配線に、ビット線と電源電位線と接地電位線が第3層目の金属配線から第2層目の金属配線に変更されている点を除いて同一である。図21は図18、19のA-B線に沿った断面図である。

【 0 0 5 2 】

実施例1ではコンタクトSC1、SC2は他のコンタクトと同層で形成しているために、SC1、SC2の上に第1層目の金属配線を配置できないという制約がある。実施例8ではコンタクトとは別層のローカルインターコネクトLI1、LI2で形成するために上に第1層目の金属配線を配置でき、実施例1と比較すると金属配線を1層減らす事ができる。

【 0 0 5 3 】

実施例9

図22に実施例9の3層コンタクト部のプロセスフローを示す。実施例9は実施例1、3、4、5、8の3層コンタクト部を形成するプロセスの一例である。

【 0 0 5 4 】

近年のLSIでは、コンタクトがホット工程の合せずれにより拡散層やゲート電極から外れてもフィールド酸化膜を削ることがないように、シリコン窒化膜などをストップパにして高選択エッチングでコンタクト穴を加工するのが一般的になってきている。ゲート電極をいわゆるサリサイド技術により低抵抗化する場合は、拡散層形成後に拡散層上とゲート電極上を露出させてシリサイドを形成し、その上にエッチングストップパとしてのシリコン窒化膜を堆積し、層間絶縁膜を更にその上に堆積してからコンタクト穴を形成するために、ゲート電極上のコンタクトと拡散層上のコンタクトをそのまま同時に形成しても両者共に導通を取ることができる。しかし、従来広く用いられてきたポリサイドゲート電極や、近年発表されているポリメタルゲート電極の場合、エッチングストップパとしてのシリコン窒化膜堆積前にはゲート電極上に酸化膜などの絶縁膜が残りゲート電極は露出していないために、その上にシリコン窒化膜を堆積してコンタクトを形成しようとするゲート電極上のコンタクトの底部には酸化膜が残り導通が取れない。実施例9はコンタクト穴を開ける部分のゲート電極上のシリコン窒化膜をあらかじめ取り除いておくことによりゲート電極上コンタクトの導通を確保するものである。

10

20

30

40

50

【 0 0 5 5 】

以下、図 2 2 により実施例 9 のプロセスフローを説明する。

【 0 0 5 6 】

ゲート電極と拡散層 P^+ を形成した後、エッチングストップパとしてシリコン窒化膜 SiN を堆積する (図 2 2 (a))。ゲート電極は多結晶シリコン $Poly Si$ とタングステン W の積層であり、さらにその上に保護膜として酸化膜 SiO が積層されている。

【 0 0 5 7 】

ゲート電極上のコンタクト穴を開ける部分のシリコン窒化膜をドライエッチングにより取り除く (図 2 2 (b))。

【 0 0 5 8 】

プラズマ $CV D$ による $TEOS$ 膜などを堆積し、層間絶縁膜を形成する (図 2 2 (c))。

【 0 0 5 9 】

コンタクト開口部の酸化膜をシリコン窒化膜との高選択ドライエッチングによりエッチングする (図 2 2 (d))。高選択エッチングのためシリコン窒化膜はエッチングされずストップパとなる。あらかじめゲート電極上のシリコン窒化膜を取り除いておいた部分はストップパが無いためにゲート電極上までエッチングされる。そのため、ゲート電極上も導通が取れるようになる。

【 0 0 6 0 】

シリコン窒化膜を高選択ドライエッチングにより取り除く (図 2 2 (e))。

【 0 0 6 1 】

コンタクト穴の部分にタングステンなどの金属を埋め込みプラグとする (図 2 2 (f))。

【 0 0 6 2 】

実施例 1 0

図 2 3 に実施例 1 0 の 3 層コンタクト部のプロセスフローを示す。実施例 1 0 は実施例 1、3、4、5、8 の 3 層コンタクト部を形成するプロセスの一例である。

【 0 0 6 3 】

実施例 1 0 のプロセスフローは、実施例 9 のプロセスフローと比較して、エッチングストップパのシリコン窒化膜の堆積前にゲート電極上のコンタクト穴を開ける部分の酸化膜を取り除いておく点が異なる。

【 0 0 6 4 】

以下、図 2 3 により実施例 1 0 のプロセスフローを説明する。

【 0 0 6 5 】

ゲート電極と拡散層 P^+ を形成する (図 2 3 (a))。ゲート電極は多結晶シリコン $Poly Si$ とタングステン W の積層であり、さらにその上に保護膜として酸化膜 SiO が積層されている。

【 0 0 6 6 】

ゲート電極上のコンタクト穴を開ける部分の酸化膜をドライエッチングにより取り除き、ゲート電極上を露出させる (図 2 3 (b))。

【 0 0 6 7 】

エッチングストップパとしてシリコン窒化膜 SiN を堆積する (図 2 3 (c))。プラズマ $CV D$ による $TEOS$ 膜などを堆積し、層間絶縁膜を形成する (図 2 3 (d))。

【 0 0 6 8 】

コンタクト開口部の酸化膜をシリコン窒化膜との高選択ドライエッチングによりエッチングする (図 2 3 (e))。高選択エッチングのためシリコン窒化膜はエッチングされずストップパとなる。

【 0 0 6 9 】

シリコン窒化膜を高選択ドライエッチングにより取り除く (図 2 3 (f))。シリコン窒化膜堆積前にゲート電極上の酸化膜を取り除いた部分はこのときに露出するために、ゲ

10

20

30

40

50

ート電極上も導通が取れるようになる。

【 0 0 7 0 】

コンタクト穴の部分にタングステンなどの金属を埋め込みプラグとする（図 2 3（g））。

【符号の説明】

【 0 0 7 1 】

M C、M C 2、M C 3、M C 4、M C 5、M C 6、M C 7 ... S R A M メモリセル

T N 1、T N 2、T N 3、T N 4 ... N チャネル型 M O S トランジスタ

T P 1、T P 2 ... P チャネル型 M O S トランジスタ

P W 1、P W 2 ... P ウエル領域

N W 1、N W ... N ウエル領域

F G 1、F G 2、F G 3、F G 4、F G 5、F G 6、F G 7、F G 8、F G ... 多結晶シリコン配線層

L N 1、L N 2、L N 3、L N 4、L P 1、L P 2 ... 拡散層

S C 1、S C 2、S C 3、S C 4、S C 5、S C 6、S C 7、S C 8 ... コンタクト

I N V 1、I N V 2 ... インバータ回路

W D、W D 1 ... ワード線

B L 1、B L 2、B L 3、B L 4 ... ビット線

V s s、V s s 1、V s s 2、V s s 3、V s s 4、V s s 5、V s s 6 ... 接地電位線

V c c、V c c 1、V c c 2 ... 電源電位線

V b p ... N ウエル領域へ電位を供給する線

V b n ... P ウエル領域へ電位を供給する線

w d d r v ... ワードドライバ回路

A M P ... センスアンプ回路

M 1 1、M 1 2 ... 第 1 層の金属配線層

G B ... グローバルビット線

S G I ... フィールド領域

P o l y S i ... 多結晶シリコン

S i N ... シリコン窒化膜

S i O ... シリコン酸化膜

S S ... シリサイド層

T E O S ... プラズマ C V D T E O S 膜

W ... タングステン

A l ... アルミニウム配線層

P + ... P 型高濃度拡散層。

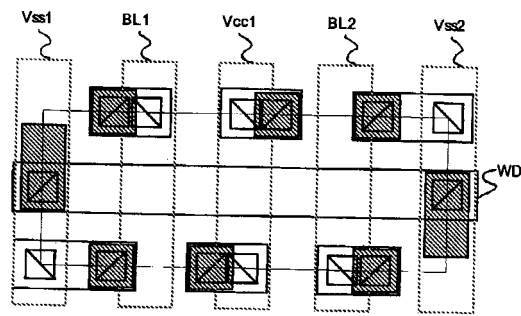
10

20

30

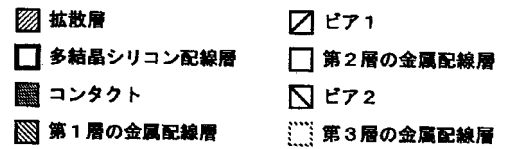
【図2】

図2



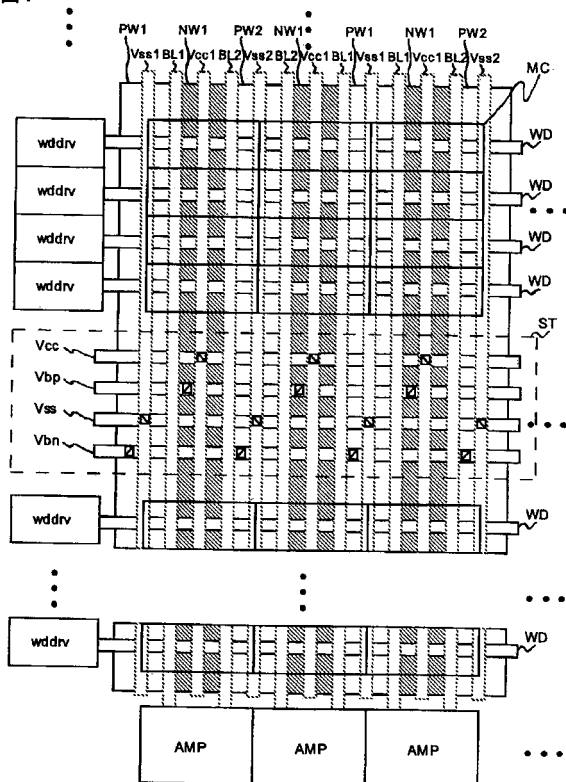
【図3】

図3



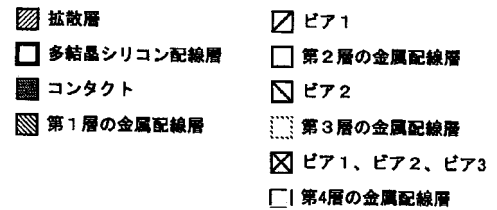
【図4】

図4



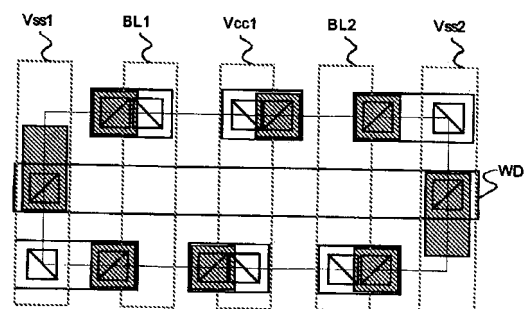
【図11】

図11



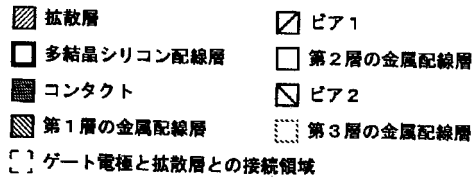
【図13】

図13



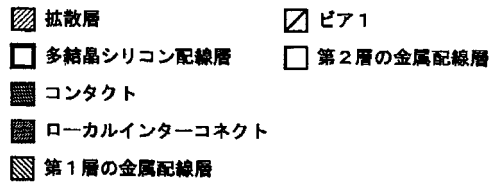
【図 14】

図14



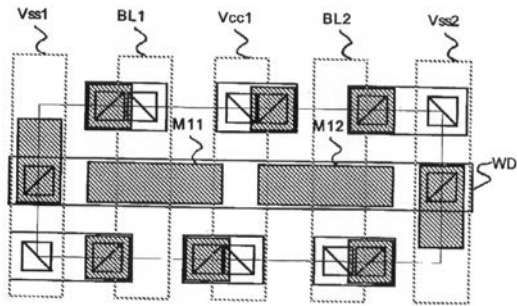
【図 20】

図20



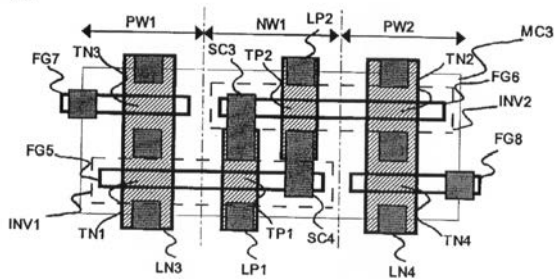
【図 6】

図6



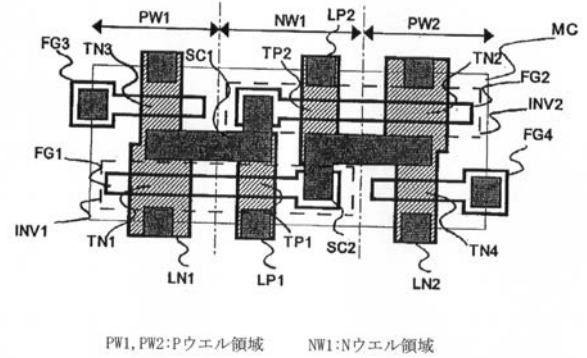
【図 7】

図7



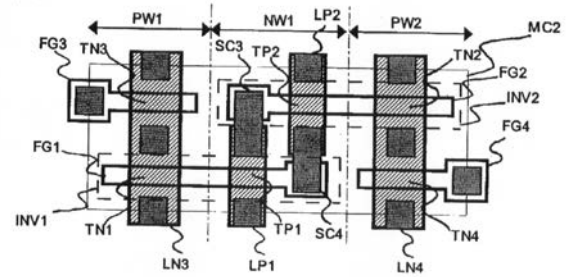
【図 1】

図1



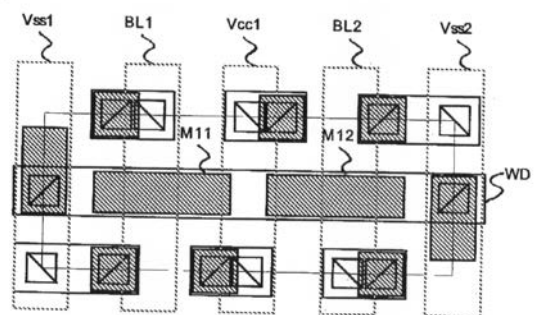
【図 5】

図5



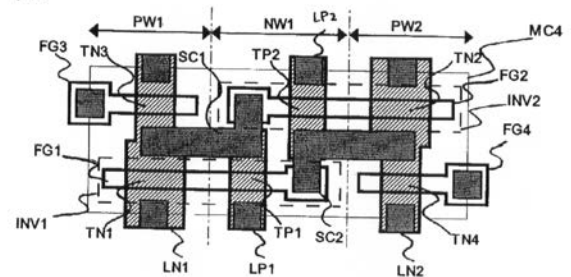
【図 8】

図8



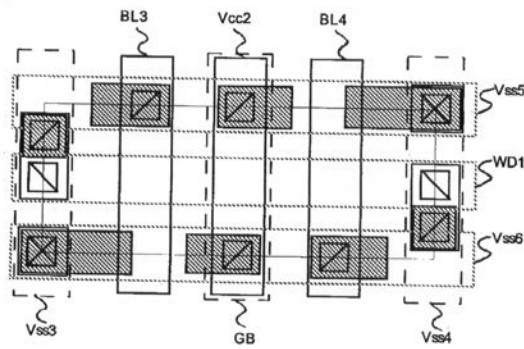
【図 9】

図9



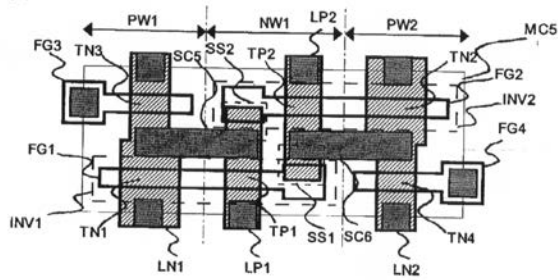
【図10】

図10



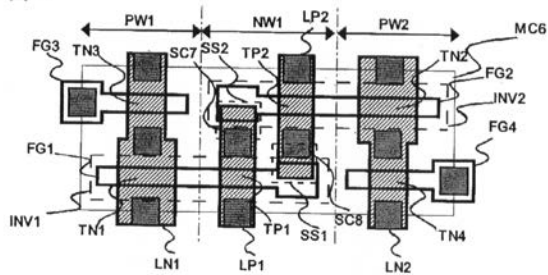
【図12】

図12



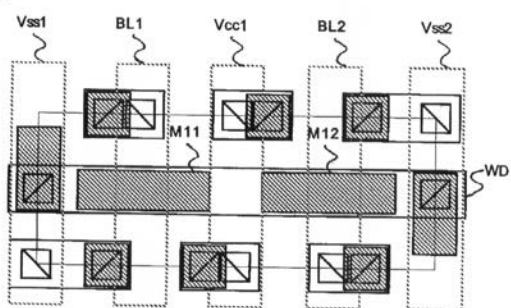
【図16】

図16



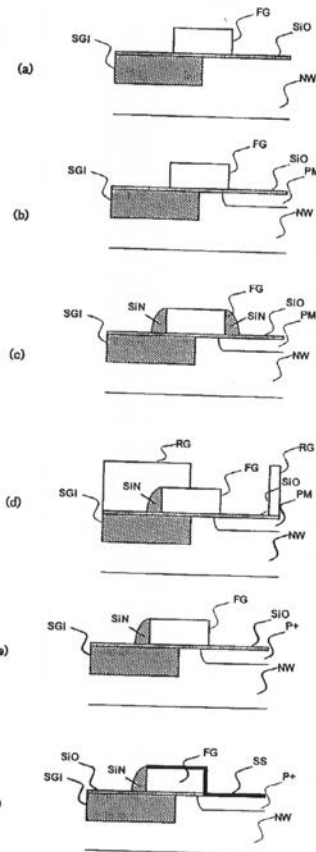
【図17】

図17



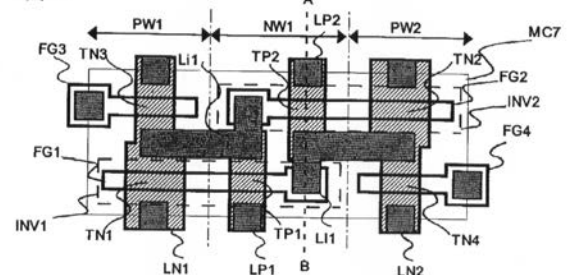
【図15】

図15



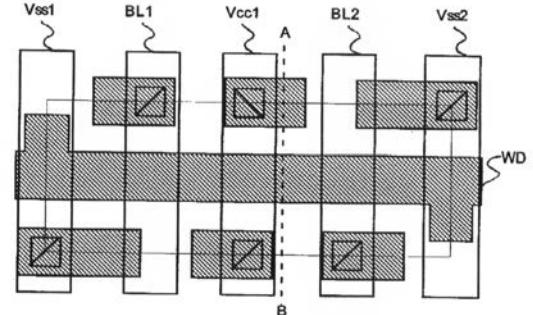
【図18】

図18

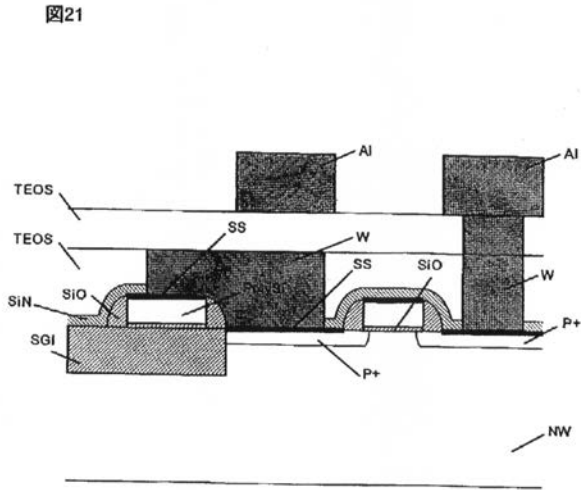


【図19】

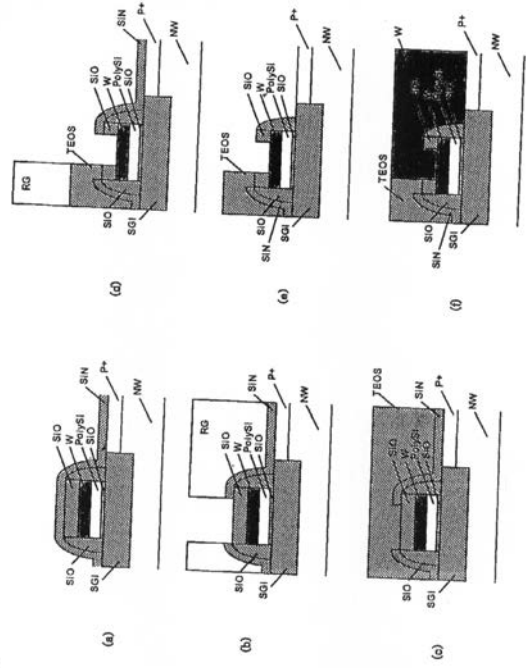
図19



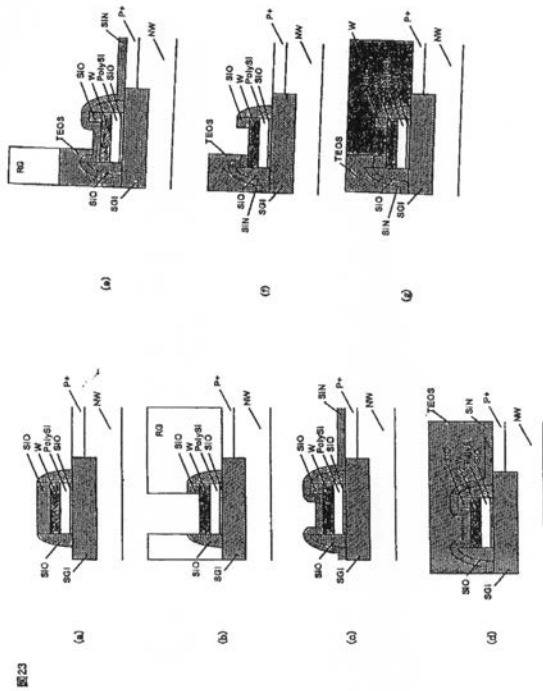
【図 2 1】



【図 2 2】



【図 2 3】



フロントページの続き

(72)発明者 石橋 孝一郎

東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

Fターム(参考) 5F083 BS27 GA09 JA35 JA39 JA53 JA56 KA01 KA05 LA01 LA02

LA12 LA16 MA06 MA19 PR06