(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.^{7}
H01L 29/73

(45) 공고일자 2003년07월12일
(11) 등록번호 10-0391560
(24) 등록일자 2003년07월02일

(21) 출원번호	10-2001-0025564	(65) 공개번호	특2001-0106231
(22) 출원일자	2001년05월10일	(43) 공개일자	2001년11월29일

(30) 우선권주장 2000-141914 2000년05월15일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도꾜도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 다나카마사히로
일본국가나가와현가와사키시사이와이구고무가이도시바정1번지가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 김윤배
이범일

심사관 : 김관식

(54) 반도체장치

요약

본 발명은, 접촉저항의 저감과 캐리어 주입효율의 저감을 도모한다.
n형 반도체기판(1)내에는 p형 불순물층(2)이 형성된다. p형 불순물층(2)의 불순물농도는 낮고 또한 그 깊이는 1.0㎛ 이하로 충분히 얕기 때문에, 캐리어 주입효율이 저감된다. p형 불순물층(2)내에는, 접촉저항을 낮추기 위한 고농도의 p형 접촉층(4)이 형성된다. p형 접촉층(4)의 깊이는 0.2㎛ 이하로 충분히 낮기 때문에, 캐리어 주입효율에 영향을 주는 일이 없다. 또, p형 접촉층(4)과 전극(3)의 사이에는, p형 접촉층의 농도프로파일의 피크위치까지 도달하는 실리사이드층(5)이 형성된다. 이 실리사이드층(5)에 의해 더 한층의 접촉저항의 저하를 실현한다.

대표도

도 2

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시형태에 따른 반도체장치를 나타낸 도면,
도 2는 본 발명의 제2실시형태에 따른 반도체장치를 나타낸 도면,
도 3은 본 발명의 전제로 되는 IGBT를 나타낸 도면,
도 4는 본 발명의 제1실시예인 IGBT를 나타낸 도면,
도 5는 본 발명의 제2실시예인 IGBT를 나타낸 도면,
도 6은 본 발명의 전제로 되는 IGBT를 나타낸 도면,
도 7은 본 발명의 제3실시예인 IGBT를 나타낸 도면,

도 8은 본 발명의 제4실시예인 IGBT를 나타낸 도면,
도 9는 본 발명의 전제로 되는 IGBT를 나타낸 도면,
도 10은 본 발명의 제5실시예인 IGBT를 나타낸 도면,
도 11은 본 발명의 제6실시예인 IGBT를 나타낸 도면,
도 12는 본 발명의 IGBT의 특성을 나타낸 도면,
도 13은 본 발명의 전제로 되는 IGBT를 나타낸 도면이다.
<부호의 설명>
1 --- n형 반도체기판(n형 베이스층),
2 --- p형 불순물층(p형 에미터층),
3 --- 전극(콜렉터전극), 4 --- p형 접촉층,
5 --- 실리사이드층, 6, 9 --- 절연층,
7 --- p형 베이스층, 8 --- n형 에미터층,
10 --- 게이트전극, 11 --- 에미터전극,
12 --- n형 접촉층(n형 베이스층).

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치에 관한 것으로, 특히 전극접촉부에 사용된다.

종래, 반도체장치의 전극접촉부는 반도체층내에 형성되는 불순물층과 이 불순물층에 접촉(contact)하는 전극(예컨대, 알루미늄 등의 금속)으로 구성된다. 여기서, 불순물층은 저비용 등의 목적에서 이온주입에 의해 형성되는 일이 많다. 그런데, 전극접촉부에 있어서는, 전극과 불순물층의 접촉저항을 낮추는 것이 중요하게 된다. 접촉저항을 낮추기 위해서는, 일반적으로는 불순물층의 불순물농도를 높게 하면 좋다.

그러나, 이온주입에 의해 불순물층을 형성하는 경우, 불순물층의 농도프로파일은 피크(peak)를 갖는 곡선으로 된다. 그리고, 이 피크는 반도체층의 내부에 위치하고, 반도체층의 표면농도는 피크농도보다도 낮은 값으로 된다. 특히, 종형 전력장치(power device), 예컨대 IGBT에 있어서는, 반도체층의 일면 측에 MOS구조를 형성한 후에, 반도체층의 타면 측에 불순물층이 형성되는 경우가 있다. 이때, 반 도체층의 타면 측의 불순물층에 관해서는, 고온, 장시간의 어닐(anneal: 열처리)을 행할 수 없고, 결과로서 불순물층의 피크농도와 표면농도의 차이가 커져서 충분히 접촉저항을 낮출 수 없다.

또, 예컨대 도 13에 나타낸 바와 같은 IGBT에 있어서는, 전극접촉부에서의 접촉저항을 낮춤과 더불어, 턴오프(turn-off)를 고속으로 행하기 위해 턴오프시에 불순물층(p^+ 형 에미터층; 2)으로부터 n형 베이스층(1)으로의 캐리어주입을 빨리 저지하는 것이 필요하다.

그러나, 전극접촉부(불순물층(2)과 애노드전극(3)의 접촉부)의 접촉저항을 낮추기 위해서는, 불순물층(2)의 불순물농도를 높이지 않으면 안된다. 한편, 턴오프를 고속으로 하기 위해서는, 불순물층(2)의 불순물농도를 낮추면서 불순물층(2)의 깊이를 얕게 하여 불순물층(2)으로부터 n형 베이스층(1)으로의 캐리어 주입효율을 저하시키지 않으면 안된다. 즉, 전극접촉부의 불순물층(2)의 불순물농도에 관해서는, 접촉저항의 저감과 턴오프의 고속화(캐리어 주입효율의 저감)는, 트레이드오프(trade-off)의 관계에 있기 때문에, 양 목적을 동시에 달성할 수 없다.

발명이 이루고자 하는 기술적 과제

본 발명은, 상기 결점을 해결하기 위해 이루어진 것으로, 그 목적은 첫 번째로 이온주입에 의해 불순물층을 형성하는 경우에 있어서도 접촉저항을 충분히 낮출 수 있는 전극접촉부를 제공하는 것, 둘째로 IGBT에 있어서는 접촉저항의 저감과 캐 리어 주입효율의 저감을 동시에 달성할 수 있는 전극접촉부를 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명의 반도체장치는, 제1도전형의 반도체기판과, 상기 반도체기판의 일면 측에 형성되고 상기 반도체기판의 표면으로부터 1.0μm 이하의 두께를 갖는 제2도전형의 불순물층, 상기 불순물층내에 형성되고 상기 반도체기판의 표면으로부터 0.2μm 이하의 두께를 가지며 상기 불순물층의 두께보다도 얇고 상기 불순물층의 불순물농도보다도 진한 제2도전형의 접촉층 및, 상기 접촉층상에 형성되는 제1전극을 구비한다.

본 발명의 반도체장치는, 제1도전형의 반도체기판과, 상기 반도체기판의 일면 측에 형성되는 제2도전형의 불순물층, 상기 불순물층내에 형성되고 상기 불순물층의 두께보다도 얇으며 상기 불순물층의 불순물농도보다도 진한 제2도전형의 접촉층, 상기 접촉층상에 형성되는 제1전극 및, 상기 제1전극과 상기 접촉층의 사이에 형성되는 실리사이드층을

구비하고, 상기 실리사이드층의 상기 접촉층 측의 면은 상기 접촉층의 농도프로파일의 피크위치와 실질적으로 일치하고 있다.

상기 불순물층은 상기 불순물층으로부터 상기 반도체기판으로 캐리어를 주입하는 것을 목적으로 형성되고, 상기 접촉층은 상기 제1전극과 상기 불순물층의 접촉저항을 낮추는 것을 목적으로 형성되며 상기 캐리어의 주입에 기여하지 않는다.

본 발명의 반도체장치는, 상기 반도체기판의 타면 측에 형성되는 제2전극을 더 구비하고, 상기 제1전극과 상기 제2전극의 사이에 전류가 흐르는 디바이스를 대상으로 한다. 예컨대, 본 발명의 반도체장치는 IGBT에 적용된다.

상기 불순물층은 상기 반도체기판의 표면으로부터 1.0㎛ 이하의 두께를 갖는다. 상기 접촉층은 상기 반도체기판의 표면으로부터 0.2㎛ 이하의 두께를 갖는다. 상기 실리사이드층은 상기 반도체기판의 표면으로부터 0.2㎛ 이하의 두께를 갖고, 상기 접촉층의 두께보다도 얇다.

상기 불순물층은, 상기 반도체기판의 일면 측의 전체에 형성되어 있어도, 또는 상기 반도체기판의 일면 측의 일부분에 형성되어 있어도 좋다.

(발명의 실시형태)

이하, 도면을 참조하면서 본 발명의 반도체장치에 대해 상세히 설명한다.

[A] 제1실시형태

도 1은 본 발명의 제1실시형태에 따른 반도체장치의 전극접촉부를 나타내고 있다.

n형 반도체기판(1)내에는 p형 불순물층(2)이 형성된다. n형 반도체기판(1)은 n형 불순물, 예컨대 인(P)을 함유하고, 그 농도프로파일은 10^{14} cm^{-3} 정도이면서 대강 일정하게 되어 있다. p형 불순물층(2)은 반도체기판(1)의 표면영역에 형성되고, p형 불순물, 예컨대 보론(B)을 함유하고 있다. p형 불순물층(2)의 깊이는 반도체기판(1)의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p형 불순물층(2)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3}의 범위로 설정된다.

p형 불순물층(2)내에는 p^{+} 형 접촉층(4)이 형성되고, p^{+} 형 접촉층(4)상에는 전 극(3)이 형성된다. p^{+} 형 접촉층(4)은 p형 불순물층(2)과 전극(3)의 사이에 배치되고, p형 불순물층(2)보다도 높은 불순물농도를 갖는다. 예컨대, p^{+} 형 접촉층(4)은 보론(B), 불화보론(BF$_2$) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p^{+} 형 접촉층(4)의 깊이는 반도체기판(1)의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 전극(3)은, 예컨대 알루미늄으로 구성된다.

이러한 전극접촉구조에 의하면, 먼저 p형 불순물층(2)은 낮은 불순물농도를 가지면서 그 깊이는 반도체기판(1)의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, 예컨대 이 전극접촉구조를 IGBT의 콜렉터전극(애노드전극)에 적용한 경우에는, 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p형 불순물층(2)과 전극(3)의 사이에는, p형 불순물층(2)보다도 높은 불순물농도를 갖는 p^{+} 형 접촉층(4)이 배치된다. 이 p^{+} 형 접촉층(4)의 깊이는, 반도체기판(1)의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^{+} 형 접촉층(4)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^{+} 형 접촉층(4)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p^{+} 형 접촉층(4)은 충분히 높은 불순물농도를 가지고 있기 때문에, 전극 접촉부의 접촉저항도 저감된다.

이와 같이, 본 발명에 따른 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시형태에서는, 반도체기판(1)이 n형이고, 불순물층(2) 및 접촉층(4)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 불순물층(2) 및 접촉층(4)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 1에 나타낸 전극접촉부의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨대, 실리콘기판; 1)을 준비한다. 이온주입법에 의해, 반도체기판(1)내에 p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 표면으로부터의 깊이가 약 0.8㎛의 p형 불순물층(예컨대, p형 에미터층; 2)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)내의 p형 불순물층(2)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 표면으로부터의 깊이가 약 0.16㎛의 p^{+} 형 접촉층(4)이 형성된다.

p^{+} 형 접촉층(4)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p^{+} 형 접촉층(4)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF$_2$)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p형 불순물층(2)에 주입하여 p^{+} 형 접촉층(4)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 표면부, 즉 p^{+} 형 접촉층(4)의 표면부에 형성된 열산화막을 제거한다. 이 후, 스퍼터법이나 CVD법 등의 방법을 이용하여, p^{+} 형 접촉층(4)상에 알루미늄 등의 금속으로 구성되는 전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(1)내, 즉 p^{+} 형 접촉층(4)내에 확산시켜 전극(3)과 p^{+} 형 접촉층(4)의 접촉저항을

저감시킨다.

이상의 제조방법에 의해, 본 발명에 따른 전극접촉부가 완성된다.

본 발명의 전극접촉구조에서는, 캐리어 주입효율은 p형 불순물층(2)의 깊이 및 불순물농도에 의해 대강 결정된다. 본 예에서는, p형 불순물층(2)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3} 의 범위이고, 또한 그 깊이는 반도체기판(1)의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, 예컨대 이 전극접촉구조를 IGBT의 콜렉터전극에 적용한 경우에는, 턴오프시에 있어서의 캐리어 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p형 불순물층(2)과 전극(3)의 사이에는, p형 불순물층(2)보다도 높은 불순물농도를 갖는 p^+ 형 접촉층(4)이 배치된다. 이 p^+ 형 접촉층(4)의 깊이는 반도체기판(1)의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^+ 형 접촉층(4)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^+ 형 접촉층(4)에 의해 캐리어 주입효율이 증대되는 일은 없다. 또, p^+ 형 접촉층(4)의 농도프로파일의 피크치는 10^{19} cm^{-3} 정도로 설정되어 있기 때문에, 전극접촉부의 접촉저항도 저감된다.

[B] 제2실시형태

상술한 제1실시형태에 따른 전극접촉부에서는, p형 불순물층(2)을 충분히 얇으면서(1.0㎛ 이하) 저농도(10^{17} 10^{18} cm^{-3})로 하고, 더욱이 p형 불순물층(2)과 전극(3)의 사이에 충분히 진한(10^{19} cm^{-3} 정도) p^+ 형 접촉층(4)을 배치하여, 접촉저항의 저감과 캐리어 주입효율의 저감을 달성했다.

그러나, 이온주입에 의해 p^+ 형 접촉층(4)을 형성하는 경우에는, 그 표면농도는 농도프로파일의 피크치보다도 낮아진다. 이것에서는, 전극접촉부에서의 접촉저항을 충분히 낮출 수 없다.

그래서, 본 실시형태에서는 전극(3)과 p^+ 형 접촉층(4)의 사이에 실리사이드층(5)을 형성한다.

한편, 본 발명은 실리사이드층(5)을 형성하는 점에 특징을 갖는 것이 아니라, 실리사이드층(5)의 반도체기판(1)의 표면으로부터의 깊이, 구체적으로는 실리사이드층(5)의 반도체기판(1)의 표면으로부터의 깊이와 p^+ 형 접촉층(4)의 농도프로파일의 피크치의 관계에 특징을 갖는다.

이하, 구체적으로 본 발명의 제2실시형태에 따른 반도체장치의 전극접촉부에 대해 설명한다.

도 2는 본 발명의 제2실시형태에 따른 반도체장치의 전극접촉부를 나타내고 있다.

n형 반도체기판(1)내에는 p형 불순물층(2)이 형성된다. n형 반도체기판(1)은 n형 불순물, 예컨대 인(P)을 함유하고, 그 농도프로파일은 10^{14} cm^{-3} 정도이면서 대강 일정하게 되어 있다. p형 불순물층(2)은 반도체기판(1)의 표면영역에 형성되고, p형 불순물, 예컨대 보론(B)을 함유하고 있다. p형 불순물층(2)의 깊이는 반도체기판(1)의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p형 불순물층(2)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3} 의 범위로 설정된다.

p형 불순물층(2)내에는 p^+ 형 접촉층(4)이 형성되고, p^+ 형 접촉층(4)상에는 전극(3)이 형성된다. p^+ 형 접촉층(4)은 p형 불순물층(2)과 전극(3)의 사이에 배치되고, p형 불순물층(2)보다도 높은 불순물농도를 갖는다. 예컨대, p^+ 형 접촉층(4)은 보론(B), 불화보론(BF_2) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p^+ 형 접촉층(4)의 깊이는 반도체기판(1)의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 전극(3)은, 예컨대 알루미늄으로 구성된다.

더욱이, 본 예에서는, 전극(3)과 p^+ 형 접촉층(4)의 사이에 실리사이드층(5)이 형성된다. 실리사이드층(5)은, 예컨대 열처리에 의해 전극(3)을 구성하는 원자(예컨대, 알루미늄)가 반도체기판(1)을 구성하는 원자(실리콘)와 반응함으로써 형성된다.

실리사이드층(5)의 반도체기판(1) 표면으로부터의 깊이는, p^+ 형 접촉층(4)의 반도체기판(1)의 표면으로부터의 깊이와 같거나, 또는 그 보다도 얕아지도록 설정된다. 본 예에서는, p^+ 형 접촉층(4)의 깊이가 반도체기판(1)의 표면으로부터 0.2㎛ 이하로 설정되기 때문에, 실리사이드층(5)의 깊이도 반도체기판(1)의 표면으로부터 0.2㎛ 이하로 설정된다.

그런데, 접촉저항을 최대한으로 저감하기 위해서는, 실리사이드층(5)의 밑면의 위치가 p^+ 형 접촉층(4)의 농도프로파일의 피크위치와 일치하도록 설정한다. 즉, 본 발명에서는, p^+ 형 접촉층(4)의 가장 저항이 낮은 부분(농도프로파일의 피크위치)과 전극(3)을 실리사이드층(5)에 의해 전기적으로 접속하여 접촉저항의 저감을 도모한다.

이러한 전극접촉구조에 의하면, 먼저 p형 불순물층(2)은 낮은 불순물농도를 갖고, 또한 그 깊이는 반도체기판(1)의 표면으로부터 1.0㎛ 이하로 충분히 얇게 설정되어 있다. 이 때문에, 예컨대 이 전극접촉구조를 IGBT의 콜렉터전극(애노드전극)에 적용한 경우에는, 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p형 불순물층(2)과 전극(3)의 사이에는, p형 불순물층(2)보다도 높은 불순물농도를 갖는 p^+ 형 접촉층(4)이 배치된다. 이 p^+ 형 접촉층(4)의 깊이는, 반도체기판(1)의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^+ 형 접촉층(4)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^+ 형 접촉층(4)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p^+ 형 접촉층(4)은 충분히 높은 불순물농도를 갖고, 또한 전극(3)과 p^+ 형 접촉층(4)의 사이에는 실리사이드층(5)이 형성된다. 또, 실리사이드층(5)의 밑면 의 위치는, p^+ 형 접촉층(4)의 농도프로파일의 피크위치와 일치하도록 설정된다. 이 때문에, 전극접촉부의 접촉저항도 저감된다.

한편, 도 12는 p^+ 형 접촉층(4)의 농도프로파일의 피크위치가 반도체기판(1)의 표면으로부터 0.04㎛인 경우의 실리사이드층(5)의 두께(반도체기판(1)의 표면으로부터의 깊이)와 콜렉터-에미터간의 포화전압 Vce(sat)와의 관계를 나타내고 있다.

동도에 의하면, 실리사이드층(5)의 밑면의 위치(두께)가 p^+ 형 접촉층(4)의 농도프로파일의 피크위치와 일치하는 경우, 즉 0.04㎛인 경우에, 콜렉터-에미터간의 포화전압 Vce(sat)이 가장 작음을 알 수 있다. 이는, 실리사이드층(5)의

밑면의 위치(두께)가 p^{+}형 접촉층(4)의 농도프로파일의 피크위치와 일치할 때에, 접촉저항이 가장 낮아지는 것을 의미하고 있다.

이와 같이, 본 발명에 따른 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시형태에서는, 반도체기판(1)이 n형이고, 불순물층(2) 및 접촉층(4)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 불순물층(2) 및 접촉층(4)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 2에 나타낸 전극접촉부의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨 대, 실리콘기판; 1)을 준비한다. 이온주입법에 의해, 반도체기판(1)내에 p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 표면으로부터의 깊이가 약 0.8㎛의 p형 불순물층(예컨대, p형 에미터층; 2)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)내의 p형 불순물층(2)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 표면으로부터의 깊이가 약 0.16㎛의 p^{+}형 접촉층(4)이 형성된다.

p^{+}형 접촉층(4)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p^{+}형 접촉층(4)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF_2)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p형 불순물층(2)에 주입하여 p^{+}형 접촉층(4)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 표면부, 즉 p^{+}형 접촉층(4)의 표면부에 형성된 열산화막을 제거한다. 이 후, 스퍼터법이나 CVD법 등의 방법을 이용하여, p^{+}형 접촉층(4)상에 알루미늄 등의 금속으로 구성되고, 두께가 약 0.05㎛의 전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(실리콘기판; 1)내, 즉 p^{+}형 접촉층(4)내에 확산시켜 실리사이드층(5)을 형성한다.

여기서, 실리사이드층(5)의 두께(반도체기판(1)의 표면으로부터의 깊이)는 반도체기판(1)의 표면으로부터 p^{+}형 접촉층(4)의 농도프로파일의 피크위치까지의 두께와 실질적으로 같게 한다

예컨대, p^{+}형 접촉층(4)의 농도프로파일의 피크가 반도체기판(1)의 표면으로부터 약 0.04㎛의 위치에 있는 경우에는, 실리사이드층(5)의 두께도 약 0.04㎛로 한다.

이에 따라, 전극접촉부에서의 전극(3)과 p형 불순물층(2)의 접촉저항을 저감시킨다.

이상의 제조방법에 의해, 본 발명에 따른 전극접촉부가 완성된다.

본 발명의 전극접촉구조에서는, 캐리어 주입효율은 p형 불순물층(2)의 깊이 및 불순물농도에 의해 대강 결정된다. 본 예에서는, p형 불순물층(2)의 농도프로 파일의 피크치는 10^{17} 10^{18} cm^{-3} 의 범위이고, 또한 그 깊이는 반도체기판(1)의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, 예컨대 이 전극접촉구조를 IGBT의 콜렉터전극에 적용한 경우에는, 턴오프시에 있어서의 캐리어 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p형 불순물층(2)과 전극(3)의 사이에는, p형 불순물층(2)보다도 높은 불순물농도를 갖는 p^{+}형 접촉층(4)이 배치된다. 이 p^{+}형 접촉층(4)의 깊이는, 반도체기판(1)의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^{+}형 접촉층(4)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^{+}형 접촉층(4)에 의해, 캐리어 주입효율이 증대되는 일은 없다. 또, p^{+}형 접촉층(4)의 농도프로파일의 피크치는 10^{19} cm^{-3} 정도로 설정되어 있기 때문에, 전극접촉부의 접촉저항도 저감된다.

더욱이, p^{+}형 접촉층(4)은 충분히 높은 불순물농도를 갖고, 또한 전극(3)과 p^{+}형 접촉층(4)의 사이에는 실리사이드층(5)이 형성된다. 또, 실리사이드층(5)의 밑면의 위치는 p^{+}형 접촉층(4)의 농도프로파일의 피크위치와 일치하도록 설정된다. 이 때문에, 전극접촉부의 접촉저항이 더 저감된다.

(실시예)

다음에는 상술한 제1 및 제2실시형태에 따른 반도체장치의 구체예, 즉 실시예에 대해 설명한다. 이하의 실시예에서는, 본 발명의 전극접촉부를 IGBT에 적용한 경우에 대해 설명한다.

먼저, IGBT에 대해 간단히 설명한다.

도 3은 IGBT의 일반적인 디바이스 구조를 나타내고 있다.

n형 반도체기판(실리콘기판; 1)은 n형 베이스층으로 된다. 반도체기판(1)의 일면 측에는 p형 베이스층(7)이 형성되고, p형 베이스층(7)내에는 n^{+}형 에미터층(8)이 형성된다.

반도체기판(1)의 일면 측의 표면영역에 있어서, n형 베이스층(1)과 n^{+}형 에미터층(8) 사이의 p형 베이스층(채널부; 7)상에는 절연층(9)을 매개로 해서 게이트전극(10)이 형성된다. 또, p형 베이스층(7)상 및 n^{+}형 에미터층(8)상에는, 이들 p형 베이스층(7) 및 n^{+}형 에미터층(8)에 접촉하는 에미터전극(11)이 형성된다.

반도체기판(1)의 타면 측에는, p^{+}형 에미터층(2)이 형성된다. 이 p^{+}형 에미터층(2)은 본 발명의 대상으로 되는 전극접촉부를 구성하는 p형 불순물층으로 된다. p^{+}형 에미터층(2)상에는 p^{+}형 에미터층(2)에 접촉하는 콜렉터전극(3)이 형성된다.

상술한 바와 같이, IGBT에 있어서는, p^{+}형 에미터층(2)과 콜렉터전극(3)의 접촉저항을 저감함과 더불어, p^{+}형 에미터층(2)으로부터 n형 베이스층(1)으로의 캐리어(정공)의 주입효율을 저감하여 턴오프를 고속화하는 것이 중요한

과제로 되고 있다.

본 발명의 전극접촉구조를 IGBT에 적용하면, 접촉저항의 저감과 캐리어 주입효율의 저감을 동시에 달성할 수 있다.

[A] 제1실시예

도 4는 본 발명의 제1실시예로서의 IGBT를 나타내고 있다.

이 실시예는, 상술한 제1실시형태에 따른 전극접촉구조에 대응하고 있다.

n형 반도체기판(n형 베이스층; 1)의 일면 측에는 p형 베이스층(7)이 형성되고, p형 베이스층(7)내에는 n^{+} 형 에미터층(8)이 형성된다. 반도체기판(1)의 일면 측의 표면영역에 있어서, n형 베이스층(1)과 n^{+} 형 에미터층(8) 사이의 p형 베이스층(채널부; 7)상에는 절연층(9)을 매개로 해서 게이트전극(10)이 형성된다. 또, p형 베이스층(7)상 및 n^{+} 형 에미터층(8)상에는, 이들 p형 베이스층(7) 및 n^{+} 형 에미터층(8)에 접촉하는 에미터전극(11)이 형성된다.

반도체기판(1)의 타면 측에는, p^{+} 형 에미터층(2)이 형성된다. p^{+} 형 에미터층(2)은 p형 불순물, 예컨대 보론(B)을 함유하고 있다. p^{+} 형 에미터층(2)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p^{+} 형 에미터층(2)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3} 의 범위로 설정된다.

p^{+} 형 에미터층(2)내에는 p^{++} 형 접촉층(4)이 형성되고, p^{++} 형 접촉층(4)상에는 콜렉터전극(3)이 형성된다. p^{++} 형 접촉층(4)은 p^{+} 형 에미터층(2)과 콜렉터전극(3)의 사이에 배치되고, p^{+} 형 에미터층(2)보다도 높은 불순물농도를 갖는다.

예컨대, p^{++} 형 접촉층(4)은 보론(B), 불화보론(BF_2) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p^{++} 형 접촉층(4)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 또 콜렉터전극(3)은, 예컨대 알루미늄으로 구성된다.

이러한 전극접촉구조에 의하면, 먼저 p^{+} 형 에미터층(2)은 낮은 불순물농도를 갖고, 또한 그 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, IGBT의 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p^{+} 형 에미터층(2)과 콜렉터전극(3)의 사이에는, p^{+} 형 에미터층(2)보다도 높은 불순물농도를 갖는 p^{++} 형 접촉층(4)이 배치된다. 이 p^{++} 형 접촉층(4)의 깊이 는, 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^{++} 형 접촉층(4)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^{++} 형 접촉층(4)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p^{++} 형 접촉층(4)은 충분히 높은 불순물농도를 갖고 있기 때문에, 전극접촉부의 접촉저항도 저감된다.

이와 같이, 본 발명에 따른 IGBT의 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시예에서는, 반도체기판(1)이 n형이고, 에미터층(2) 및 접촉층(4)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 에미터층(2) 및 접촉층(4)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 4에 나타낸 IGBT의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨대, 실리콘기판; 1)을 준비한다. 그리고, 반도체기판(1)의 일면 측에 p형 베이스층(7), n^{+} 형 에미터층(8), 절연층(9), 게이트전극(10) 및 에미터전극(11)을 각각 형성한다.

이 후, 이온주입법에 의해, 반도체기판(1)의 타면 측에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어 서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터 의 깊이가 약 0.8㎛의 p^{+} 형 에미터층(2)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)의 타면 측의 p^{+} 형 에미터층(2)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터의 깊이가 약 0.16㎛의 p^{++} 형 접촉층(4)이 형성된다.

p^{++} 형 접촉층(4)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p^{++} 형 접촉층(4)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF_2)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p^{+} 형 에미터층(2)에 주입하여 p^{++} 형 접촉층(4)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 타면 측의 표면부, 즉 p^{++} 형 접촉층(4)의 표면부에 형성된 열산화막을 제거한다. 이 후, 스퍼터법 이나 CVD법 등의 방법을 이용하여, p^{++} 형 접촉층(4)상에 알루미늄 등의 금속으로 구성되는 전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(1)내, 즉 p^{++} 형 접촉층(4)내에 확산시켜 콜렉터전극(3)과 p^{++} 형 접촉층(4)의 접촉저항을 저감시킨다.

이상의 제조방법에 의해, 본 발명에 따른 IGBT가 완성된다.

[B] 제2실시예

도 5는 본 발명의 제2실시예로서의 IGBT를 나타내고 있다.

이 실시예는, 상술한 제2실시형태에 따른 전극접촉구조에 대응하고 있다.

n형 반도체기판(n형 베이스층; 1)의 일면 측에는 p형 베이스층(7)이 형성되고, p형 베이스층(7)내에는 n^{+} 형 에미터층(8)이 형성된다. 반도체기판(1)의 일면 측의 표면영역에 있어서, n형 베이스층(1)과 n^{+} 형 에미터층(8) 사이의 p형 베이스층(채널부; 7)상에는 절연층(9)을 매개로 해서 게이트전극(10)이 형성된다. 또, p형 베이스층(7)상 및 n^{+} 형 에미터층(8)상에는, 이들 p형 베이스층(7) 및 n^{+} 형 에미터층(8)에 접촉하는 에미터전극(11)이 형성된다.

반도체기판(1)의 타면 측에는, p^{+} 형 에미터층(2)이 형성된다. p^{+} 형 에미터층(2)은 p형 불순물, 예컨대 보론(B)을 함유하고 있다. p^{+} 형 에미터층(2)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p^{+} 형 에미터층(2)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3} 의 범위로 설정된다.

p^{+} 형 에미터층(2)내에는 p^{++} 형 접촉층(4)이 형성되고, p^{++} 형 접촉층(4)상에는 콜렉터전극(3)이 형성된다. p^{++} 형 접촉층(4)은 p^{+} 형 에미터층(2)과 콜렉터전극(3)의 사이에 배치되고, p^{+} 형 에미터층(2)보다도 높은 불순물농도를 갖는다.

예컨대, p^{++} 형 접촉층(4)은 보론(B), 불화보론(BF_2) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p^{++} 형 접촉층(4)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 또 콜렉터전극(3)은, 예컨대 알루미늄으로 구성된다.

더욱이, 본 예에서는, 콜렉터전극(3)과 p^{++} 형 접촉층(4)의 사이에 실리사이드층(5)이 형성된다. 실리사이드층(5)은, 예컨대 열처리에 의해 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)가 반도체기판(1)을 구성하는 원자(실리콘)와 반응함으로써 형성된다.

실리사이드층(5)의 반도체기판(1)의 타면 측의 표면으로부터의 깊이는, p^{++} 형 접촉층(4)의 반도체기판(1)의 타면 측의 표면으로부터의 깊이와 같거나, 또는 그 보다도 얕아지도록 설정된다. 본 예에서는, p^{++} 형 접촉층(4)의 깊이가 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되기 때문에, 실리사이드층(5)의 깊이도 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정된다.

그런데, 접촉저항을 최대한으로 저감하기 위해서는, 실리사이드층(5)의 밑면의 위치가 p^{++} 형 접촉층(4)의 농도프로파일의 피크위치와 일치하도록 설정한다. 즉, 본 발명에서는, p^{++} 형 접촉층(4)의 가장 저항이 낮은 부분(농도프로파일의 피크위치)과 콜렉터전극(3)을 실리사이드층(5)에 의해 전기적으로 접속하여 접촉저항의 저감을 도모한다.

이러한 전극접촉구조에 의하면, 먼저 p^{+} 형 에미터층(2)은 낮은 불순물농도를 갖고, 또한 그 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, IGBT의 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p^{+} 형 에미터층(2)과 콜렉터전극(3)의 사이에는, p^{+} 형 에미터층(2)보다도 높은 불순물농도를 갖는 p^{++} 형 접촉층(4)이 배치된다. 이 p^{++} 형 접촉층(4)의 깊이 는, 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^{++} 형 접촉층(4)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^{++} 형 접촉층(4)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p^{++} 형 접촉층(4)은 충분히 높은 불순물농도를 갖고, 또한 콜렉터전극(3)과 p^{++} 형 접촉층(4)의 사이에는 실리사이드층(5)이 형성된다. 또, 실리사이드층(5)의 밑면의 위치는, p^{++} 형 접촉층(4)의 농도프로파일의 피크위치와 일치하도록 설정된다. 이 때문에, 전극접촉부의 접촉저항도 저감된다.

이와 같이, 본 발명에 따른 IGBT의 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시예에서는, 반도체기판(1)이 n형이고, 에미터층(2) 및 접촉층(4)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 에미터층(2) 및 접촉층(4)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 5에 나타낸 IGBT의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨대, 실리콘기판; 1)을 준비한다. 그리고, 반도체기판(1)의 일면 측에 p형 베이스층(7), n^{+} 형 에미터층(8), 절연층(9), 게이트전극(10) 및 에미터전극(11)을 각각 형성한다.

이 후, 이온주입법에 의해, 반도체기판(1)의 타면 측에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터 의 깊이가 약 0.8㎛의 p^{+} 형 에미터층(2)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)의 타면 측의 p^{+} 형 에미터층(2)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터의 깊이가 약 0.16㎛의 p^{++} 형 접촉층(4)이 형성된다.

p^{++} 형 접촉층(4)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p^{++} 형 접촉층(4)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF_2)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p^{+} 형 에 미터층(2)에 주입하여 p^{++} 형 접촉층(4)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 타면 측의 표면부, 즉 p^{++} 형 접촉층(4)의 표면부에 형성된 열산화막을 제거한다. 이 후, 스퍼터법이나 CVD법 등의 방법을 이용하여, p^{++} 형 접촉층(4)상에 알루미늄 등의 금속으로 구성되는 약 0.05㎛의 전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(1)내, 즉 p $^{++}$ 형 접촉층(4)내에 확산시켜 실리사이드층(5)을 형성한다. 여기서, 실리사이드층(5)의 두께(반도체기판(1)의 타면 측의 표면으로부터의 깊이)는 반도체기판(1)의 타면 측의 표면으로부터 p $^{++}$ 형 접촉층(4)의 농도프로파일의 피크위치까지의 두께와 실질적으로 같게 한다

예컨대, p $^{++}$ 형 접촉층(4)의 농도프로파일의 피크가 반도체기판(1)의 표면으로부터 약 0.04㎛의 위치에 있는 경우에는, 실리사이드층(5)의 두께도 약 0.04㎛로 한다.

이에 따라, 전극접촉부에서의 콜렉터전극(3)과 p $^{+}$ 형 에미터층(2)의 접촉저항을 저감시킨다.

또한, 실리사이드층(5)을 형성한 후에, 콜렉터전극(3)을 더 겹쳐 쌓아도 좋 다.

이상의 제조방법에 의해, 본 발명에 따른 IGBT가 완성된다.

[C] 제3실시예

본 예는, 도 6에 나타낸 바와 같은 서로 분리된 복수의 p $^{+}$ 형 에미터층(2A)을 갖춘 IGBT에, 상술한 제1실시형태에 따른 전극접촉구조를 적용한 것이다.

도 7은 본 발명의 제3실시예로서의 IGBT를 나타내고 있다.

n형 반도체기판(n형 베이스층; 1)의 일면 측에는 p형 베이스층(7)이 형성되고, p형 베이스층(7)내에는 n $^{+}$ 형 에미터층(8)이 형성된다. 반도체기판(1)의 일면 측의 표면영역에 있어서, n형 베이스층(1)과 n $^{+}$ 형 에미터층(8) 사이의 p형 베이스층(채널부; 7)상에는 절연층(9)을 매개로 해서 게이트전극(10)이 형성된다. 또, p형 베이스층(7)상 및 n $^{+}$ 형 에미터층(8)상에는, 이들 p형 베이스층(7) 및 n $^{+}$ 형 에미터층(8)에 접촉하는 에미터전극(11)이 형성된다.

반도체기판(1)의 타면 측에는, 서로 분리된 복수의 p $^{+}$ 형 에미터층(2A)이 형성된다. p $^{+}$ 형 에미터층(2A)은 p형 불순물, 예컨대 보론(B)을 함유하고 있다. p $^{+}$ 형 에미터층(2A)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p $^{+}$ 형 에미터층(2A)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3}의 범위로 설정된다.

p $^{+}$ 형 에미터층(2A)내에는 p $^{++}$ 형 접촉층(4A)이 형성되고, p $^{++}$ 형 접촉층(4A)상에는 콜렉터전극(3)이 형성된다. 또, 반도체기판(1)의 타면 측에 노출하는 n형 베이스층(반도체기판; 1)상에는 절연층(6)이 형성된다. 따라서, 콜렉터전극(3)은 복수의 p $^{+}$ 형 에미터층(2A)에 전기적으로 접속되지만, n형 베이스층(1)에는 전기적으로 접속되지 않는다.

한편, p $^{++}$ 형 접촉층(4A)은 p $^{+}$ 형 에미터층(2A)과 콜렉터전극(3)의 사이에 배치되고, p $^{+}$ 형 에미터층(2A)보다도 높은 불순물농도를 갖는다.

예컨대, p $^{++}$ 형 접촉층(4A)은 보론(B), 불화보론(BF_2) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p $^{++}$ 형 접촉층(4A)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 또 콜렉터전극(3)은, 예컨대 알루미늄으로 구성된다.

이러한 전극접촉구조에 의하면, 먼저 복수의 p $^{+}$ 형 에미터층(2A)은 낮은 불순물농도를 갖고, 또한 그 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, IGBT의 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

여기서, 캐리어의 주입효율은 p $^{+}$ 형 에미터층(2A)의 깊이나 접촉비(W1/W2)에 의해 제어할 수 있다.

또, p $^{+}$ 형 에미터층(2A)과 콜렉터전극(3)의 사이에는, p $^{+}$ 형 에미터층(2A)보다도 높은 불순물농도를 갖는 p $^{++}$ 형 접촉층(4A)이 배치된다. 이 p $^{++}$ 형 접촉층(4A)의 깊이는, 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p $^{++}$ 형 접촉층(4A)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p $^{++}$ 형 접촉층(4A)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p $^{++}$ 형 접촉층(4A)은 충분히 높은 불순물농도를 갖고 있기 때문에, 전극접촉부의 접촉저항도 저감된다.

이와 같이, 본 발명에 따른 IGBT의 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시예에서는, 반도체기판(1)이 n형이고, 에미터층(2A) 및 접촉층(4A)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 에미터층(2A) 및 접촉층(4A)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 7에 나타낸 IGBT의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨대, 실리콘기판; 1)을 준비한다. 그리고, 반도체기판(1)의 일면 측에 p형 베이스 층(7), n $^{+}$ 형 에미터층(8), 절연층(9), 게이트전극(10) 및 에미터전극(11)을 각각 형성한다.

이 후, 이온주입법에 의해, 반도체기판(1)의 타면 측에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터 의 깊이가 약 0.8㎛의 복수의 p $^{+}$ 형 에미터층(2A)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)의 타면 측의 p $^{+}$ 형 에미터층(2A)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터의 깊이가 약 0.16㎛의 p $^{++}$ 형 접촉층(4A)이 형성된다.

p $^{++}$ 형 접촉층(4A)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p $^{++}$ 형 접촉층(4A)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF_2)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p^+ 형 에미터층(2A)에 주입하여 p^{++} 형 접촉층(4A)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 타면 측의 표면부, 즉 p^{++} 형 접촉층(4A)의 표면부에 형성된 열산화막을 제거한다. 이 후, 예컨대 CVD법을 이용하여, 반도체기판(1)의 타면 측에 절연층(6)을 형성한다. 또, PEP 및 RIE 등의 방법을 이용하여 절연층(6)을 패터닝하고, 절연층(6)에 p^{++} 형 접촉층(4A)에 도달하는 접촉구멍(contact hole)을 형성한다. 이 후, 스퍼터법이나 CVD법 등의 방법을 이용하여 복수의 p^{++} 형 접촉층(4A)에 접촉하는 콜렉터전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(1)내, 즉 p^{++} 형 접촉층(4A)내에 확산시켜 콜렉터전극(3)과 p^{++} 형 접촉층(4A)의 접촉저항을 저감시킨다.

이상의 제조방법에 의해, 본 발명에 따른 IGBT가 완성된다.

[D] 제4실시예

본 예는, 도 6에 나타낸 바와 같은 서로 분리된 복수의 p^+ 형 에미터층(2A)을 갖춘 IGBT에, 상술한 제2실시형태에 따른 전극접촉구조를 적용한 것이다.

도 8은 본 발명의 제4실시예로서의 IGBT를 나타내고 있다.

n형 반도체기판(n형 베이스층; 1)의 일면 측에는 p형 베이스층(7)이 형성되고, p형 베이스층(7)내에는 n^+ 형 에미터층(8)이 형성된다. 반도체기판(1)의 일면 측의 표면영역에 있어서, n형 베이스층(1)과 n^+ 형 에미터층(8) 사이의 p형 베이스층(채널부; 7)상에는 절연층(9)을 매개로 해서 게이트전극(10)이 형성된다. 또, p형 베이스층(7)상 및 n^+ 형 에미터층(8)상에는, 이들 p형 베이스층(7) 및 n^+ 형 에미터층(8)에 접촉하는 에미터전극(11)이 형성된다.

반도체기판(1)의 타면 측에는, 복수의 p^+ 형 에미터층(2A)이 형성된다. p^+ 형 에미터층(2A)은 p형 불순물, 예컨대 보론(B)을 함유하고 있다. p^+ 형 에미터층(2A)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p^+ 형 에미터층(2)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3}의 범위로 설정된다.

p^+ 형 에미터층(2A)내에는 p^{++} 형 접촉층(4A)이 형성되고, p^{++} 형 접촉층(4A)상에는 콜렉터전극(3)이 형성된다. 또, 반도체기판(1)의 타면 측에 노출하는 n형 베이스층(반도체기판; 1)상에는 절연층(6)이 형성된다. 따라서, 콜렉터전극(3)은 복수의 p^+ 형 에미터층(2A)에 전기적으로 접속되지만, n형 베이스층(1)에는 전기적으로 접속되지 않는다.

한편, p^{++} 형 접촉층(4A)은 p^+ 형 에미터층(2A)과 콜렉터전극(3)의 사이에 배치되고, p^+ 형 에미터층(2A)보다도 높은 불순물농도를 갖는다.

예컨대, p^{++} 형 접촉층(4A)은 보론(B), 불화보론(BF_2) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p^{++} 형 접촉층(4A)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 또 콜렉터전극(3)은, 예컨대 알루미늄으로 구성된다.

더욱이, 본 예에서는, 콜렉터전극(3)과 p^{++} 형 접촉층(4A)의 사이에 실리사이드층(5)이 형성된다. 실리사이드층(5)은, 예컨대 열처리에 의해 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)가 반도체기판(1)을 구성하는 원자(실리콘)와 반응함으로써 형성된다.

실리사이드층(5)의 반도체기판(1)의 타면 측의 표면으로부터의 깊이는, p^{++} 형 접촉층(4A)의 반도체기판(1)의 타면 측의 표면으로부터의 깊이와 같거나, 또는 그 보다도 얕아지도록 설정된다. 본 예에서는, p^{++} 형 접촉층(4A)의 깊이가 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되기 때문에, 실리사이드층(5)의 깊이도 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정된 다.

그런데, 접촉저항을 최대한으로 저감하기 위해서는, 실리사이드층(5)의 밑면의 위치가 p^{++} 형 접촉층(4A)의 농도프로파일의 피크위치와 일치하도록 설정한다. 즉, 본 발명에서는, p^{++} 형 접촉층(4A)의 가장 저항이 낮은 부분(농도프로파일의 피크위치)과 콜렉터전극(3)을 실리사이드층(5)에 의해 전기적으로 접속하여 접촉저항의 저감을 도모한다.

이러한 전극접촉구조에 의하면, 먼저 p^+ 형 에미터층(2A)은 낮은 불순물농도를 갖고, 또한 그 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, IGBT의 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

여기서, 캐리어의 주입효율은 p^+ 형 에미터층(2A)의 깊이나 접촉비(W1/W2)에 의해 제어할 수 있다.

또, p^+ 형 에미터층(2A)과 콜렉터전극(3)의 사이에는, p^+ 형 에미터층(2A)보다도 높은 불순물농도를 갖는 p^{++} 형 접촉층(4A)이 배치된다. 이 p^{++} 형 접촉층(4A)의 깊이는, 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^{++} 형 접촉층(4A)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^{++} 형 접촉층(4A)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p^{++} 형 접촉층(4A)은 충분히 높은 불순물농도를 갖고, 또한 콜렉터전극(3)과 p^{++} 형 접촉층(4A)의 사이에는 실리사이드층(5)이 형성된다. 또, 실리사이드층(5)의 밑면의 위치는, p^{++} 형 접촉층(4A)의 농도프로파일의 피크위치와 일치하도록 설정된다. 이 때문에, 전극접촉부의 접촉저항도 저감된다.

이와 같이, 본 발명에 따른 IGBT의 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시예에서는, 반도체기판(1)이 n형이고, 에미터층(2A) 및 접촉층(4A)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 에미터층(2A) 및 접촉층(4A)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 8에 나타낸 IGBT의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨대, 실리콘기판; 1)을 준비한다. 그리고, 반도체기판(1)의 일면 측에 p형 베이스층(7), n^{+}형 에미터층(8), 절연층(9), 게이트전극(10) 및 에미터전극(11)을 각각 형성한다.

이 후, 이온주입법에 의해, 반도체기판(1)의 타면 측에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터 의 깊이가 약 0.8㎛의 복수의 p^{+}형 에미터층(2A)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)의 타면 측의 p^{+}형 에미터층(2A)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터의 깊이가 약 0.16㎛의 p^{++}형 접촉층(4A)이 형성된다.

p^{++}형 접촉층(4A)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p^{++}형 접촉층(4A)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF_2)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p^{+}형 에미터층(2A)에 주입하여 p^{++}형 접촉층(4A)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 타면 측의 표면부, 즉 p^{++}형 접촉층(4A)의 표면부에 형성된 열산화막을 제거한다. 이 후, 예컨대 CVD법을 이용하여, 반도체기판(1)의 타면 측에 절연층(6)을 형성한다. 또, PEP 및 RIE 등의 방법을 이용하여 절연층(6)을 패터닝하고, 절연층(6)에 p^{++}형 접촉층(4A)에 도달하는 접촉구멍을 형성한다. 이 후, 스퍼터법이나 CVD법 등의 방법을 이용하여 p^{++}형 접촉층(4A)상에 약 0.05㎛의 전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(1)내, 즉 p^{++}형 접촉층(4A)내에 확산시켜 실리사이드층(5)을 형성한다. 여기서, 실리사이드층(5)의 두께(반도체기판(1)의 타면 측의 표면으로부터의 깊이)는 반도체기판(1)의 타면 측의 표면으로부터 p^{++}형 접촉층(4A)의 농도프로파일의 피크위치까지의 두께와 실질적으로 같게 한다

예컨대, p^{++}형 접촉층(4A)의 농도프로파일의 피크가 반도체기판(1)의 표면으로부터 약 0.04㎛의 위치에 있는 경우에는, 실리사이드층(5)의 두께도 약 0.04㎛로 한다.

이에 따라, 전극접촉부에서의 콜렉터전극(3)과 p^{+}형 에미터층(2A)의 접촉저항을 저감시킨다.

또한, 실리사이드층(5)을 형성한 후에, 콜렉터전극(3)을 더 겹쳐 쌓아도 좋다.

이상의 제조방법에 의해, 본 발명에 따른 IGBT가 완성된다.

[E] 제5실시예

본 예는, 도 9에 나타낸 바와 같은 이른바 콜렉터 쇼트(short: 단락)형(또는 애노드 쇼트형) IGBT에, 상술한 제1실시형태에 따른 전극접촉구조를 적용한 것이다.

도 10은 본 발명의 제5실시예로서의 IGBT를 나타내고 있다.

n형 반도체기판(n형 베이스층; 1)의 일면 측에는 p형 베이스층(7)이 형성되고, p형 베이스층(7)내에는 n^{+}형 에미터층(8)이 형성된다. 반도체기판(1)의 일면 측의 표면영역에 있어서, n형 베이스층(1)과 n^{+}형 에미터층(8) 사이의 p형 베이스층(채널부; 7)상에는 절연층(9)을 매개로 해서 게이트전극(10)이 형성된다. 또, p형 베이스층(7)상 및 n^{+}형 에미터층(8)상에는, 이들 p형 베이스층(7) 및 n^{+}형 에미터층(8)에 접촉하는 에미터전극(11)이 형성된다.

반도체기판(1)의 타면 측에는, 복수의 p^{+}형 에미터층(2B) 및 복수의 n^{+}형 베이스층(12)이 형성된다. p^{+}형 에미터층(2B)은 p형 불순물, 예컨대 보론(B)을 함유하고 있다. p^{+}형 에미터층(2B)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p^{+}형 에미터층(2B)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3} 의 범위로 설정된다.

p^{+}형 에미터층(2B)내에는 p^{++}형 접촉층(4B)이 형성되고, p^{++}형 접촉층(4B)상에는 콜렉터전극(3)이 형성된다. 또, p^{++}형 접촉층(4B)은 p^{+}형 에미터층(2B)과 콜렉터전극(3)의 사이에 배치되고, p^{+}형 에미터층(2B)보다도 높은 불순물농도를 갖는다.

예컨대, p^{++}형 접촉층(4B)은 보론(B), 불화보론(BF_2) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p^{++}형 접촉층(4B)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 또 콜렉터전극(3)은, 예컨대 알루미늄으로 구성된다.

이러한 전극접촉구조에 의하면, 먼저 복수의 p^{+}형 에미터층(2B)은 낮은 불순물농도를 갖고, 또한 그 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, IGBT의 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p^{+}형 에미터층(2B)과 콜렉터전극(3)의 사이에는, p^{+}형 에미터층(2B)보다도 높은 불순물농도를 갖는 p^{++}형 접촉층(4B)이 배치된다. 이 p^{++}형 접촉층(4B)의 깊이는, 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되어 있기 때문에, 이 p^{++}형 접촉층(4B)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^{++}형 접촉층(4B)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p^{++}형 접촉층(4B)은 충분히 높은 불순물농도를 갖고 있기 때문에, 전극접촉부의 접촉저항도 저감된다.

이와 같이, 본 발명에 따른 IGBT의 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시예에서는, 반도체기판(1)이 n형이고, 에미터층(2B) 및 접촉층(4B)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 에미터층(2B) 및 접촉층(4B)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 10에 나타낸 IGBT의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨대, 실리콘기판; 1)을 준비한다. 그리고, 반도체기판(1)의 일면 측에 p형 베이스층(7), n^+ 형 에미터층(8), 절연층(9), 게이트전극(10) 및 에미터전극(11)을 각각 형성한다.

이 후, 이온주입법에 의해, 반도체기판(1)의 타면 측에, n형 불순물, 예컨대 인(P)을 주입하고, 또한 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면영역에 n^+ 형 베이스층(12)이 형성된다.

또, 이온주입법에 의해, 반도체기판(1)의 타면 측에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터 의 깊이가 약 0.8㎛의 복수의 p^+ 형 에미터층(2B)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)의 타면 측의 p^+ 형 에미터층(2B)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터의 깊이가 약 0.16㎛의 p^{++} 형 접촉층(4B)이 형성된다.

p^{++} 형 접촉층(4B)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p^{++} 형 접촉층(4B)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF_2)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p^+ 형 에미터층(2B)에 주입하여 p^{++} 형 접촉층(4B)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 타면 측의 표면부, 즉 p^{++} 형 접촉층(4B)의 표면부에 형성된 열산화막을 제거한다. 이 후, 스퍼터법이나 CVD법 등의 방법을 이용하여 복수의 p^{++} 형 접촉층(4B) 및 n^+ 형 베이스층(12)에 접촉하는 콜렉터전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(1)내, 즉 p^{++} 형 접촉층(4B)내 및 n^+ 형 베이스층(12)내에 확산시켜 콜렉터전극(3)과 p^{++} 형 접촉층(4B)의 접촉저항 및 콜렉터전극(3)과 n^+ 형 베이스층(12)의 접촉저항을 저감시킨다.

이상의 제조방법에 의해, 본 발명에 따른 IGBT가 완성된다.

[F] 제6실시예

본 예는, 도 9에 나타낸 바와 같은 이른바 콜렉터 쇼트형(또는 애노드 쇼트형) IGBT에, 상술한 제2실시형태에 따른 전극접촉구조를 적용한 것이다.

도 11은 본 발명의 제6실시예로서의 IGBT를 나타내고 있다.

n형 반도체기판(n형 베이스층; 1)의 일면 측에는 p형 베이스층(7)이 형성되고, p형 베이스층(7)내에는 n^+ 형 에미터층(8)이 형성된다. 반도체기판(1)의 일면 측의 표면영역에 있어서, n형 베이스층(1)과 n^+ 형 에미터층(8) 사이의 p형 베이스층(채널부; 7)상에는 절연층(9)을 매개로 해서 게이트전극(10)이 형성된다. 또, p형 베이스층(7)상 및 n^+ 형 에미터층(8)상에는, 이들 p형 베이스층(7) 및 n^+ 형 에미터층(8)에 접촉하는 에미터전극(11)이 형성된다.

반도체기판(1)의 타면 측에는, 복수의 p^+ 형 에미터층(2B) 및 n^+ 형 베이스층(12)이 형성된다. p^+ 형 에미터층(2B)은 p형 불순물, 예컨대 보론(B)을 함유하고 있다. p^+ 형 에미터층(2B)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하, 예컨대 0.8㎛정도로 설정된다. 또, p^+ 형 에미터층(2B)의 농도프로파일의 피크치는 10^{17}
10^{18} cm^{-3} 의 범위로 설정된다.

p^+ 형 에미터층(2B)내에는 p^{++} 형 접촉층(4B)이 형성되고, p^{++} 형 접촉층(4B)상 및 n^+ 형 베이스층(12)상에는 콜렉터전극(3)이 형성된다. 또, p^{++} 형 접촉층(4B)은 p^+ 형 에미터층(2B)과 콜렉터전극(3)의 사이에 배치되고, p^+ 형 에미터층(2B)보다도 높은 불순물농도를 갖는다.

예컨대, p^{++} 형 접촉층(4B)은 보론(B), 불화보론(BF_2) 등의 p형 불순물을 함유하고, 그 농도프로파일의 피크치는 10^{19} cm^{-3} 이상, 그 표면농도는 10^{18} cm^{-3} 이상으로 설정된다. 또, p^{++} 형 접촉층(4B)의 깊이는 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하, 예컨대 0.16㎛정도로 설정된다. 또 콜렉터전극(3)은, 예컨대 알루 미늄으로 구성된다.

더욱이, 본 예에서는, 콜렉터전극(3)과 p^{++} 형 접촉층(4B)의 사이 및 콜렉터전극(3)과 n^+ 형 베이스층(12)의 사이에 실리사이드층(5)이 형성된다. 실리사이드층(5)은, 예컨대 열처리에 의해 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)가 반도체기판(1)을 구성하는 원자(실리콘)와 반응함으로써 형성된다.

실리사이드층(5)의 반도체기판(1)의 타면 측의 표면으로부터의 깊이는, p^{++} 형 접촉층(4B)의 반도체기판(1)의 타면 측의 표면으로부터의 깊이와 같거나, 또는 그 보다도 얕아지도록 설정된다. 본 예에서는, p^{++} 형 접촉층(4B)의 깊이가 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정되기 때문에, 실리사이드층(5)의 깊이도 반도체기판(1)의 타면 측의 표면으로부터 0.2㎛ 이하로 설정된다.

그런데, 접촉저항을 최대한으로 저감하기 위해서는, 실리사이드층(5)의 밑면의 위치가 p^{++} 형 접촉층(4B)의 농도프로파일의 피크위치와 일치하도록 설정한다. 즉, 본 발명에서는, p^{++} 형 접촉층(4B)의 가장 저항이 낮은 부분(농도프로파일의 피크위치)과 콜렉터전극(3)을 실리사이드층(5)에 의해 전기적으로 접속하여 접촉저항의 저감을 도모한다.

이러한 전극접촉구조에 의하면, 먼저 p^+ 형 에미터층(2B)은 낮은 불순물농도 를 갖고, 또한 그 깊이는 반도체기판(1)의 타면 측의 표면으로부터 1.0㎛ 이하로 충분히 얕게 설정되어 있다. 이 때문에, IGBT의 턴오프시에 있어서의 캐리

어(정공)의 주입효율을 저감할 수 있고, 턴오프를 고속화할 수 있다.

또, p^+ 형 에미터층(2B)과 콜렉터전극(3)의 사이에는, p^+ 형 에미터층(2B)보다도 높은 불순물농도를 갖는 p^{++} 형 접촉층(4B)이 배치된다. 이 p^{++} 형 접촉층(4B)의 깊이는, 반도체기판(1)의 타면 측의 표면으로부터 0.2μm 이하로 설정되어 있기 때문에, 이 p^{++} 형 접촉층(4B)이 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 즉, p^{++} 형 접촉층(4B)에 의해 캐리어 주입효율이 증대되는 일은 없다.

또, p^{++} 형 접촉층(4B)은 충분히 높은 불순물농도를 갖고, 또한 콜렉터전극(3)과 p^{++} 형 접촉층(4B)의 사이 및 콜렉터전극(3)과 n^+ 형 베이스층(12)의 사이에는 실리사이드층(5)이 형성된다. 또, 실리사이드층(5)의 밑면의 위치는, p^{++} 형 접촉층(4B)의 농도프로파일의 피크위치와 일치한다. 이 때문에, 전극접촉부의 접촉저항도 저감된다.

이와 같이, 본 발명에 따른 IGBT의 전극접촉부에 의하면, 접촉저항을 충분히 낮출 수 있는 동시에, 캐리어 주입효율의 저감도 동시에 달성할 수 있다.

또한, 상술한 실시예에서는, 반도체기판(1)이 n형이고, 에미터층(2B) 및 접촉층(4B)이 p형이었지만, 그 대신에 반도체기판(1)을 p형으로 하고, 에미터층(2B) 및 접촉층(4B)을 n형으로 해도, 마찬가지의 효과가 얻어진다.

다음에는 도 11에 나타낸 IGBT의 제조방법에 대해 설명한다.

먼저, 예컨대 1.5×10^{14} cm^{-2} 정도의 불순물농도를 갖는 n형 반도체기판(예컨대, 실리콘기판; 1)을 준비한다. 그리고, 반도체기판(1)의 일면 측에 p형 베이스층(7), n^+ 형 에미터층(8), 절연층(9), 게이트전극(10) 및 에미터전극(11)을 각각 형성한다.

이 후, 이온주입법에 의해, 반도체기판(1)의 타면 측에, n형 불순물, 예컨대 인(P)을 주입하고, 또한 열확산처리를 행함으로써 n^+ 형 베이스층(12)을 형성한다.

또, 이온주입법에 의해, 반도체기판(1)의 타면 측에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 60keV정도, 도즈량 1×10^{13} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 1050℃의 질소분위기중에 있어서 시간 약 20분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터 의 깊이가 약 0.8μm의 복수의 p^+ 형 에미터층(2B)이 형성된다.

다음에, 이온주입법에 의해, 반도체기판(1)의 타면 측의 p^+ 형 에미터층(2B)내에, p형 불순물, 예컨대 보론(B)을 주입한다. 이때의 이온주입조건은, 예컨대 가속전압 10keV정도, 도즈량 1×10^{14} cm^{-2} 정도로 설정된다. 이 후, 예컨대 온도 약 800℃의 질소분위기중에 있어서 시간 약 30분의 열확산처리를 행하면, 반도체기판(1)의 타면 측의 표면으로부터의 깊이가 약 0.16μm의 p^{++} 형 접촉층(4B)이 형성된다.

p^{++} 형 접촉층(4B)은, 그 깊이가 대단히 얕고 또한 그 불순물농도가 대단히 높게 설정되어 있다. 따라서, 상술한 바와 같이 가속전압을 낮게 설정하고, 도즈량을 높게 설정하며, 또한 열확산처리의 시간을 짧게 하면, 얕으면서 불순물농도가 낮은 p^{++} 형 접촉층(4B)을 제공할 수 있다.

다만, 예컨대 p형 불순물을 보론(B)으로부터 불화보론(BF_2)으로 바꾸고(가벼운 원소로부터 무거운 원소로 변경한다), 이 불화보론을 반도체기판(1)내의 p^+ 형 에미터층(2B)에 주입하여 p^{++} 형 접촉층(4B)을 형성해도 좋다.

다음으로, 예컨대 불화안티몬을 이용하여 반도체기판(1)의 타면 측의 표면부, 즉 p^{++} 형 접촉층(4B)의 표면부에 형성된 열산화막을 제거한다. 이 후, 스퍼터법이나 CVD법 등의 방법을 이용하여 복수의 p^{++} 형 접촉층(4B)상 및 n^+ 형 베이스층(12)상에 약 0.05μm의 전극(3)을 형성한다.

이 후, 예컨대 온도 약 450℃의 질소분위기중에 있어서, 시간 약 30분의 열처리를 행하여 콜렉터전극(3)을 구성하는 원자(예컨대, 알루미늄)를, 반도체기판(1)내, 즉 p^{++} 형 접촉층(4B)내 및 n^+ 형 베이스층(12)내에 확산시켜 실리사이드층(5)을 형성한다. 여기서, 실리사이드층(5)의 두께(반도체기판(1)의 타면 측 의 표면으로부터의 깊이)는 반도체기판(1)의 타면 측의 표면으로부터 p^{++} 형 접촉층(4B)의 농도프로파일의 피크위치까지의 두께와 실질적으로 같게 한다

예컨대, p^{++} 형 접촉층(4B)의 농도프로파일의 피크가 반도체기판(1)의 표면으로부터 약 0.04μm의 위치에 있는 경우에는, 실리사이드층(5)의 두께도 약 0.04μm로 한다.

이에 따라, 전극접촉부에서의 콜렉터전극(3)과 p^+ 형 에미터층(2B)의 접촉저항 및 콜렉터전극(3)과 n^+ 형 베이스층(12)의 접촉저항을 저감시킨다.

또한, 실리사이드층(5)을 형성한 후에, 콜렉터전극(3)을 더 겹쳐 쌓아도 좋다.

이상의 제조방법에 의해, 본 발명에 따른 IGBT가 완성된다.

발명의 효과

이상 설명한 바와 같이 본 발명에 의하면, p형 불순물층(p^+ 형 에미터층)의 농도프로파일의 피크치는 10^{17} 10^{18} cm^{-3} 의 범위이고, 또한 그 깊이는 반도체기판의 표면으로부터 1.0μm 이하로 충분히 얕게 설정되어 있다. 이 때문에, 예컨대 IGBT의 턴오프시에 있어서의 캐리어(정공)의 주입효율을 저감할 수 있고, IGBT의 턴오프를 고속화할 수 있다.

또, p형 불순물층(p^+ 형 에미터층)과 전극의 사이에는, p형 불순물층보다도 높은 불순물농도를 갖는 p^+ 형 접촉층이 배치된다. 이 p^+ 형 접촉층의 깊이는, 반도체기판의 표면으로부터 0.2μm 이하로 설정되어 있기 때문에, 이 p^+ 형 접촉층이 IGBT의 턴오프시에 있어서의 캐리어 주입효율에 영향을 주는 일은 없다. 또, p^+ 형 접촉층의 농도프로파일의 피크치는 10^{19} cm^{-3} 정도로 설정되어 있기 때문에, 전극접촉부의 접촉저항도 저감된다.

더욱이, p^+ 형 접촉층은 충분히 높은 불순물농도를 갖고, 또한 전극과 p^+ 형 접촉층의 사이에는 실리사이드층이 형성된다. 또, 실리사이드층의 밑면의 위치는 p^+ 형 접촉층의 농도프로파일의 피크위치와 실질적으로 일치하도록 설정된다. 이 때문에, 전극접촉부의 접촉저항이 더 저감된다.

(57) 청구의 범위

청구항 1.

제1도전형의 반도체기판과,
상기 반도체기판의 일면 측에 형성되고, 상기 반도체기판의 표면으로부터 1.0㎛ 이하의 두께를 갖는 제2도전형의 불순물층,
상기 불순물층내에 형성되고, 상기 반도체기판의 표면으로부터 0.2㎛ 이하의 두께를 가지며, 상기 불순물층의 두께보다도 얇고, 상기 불순물층의 불순물농도보다도 진한 제2도전형의 접촉층 및,
상기 접촉층상에 형성되는 제1전극을 구비한 것을 특징으로 하는 반도체장치.

청구항 2.

제1항에 있어서, 상기 불순물층은 상기 불순물층으로부터 상기 반도체기판으로 캐리어를 주입하는 것을 목적으로 형성되고, 상기 접촉층은 상기 제1전극과 상기 불순물층의 접촉저항을 낮추는 것을 목적으로 형성되며 상기 캐리어의 주입에 기여하지 않는 것을 특징으로 하는 반도체장치.

청구항 3.

제1항에 있어서, 상기 반도체기판의 타면 측에 형성되는 제2전극을 더 구비하고, 상기 제1전극과 상기 제2전극의 사이에 전류가 흐르는 것을 특징으로 하는 반도체장치.

청구항 4.

제3항에 있어서, 상기 반도체장치는 IGBT인 것을 특징으로 하는 반도체장치.

청구항 5.

제1항에 있어서, 상기 불순물층은 상기 반도체기판의 일면 측의 전체에 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 6.

제1항에 있어서, 상기 불순물층은 상기 반도체기판의 일면 측의 일부분에 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 7.

제1도전형의 반도체기판과,
상기 반도체기판의 일면 측에 형성되는 제2도전형의 불순물층,
상기 불순물층내에 형성되고, 상기 불순물층의 두께보다도 얇으며, 상기 불순물층의 불순물농도보다도 진한 제2도전형의 접촉층,
상기 접촉층상에 형성되는 제1전극 및,
상기 제1전극과 상기 접촉층의 사이에 형성되는 실리사이드층을 구비하고,
상기 실리사이드층의 상기 접촉층 측의 면은 상기 접촉층의 농도프로파일의 피크위치와 실질적으로 일치하고 있는 것을 특징으로 하는 반도체장치.

청구항 8.

제7항에 있어서, 상기 불순물층은 상기 불순물층으로부터 상기 반도체기판으로 캐리어를 주입하는 것을 목적으로 형성되고, 상기 접촉층은 상기 제1전극과 상기 불순물층의 접촉저항을 낮추는 것을 목적으로 형성되며 상기 캐리어의 주입에 기여하지 않는 것을 특징으로 하는 반도체장치.

청구항 9.

제7항에 있어서, 상기 반도체기판의 타면 측에 형성되는 제2전극을 더 구비하고, 상기 제1전극과 상기 제2전극의 사이에 전류가 흐르는 것을 특징으로 하는 반도체장치.

청구항 10.

제9항에 있어서, 상기 반도체장치는 IGBT인 것을 특징으로 하는 반도체장치.

청구항 11.

제7항에 있어서, 상기 불순물층은 상기 반도체기판의 표면으로부터 1.0㎛ 이하의 두께를 갖는 것을 특징으로 하는 반도체장치.

청구항 12.

제7항에 있어서, 상기 접촉층은 상기 반도체기판의 표면으로부터 0.2㎛ 이하의 두께를 갖는 것을 특징으로 하는 반도체장치.

청구항 13.

제7항에 있어서, 상기 실리사이드층은 상기 반도체기판의 표면으로부터 0.2㎛ 이하의 두께를 갖고, 상기 접촉층의 두께보다도 얇은 것을 특징으로 하는 반도체장치.

청구항 14.

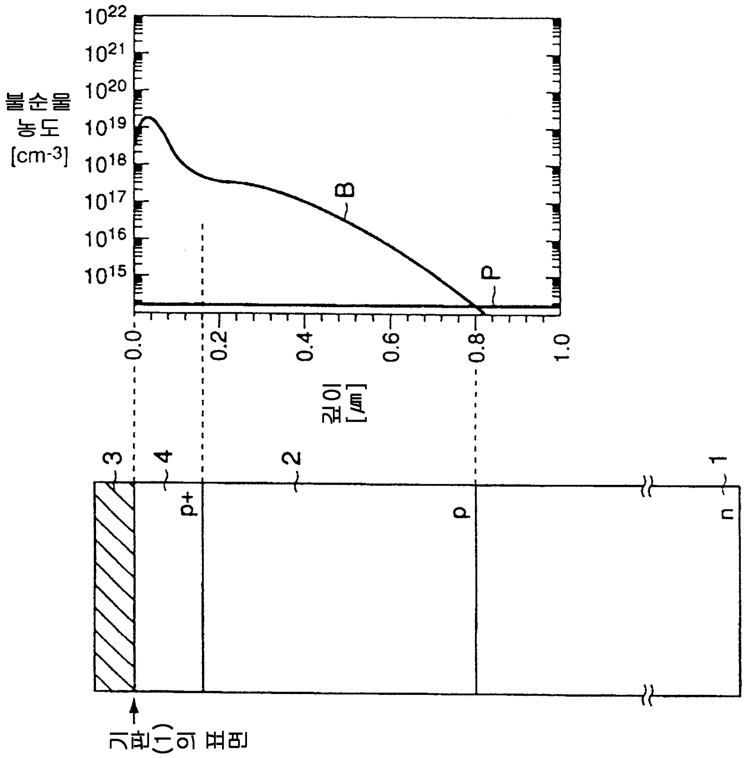
제7항에 있어서, 상기 불순물층은 상기 반도체기판의 일면 측의 전체에 형성되어 있는 것을 특징으로 하는 반도체장치.

청구항 15.

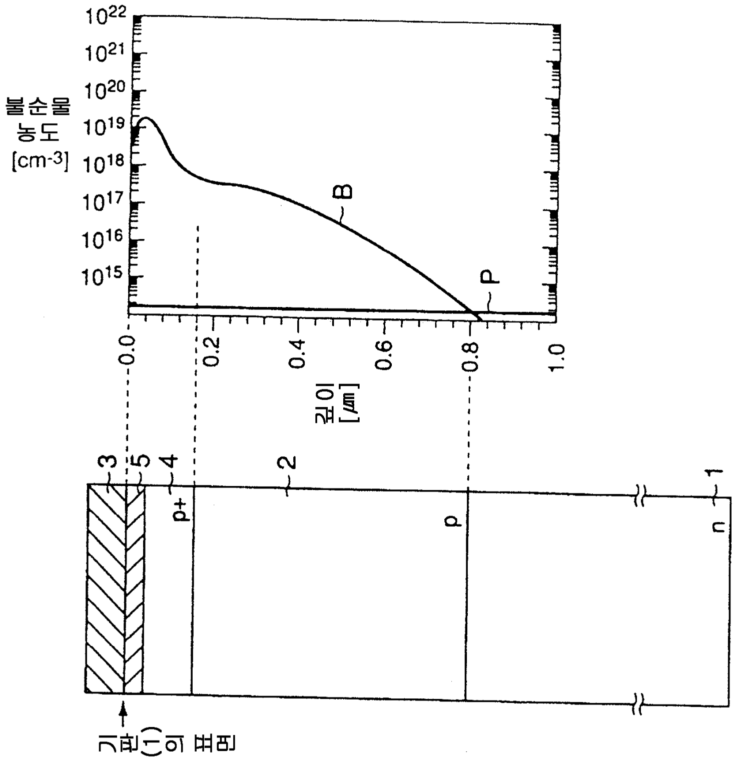
제7항에 있어서, 상기 불순물층은 상기 반도체기판의 일면 측의 일부분에 형성되어 있는 것을 특징으로 하는 반도체장치.

도면

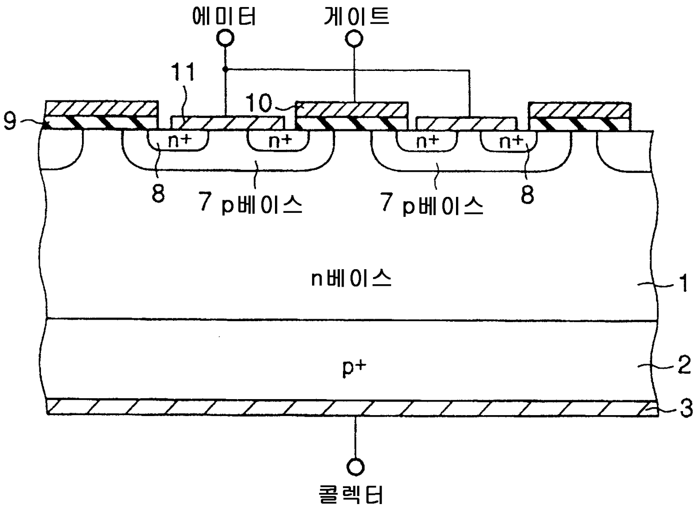
도면1


불순물 농도 [cm-3]
10^{22}
10^{21}
10^{20}
10^{19}
10^{18}
10^{17}
10^{16}
10^{15}
B
P
0.0
0.2
0.4
0.6
0.8
1.0
깊이 [㎛]
3
4
2
1
p+
p
n
기판(1)의 표면

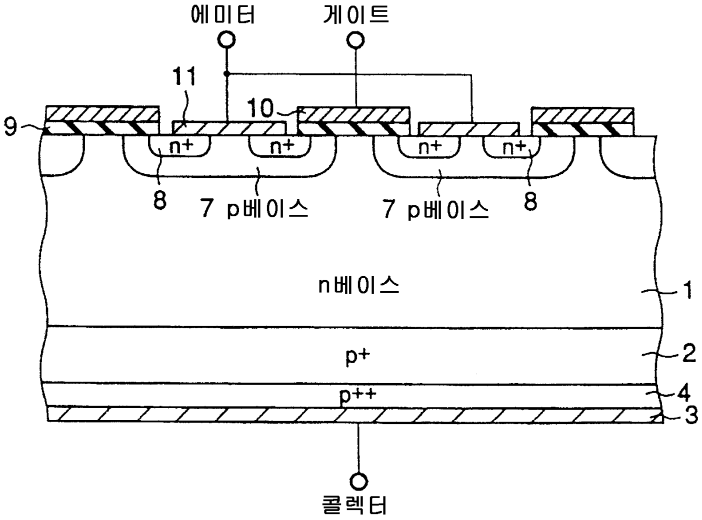
도면2


불순물 농도 [cm-3]
10^{22}
10^{21}
10^{20}
10^{19}
10^{18}
10^{17}
10^{16}
10^{15}
B
P
0.0
0.2
0.4
0.6
0.8
1.0
깊이 [㎛]
3
5
4
2
1
p+
p
n
기판(1)의 표면

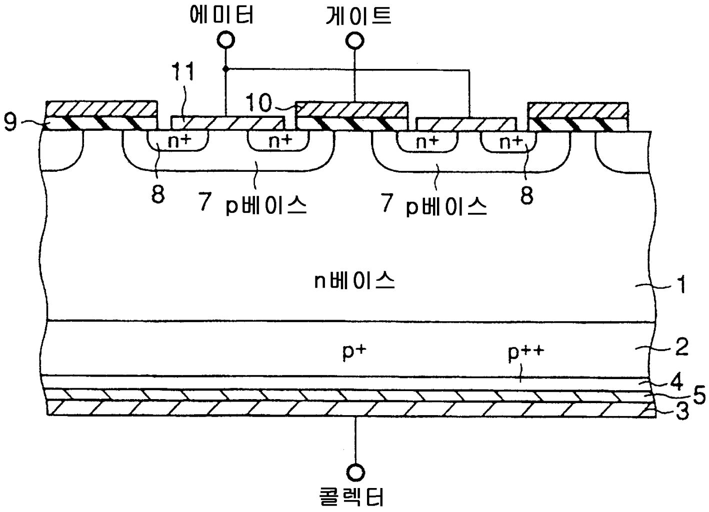
도면3


에미터
게이트
11
10
9
n+
n+
n+
n+
8
7 p베이스
7 p베이스
8
n베이스
1
p+
2
3
콜렉터

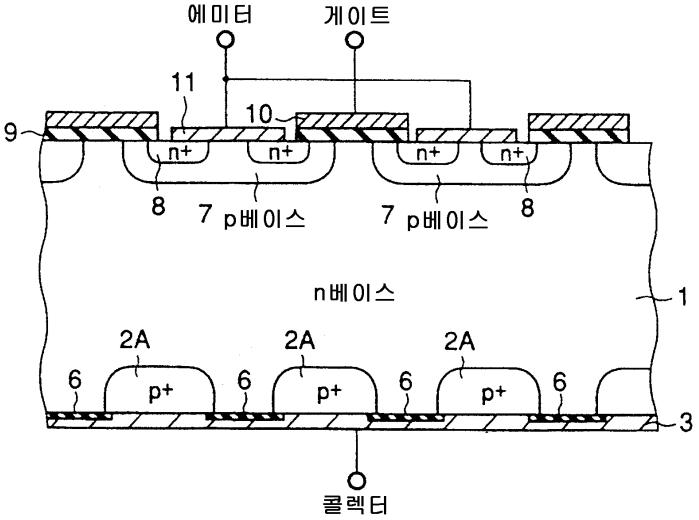
도면4


에미터
게이트
11
10
9
n+
n+
n+
n+
8
7 p베이스
7 p베이스
8
n베이스
1
p+
2
p++
4
3
콜렉터

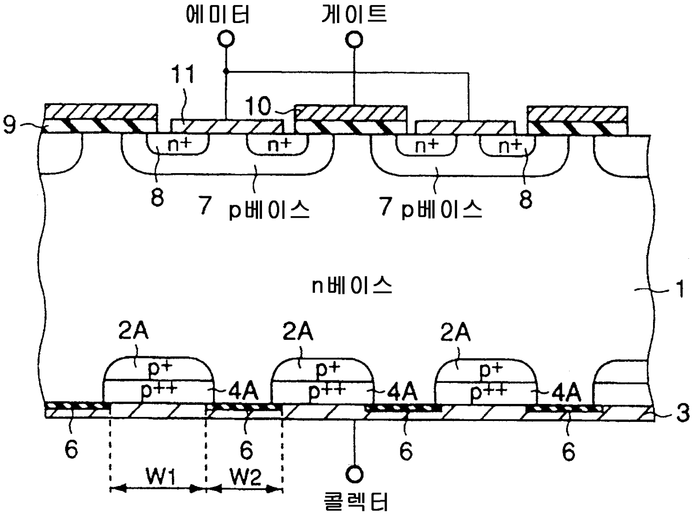
도면5


에미터
게이트
11
10
9
n+
n+
n+
n+
8
7 p베이스
7 p베이스
8
n베이스
1
p+
p++
2
4
5
3
콜렉터

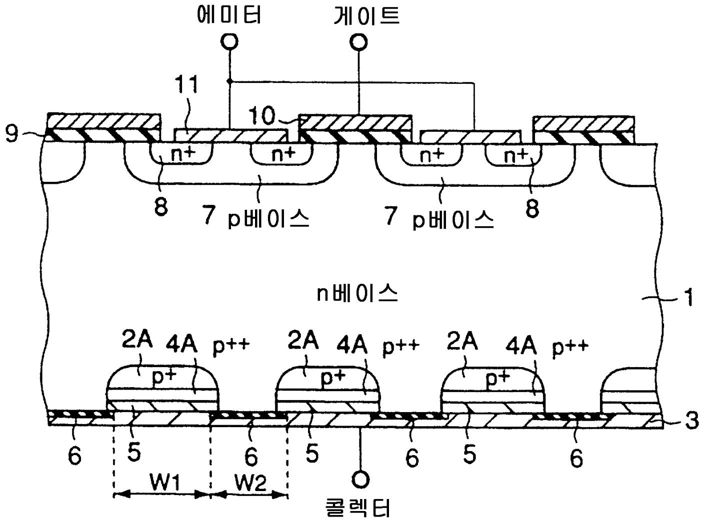
도면6


에미터
게이트
11
10
9
n+
n+
n+
n+
8
7 p베이스
7 p베이스
8
n베이스
1
2A
2A
2A
6
p+
6
p+
6
p+
6
3
콜렉터

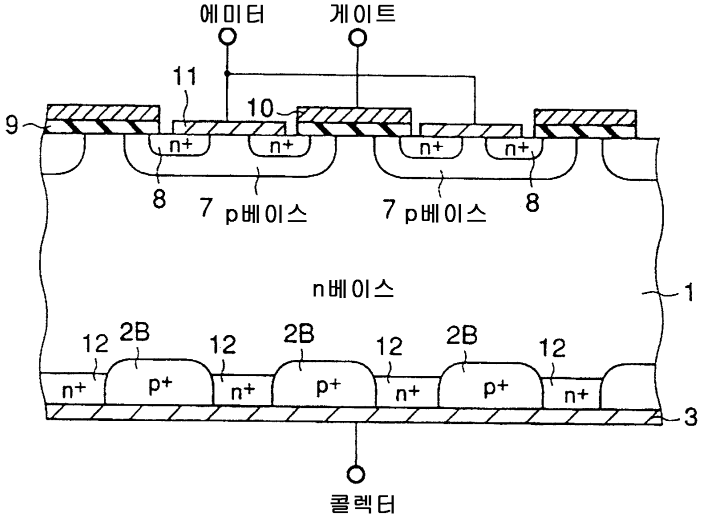
도면7


에미터
게이트
11
10
9
n+
n+
n+
n+
8
7 p베이스
7 p베이스
8
n베이스
1
2A
2A
2A
p+
p++
4A
p+
p++
4A
p+
p++
4A
3
6
6
6
6
W1
W2
콜렉터

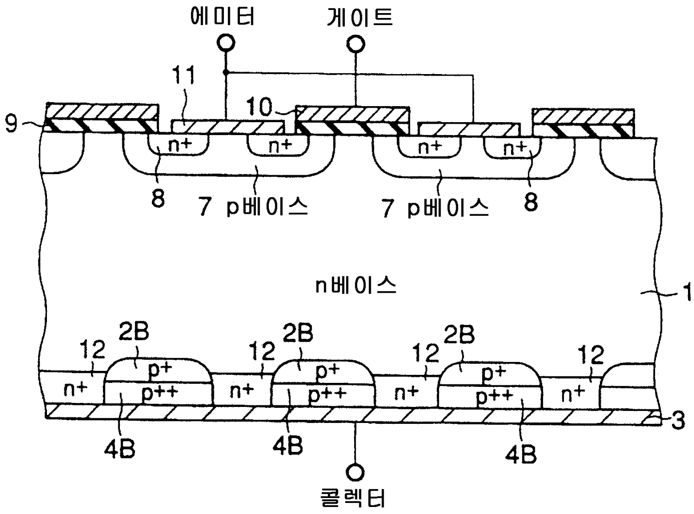
도면8


에미터
게이트
11
10
9
n+
n+
n+
n+
8
7 p베이스
7 p베이스
8
n베이스
1
2A
4A
p++
2A
4A
p++
2A
4A
p++
p+
p+
p+
3
6
5
6
5
6
5
6
W1
W2
콜렉터

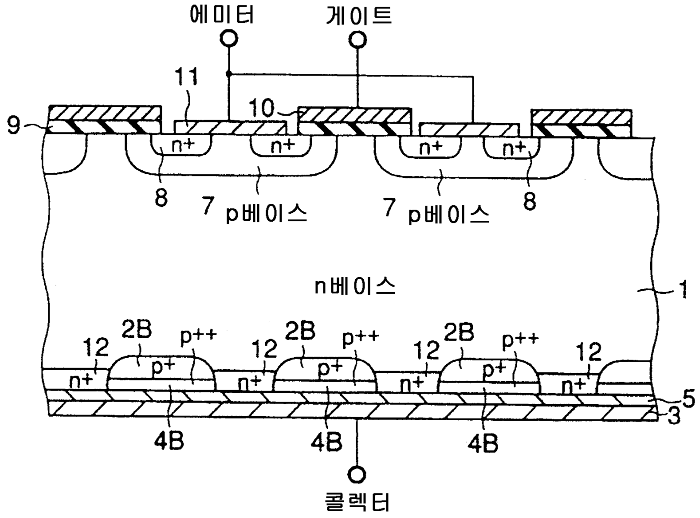
도면9



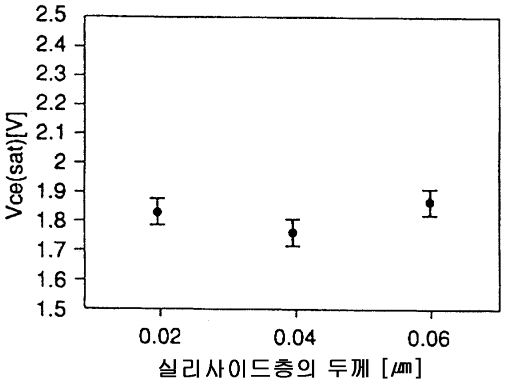
도면10



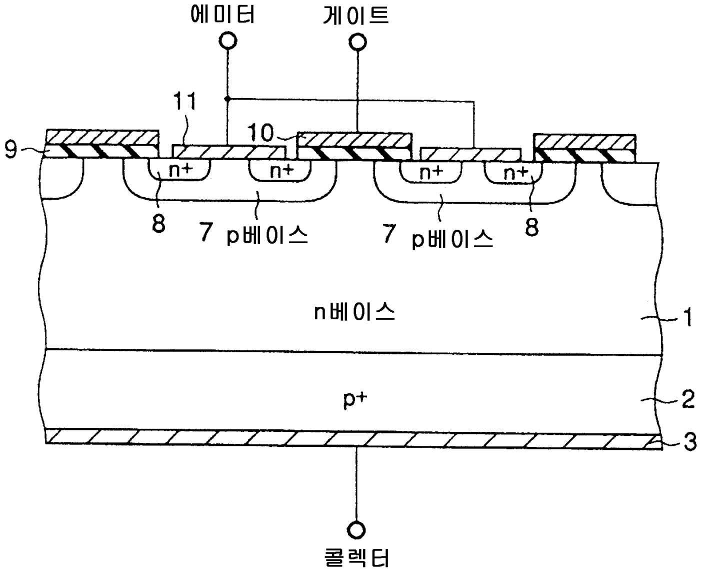
도면11



도면12


2.5
2.4
2.3
2.2
2.1
2
1.9
1.8
1.7
1.6
1.5
Vce(sat)[V]
0.02
0.04
0.06
실리사이드층의 두께 [㎛]

도면13


에미터
게이트
11
10
9
n+
n+
n+
n+
8
7 p베이스
7 p베이스
8
n베이스
1
p+
2
3
콜렉터