



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I609491 B

(45)公告日：中華民國 106 (2017) 年 12 月 21 日

(21)申請案號：103132556 (22)申請日：中華民國 103 (2014) 年 09 月 22 日

(51)Int. Cl. : H01L29/78 (2006.01) H01L23/52 (2006.01)

(30)優先權：2013/10/03 美國 14/045,680

(71)申請人：A S M I P 控股公司 (荷蘭) ASM IP HOLDING B. V. (NL)
荷蘭(72)發明人：謝琦 XIE, QI (CN)；馬高特森 弗拉基米爾 MACHKAOUTSAN, VLADIMIR
(RU)；梅茲 詹姆 威廉 MAES, JAN WILLEM (NL)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

US 6197641B1

US 2005/0048709A1

US 2011/0012085A1

審查人員：何立璋

申請專利範圍項數：13 項 圖式數：25 共 52 頁

(54)名稱

導線型半導體元件的製造方法

METHOD OF MAKING A WIRE-BASED SEMICONDUCTOR DEVICE

(57)摘要

在某些實施例中，一種製造方法用以形成一種半導體元件，像是電晶體。介電堆疊形成在半導體基底上。這堆疊包含多個介電層，介電層被多個間隔層中的一個分離。每一間隔層是由不同於直接鄰接的介電層的材料形成。形成垂直延伸的洞穿過所述多個介電層與所述多個間隔層。藉由執行磊晶沉積，以材料填入洞中形成導線。導線被摻雜，且三個介電層依序被去除並以導電材料替換，藉此形成導線的上接觸窗與下接觸窗以及介於上接觸窗與下接觸窗間的閘極。導線可以作為電晶體的通道區。

In some embodiments, a method for manufacturing forms a semiconductor device, such as a transistor. A dielectric stack is formed on a semiconductor substrate. The stack comprises a plurality of dielectric layers separated by one of a plurality of spacer layers. Each of the plurality of spacer layers is formed of a different material than immediately neighboring layers of the plurality of dielectric layers. A vertically-extending hole is formed through the plurality of dielectric layers and the plurality of spacer layers. The hole is filled by performing an epitaxial deposition, with the material filling the hole forming a wire. The wire is doped and three of the dielectric layers are sequentially removed and replaced with conductive material, thereby forming upper and lower contacts to the wire and a gate between the upper and lower contacts. The wire may function as a channel region for a transistor.

指定代表圖：

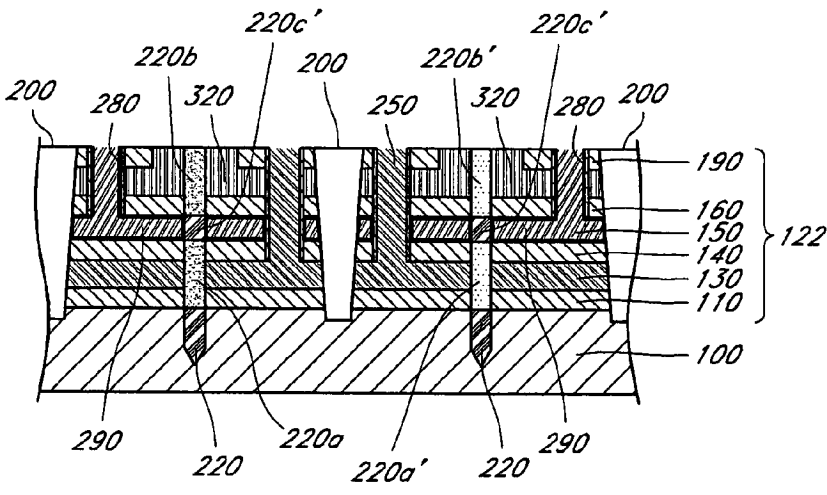


圖 24

- 符號簡單說明：
- 100 . . . 基底
 - 110 . . . 蝕刻中止層
 - 130、150 . . . 介電層
 - 122 . . . 介電堆疊
 - 140、160、190 . . . 間隔層
 - 200 . . . 水平蝕刻中止層
 - 220 . . . 導線
 - 220a、220a' . . . 下部位
 - 220b、220b' . . . 上部位
 - 220c' . . . 中部位
 - 250 . . . 下接觸窗
 - 280 . . . 介電襯層
 - 290 . . . 閘極
 - 320 . . . 上接觸窗

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

導線型半導體元件的製造方法

METHOD OF MAKING A WIRE-BASED SEMICONDUCTOR
DEVICE

【技術領域】

【0001】 本發明是有關於一種半導體製程，且特別是有關於一種半導體元件(像是電晶體)的形成。

【先前技術】

【0002】 由於來自積體電路增加計算能力的持續性需求，形成積體電路的半導體元件的密度持續增加。為了得到這些較高的元件密度，半導體元件的尺寸便持續減小。

【0003】 電晶體是這種元件的其中一個例子。然而，當電晶體變小時，會產生各種問題。例如，減小電晶體的尺寸會引發在這種尺寸的組成特性的降低。結果，電晶體所暴露的電壓可能被降低以得到元件的可靠作動。電晶體的啓始電壓(threshold voltage)會類似地被降低。操作電晶體的有效電壓振幅的大小也減小了，它會使得完全關閉電晶體變得困難。因此，持續縮小電晶體的尺寸會導致漏電流不想要的增加。

【0004】 因此，對於元件尺寸有效持續減小的半導體元件結構與製造方法就有了持續的需求。

【發明內容】

【0005】 在一態樣的例子中，提出一種製造半導體元件的方法。此方法包括提供單晶矽基底；在基底上形成包含被間隔層分離的 3 層氧化層的堆疊層；在堆疊層中向下到單晶矽基底蝕刻出垂直奈米導線洞；使用磊晶沉積製程充填奈米導線洞，形成奈米導線。

【0006】 在另一態樣的例子中，提出一種製造半導體元件的方法。此方法包括提供矽基底；在基底上形成介電堆疊，介電堆疊包含多個介電層，相鄰接的介電層是被間隔層分離，間隔層由不同於相鄰接的介電層的材料形成；形成穿過介電堆疊的垂直延伸洞；藉由執行磊晶沉積充填洞，其中填入洞的材料形成導線。

【圖式簡單說明】

【0007】 文中是參照圖式描述各種特徵、態樣、與優點，目的是為了舉例說明某些實施例，並非用以限定本發明。圖式並不必要按比例繪示，此外，全文中相同的號碼代表相同的構件。

圖 1 是垂直導線型電晶體的圖解透視圖的一種例子。

圖 2A 是基底的圖解剖面圖。

圖 2B 是圖 2A 的結構在形成蝕刻中止層與介電層後形成部分介電堆疊的剖面圖。

圖 3 是圖 2B 的結構在以不同摻雜的介電層替換部份介電層後的剖面圖。

圖 4 是圖 3 的結構在形成間隔層與另外的介電層以形成介電

堆疊的另外的部分後的剖面圖。

圖 5 是圖 4 的結構在形成另外的間隔層與另外的介電層以形成介電堆疊的另外的部份後的剖面圖。

圖 6 是圖 5 的結構在以不同摻雜的介電層取代部分介電層且沉積另外的間隔層後的剖面圖。

圖 7A 是圖 6 的結構在形成水平蝕刻中止層後的剖面圖。

圖 7B 是圖 7A 結構的俯視圖。

圖 8 是圖 7A 與圖 7B 的結構在於介電堆疊中蝕刻出開口後的剖面圖。

圖 9 是圖 8 的結構在充填介電堆疊中的開口以形成垂直延伸導線後的剖面圖。

圖 10 是圖 9 的結構在摻雜充填介電堆疊中的開口的材料後的剖面圖。

圖 11 是圖 10 的結構在形成開口以界定下接觸窗後的剖面圖。

圖 12 是圖 11 的結構在加襯開口以界定下接觸窗後的剖面圖。

圖 13 是圖 12 的結構在去除開口底部的襯層後的剖面圖。

圖 14 是圖 13 的結構在去除介電層的暴露部分後的剖面圖。

圖 15 是圖 14 的結構在以導電材料充填埋入式開放空間以形成下接觸窗後的剖面圖。

圖 16 是圖 15 的結構在形成開口以界定閘極後的剖面圖。

圖 17 是圖 16 的結構在以襯層加襯開口後的剖面圖。

圖 18 是圖 17 的結構在蝕刻襯層的底部後的剖面圖。

隔層的上表面與下面。垂直延伸的開口形成在介電層中，且被充填以形成垂直延伸的導線。在某些實施例中，充填是以磊晶沉積(epitaxial deposition)來實現。至導線的上接觸窗及/或下接觸窗藉由以導電材料替換鄰接導線的上部位及/或下部位的部分介電層來形成。導電材料可以佔據延伸到介電堆疊的上表面的開口，因此而在表面上形成電性接觸。在提供 3 或更多個介電層的地方，鄰接導線的中間部位的介電層也可以導電材料替換，它也延伸到介電層的上表面以形成電性接觸。中間接觸窗結構可以介電層與導線分開，且可以作為電晶體閘極。

【0012】 在某些實施例中，導線可以藉由在趨入回火(drive-in anneal)期間從鄰近的經摻雜的介電層區驅動摻質(dopant)進入導線而被摻雜。在某些其他實施例中，導線可以於沉積時被摻雜。

【0013】 以導線形成的元件可以利用將介電材料填入橫向隔離渠溝(isolation trench)以形成橫向蝕刻中止層(lateral etch stop)以及隔離牆而與其它元件橫向隔離。橫向蝕刻中止層界定了個別的、隔離的單元(cell)(其中可容納元件)。在某些實施例中，橫向蝕刻中止層可以包含多個材料層。例如，襯層(liner)可以形成橫向蝕刻中止層的外牆，且可以阻擋文中描述的用以蝕刻介電層的蝕刻。橫向蝕刻中止層的內部可以由其他介電材料形成。

【0014】 鄰近單元中的電晶體可以形成互補式金氧半導體(CMOS)結構，包含 PMOS 與 NMOS 結構。在某些實施例中，在每一 PMOS 與 NMOS 結構中的導線可以不同的半導體材料形成。

【0015】 可以理解的是，文中論及的各種層與材料(包含各種的接觸窗與電晶體閘極)可以原子層沉積(atomic layer deposition; ALD)方式沉積。對於文中描述的各種 ALD 沉積，欲沉積的基底表面以一個沉積循環交替地暴露於互相反應的前驅物(precursor)中，所述沉積循環包含：在沉積表面上吸收第一種前驅物，然後，利用第二種互相反應的前驅物與吸收的前驅物反應，形成反應產物的層(例如是單層)。重覆此循環，在單層上沉積另一單層，直到沉積的材料達到所要的厚度為止。在某些實施例中，交替暴露是藉由在短暫分離的脈衝(pulse)中將前驅物流入置放有基底的沉積反應室中完成的。在某些其他的實施例中，交替暴露可以藉由移動基底及/或反應器部件完成，沒有在停止與開始將前驅物流入反應室的不同時候以脈衝將前驅物送入反應室。可以理解的是，每一個沉積循環能包含第一種與第二種前驅物之外的其他反應物種。在某些實施例中，使用在沉積循環中的前驅物可以隨時間而更換。

【0016】 如文中所述，在某些實施例中，導線型元件是半導體元件，像是電晶體。上接觸窗與下接觸窗能作為源極/汲極接觸窗，且中間導電材料會藉由介電層而與導線分離且作為閘極。在某些其他的實施例中，可以省略一或多個介電層，或是省略一或多個介電層的替換。此種情況下，這方法可以適用於形成其他具有垂直延伸導電或半導體導線的其他元件，其接觸窗在導線的上部位及/或下部位。

【0017】 有利的是，如上所述，這種方法形成的元件可佔據非常

形成，且/或介電層 150 與介電層 170 是由相同的材料形成。

【0027】 在某些實施例中，介電層 170 可被摻雜。舉例來說，介電層 170 可以是與介電層 120 類似的摻雜，且可以包含例如 P 型摻雜，像是硼。如同介電層 120，摻雜可以各種製程完成，像是離子植入、氣相摻質物種的擴散、及/或當介電層 170 沉積時結合摻質。

【0028】 介電堆疊 122 可以接著增加其他層。圖 6 是圖 5 的結構在以不同摻雜的介電層 180 取代部分介電層且接著沉積另外的間隔層 190 後的剖面圖。經摻雜的介電層 180 可以類似於經摻雜的介電層 130 的方式形成。例如，可去除部份介電層 170，然後以經摻雜的介電層 180 取代，介電層 180 的摻雜可以在沉積當時摻雜，或在沉積未經摻雜的層 180 後摻雜。介電層 170 與介電層 180 也可以經受 CMP 製程而形成對於後續製程而言的平滑水平表面。在某些實施例中，介電層 170 是 P 型摻雜，介電層 180 可以 N 型摻質摻雜。

【0029】 繼續參照圖 6，另外的間隔層 190 可以形成在經摻雜的介電層 170 與介電層 180 上。在某些實施例中，間隔層 190 是由抵抗後續用來蝕刻介電層 170 與介電層 180 的蝕刻化學物的材料組成。例如，間隔層 190 可以由與形成間隔層 160 與間隔層 140 及/或蝕刻中止層 110 相同的材料組成。在某些實施例中，介電層 170 與介電層 180 是由氧化矽形成，而間隔層 190 可以由氮化矽形成。

【0030】 如此，繼續參照圖 6，介電堆疊 122 可以多個介電層 120、

130、150、170 與 180 組成；且以多個間隔層 140、160 與 190 分離那些介電層。如文中所述，在某些實施例中，間隔層 140、160 與 190 可以由抵抗後續用來去除部份介電層 120、130、150、170 與 180 的蝕刻劑的材料組成。因此，間隔層 140、160 與 190 以及蝕刻中止層 110 可以做為蝕刻中止層。形成間隔層 140、160 與 190 以及蝕刻中止層 110 的材料也可以是介電材料，且可以在後續形成的導電元件間提供電性絕緣。在某些實施例中，如圖繪示，介電層 120 與層 130、以及介電層 170 與介電層 180 可以配置在相同的垂直高度，且是相反的摻雜。

【0031】 接著，在某些實施例的第二階段中，形成水平蝕刻中止層以分割介電堆疊 122 成不連續的區域，以便在那些不連續的區域中製造電子元件。圖 7A 是圖 6 的結構在形成水平蝕刻中止層 200 後的剖面圖。水平蝕刻中止層 200 可藉由在介電堆疊 122 上沉積及圖案化保護罩幕(未繪示)來形成，保護罩幕暴露部分介電堆疊 122 的上表面。渠溝可以指向性蝕刻(例如非等向性蝕刻)蝕刻入那些部份。接著，可以抵抗後續去除部份介電層 120、130、170 與 180 的蝕刻的材料填入溝渠。在某些實施例中，蝕刻中止層 200 可以由與其它蝕刻中止層(包含蝕刻中止層 110、間隔層 140、間隔層 160 或間隔層 190)相同的材料形成，例如氮化矽。

【0032】 蝕刻中止層 200 沒劃陰影線是為方便圖示，可以理解的是蝕刻中止層 200 可以包含單一種材料，或包含 2 或更多種材料。例如，蝕刻中止層 200 可以包含一或多個材料層，包括作為

蝕刻中止層的襯層(liner)以及填入蝕刻中止層 200 的剩餘空間的另外材料。有利的是，襯層可以選用具有所要的蝕刻中止特性，而填充物可以選用能有效完成蝕刻中止層的空間的填入及/或提供高沉積率。在某些實施例中，襯層可以由氮化矽形成，而填充物可以由氧化矽形成。襯層可以藉 CVD 或 ALD 沉積。有利的是，ALD 能提供特別的高共形性與均勻度。填充物也可以藉 CVD 或 ALD 沉積。有利的是，CVD 可以提供高沉積率以增加製程產出。在水平蝕刻中止層 200 被填入後，任何延伸在介電堆疊 122 上的多餘材料可以例如 CMP 製程去除。

【0033】可以理解的是，水平蝕刻中止層 200 可以構成界定個別單元的側壁，每一單元將包含一電子元件。圖 7B 是圖 7A 結構的上視圖。如圖所示，圖 7A 的水平蝕刻中止層 200 可以形成圍繞每一單元 702 的連續邊界。形狀可以選擇以提供單元 702 的緊密包覆。在某些實施例中，如圖示，水平蝕刻中止層可以將單元 702 界定為長方形或正方形。在某些其他實施例中，單元可以具有六邊形。可以理解的是，也可以如所需地界定成其他任意形狀。

【0034】在某些實施例的第三階段中，在介電堆疊 122 中形成導線。圖 8 是圖 7A 與圖 7B 的結構在蝕刻出開口 210 以在介電堆疊 122 中容納導線後的剖面圖。開口 210 可以利用在介電堆疊 122 上沉積且圖案化罩幕(未繪示)來形成，罩幕暴露出介電堆疊 122 的某些區域。介電堆疊 122 的暴露區域使用指向性蝕刻界定開口 210，開口 210 可以延伸至基底 100 中。

【0035】 然後，充填開口 210 形成導線 220。圖 9 是圖 8 的結構在充填介電堆疊 122 中的開口 210 後的剖面圖。在某些實施例中，開口是以半導體材料填入，像是矽(Si)、鍺(Ge)、III-V 族材料(也就是包含週期表的 III 族與 V 族元素的材料)、及/或它們的組合。半導體材料可以藉由磊晶沉積而沉積入開口 210，磊晶沉積包含比較容易將材料沉積入開口 210 中的選擇性磊晶沉積。有利的是，開口 210 的較小的寬度與相對較大的深度以及形成開口 210 的側壁的介電層能利用高寬比陷入(aspect ratio trapping)的現象得到好品質的磊晶結構。在某些實施例中，導線 220 可以是所謂的奈米導線(nanowire)，其具有數十奈米等級或更小的寬度。例如，導線 220 可以具有約 30 至 300 nm 或約 50 至 200 nm 的長(或高)，以及約 3 至 20 nm、或 3 至 15 nm、或 3 至 10 nm 的寬。

【0036】 繼續參照圖 9，每一開口 210(圖 8)可以用同樣的材料充填，因此而形成相同材料的導線 220。在某些其他實施例中，不同的導線 220 可以包含不同的材料。例如，某些開口 210(像是那些穿過具有第一型摻質的介電層 130 與介電層 180)可以暫時、犧牲的材料充填，而像是穿過具有第二型摻質的介電層 120 與介電層 170 的其他開口則以第一種半導體材料填入。接著，去除犧牲材料且以第二種半導體材料充填當前暴露出的開口 210。有利的是，以不同的材料填入不同的開口 210 的能力能允許選擇具有與即將使用的材料的背景較相容的材料。例如，某些導線 220 可以由矽形成，而其他的導線是由鍺或 III-V 族材料形成。在某些實施例中，

性連接。在某些實施例中，導電材料是金屬。這些金屬的實例包括但不限定 Ni、Fe、Co、Cu、Ag、Cr、V、Mn、Zn、Sn、Pb、Bi、In 與 Cd。在某些實施例中，導電材料是 Ti、Ta、W、TiC、TaC、WC、TiN、TaN、WN、TiAlC 或 TaAlC、或是它們的混合。

【0053】導電材料可以各種製程沉積，包含 ALD、電化學沉積(例如電鍍)、無電鍍、無種子(seedless)鍍、CVD、來自超臨界流體(supercritical fluid)的反應沉積(例如以超臨界二氧化碳當溶劑的化學流體沉積(CFD))、或是它們的組合。例如，在某些實施例中，種子層可以 ALD 沉積，而剩下的層可以電化學沉積來沉積。

【0054】在某些實施例中，至少部份閘極 290 可藉由形成金屬氧化物然後還原金屬氧化物以留下金屬層的方式沉積。金屬氧化物可以利用例如 CVD 或 ALD 形成之。在某些實施例中，金屬氧化物是以 ALD 形成，其中埋入式開放空間 270 是交替暴露於金屬前驅物與氧前驅物，因此形成金屬氧化物。然後，還原氧化物，以形成金屬。

【0055】在某些實施例中，可以於 ALD 期間使用兩種不同的金屬前驅物來沉積含有多種金屬的混合氧化物，以形成金屬閘極。然後，還原混合氧化物，以形成混合金屬。例如，每一完全混合氧化物 ALD 循環可以包括第一沉積次循環(用以形成包含第一金屬的第一材料的單層)與第二沉積次循環(用以形成包含第二金屬的第二材料的單層)。第一沉積次循環與第二沉積次循環構成完整的 ALD 循環。在每一完整的 ALD 循環中，第一沉積次循環與第二沉

積次循環的次數可以改變以達到所需的沉積。在某些實施例中，形成的混合金屬氧化物將包括比第二金屬多的第一金屬。在某些實施例中，混合金屬氧化物中的金屬至少 80%、85%、90%、95%、97%、98%、99%、或 99.5%是第一金屬。在某些實施例中，混合金屬氧化物中的金屬約 30-80%、或 40-60%是第二金屬。在某些實施例中，第一金屬是選自由 Ni、Fe、Co、Cu、Ag、Cr、V、Mn、Zn、Sn、Pb、Bi、In 與 Cd 組成的族群，第二金屬是選自由 Pt、Ni、Pd、Rh、Ru 與 Co 組成的族群。有利地是，相較於只含有一種金屬的氧化物，混合氧化物的形成可以讓氧化物在較低的溫度下還原。

【0056】 在沉積之後，金屬氧化物可以被還原。在某些實施例中，還原可以在氫氣環境中進行。在某些實施例中，金屬氧化物在含有氫氣的環境中至少部份還原，含有氫氣的環境可包含 H_2 、 NH_3 、 N_2H_4 、含氫電漿、氫自由基、氫原子、或它們的組合。在某些實施例中，混合金屬氧化物可以與一或多種反應性有機化合物接觸，反應性有機化合物包含至少一種選自由醇(-OH)基團、醛基(-CHO)基團、與羧酸(-COOH)基團所組成的族群的官能基。在某些實施例中，基底是在氫氣環境中還原，且也與有機還原劑(reducing agent)接觸。

【0057】 在某些實施例中，金屬氧化物還原形成金屬層，其作為將其他的金屬電化學沉積進入埋入式開放空間 270 中的種子層。

【0058】 在某些實施例中，是以 CFD 在埋入式空間中沉積金屬。

金屬粉末是懸浮在像是超臨界 CO_2 的惰性液體中作為漿料 (slurry)，然後導入埋入式空間中。藉由緩慢地減少反應室的壓力，將液體自結構中去除。然後，加熱基底至約 $200\text{-}300^\circ\text{C}$ ，啟動燒結製程 (sintering process)。奈米金屬粒子會熔合 (fuse) 在一起，且形成延伸穿過埋入式空間的連續的導體。選擇粒子的尺寸分佈是像碎形 (fractal-like) (例如，具有 3 種不同尺寸等級) 的奈米金屬粉末混合物是有利的。因為最小的粒子 (例如直徑約 $1\text{-}3\text{ nm}$) 會填入中型尺寸粒子 (例如直徑約 $5\text{-}8\text{ nm}$) 間的洞而中型尺寸粒子會填入大型尺寸粒子 (例如直徑約 $10\text{-}20\text{ nm}$) 間的洞，所以使用這種混合物能讓進入埋入式空間的金屬粒子非常緊密包覆。在此情況下，燒結製程基本上不會減少導體體積，因為在燒結製程前在粒子間只有少許的空間。

【0062】在某些實施例中，導電材料也可以是由含有極子線 (polaron thread) 的超導體 (ultraconductor) 製成。L. Grigorov 等人在 5,777,292 號美國專利中教示 (其以參照方式併入本文) 創造具有極子的導體，經由材料形成導電線條。更多有關於極子導體的訊息也已經放在網頁 <http://www.ultraconductors.com> 中。在材料中伴隨有區域畸變 (local distortion) 的電子稱作極子。通常，極子是被材料中的雜質捕捉。極子創出圍繞本身的電位井 (potential well)。當極子被鏈結時，極子中的電子能移動且作為電載子。有利地是，即使高於室溫，超導體的電阻係數是介於銅與超級導體的電阻係數間。此外，RC 延遲極小且接觸電阻可忽略。

【0063】 現在參照圖 22，接著可形成導線 220 的上接觸窗。圖 22 是圖 21 的結構在形成開口 300 以界定上接觸窗後的剖面圖。蝕刻罩幕(未繪示)形成在介電堆疊 122 上，且使用指向性蝕刻穿過蝕刻罩幕來蝕刻間隔層 190，形成開口 300。在間隔層 190 是充份地薄的某些其他實施例中，可以使用濕式蝕刻。蝕刻停止在介電層 170 與 180 上或介電層 170 與 180 中，藉此留下暴露的這些層。

【0064】 接著，去除部分介電層 170 與 180。圖 23 是圖 22 的結構在去除被開口 300 暴露出的部分介電層 170 與 180 後的剖面圖。介電層 170 與 180 可以利用針對形成介電層 170 與 180 的材料而挑的濕式蝕刻選擇性去除。產生的埋入式空間 310 留下暴露的導線 220 的上部位 220b 與 220b'。在某些其他實施例中，取代濕式蝕刻，使用指向性蝕刻來蝕刻介電層 170 與 180。在這樣的情況下，開口空間 310 就不是埋入式空間，而可單純地是渠溝，它的寬度相當於間隔層 190 中的開口 300(圖 22)的寬度。

【0065】 接著，以導電材料充填埋入式開放空間 310，對上部位 220b 與 220b' 形成上接觸窗。圖 24 是圖 23 的結構在以導電材料充填埋入式開放空間 310 以形成上接觸窗 320 後的剖面圖。在某些實施例中，沒有限定，導電材料可以是貴金屬、貴金屬氧化物或貴金屬氧化物氮化物，像是 Ru、RuO₂、IrO₂、W、Ir、Pt、SrRuO₃、Rh、Pd、Ag、Cu、Re、Os 或 Au、或它們的混合，或是 NbN、ZrN、HfN、MoN_x、WN_x、VN 或 TaN、或它們的混合。在某些實施例中，上接觸窗 320 較佳是由金屬組成，像是 Ti、Ta、Nb、W、Ni、或

發明摘要

※ 申請案號：103/32556

※ 申請日：103.9.22

※IPC 分類：

【發明名稱】

導線型半導體元件的製造方法

H01L 21/18 (2006.01)

H01L 23/12 (2006.01)

METHOD OF MAKING A WIRE-BASED SEMICONDUCTOR
DEVICE

【中文】

在某些實施例中，一種製造方法用以形成一種半導體元件，像是電晶體。介電堆疊形成在半導體基底上。這堆疊包含多個介電層，介電層被多個間隔層中的一個分離。每一間隔層是由不同於直接鄰接的介電層的材料形成。形成垂直延伸的洞穿過所述多個介電層與所述多個間隔層。藉由執行磊晶沉積，以材料填入洞中形成導線。導線被摻雜，且三個介電層依序被去除並以導電材料替換，藉此形成導線的上接觸窗與下接觸窗以及介於上接觸窗與下接觸窗間的閘極。導線可以作為電晶體的通道區。

【英文】

In some embodiments, a method for manufacturing forms a semiconductor device, such as a transistor. A dielectric stack is formed on a semiconductor substrate. The stack comprises a plurality of dielectric layers separated by one



of a plurality of spacer layers. Each of the plurality of spacer layers is formed of a different material than immediately neighboring layers of the plurality of dielectric layers. A vertically-extending hole is formed through the plurality of dielectric layers and the plurality of spacer layers. The hole is filled by performing an epitaxial deposition, with the material filling the hole forming a wire. The wire is doped and three of the dielectric layers are sequentially removed and replaced with conductive material, thereby forming upper and lower contacts to the wire and a gate between the upper and lower contacts. The wire may function as a channel region for a transistor.

【代表圖】

【本案指定代表圖】：圖 24。

【本代表圖之符號簡單說明】：

100：基底

110：蝕刻中止層

130、150：介電層

122：介電堆疊

140、160、190：間隔層

200：水平蝕刻中止層

220：導線

220a、220a'：下部位

220b、220b'：上部位

220c'：中部位

圖式

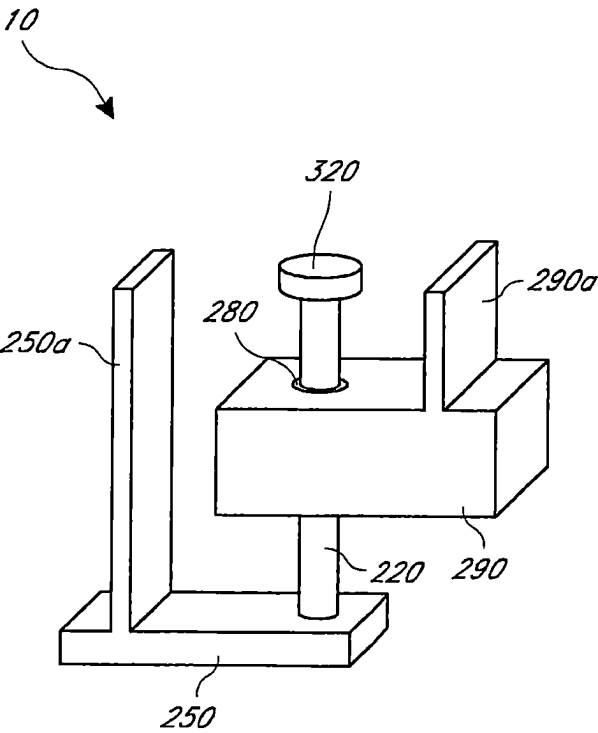


圖 1

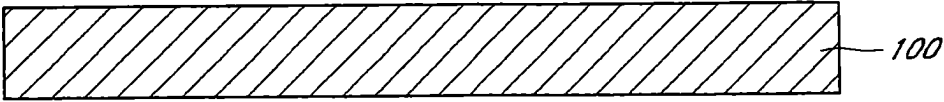


圖 2A

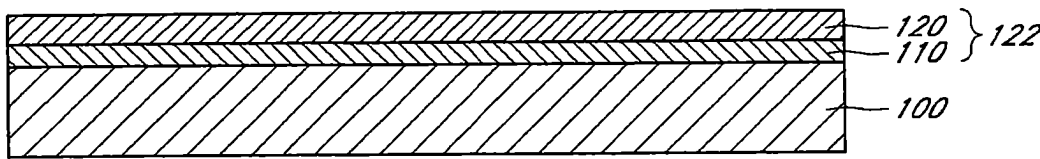


圖 2B

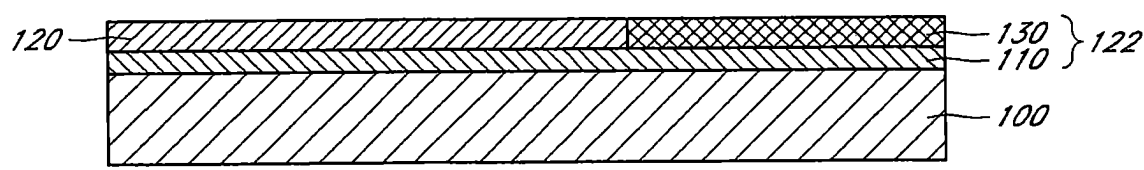


圖 3

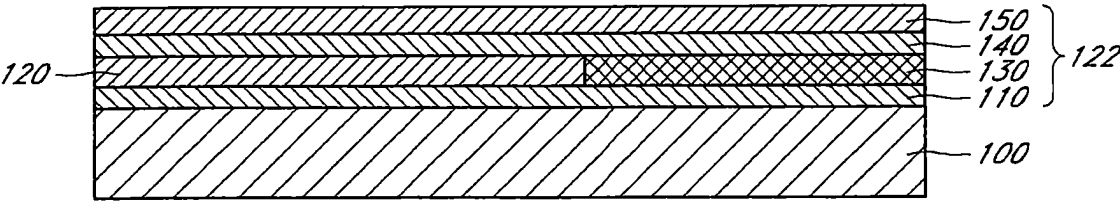


圖 4

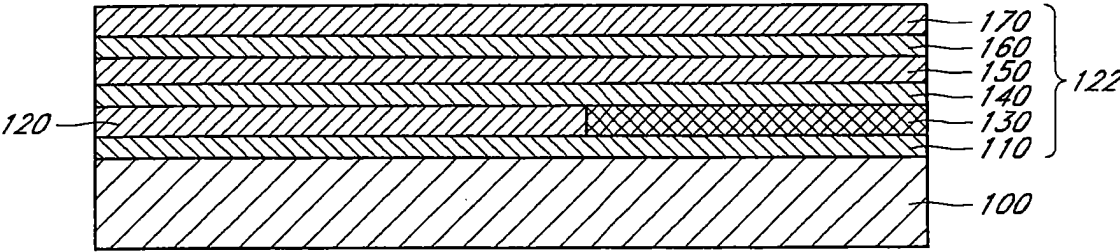


圖 5

FIG. 6

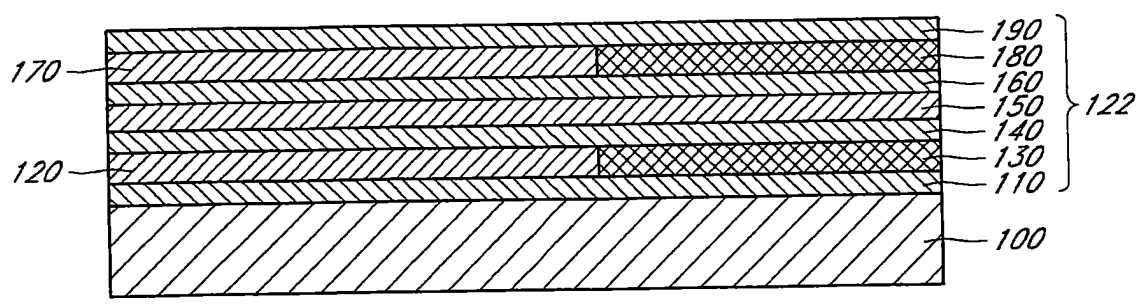


圖 6

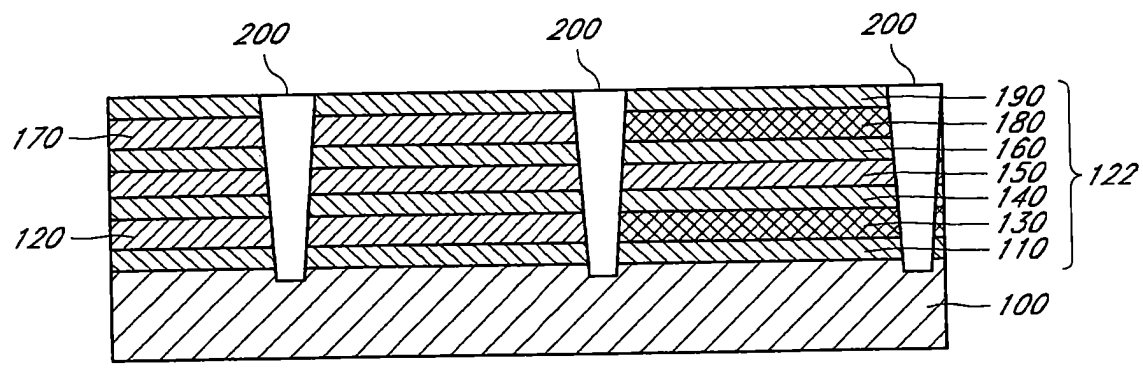


圖 7A

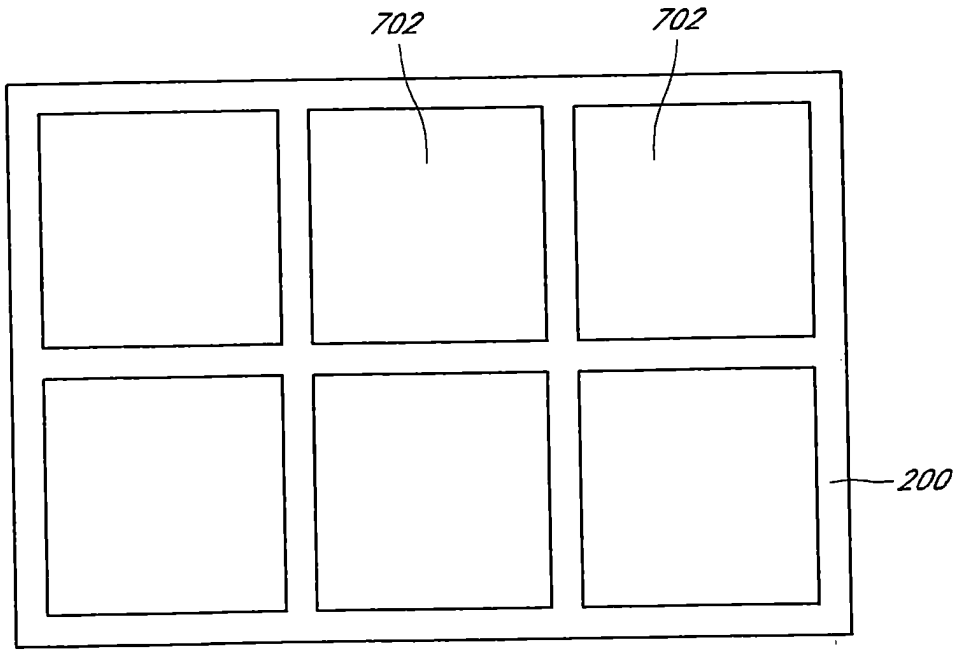


圖 7B

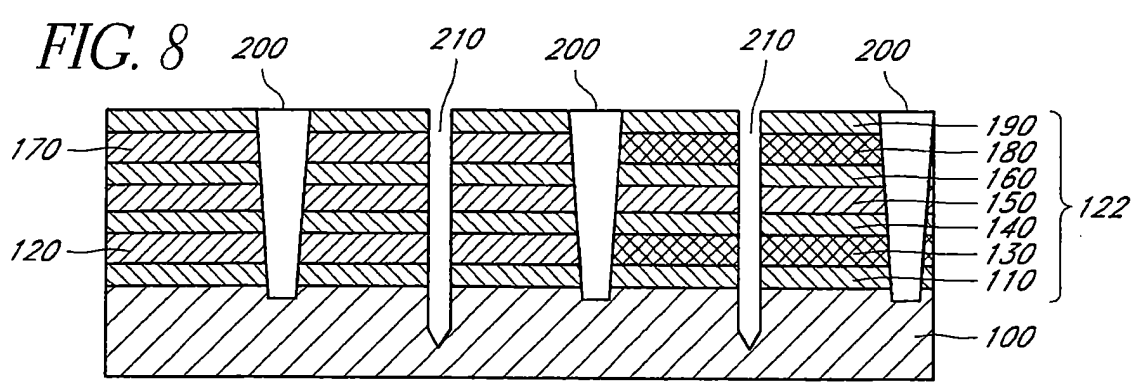


圖 8

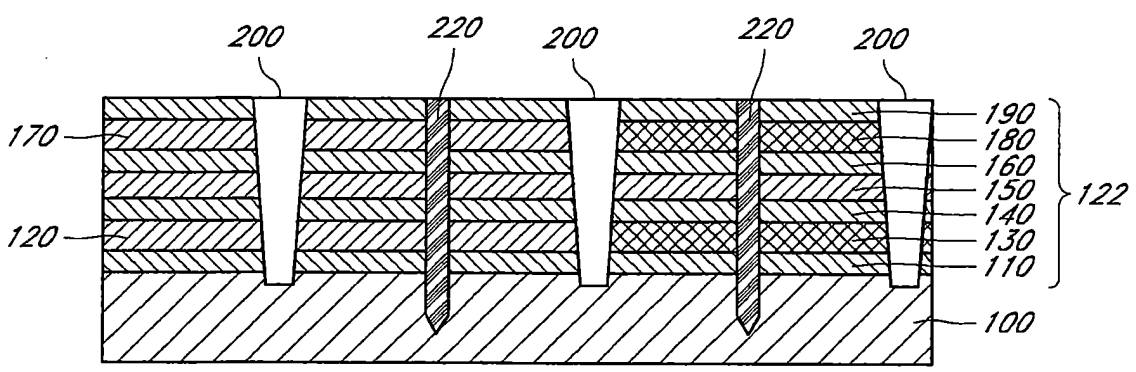


圖 9

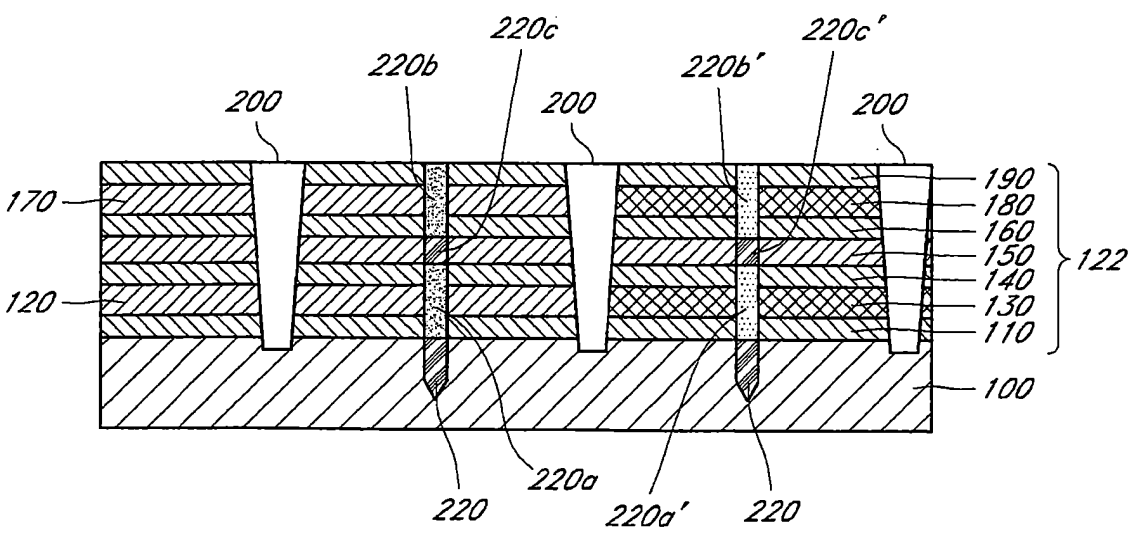


圖 10

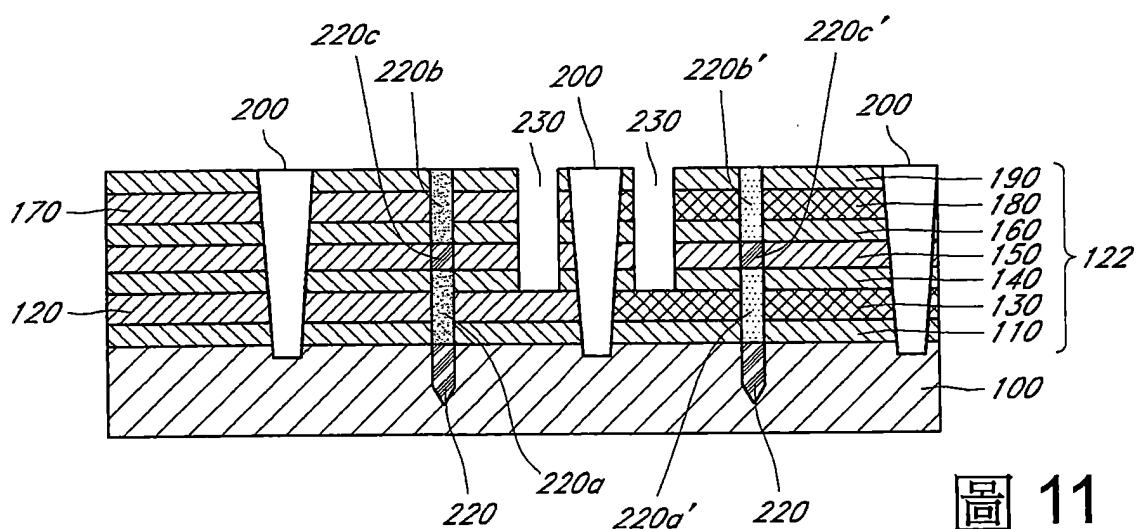


圖 11

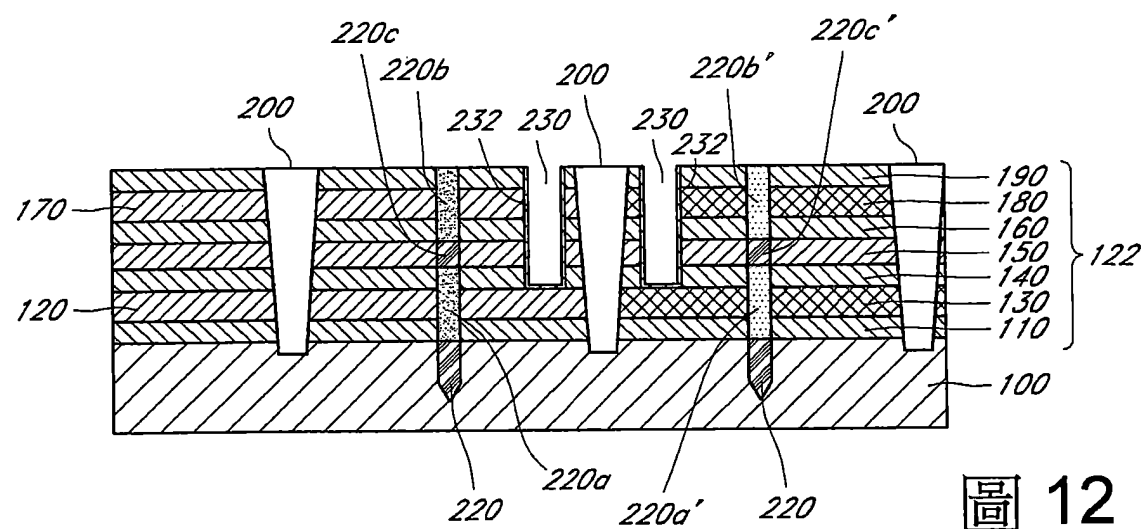


圖 12

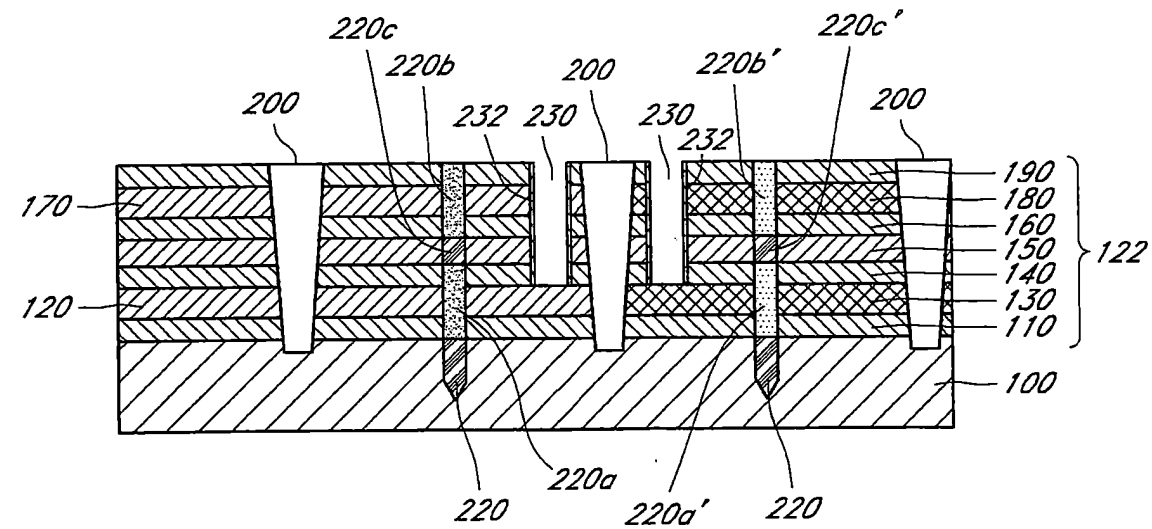
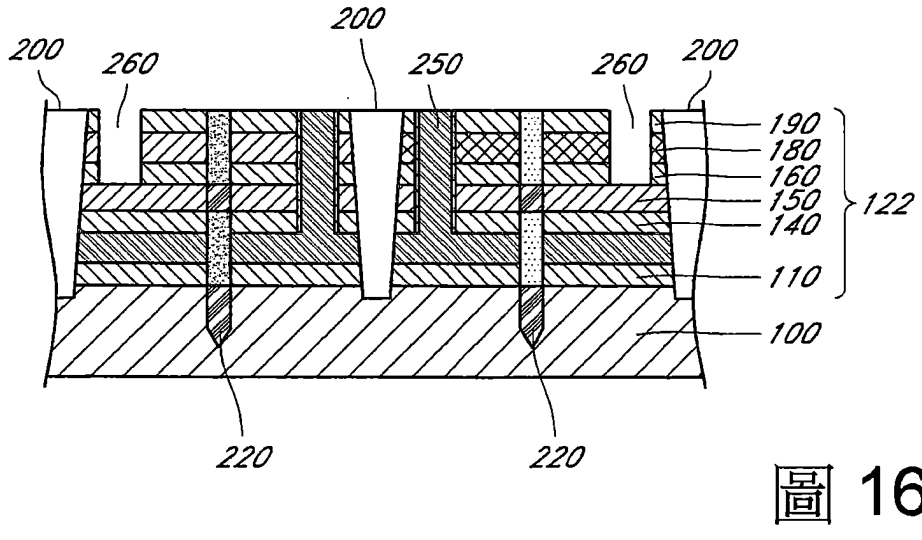
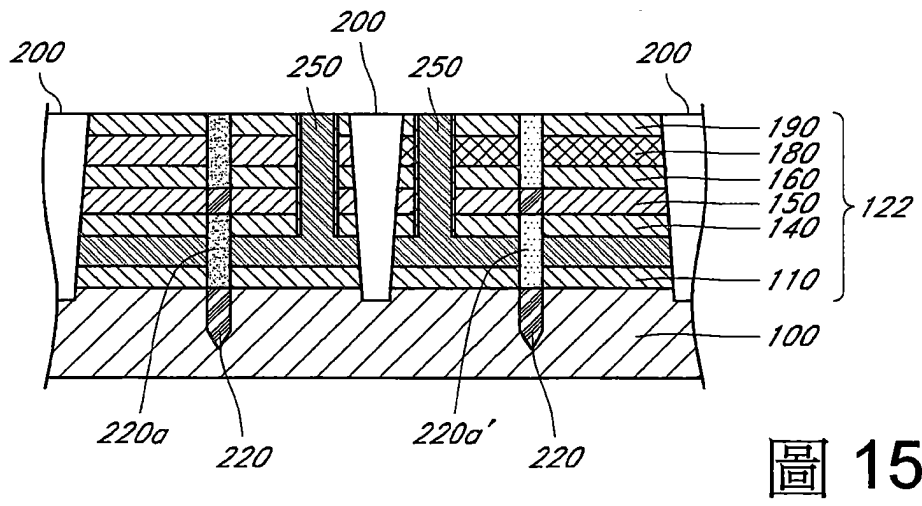
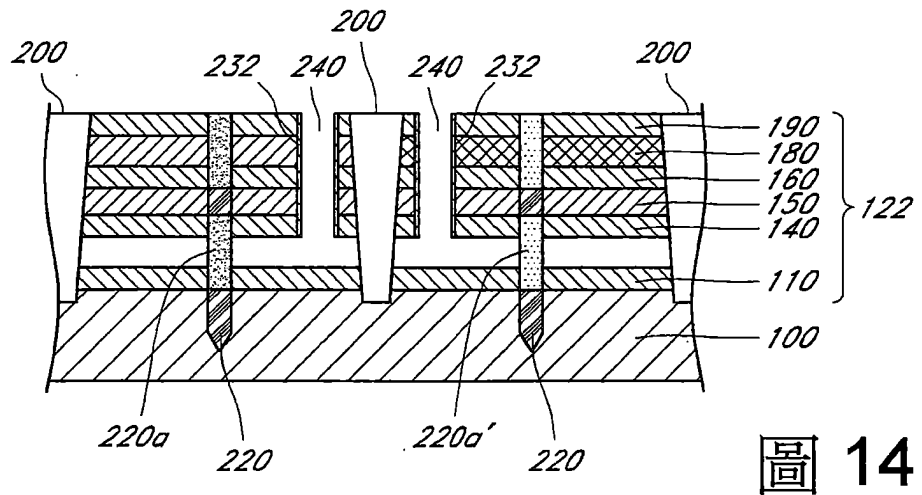


圖 13



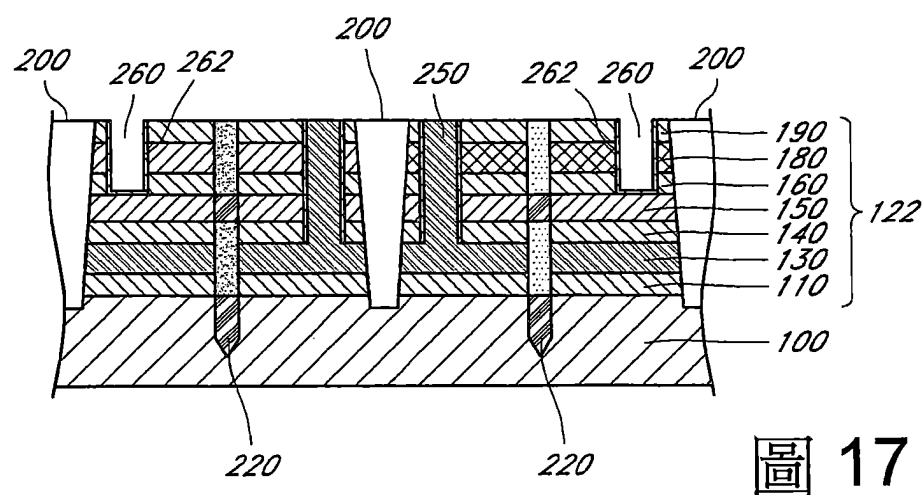


圖 17

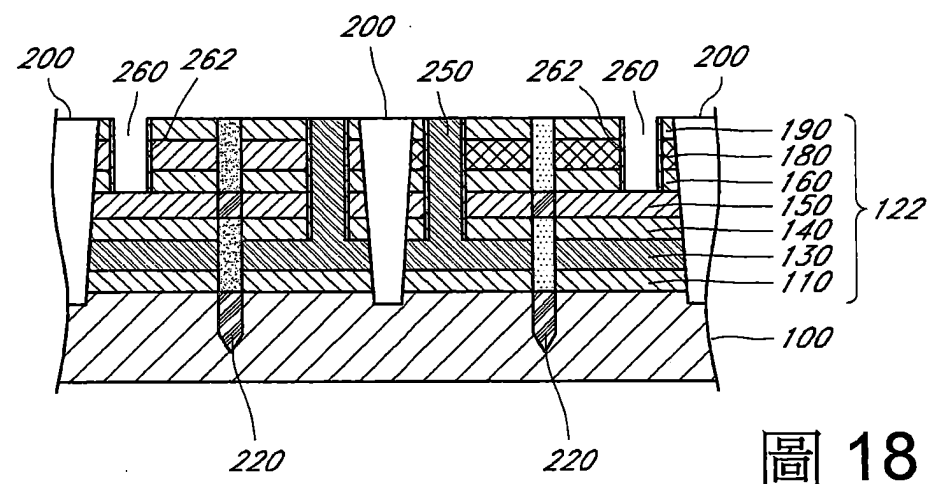


圖 18

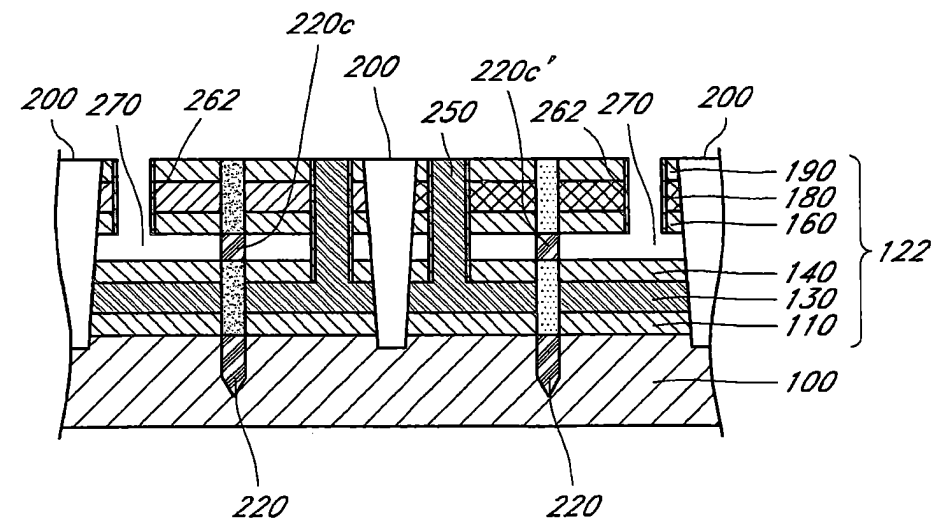


圖 19

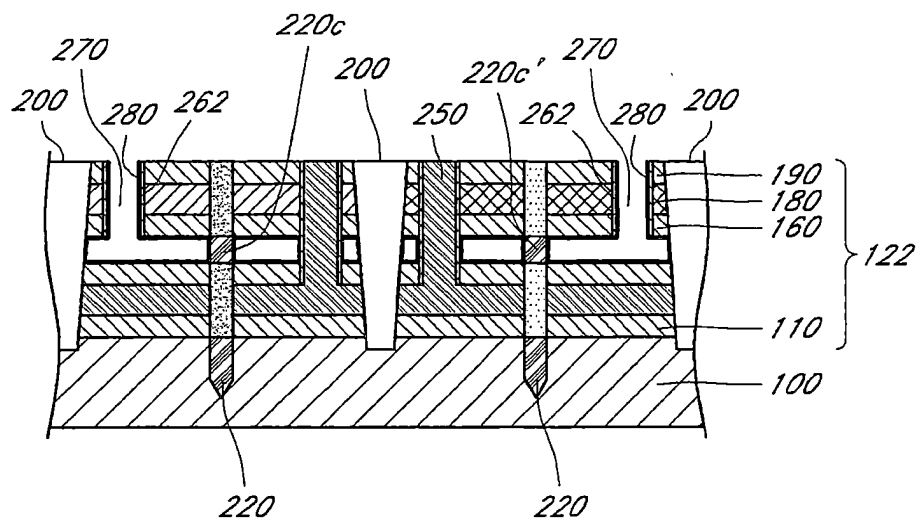


圖 20

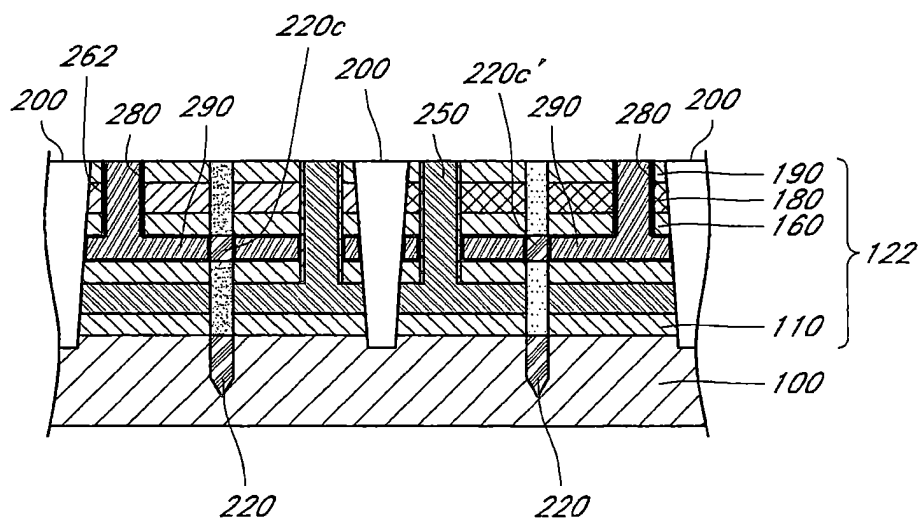


圖 21

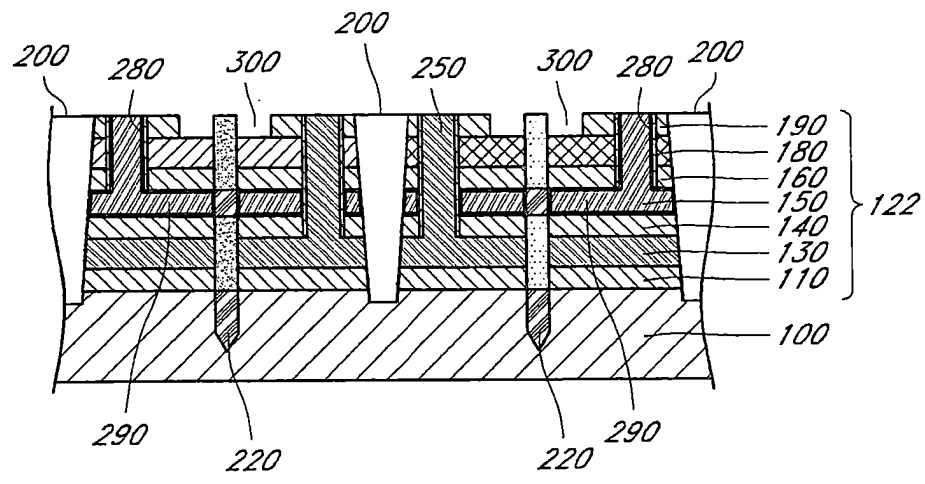


圖 22

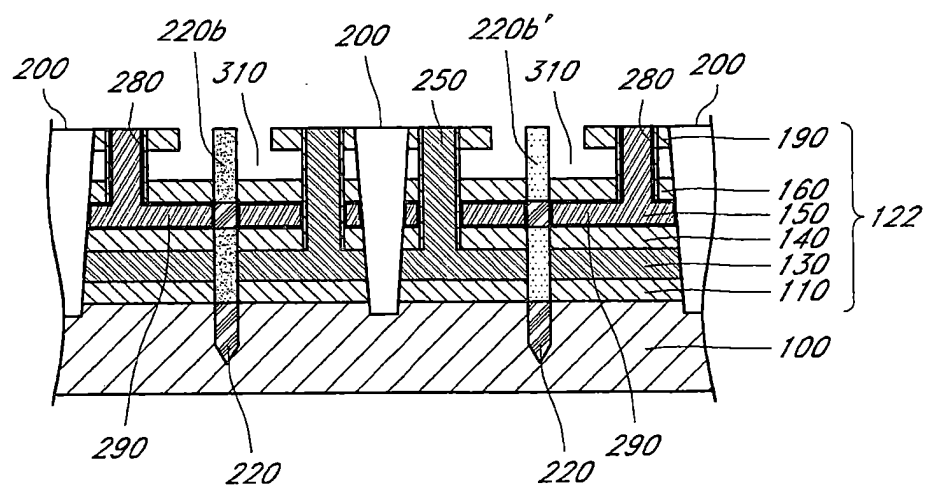


圖 23

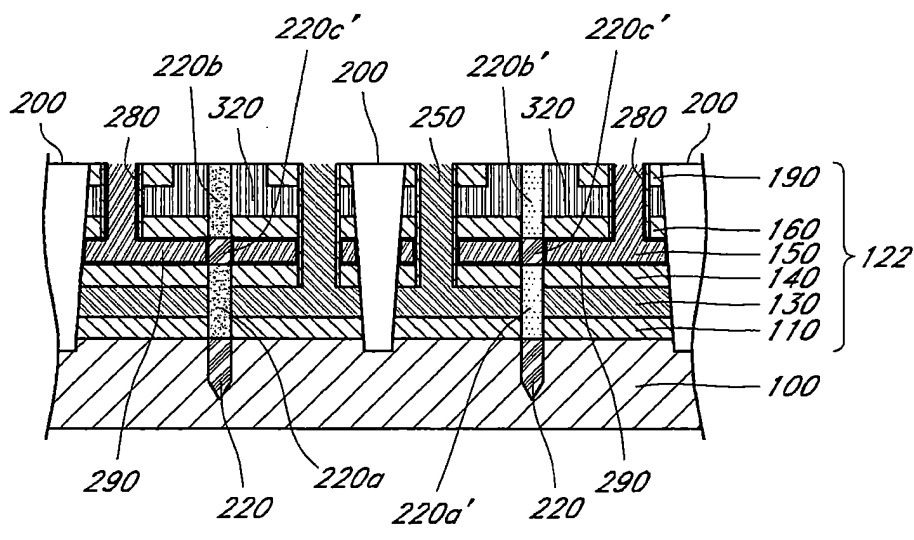


圖 24

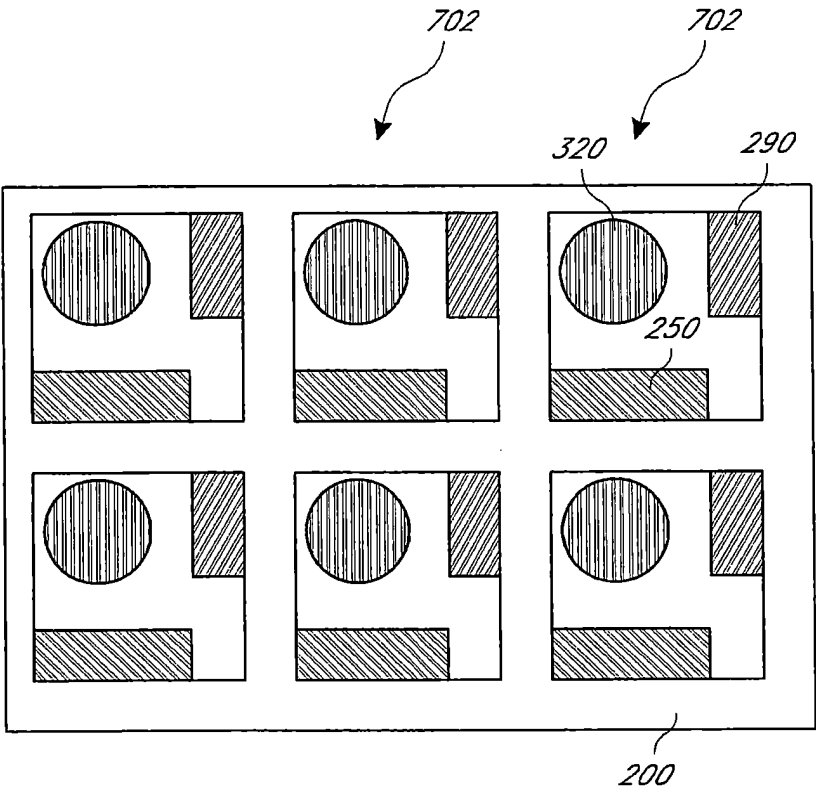


圖 25



of a plurality of spacer layers. Each of the plurality of spacer layers is formed of a different material than immediately neighboring layers of the plurality of dielectric layers. A vertically-extending hole is formed through the plurality of dielectric layers and the plurality of spacer layers. The hole is filled by performing an epitaxial deposition, with the material filling the hole forming a wire. The wire is doped and three of the dielectric layers are sequentially removed and replaced with conductive material, thereby forming upper and lower contacts to the wire and a gate between the upper and lower contacts. The wire may function as a channel region for a transistor.

【代表圖】

【本案指定代表圖】：圖 24。

【本代表圖之符號簡單說明】：

100：基底

110：蝕刻中止層

130、150：介電層

122：介電堆疊

140、160、190：間隔層

200：水平蝕刻中止層

220：導線

220a、220a'：下部位

220b、220b'：上部位

220c'：中部位

250：下接觸窗

280：介電襯層

290：閘極

320：上接觸窗

圖 19 是圖 18 的結構在去除被開口暴露的部份介電層以形成埋入式開放空間後的剖面圖。

圖 20 是圖 19 的結構在於埋入式開放空間中形成介電襯層後的剖面圖。

圖 21 是圖 20 的結構在以導電材料充填入埋入式開放空間以形成閘極後的剖面圖。

圖 22 是圖 21 的結構在形成開口以界定上接觸窗後的剖面圖。

圖 23 是圖 22 的結構在去除被開口暴露的部分介電層以形成埋入式開放空間後的剖面圖。

圖 24 是圖 23 的結構在以導電材料充填埋入式開放空間以形成上接觸窗後的剖面圖。

圖 25 是圖 24 的結構的俯視剖面圖。

【實施方式】

【0008】 當電晶體的大小小於關鍵尺寸 25 nm 或更小(例如到 15 nm 或更小，或是 10 nm 或更小)時，流經更加短的通道長度的電流變得更難以控制，且更高的密度使得製造與電晶體電性接觸的空間更少。結果，電晶體的電氣行為可能會受損，且可靠地製造與形成對電晶體的接觸可能會變困難。

【0009】 具有閘極在導線的多個邊環繞或延伸的垂直導線型電晶體可以提供一個更佳的電晶體架構。圖 1 是一垂直導線型電晶體 10 的圖解透視圖的一種例子。經摻雜的半導體材料的導線 220 形

成通道區，圍繞導線 220 的閘極 290 以導電材料形成。導線 220 與閘極 290 是以閘介電層(介電襯層 280)分開。如圖所示，閘極 290 可具有向上延伸部(upwardly extending portion)290a，用以形成閘極接處窗。如圖所示，閘極較佳是完全延伸環繞導線 220 的周邊。下接觸窗(lower contact)250 提供對導線 220 的下末端電性接觸。下接觸窗 250 可具有向上延伸部 250a，用以對下接觸窗形成電性接觸。上接觸窗(upper contact)320 提供對導線 220 的上末端電性接觸。可以理解的是，下接觸窗 250 與上接觸窗 320 的功能可以是源/汲極接觸窗。如文中用到的，可以理解到用語導線表示是伸長的導電或半導體結構，其具有較寬度大的長度。剖面形狀，如同在橫向延伸到導線的長的平面中的剖面所見，可以是任意形狀。在某些實施例中，剖面形狀是圓的。

【0010】 繼續參照圖 1，垂直延伸的導線能提供比傳統具有水平延伸閘極的元件更長的通道，同時也提供更小的佔據面積，它可以與傳統元件一樣小或更小。結合閘極環繞或沿著導線的多個邊延伸，垂直元件能對電流更好控制。此外，垂直延伸的導線能於鄰接處留下更多的空間，供形成接觸窗，因此，使得與包含這些電晶體的積體電路的其他元件更可靠的連接。

【0011】 在文中描述的某些實施例中，提出了用以形成一般地垂直延伸的導線型元件的方法。被間隔層分開的介電層的堆疊形成在基底上，在某些實施例中，提出了 2 或更多個、或是 3 或更多個介電層，這些介電層被間隔層分開。介電層可以配置在每一間

小的區域，而留下被元件佔據的區域外的較大部分用以形成接觸窗。這能改善與元件形成接觸的容易度，且提升元件的可靠度。例如，在某些實施例中，電晶體可以佔據具有關鍵尺寸約 25 nm 或更小、約 15 nm 或更小、或是 10 nm 或更小的單元。此外，在形成電晶體的實施例中，閘極可以形成在導線的多個邊上，或完全環繞導線的周邊。這樣的安排能改善對流經導線的電流的控制。又，如文中所述，每一接觸窗與閘極能形成在被介電層分離的不同平面。介電層可以有利地保護其他已先形成的結構(包含閘極)免於暴露在蝕刻劑(etchant)中，以及可免於被這樣的暴露造成的不想要的變化與損害。

【0018】 現在請參照圖 2A，繪示的是基底 100 的剖面圖。基底 100 可以是半導體基底，其包含半導體材料，例如包括主體(bulk)半導體材料，像是半導體晶圓(單獨的或是與其他材料組合的，包含形成在此半導體晶圓的上方或下方的材料)以及半導體材料層(例如與其他材料組合)。在某些實施例中，基底包括矽晶圓。可以理解到基底可以包含各種特徵圖案，像是隔離結構、摻雜區、及/或在相同或其他層的電子元件。

【0019】 在某些實施例的第一階段(phase)中，介電堆疊可以形成在基底 100 上，圖 2B 繪示的是圖 2A 的結構在形成蝕刻中止層 110 與介電層 120 後形成部分介電堆疊 122 的剖面圖。在本文件的全文中，用語“層”沒有不同的表示時包含單一或多個。層可以位在下面的基底的部份或是全部上面。

【0020】繼續參照圖 2B，蝕刻中止層 110 可以由抗蝕刻的材料形成，之後可用來去除介電層 120。例如，蝕刻中止層 110 可以由氮化矽形成，且介電層 120 可以由氧化矽形成。每一蝕刻中止層 110 與介電層 120 可以藉由使用氣相前驅物的沉積製程沉積，例如，化學氣相沉積(CVD)製程或 ALD 製程。這樣的製程，特別是 ALD 製程，能對小型電子元件(像是具有關鍵尺寸約 25 nm 或更小者)形成所需厚度的均勻且共形的(conformal)層提供優勢。

【0021】在某些實行中，介電層 120 可以被摻雜，例如使用磷、砷、銻、硼、鎵或銮。在某些實施例中，摻質(dopant)是 P 型摻質，像是硼。可以理解的是，摻質可以結合進入介電層 120，例如利用摻質物種的離子植入、或氣態摻質物種的擴散。

【0022】在某些其他實施例中，摻質可以在介電層以沉積方式形成時結合進入介電層 120。例如，介電層 120 可以在 ALD 期間被摻雜，那時基底是交替地且依序地在不同時段暴露在 2 或更多種前驅物中。交替前驅物可以包含用以形成介電層 120 的化合物的前驅物，且同時包含摻質前驅物。一次沉積循環包含實質地分別將基底對每一前驅物暴露至少一次。多次沉積循環依序執行以建立沉積層，直到所需的總厚度達到為止。基底也可以在沉積循環期間暴露在電漿中，像是氧、氮、氫、氬、氦或氟電漿。在某些實施例中，可變的摻質輪廓(profile)能藉由僅在某些沉積循環中暴露基底於摻質中而在介電層 120 中形成。例如，形成介電層 120 的下次層(sublayer)與上次層的沉積循環可以排除摻質前驅物，因

此而讓那些形成的層沒有摻雜。這些沒有摻雜的次層可以幫助將摻質封入介電層 120 中，且減少不想要的摻質擴散入下面的層與上面的層中。

【0023】部分介電層 120 可以相反摻雜的介電層替換，以形成 CMOS 結構。圖 3 是圖 2B 的結構在以不同摻雜的介電層替換部份介電層後的剖面圖。在某些實施例中，部分介電層 120 可以去除，沉積另一介電層以取代去除的部份介電層 120，且摻雜此另一介電層以形成與介電層 120 相反摻雜的介電層 130。去除部分介電層 120 可以藉由在介電層 120 上圖案化罩幕完成，罩幕保護要留下來的部分介電層 120，而暴露要去除的部分介電層 120。可以接著進行形成介電層 120 材料的蝕刻選擇(例如，針對由氧化矽形成的介電層 120 的氟碳蝕刻(fluorocarbon etch))，以選擇性去除暴露的部分介電層 120。介電層 130 可以接著沉積入已去除介電層 120 的區域。摻雜相對於介電層 120 是相反性質的摻質。如同介電層 120，介電層 130 可以於沉積時、或沉積完成後被摻雜。介電層 120 包含 P 型摻質，則介電層 130 可以 N 型摻質摻雜，像是磷。在某些實施例中，介電層 120 與介電層 130 可以由不同的材料形成。在某些其他實施例中，介電層 120 與介電層 130 可以由相同的材料形成，如此能夠對後續製程(像是蝕刻製程)提供好處，可以使用相同的蝕刻化學品蝕刻介電層 120 與介電層 130。可以理解的是，形成介電層 130 的材料可以在介電層 130 形成後在介電層 120 上延伸。針對上方結構的形成，可以執行化學機械研磨(CMP)製程以形

成水平表面。

【0024】 介電堆疊 122 的形成隨著形成另外的材料層而繼續。圖 4 是圖 3 的結構在形成間隔層 140 與另外的介電層 150 後的剖面圖。間隔層 140 可以由不同於介電層 120 與介電層 130 的材料形成，且在蝕刻去除介電層 120 介電層與 130 時抵抗蝕刻。在某些實施例中，間隔層 140 是由介電材料形成，且可以是與形成蝕刻中止層 110 相同的材料。例如，間隔層 140 可以由氮化矽形成。在某些實施例中，介電層 150 是由氧化矽形成。可以理解的是，間隔層 140 與介電層 150 其中之一或二者可以利用例如 CVD 或 ALD 形成。同時也可以知道，介電堆疊 122 中的各種層被當作間隔層與介電層是為了易於描述。間隔層和介電層都可以由介電材料形成。

【0025】 文中更要說的是，介電層 150 的厚度可以決定形成在介電堆疊 122 中的電晶體的通道長度。在某些實施例中，介電層 150 的厚度是約 3 至 30 nm、約 3 至 15 nm、或約 3 至 10 nm。在某些實施例中，介電層 150 以 ALD 方式沉積，它能對薄膜厚度提供特別的控制，且因此控制被厚度界定的通道長度。

【0026】 另外的層可以接著加至介電堆疊 122。圖 5 是圖 4 的結構在形成另外的間隔層 160 與另外的介電層 170 以形成另外的部份介電堆疊 122 後的剖面圖。間隔層 160 與介電層 170 可以分別是類似於文中描述の間隔層 140 與介電層 150，且形成方式分別相類似。在某些實施例中，間隔層 160 與間隔層 140 是由相同的材料

Ge 會用在 P-MOS 結構的導線中，且 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 會用以形成 N-MOS 結構的導線。

【0037】 在某些實施例中，個別的導線 220 可以不同材料的組合形成，以不同的材料配置在導線 220 中的不同高度。例如，矽可以形成導線 220 的上部位、中部位與下部位中的一或二個，而銻或 III-V 族材料可以形成導線 220 的一或多個其他部位。在此種實施例中，各種材料可以依序沉積入開口 210 中。在某些實施例中，不同的材料可以在導線中產生應變(strain)，因此增加電荷載子移動率(charge carrier mobility)。由於導線 220 可以配置在不同的背景中(例如它們可以於後續經不同摻雜)，不同的導線 220 可以包含不同的材料次序，那些選用的即將用到的材料是與背景相容。

【0038】 接著，可以摻雜導線 220。圖 10 是圖 9 的結構在摻雜介電堆疊 122 中的導線 220 後的剖面圖。在某些實施例中，導線 220 可藉由介電堆疊 122 被回火的趨入回火來摻雜，使得介電層 120、170 與 130、180 中的摻質被趨入或擴散入與那些層接觸的導線 220 中。如圖所示，在摻雜後，在圖示結構的左側的導線 220 包含摻雜區 220a 與 220b。在某些實施例中，趨入回火是在摻質明顯擴散入左邊導線 220 的中間部位 220c 前停止。類似地，右導線 220 包含摻雜區 220a' 與 220b' 以及原則上未經摻雜的中間部位 220c'。在某些實施例中，原則上未經摻雜的中間部位 220c 與 220c' 可以做為通道區，且可以具有約 30 nm 或更小、約 20 nm 或更小、或約 5 至 15 nm 的高。

【0039】 在某些實施例的第四階段中，形成與導線 220 交互作用的接觸窗與導電結構。圖 11 是圖 10 的結構在形成開口 230 用以界定下接觸窗後的剖面圖。開口 230 可藉由在介電堆疊 122 上沉積並圖案化罩幕(未顯示)而形成。介電堆疊 122 是以指向性蝕刻穿過罩幕中的開口而被蝕刻，因此形成開口 230。可以理解的是，指向性蝕刻可以使用一或多種蝕刻化學物，並設定藉由停止在介電層 130 或介電層 130 中以暴露出介電層 130。

【0040】 接著，開口 230 的壁以襯層加襯。圖 12 是圖 11 的結構在以襯層 232 加襯開口 230 後的剖面圖。可以理解的是，開口 230 接近介電層 120 與 130，因此使得介電層 120 與 130 待暴露於蝕刻劑且被去除。襯層 232 是沉積以保護在開口 230 的邊的層。此外，襯層 232 也可以作為提供後續形成的導電特徵間的水平電性絕緣，且以那樣的情況，較佳的是充分的厚以提供那樣的絕緣。在某些實施例中，襯層 232 是以 ALD 形成，它可以形成具有高共形性、均勻性、與階梯覆蓋的薄層。在某些實施例中，形成襯層 232 的材料是與形成蝕刻中止層 110 與間隔層 140 的材料相同。例如，襯層 232 可以由氮化矽形成。

【0041】 可以理解的是襯層 232 也加襯在開口 230 的底部，並阻止進入介電層 120 與 130。在開口 230 底部的部分襯層 232 可以去除，以讓後續的蝕刻進入介電層 120 與 130。圖 13 是圖 12 的結構在去除開口 230 底部的襯層 232 後的剖面圖。去除可以指向性蝕刻來蝕刻襯層 232 而做到，相對於開口 230 的邊處的襯層 232，它

會優先地去除開口 230 底部的襯層 232。因此，介電層 120 與 130 可以暴露在開口 230 的底部。

【0042】 暴露的介電層 120 與 130 接著可以選擇性去除，例如，選用針對形成這些層的材料濕式蝕刻。圖 14 是圖 13 的結構在去除暴露的介電層 120 與 130 以留下在介電堆疊 122 的下表面延伸的開放空間(open volume)240 後的剖面圖。開放空間 240 也可以當作是埋入式開放空間。導線 220 的下部位 220a 與 220a' 是暴露在埋入式開放空間 240 中。可以理解的是，水平蝕刻中止層 200、蝕刻中止層 110、與間隔層 140 可以限制用於去除介電層 120 與 130 的蝕刻劑。因此，埋入式開放空間 240 可被限制在每一單元 702 中，且在每一單元的特定高度中。可以理解的是，圖 14 與後續的許多圖式只針對 2 個單元 702 是爲了方便說明。無論如何，文中描述的製程可以適用於單元 702 的陣列的每一單元。例如，可以理解，如果在圖 13 與圖 14 所示的單元 702 的左側及/或右側存在有其他的單元，可以在那些單元中形成另外的開口 230。

【0043】 接著，可以對下部位 220a 與 220a' 製造接觸窗。圖 15 是圖 14 的結構在以導電材料充填埋入式開放空間 240 以形成下接觸窗 250 後的剖面圖。如圖所示，下接觸窗 250 與導線 220 的下部位 220a 與 220a' 接觸，並延伸至結構的上表面，製造與其它電路的電性連接。下接觸窗 250 可以由(沒有限定)貴金屬、貴金屬氧化物或貴金屬氮化物形成，像是 Ru、RuO₂、IrO₂、W、Ir、Pt、SrRuO₃、Rh、Pd、Ag、Cu、Re、Os 或 Au、或它們的混合，或是 NbN、ZrN、

HfN、 MoN_x 、 WN_x 、VN 或 TaN、或它們的混合。較佳的是，下接觸窗是由過渡金屬(transition metal)形成，像是 Ti、Ta、Nb、W、Ni、或它們的混合，或是由過渡金屬氮化物形成，像 TiN、TaN、NbN 或 WN、或它們的混合。在某些實施例中，下接觸窗 250 可以 ALD 形成。可以理解的是，ALD 每一沉積循環可以大約將前驅物沉積為自我限制層(self-limited layer)(例如單層(monolayer))。可執行多個沉積循環以完全充填空間 240。如此的單層疊單層的增長使得形成下接觸窗 250 的材料原則上完全充填埋入式空間 240，沒有夾斷(pinch off)在開口 240 的頸部，像其他沉積速率更密切與當時的前驅物的濃度有關的沉積製程就有可能會。

【0044】 在已製造有電晶體的實施例中，接著可形成閘極。圖 16 是圖 15 的結構在形成開口 260 以界定閘極後的剖面圖。蝕刻罩幕(未繪示)形成在介電堆疊 122 上，且使用指向性蝕刻透過蝕刻罩幕蝕刻形成開口 260。指向性蝕刻停在介電層 150 上或介電層 150 中，因此使得部分介電層 150 露出。

【0045】 接著，在開口 260 的壁上沉積襯層，以保護那些壁免於後續用於蝕刻去除部份介電層 150 的蝕刻。圖 17 是圖 16 的結構在以襯層 262 加襯開口 260 後的剖面圖。在某些實施例中，襯層 262 是以 ALD 形成。形成襯層 262 的材料可以是與形成蝕刻中止層 110 與間隔層 140 以及襯層 232(圖 12)的材料相同，例如，襯層 262 可以由氮化矽形成。

【0046】 因為襯層 262 的底部可覆蓋開口 260 的底部，因此襯層

262 的底部可以去除以讓蝕刻劑進入底下的介電層 150。圖 18 是圖 17 的結構在蝕刻襯層 262 的底部後的剖面圖。蝕刻可以是指向性蝕刻，選擇性去除襯層 262 的底部，而留下在開口 260 的壁上的襯層 262。因此，留下在開口 260 底部露出的介電層 150。

【0047】圖 19 是圖 18 的結構在去除被開口 260 暴露的部份介電層 150 以形成埋入式開放空間 270 後的剖面圖。介電層 150 可以針對形成此層的材料濕式蝕刻選擇性去除。這導致埋入式空間 270 留下被暴露的導線 220 的中間部位 220c 與 220c'。

【0048】可以理解的是，中間部位 220c 與 220c' 可以做為通道區，且以閘極介電層與閘極分離。有利的是，閘極介電層可以簡單地以介電層加襯埋入式空間 270 的壁上形成之。圖 20 是圖 19 的結構在埋入式開放空間 270 中形成介電襯層 280 後的剖面圖。在某些實施例中，介電襯層 280 可以 ALD 形成，它能可靠的覆蓋在中間部位 220c 與 220c' 的邊上，同時保持好的厚度控制。

【0049】介電襯層 280 較佳是由高 K 介電材料(介電常數高於氧化矽)形成。高 K 介電材料的實例包括含有鈪(Hf)的化合物，像是氧化鈪。其它高 K 介電材料的實例包括鋯(Zr)、釔(Y)、鋁(Al)或鈦(Ti)的氧化物。在某些實施例中，介電襯層 280 的 ALD 沉積包括分別交替與依序將埋入式開口空間 270 暴露於金屬前驅物與氧前驅物。在某些實施例中，是以金屬鹵化物(metal halide)做金屬前驅物，例如具有化學式 MX_n 的化合物，其中 M 為金屬，X 為鹵素，像是氟、氯、溴或碘，較佳的是氯或碘，而 n 是相等於 M 的價數，

例如當 M 是 Ti 時的 TiCl_4 、 TiBr_4 、與 TiI_4 。在某些實施例中，金屬鹵化物前驅物包括 AlCl_3 、 HfCl_4 、 HfI_4 、 SiCl_4 、 SiBr_4 、 SiI_4 、 SiF_4 、 ZrCl_4 與 ZrI_4 。金屬前驅物可以使得在埋入式開放空間 270 的壁上形成不會大於單分子層(single molecular layer)的層。這金屬層接著與氧前驅物反應，氧前驅物包含但不限制：氧氣、電漿激化的氧、原子氧(atomic oxygen)、臭氧、水、氧氣/氫氣、氫氣/二氧化碳、一氧化氮(NO)、二氧化氮(NO_2)、一氧化二氮(N_2O)、過氧化氫(H_2O_2)等。對金屬前驅物與氧前驅物交替暴露會持續到得到想要厚度的介電襯層 280 為止。

【0050】 在某些實施例中，介電材料可以包括前述材料的組合，例如含有鋁的氧化鉛。在某些實施例中，高 K 介電材料是奈米積層體(nanolaminate)，其由二種或更多的這些氧化物的構成層形成(例如奈米積層體可以包含氧化鉛與氧化矽的層)。例如，這些氧化物可以利用 ALD 以對金屬前驅物與氧前驅物交替暴露而形成。奈米積層體可以利用在不同的沉積循環改變金屬前驅物形成之。

【0051】 在某些實施例中，高 K 介電材料可包含 GeO_2 、 GeAlO_x 、 Al_2O_3 、 AlSiO_x 或 TaSiO_x 、或它們的任意組合。

【0052】 接著，將導電材料沉積入開放空間 270 以形成閘極。圖 21 是圖 20 的結構在以導電材料充填入埋入式開放空間 270 以形成閘極 290 後的剖面圖。每一閘極 290 較佳是完全圍繞某一導線 220 的周邊而延伸。在某些其他實施例中，閘極 290 可以部分圍繞導線 290 而延伸。導電材料延伸到結構的上表面，以對其他電路電

可以理解的是，超臨界流體(SCF)是一種以高於它的臨界溫度與臨界壓力所形成的物質。例如，當溫度約高於+31°C 且壓力約大於 73.75 巴(bar)時，CO₂ 會變成超臨界流體。以超臨界流體做質量轉移(mass transfer)是快速的。動態粘度比常態流體約小一等級，且超臨界流體的表面張力可忽略。超臨界流體中的擴散係數會比常態流體約高一等級。有利地是，當密度接近流體的密度時，傳輸特性(transport property)類似氣體。SCF 穿入極窄的開口並溶解多種化合物。包含銅的金屬可以藉由在溶液中加入螯合化合物(chelating compound)而溶解在超臨界 CO₂(典型的條件是約 +60°C、約 150 巴)中。然後，去除超臨界流體，留下金屬。有機金屬銅化合物也能溶解在超臨界 CO₂ 中。PCT 公開號 WO 03/053895、A. Cabanas 等人在材料化學期刊卷 15(15)(2003)的 2910-2916 頁、E. Kondoh 等人在微電子工程期刊卷 64(1-4)(2002)的 495-499 頁、與 J. M. Blackburn 等人在科學期刊卷 294(5540)(2001)的 141-145 頁揭露有從超臨界 CO₂ 中沉積銅的例子。

【0059】 可以理解的是，沉積的導電材料可以是不同於金屬的導體。在某些實施例中，導電材料可以是導電聚合物。例示的導電聚合物包含但不限定碘摻雜的聚乙炔、聚苯胺、聚吡咯(polypyrrole)、或聚噻吩(Polythiophene)。在熱固性聚合物(thermosetting polymer)的例子中，聚合物能注入成型於渠溝與介層洞中。在其他實施例中，單體在原位(in situ)聚合與摻雜以形成

充填渠溝與介層洞的導電聚合物。例如，在一實施例中，開口表面是以齊格勒-納他觸媒 (Ziegler-Natta catalyst)(像是 $\text{Ti}(\text{OC}_4\text{H}_9)_4/\text{Al}(\text{C}_2\text{H}_5)_3$) 或任何提升聚合製程的化合物的分子層塗覆。在乙炔氣體導入前或在乙炔氣體導入反應室的時間間隔，將基底暴露於碘或釋放碘的碘化合物。然後，將開口暴露於乙炔氣體(當作單體)，且開口變成充滿有碘摻雜的聚乙炔。聚乙炔的液相合成(liquid phase synthesis)揭露在例如 H. Shirakawa 等人在 *J.C.S. Chem. Comm.* (1977) 期刊的 578-580 頁、與 B. Lesiak 等人在 *Polish J. Chem.*, 74 (2000) 期刊的 847-865 頁。在那些出版物中討論的觸媒適用於來自氣體單體的經摻雜的導電聚合物在渠溝與介層洞表面的合成。

【0060】 在某些其他實施例中，導電材料可以是奈米碳管導線。例如，相對短的奈米碳管懸浮在流體(像是超臨界 CO_2) 中，且導入埋入式空間。然後，利用降低反應室的壓力氣化流體，且奈米碳管經由凡德瓦(van der Waals)交互作用彼此黏著。然後，電流經由奈米碳管流動。在電流處理期間增進了奈米碳管導體的導電性，這是因為連續的奈米碳管導線的形成可以耐極高的電流密度。以電流讓奈米碳管彼此“接合(Welding)”已經建議在 K. Jiang 等人的自然期刊 419(2002)的 801 頁中，其以參照方式併入本文。

【0061】 在其他實施例中，下接觸窗 250 可以由奈米金屬粉末製成。合適的奈米金屬粉末是美國佛羅里達州 Sanford 市 291 Power Court 的 Argonide 公司販售的。較佳的是，在一實施例中，奈米

它們的混合，或是由金屬氮化物組成，像是 TiN、TaN、NbN 與 WN、或它們的混合。在某些實施例中，上接觸窗 320 可以是以 ALD 形成。上接觸窗 320 與導線 220 的上部位 220b 與 220b' 接觸，並也延伸到結構的上表面(此處可形成與其他電路的電性連接)。

【0066】圖 25 是圖 24 的結構的俯視剖面圖。如圖所示，水平蝕刻中止層 200 分離多個單元 702，每一單元可以包含半導體元件，像是電晶體。圖 25 是就各種接觸窗對半導體元件的位置提供一個佈局的例子。上接觸窗 320、下接觸窗 250、與閘極 290 的延伸可以在上表面見到且如所需要地分隔開，以易於對那些結構電性接觸。如圖所示，在這上表面上，上接觸窗 320 可以是圓形，而下接觸窗 250 與閘極 290 可以是長方形。可以理解的是，這些形狀可以是任意的，且可利用其他形狀。較佳的是，所選擇的剖面形狀是爲了使蝕刻劑容易流動以去除各種層而形成上接觸窗 320、下接觸窗 250 與閘極 290，以及易於與其他電路電性接觸。也可以理解的是，在上表面上的這些特徵的位置也可以是任意的，且其他位置是可能的。較佳的是，這些特徵是充分地分離以減少短路的可能，且使得與連接這些特徵到其他電路的其它特徵容易對準，其他特徵例如是導電插塞(未繪示)。因此，可以理解的是，圖 24 與圖 25 提供的只是由文中的方法形成的積體電路的部分剖面圖。

【0067】可以理解的是，可以對文中揭露的方法做各種修改。如文中所述，可以利用各種沉積製程充填埋入式空間 240、270、及/

或 310。在某些實施例中，所有的空間可以相同的材料充填，且也可以使用類似的沉積製程。在某些其他實施例中，爲了某種理由，例如成本、材料特性與相容性、及/或製造容易性，可以利用不同的材料充填不同的埋入式空間。例如，空間 270 可以金屬充填以形成閘極 290，而空間 240 與 310 可以另外的導電材料充填以形成下接觸窗 250 與上接觸窗 320。例如，其他的導電化合物可以是以 ALD 沉積的 TiN，它使用金屬鹵化物前驅物(像是 TiCl_4)與氮前驅物(像是 NH_3)。例示的用於金屬導體(像是鎢金屬)沉積的 ALD 反應物包含金屬化合物(像是 WF_6)與還原劑(像是硼烷(borane)，例如二硼烷 B_2H_6)。在某些實施例中，接觸窗 250 與 320 可以由任何金屬與相關的沉積製程(文中對於閘極 290 的說明)形成。例如，可以使用鎳以形成藉由 ALD 沉積的接觸窗 250 與 320。

【0068】 此外，在某些實施例中，將介電層 120 與 170 的不同部位可以不同的摻質摻雜以形成有不同摻雜的介電層 120 與 130，而非取代部份介電層 120 以形成相反摻雜的介電層 130 或取代部份介電層 170 以形成相反摻雜的介電層 180。例如，可在介電層 120 上形成保護罩幕且圖案化，在罩幕中的開口暴露出欲以一種類型的摻質摻雜的部位。然後，摻雜那些暴露的區域，且接著去除罩幕且形成另外的罩幕並圖案化，暴露出欲以另一種類型的摻質摻雜的介電層 120 的其他部位。然後，使用其他類型的摻質摻雜那些暴露出的其他部位。接著，去除罩幕。介電層 170 可以類似地以不同的摻質摻雜。在某些其他實施例中，不同摻雜的介電層 130

與 180 可以省略以形成相似摻雜導線型元件的重複陣列。

【0069】 在某些實施例中，介電層 120 及/或 170 可以不摻雜，且不使用趨入回火來摻雜導線 220。導線 220 可於沉積的同時摻雜。這樣的沉積同時摻雜可以在導線 220 的摻雜與未摻雜區間幫助形成清楚的邊界，其可增進以這種導線形成的電晶體的電性功能的可預測性。

【0070】 在某些實施例中，導線 220 可以形成穿隧場效電晶體 (TFET)。請再參照圖 10，以不同的摻質類型摻雜下與上部位，而非以相同類型的摻質摻雜下部位 220a、220a' 與上部位 220b、220b'。例如，下部位 220a 與 220a' 可以 P 型摻質摻雜，而上部位 220b 與 220b' 可以 N 型摻質摻雜。這種摻雜可藉由相應地以一種摻質類型摻雜介電層 120、130 且以另一種摻質類型摻雜介電層 170、180 來完成。然後，如文中所描述的，可執行趨入回火，將摻質趨入導線 220 中。在某些其他實施例中，導線 220 是以所要的摻質於沉積時摻雜。

【0071】 再繼續參照圖 10，在某些實施例中，互補式 TFET 可以由在特定高度具有不同摻雜的導線部位的 TFET 形成。下部位 220a 與 220a' 可以是不同的摻雜，而上部位 220b 與 220b' 可以是不同的摻雜，且對個別的導線 220 而言，上部位與下部位可以是不同的摻雜。例如，下部位 220a 與 220a' 可以分別摻雜 N 型摻質與 P 型摻質，而上部位 220b 與 220b' 可以分別摻雜以 P 型摻質與 N 型摻質。如文中所述，摻雜可以趨入回火及/或於沉積時完成。

【0072】 在某些實施例中，形成個別的 TFET 的導線 220 可以包含 2 或更多種不同的半導體材料。例如，下部位 220a、220a' 與中部位 220c、220c' 可以由矽形成，而上部位 220b 與 220b' 可以由鍺形成。在某些實施例中，矽的部分可以是 N 型摻雜或未摻雜，而鍺的部份可以是 P 型摻雜，其可提供增加電流流經元件的效益。在某些其他實施例中，不同的 TFET 可以就導線 220 而言包含不同的半導體組合。例如，在某些互補式 TFET 實施例中，某一導線 220 可以包含 P 型摻雜的鍺部分以及 N 型摻雜與未摻雜的矽部份；而互補式導線 220 可以包含 N 型摻雜的砷化銦部分以及 P 型摻雜與未摻雜的矽部份。

【0073】 可以理解的是，TFET 的源極/汲極接觸窗與閘極可以接著如文中所述被形成，以形成接觸窗 250 與 320 以及閘極 290。

【0074】 可以理解的是，閘極 290 以及接觸窗 250 與 320 可以其他次序形成。有利的是，蝕刻中止層 110 與間隔層 140、160、190 保護並隔離在其他高度的其他特徵。例如，在某些實施例中，閘極 290 可以在形成接觸窗 250 與 320 後形成。

【0075】 因此，熟悉此藝者可以在不脫離本發明的範圍內，對上述的製程與結構做各種的省略、增加與潤飾。對實施例的特定特徵與態樣可以做各種組合與子組合，其仍落在本發明的範圍內。揭露的實施例的各種特徵與態樣可以妥當地與其中之一結合或取代，所有這些潤飾與變更都落在本發明後附的申請專利範圍所界定的範圍內。

【符號說明】**【0076】**

10：垂直導線型電晶體

100：基底

110：蝕刻中止層

120、130、150、170、180：介電層

122：介電堆疊

140、160、190：間隔層

200：水平蝕刻中止層

210、230、260、300：開口

220：導線

220a、220a'：下部位

220b、220b'：上部位

220c、220c'：中部位

232、262：襯層

240、270、310：空間

250、320：接觸窗

250a、290a：延伸部

280：介電襯層

290：閘極

702：單元

2017-08-29

申請專利範圍

1. 一種用以製造電子元件的方法，包括：

形成電晶體，包括：

於半導體基底上形成堆疊層，所述堆疊層包括：

第一介電層；

位於所述第一介電層上的第一間隔層；

位於所述第一間隔層上的第二介電層；

位於所述第二介電層上的第二間隔層；以及

位於所述第二間隔層上的第三介電層；

完全穿過所述堆疊層而蝕刻出垂直延伸的洞；

以半導體充填所述洞；

選擇性移除至少部分所述第一介電層，以形成在所述第一間隔層的正下方延伸的第一埋入式空間；

以導體充填所述第一埋入式空間；

選擇性移除至少部分所述第二介電層，以形成在所述第二間隔層的正下方延伸的第二埋入式空間；以及

以導體充填所述第二埋入式空間。

2. 如申請專利範圍第 1 項所述的用以製造電子元件的方法，更包括：

選擇性移除至少部分所述第三介電層，以形成第三埋入式空間；以及

以導體充填所述第三埋入式空間。

2017-08-29

3. 如申請專利範圍第 2 項所述的用以製造電子元件的方法，更包括：

在以導體充填所述第二埋入式空間之前，以介電層對所述第二埋入式空間加襯。

4. 如申請專利範圍第 3 項所述的用以製造電子元件的方法，其中選擇性移除所述第一介電層暴露出所述洞中的所述半導體，且其中充填所述第一埋入式空間的導體接觸所述半導體。

5. 如申請專利範圍第 4 項所述的用以製造電子元件的方法，其中選擇性移除所述第三介電層暴露出所述洞中的所述半導體，且其中充填所述第三埋入式空間的導體接觸所述半導體。

6. 如申請專利範圍第 2 項所述的用以製造電子元件的方法，其中充填所述第一埋入式空間的導體、充填所述第二埋入式空間的導體與充填所述第三埋入式空間的導體各自向上延伸，以界定相同平面的部分。

7. 如申請專利範圍第 1 項所述的用以製造電子元件的方法，其中所述洞的直徑是 15 nm 或更小。

8. 如申請專利範圍第 1 項所述的用以製造電子元件的方法，更包括在以所述半導體充填所述洞之後對所述洞中的所述半導體進行摻雜。

9. 一種用以製造電子元件的方法，包括：

形成電晶體，包括：

形成所述電晶體的通道區，所述通道區由導線界定；

2017-08-29

形成所述電晶體的源極/汲極接觸窗，包括：

形成第一埋入式空間；

以第一介電層對所述第一埋入式空間加襯；以及

以第一導體充填所述第一埋入式空間；以及

形成所述電晶體的閘極接觸窗，包括：

形成第二埋入式空間，所述第二埋入式空間藉由所述第一介電層而與所述第一導體分隔開；

以第二導體充填所述第二埋入式空間；以及

在充填所述第二埋入式空間之前，以第二介電層對所述第二埋入式空間加襯，

其中所述第二介電層的介電常數高於所述第一介電層的介電常數。

10. 如申請專利範圍第 9 項所述的用以製造電子元件的方法，其中以所述第一介電層對所述第一埋入式空間加襯包括以所述第一介電層對所述第一埋入式空間的垂直延伸側壁加襯。

11. 一種用以製造電子元件的方法，包括：

形成電晶體，包括：

形成所述電晶體的通道區，所述通道區由導線界定；

形成所述電晶體的源極/汲極接觸窗，包括：

形成第一埋入式空間；

以第一介電層對所述第一埋入式空間加襯；以及

以第一導體充填所述第一埋入式空間；

2017-08-29

形成所述電晶體的閘極接觸窗，包括：

形成第二埋入式空間，所述第二埋入式空間藉由所述第一介電層而與所述第一導體分隔開；以及

以第二導體充填所述第二埋入式空間；以及
形成所述電晶體的另一源極/汲極接觸窗，包括：

形成第三埋入式空間；以及

以第三導體充填所述第三埋入式空間。

12. 如申請專利範圍第 11 項所述的用以製造電子元件的方法，其中所述第一導體、所述第二導體與所述第三導體包括相同金屬。

13. 如申請專利範圍第 12 項所述的用以製造電子元件的方法，其中所述第一導體、所述第二導體與所述第三導體包括過渡金屬氮化物。