

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号

WO 2010/057348 A1

(43) 国际公布日
2010 年 5 月 27 日 (27.05.2010)

- (51) 国际专利分类号:
G06F 9/54 (2006.01)
- (21) 国际申请号: PCT/CN2008/073520
- (22) 国际申请日: 2008 年 12 月 16 日 (16.12.2008)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
200810217465.7 2008 年 11 月 19 日 (19.11.2008) CN
- (71) 申请人 (对除美国外的所有指定国): 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 王新安 (WANG, Xi-nan) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。戴鹏 (DAI, Peng) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。胡子一 (HU, Ziyi) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大校区, Guangdong 518055 (CN)。
- (74) 代理人: 北京信慧永光知识产权代理有限公司 (BEIJING SUNHOPE INTELLECTUAL PROPERTY LTD.); 中国北京市海淀区知春路 9 号坤讯大厦 1106 室, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY,

[见续页]

(54) Title: INTEGRATED CIRCUIT BASED ON RECONFIGURABLE PARTS AND ITS CONFIGURATION METHOD AND DESIGN METHOD

(54) 发明名称: 一种基于可重构部件的集成电路及其配置方法和设计方法

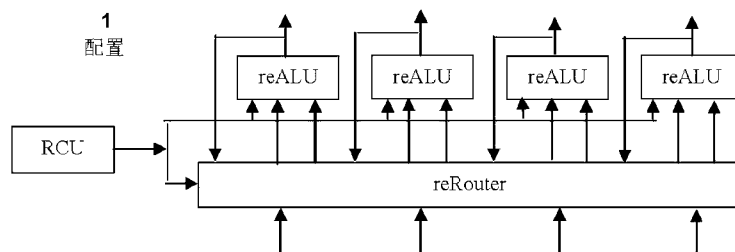


图 6 /Fig.6

1 CONFIGURATION

(57) Abstract: An integrated circuit based on reconfigurable parts and its configuration method and design method. The integrated circuit includes at least one reconfigurable control part and at least one reconfigurable processing part. The reconfigurable processing part is any one of a reconfigurable operating part, a reconfigurable memory part and reconfigurable data router part or their any combination.

(57) 摘要:

一种基于可重构部件的集成电路及其配置方法和设计方法。该集成电路包括至少一个可重构控制部件和至少一个可重构处理部件。该可重构处理部件是可重构运算部件、可重构存储部件和可重构数据路由部件中的任意一种或组合。



WO 2010/057348 A1



KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

说明书

一种基于可重构部件的集成电路及其配置方法和设计方法

技术领域

- [1] 本发明涉及集成电路设计领域，具体涉及一种基于可重构部件的集成电路及其配置方法和设计方法。

背景技术

- [2] 随着集成电路制造工艺进入90nm-45nm阶段，数据流算法（如数字媒体和通信基带等）的ASIC（Application Specific Integrated Circuit，即专用集成电路）设计，面临设计周期长、设计成本高、灵活性差、扩展性差，难以满足产品快速上市、功能不断提升的需求。
- [3] 集成电路的设计方法，从门阵列设计（1984年1.0um工艺节点开始）发展到今天仍在使用的标准单元设计（1994年0.5um工艺节点开始）、基于IP的设计（1999年0.25um工艺节点开始）和时间驱动（2004年0.13um工艺节点开始）的设计等方面的进步。
- [4] 进入90nm以后，集成电路设计的效率严重滞后于制造工艺的进步，主要原因在于标准单元的粒度太小，如只能进行加减乘除等运算，无法实现粒度较大的运算，如一次操作可完成FFT的某一个蝶形运算，或 $|a-b|$ ，复数运算，cordic运算等操作。
- [5] 现有技术需要改进和提高。

发明内容

- [6] 有鉴于此，本发明要解决的技术问题是增大集成电路的运算粒度，提供一种基于可重构部件的集成电路，本发明要解决的另一个技术问题是提供该集成电路的配置方法，本发明进一步要解决的技术问题是提供该集成电路的设计方法，以实现集成电路的快速设计。
- [7] 本发明的是通过以下技术方案来解决上述技术问题的：
- [8] 一种基于可重构部件的集成电路，包括至少一个可重构控制部件，和至少一个可重构处理部件，所述可重构处理部件是可重构运算部件、可重构存储部件或

可重构数据路由部件中的任意一种或组合，所述可重构运算部件用于对输入数据执行运算操作，所述可重构存储部件用于对数据的存储和读出操作，所述可重构数据路由部件用于数据输入和输出路径的通路选择操作，所述可重构处理部件与所述可重构控制部件互联，所述可重构控制部件向可重构处理部件发出配置指令，所述可重构处理部件根据该配置指令执行处理任务。

[9] 上述集成电路，包括至少一个可重构运算部件，所述可重构运算部件包括运算配置寄存器和算术逻辑运算单元，所述运算配置寄存器用于接收和存储所述可重构控制部件发来的运算配置指令，所述算术逻辑运算单元根据所述运算配置指令进行算术或逻辑运算。

[10] 上述集成电路，包括至少一个可重构存储部件，所述可重构存储部件包括存储配置寄存器和存储单元，所述存储配置寄存器用于接收和存储所述可重构控制部件发来的存储配置指令，所述存储单元根据所述存储配置指令进行数据存取。

[11] 上述集成电路，包括至少一个可重构数据路由部件，所述可重构数据路由部件包括路由配置寄存器和路由选择单元，所述路由配置寄存器用于接收和存储所述可重构控制部件发来的路由配置指令，所述路由选择单元根据所述路由配置指令进行路由选择。

[12] 上述集成电路，还包括可重构定时部件，用于产生供所述可重构控制部件和可重构处理部件的时钟控制信号。

[13] 上述时钟控制信号包括可配制的控制时钟起停和控制时钟频率的信号。

[14] 一种基于可重构部件的集成电路配置方法，包括可重构部件的配置过程，所述配置过程是通过可重构控制部件向可重构处理部件发送配置指令，可重构处理部件接收存储该配置指令并根据所述配置指令完成数据处理任务加以实现，所述可重构处理部件是可重构运算部件、可重构存储部件或可重构数据路由部件中的任意一种或组合。

[15] 上述可重构处理部件通过其所具有的配置寄存器来接收存储所述配置指令。

[16] 上述配置指令至少包含操作码、源和目的参数，所述操作码为规定指令所执行操作的命令码，所述源为指令操作的对象，所述目的是用于指定写入配置信息

的配置寄存器。

[17] 上述配置指令是通过定义超长指令字加以实现的，所述超长指令字的字长是根据其所配置的可重构处理部件的数目来配置的。

[18] 上述配置指令的字长配置是通过修正指令存储器和指令寄存器加以实现的。

[19] 一种基于可重构部件的集成电路设计方法，包括以下步骤：

A、根据算法，使用一个或多个可重构控制部件和与其连接的一个或多个可重构处理部件生成集成电路，所述可重构处理部件是满足算法需要的可重构运算部件、可重构存储部件或可重构数据路由部件中的任意一种或组合，所述可重构运算部件对输入数据执行运算操作，所述可重构存储部件完成对数据的存储和读出操作，所述可重构数据路由部件进行数据输入和输出路径的通路选择操作，所述可重构控制部件向可重构处理部件发出配置指令，所述可重构处理部件根据该配置指令执行处理任务；

B、将可重构处理部件，按照算法的需要进行固化定制，取消没有使用的可配置功能。

[20] 上述步骤 A 还包括以下步骤：

[21] A1、分解算法为子算法；

[22] A2、为子算法进行时间标注；

[23] A3、生成算法及子算法时空图；

[24] A4、根据时空图进行聚类压缩，所述聚类压缩是指增加可重构控制部件、可重构处理部件的复用，使得各个子算法过程的完成时间接近算法过程标注的时间，并依据所述复用的结果去除其功能被其他可重构处理部件复用代替的可重构处理部件。

[25] 上述设计方法，在所述步骤A和步骤B之间还包括对对集成电路的运行时间、面积、功耗参数进行优化的步骤。

有益效果

[26] 本发明与现有技术相比较的有益效果是：

[27] (1) 对于本发明的集成电路而言，通过包含可重构控制部件和可重构处理部件，能进行较大粒度的数据流处理，从而实现诸如数字媒体和通信基带的处理

算法功能；其可重构控制部件和可重构处理部件的可连接性易于连接构成 DSP 等更大的处理部件；

[28] (2) 对于本发明的集成电路而言，其可重构定时部件可以通过配置时钟频率，实现基于变频的低功耗应用；

[29] (3) 对于本发明的配置方法而言，其通过配置寄存器进行配置指令的发送接收，可以实现对算法的有效保护；

[30] (4) 对于本发明的配置方法而言，其配置指令通过长指令实现，可以简化因可重构处理部件数目变化而带来的配置复杂性；

[31] (5) 对于本发明的配置方法而言，可重构控制部件的配置只需通过修正指令存储器、指令寄存器等与字长相关的硬件模块，其他如译码器等无须改变。

[32] (6) 对于本发明的设计方法而言，通过使用可重构控制部件和可重构处理部件，可配置、可编程的灵活性能够支持数据流集成电路的快速设计，提高了设计效率；

[33] (7) 对于本发明的设计方法而言，其聚类压缩和优化过程进一步提高了电路的优化性能，使得基于可重构部件的设计与基于标准单元的设计相比具有可媲美的面积和功耗。

附图说明

[34] 图 1 是本发明具体实施方式可重构运算部件结构示意图；

[35] 图 2 是本发明具体实施方式可重构存储部件结构示意图；

[36] 图 3 是本发明具体实施方式可重构数据路由部件结构示意图；

[37] 图 4 是本发明具体实施方式可重构控制部件结构示意图；

[38] 图 5 是本发明具体实施方式可重构定时部件结构示意图；

[39] 图 6 是本发明实施例 1 结构示意图；

[40] 图 7 是本发明实施例 2 结构示意图；

[41] 图 8 是本发明实施例 3 结构示意图；

[42] 图 9 是本发明设计方法流程图。

具体实施方式

[43] 下面用具体实施方式结合附图对本发明作进一步详细说明。

- [44] 本发明基于可重构部件的集成电路的一种实施方式是DSP（即数字信号处理器），包括至少一个可重构控制部件RCU和至少一个可重构运算部件reALU、可重构存储部件reMEM或可重构数据路由部件reROUTER的任意一种或组合，以及可重构定时部件RTU。可重构运算部件reALU、可重构存储部件reMEM或可重构数据路由部件reROUTER与所述可重构控制部件RCU互联，接受可重构控制部件RCU发出的配置指令并根据配置指令执行处理任务。
- [45] 可重构运算部件reALU用于对输入数据执行运算操作，如图1所示，包括运算配置寄存器和算术逻辑运算单元ALU。运算配置寄存器用于接收和存储可重构控制部件RCU发来的运算配置指令，算术逻辑运算单元根据运算配置指令进行算术或逻辑运算，算术运算包括基本算术运算，如加、减、乘、除、乘法累加等；逻辑运算包括移位、比较、取大、取小等。reALU对输入数据进行处理并输出结果。
- [46] 可重构存储部件reMEM用于对数据的存储和读出操作，如图2所示，包括存储配置寄存器和存储单元MEM，所述存储配置寄存器用于接收和存储可重构控制部件RCU发来的存储配置指令，存储单元MEM根据存储配置指令进行数据存取。reMEM的可配置功能包括存储体（各种存储介质：寄存器、RAM等MEM）的写入和/或读出方式，对于按地址访问的存储体而言，就是地址生成器的工作方式；reMEM将输入数据存储到预定位置，并将需要的数据从存放位置输出。
- [47] 可重构数据路由部件reROUTER用于数据输入和输出路径的通路选择操作，如图3所示，包括路由配置寄存器和路由选择单元ROUTER，路由配置寄存器用于接收可重构控制部件RCU发来的路由配置指令，路由选择单元根据路由配置指令进行路由选择。
- [48] 可重构控制部件RCU，如图4所示，其一种实施方式，包括指令存储器、指令寄存器、译码器，产生的配置指令包含操作码、源和目的三个操作元素，操作码为规定指令所执行操作的命令码，源为指令操作的对象，目的用于指定写入配置信息的配置寄存器。RCU通过改变其指令来实现重构，指令字长可以根据其配置的运算部件、存储部件、数据路径的数目调整或配置，优选的方式，只需修正指令存储器、指令寄存器等与字长相关的硬件模块，其他如译码器等无

需改变。

- [49] 可重构定时部件RTU，如图5所示，包括时钟电路和与之相连的控制RCU运行的定时器以及各种工作时钟产生器，用于产生供所述可重构控制部件RCU和可重构处理部件的时钟。RTU产生时钟控制信号，包括控制时钟起停和控制时钟频率的信号。当DSP需要变频操作时（低功耗应用），需要对RTU中的时钟发生器进行配置，使之提供新的时钟控制信号。RTU按时间驱动各个RCU，即DSP的运行。在实现数据流算法的整个可重构算子DSP级联阵列中RTU可以不只一个，RTU之间也可以分层次分级驱动控制。RTU控制DSP的运行有两种实现方式，一种是控制DSP的起停，RTU控制DSP中的RCU停止工作，不向各配置单元发送配置指令，这样各可重构处理部件保持当前配置值进行数据流运算；另一种方式是配置RTU产生的时钟频率，DSP或DSP阵列所工作的时钟由其对应的RTU产生，在特定的应用场合，尤其是低功耗应用时，可能根据实时任务处理情况实时产生不同频率的时钟，控制DSP单元的处理速度。分层次分级驱动表示RTU既可控制单个DSP单元，也可以控制整个DSP阵列，也可以分几级，如第一级控制整个第二级RTU的工作，第二级RTU控制多个第三级RTU的工作，第三级RTU控制对应的一个或几个DSP的工作。

- [50] 下面通过几个具体的实施例来说明本发明基于可重构部件的集成电路的具体实现方式。

- [51] 实施例1：

- [52] 如图6所示，包括四个reALU、一个reROUTER和一个RCU，RCU配置reALU和reROUTER，数据流通过reROUTER选择通路后发送到reALU进行运算处理输出。

- [53] 实施例2：

- [54] 如图7所示，包括两个reMEM和一个RCU，RCU对reMEM进行配置，reMEM对数据进行存取操作。本例为单独的算子级联情况，即DSP内部由几个算子级联组成，而不是如实施例1通过reRouter组成算子间复杂的连接关系。

- [55] 实施例3：

- [56] 如图8所示，包括互联的一个reALU和一个reMEM以及一个RCU，RCU对reAL

U和reMEM进行配置，数据经过reALU运算处理后由reMEM进行存储。本例是通过ALU和MEM形成算子简单级联，ALU和ALU可形成算子级联，MEM和MEM可形成算子级联。

[57] 本发明的基于可重构部件的集成电路配置方法，是通过可重构控制部件RCU向可重构处理部件发送配置指令，可重构处理部件接收存储该配置指令并根据所述配置指令完成数据处理任务加以实现，所述可重构处理部件是可重构运算部件、可重构存储部件或可重构数据路由部件中的任意一种或组合。

[58] 优选的方式，配置指令就是数据传送指令，如：

[59] MOV data, reREG ; reREG=data , 这里 reREG 表示配置寄存器。

[60] 其一种实施方式，以可重构运算部件 reALU 为例，可以用一条带该 reALU 标示的操作码及其源（输入）和目的（输出）操作数的逻辑指令描述，如：

[61] ALUi op C , A , B ; 表示 $C = A \text{ op } B$

[62] 该标示表示该 reALU 的功能可以通过 RCU 的配置改变。并列的一组 reALU , 可以定义为一条超长指令字，需要带上各个 reALU 的标示。

[63] DSP中每个reMEM，可以用带该reMEM标示的赋值指令及描述访问方式操作的一组指令序列构成。其标示表示该reMEM的功能可以通过RCU的配置改变。并列的一组reMEM，类似的定义为一组超长指令字序列，需要加上各个reMEM的标示。

[64] DSP中每个reRouter，可以用带reROUTER标示的赋值指令及其源（输入）和目的（输出）操作数的逻辑指令描述。

[65] DSP中RCU的配置指令的执行，需要根据配置信息完成的配置操作，用一组指令序列描述各个被配置部件的操作或功能变化。

[66] 当可重构处理部件的逻辑指令与其具体实现结合的时候，逻辑指令同时要附带该部件实现的时钟节拍数等参数。

[67] 本发明的基于可重构部件的集成电路设计方法，其一种实施方式为包含可重构部件的DSP芯片设计方法，该DSP属于数据流专用集成电路。可重构部件的规格包括：可配置功能、面积、功耗、工艺、电压（如1.8V、1.2V、0.8V等）和工作方式（如休眠、待机、正常等）等，如图9所示，

包括如下步骤:

- [68] 步骤901、算法分解: 将数据流算法的流程图或C或Java或Matlab等高级语言描述形式, 划分为若干个子算法过程;
- [69] 步骤902、标注时间: 对各个子算法过程标注完成该过程所需要的时间;
- [70] 步骤903、生成算子时空图: 生成算法(包含各个子算法)的可重构部件的时空图;
- [71] 步骤904、聚类压缩: 根据各个子算法过程的时间标注, 对可重构部件时空图中进行聚类压缩, 通过增加可重构控制部件、存储部件、数据路径和可重构运算部件的复用, 使各个子算法过程的完成时间尽量接近算法过程标注的时间, 即尽量减少可重构运算部件的数量;
- [72] 步骤905、生成可重构部件DSP: 一个RCU及其所连接配置的可重构部件构成一个可重构部件DSP;
- [73] 步骤906、部件聚类优化: 步骤903生成算子图, 步骤904聚类压缩, 都会产生不只一种结果, 因此, 需要根据时间、面积、功耗等参数进行优化, 按性能(执行时间)排出顺序, 恰好满足时间约束的结果表明其硬件实现代价最小, 就是本步优化出的最优结果;
- [74] 步骤907、固化定制: 将可重构部件(reALU、reMEM、reROUTER)按照算法的需要进行固化定制, 取消没有使用的可配置功能, 或者说, 将可重构部件全部替换为满足算法要求的最小可重构功能的部件;
- [75] 步骤908、生成逻辑指令代码程序: 按照数据流算法的处理过程, 生成逻辑指令代码程序, 注意该程序的每一条代码均与具体的部件实现相关, 因此包含了部件执行需要的时钟节拍数;
- [76] 步骤909、验证并优化: 根据逻辑指令代码程序验证算法功能包括性能和时间约束, 并可进一步优化设计: 可从部件聚类优化中选取比当前结果性能较低的一种进行固化定制, 因为替换后部件的性能通常会有所提升。
- [77] 针对将多个数据流算法映射到同一个可重构部件DSP级联阵列实现的方法, 本发明同样适用, 相应的步骤如下:
- [78] S1、对每种算法都进行一遍上述步骤中的901至906, 形成涵盖支撑多种算法的

可重构部件DSP级联阵列；

[79] S2、固化定制：将可重构算子（reALU、reMEM、reRouter）按照算法的需要进行固化定制：取消没有使用的可配置功能；

[80] S3、生成逻辑指令代码程序：注意该程序的每一条代码均与具体的算子实现相关，因此包含了部件执行需要的时钟节拍数。

[81] S4、验证并优化：根据逻辑指令代码程序验证算法功能包括性能和时间约束，并可以进一步优化设计。

[82] 以上内容是结合具体的优选实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换，都应当视为属于本发明的保护范围。

权利要求书

- [1] 1.一种基于可重构部件的集成电路，其特征在于：包括至少一个可重构控制部件，和至少一个可重构处理部件，所述可重构处理部件是可重构运算部件、可重构存储部件或可重构数据路由部件中的任意一种或组合，所述可重构运算部件用于对输入数据执行运算操作，所述可重构存储部件用于对数据的存储和读出操作，所述可重构数据路由部件用于数据输入和输出路径的通路选择操作，所述可重构处理部件与所述可重构控制部件互联，所述可重构控制部件向可重构处理部件发出配置指令，所述可重构处理部件根据该配置指令执行处理任务。
- [2] 2.根据权利要求1所述的集成电路，其特征在于：包括至少一个可重构运算部件，所述可重构运算部件包括运算配置寄存器和算术逻辑运算单元，所述运算配置寄存器用于接收和存储所述可重构控制部件发来的运算配置指令，所述算术逻辑运算单元根据所述运算配置指令进行算术或逻辑运算。
- [3] 3.根据权利要求1所述的集成电路，其特征在于：包括至少一个可重构存储部件，所述可重构存储部件包括存储配置寄存器和存储单元，所述存储配置寄存器用于接收和存储所述可重构控制部件发来的存储配置指令，所述存储单元根据所述存储配置指令进行数据存取。
- [4] 4.根据权利要求1所述的集成电路，其特征在于：包括至少一个可重构数据路由部件，所述可重构数据路由部件包括路由配置寄存器和路由选择单元，所述路由配置寄存器用于接收和存储所述可重构控制部件发来的路由配置指令，所述路由选择单元根据所述路由配置指令进行路由选择。
- [5] 5.根据权利要求1至4任一所述的集成电路，其特征在于：还包括可重构定时部件，用于产生供所述可重构控制部件和可重构处理部件的时钟控制信号。
- [6] 6.根据权利要求5所述的集成电路，其特征在于：所述时钟控制信号包括可配制的控制时钟起停和控制时钟频率的信号。
- [7] 7.一种基于可重构部件的集成电路配置方法，包括可重构部件的配置过程，其特征在于，所述配置过程是通过可重构控制部件向可重构处理部件发

送配置指令，可重构处理部件接收存储该配置指令并根据所述配置指令完成数据处理任务加以实现，所述可重构处理部件是可重构运算部件、可重构存储部件或可重构数据路由部件中的任意一种或组合。

[8] 8.根据权利要求7所述的配置方法，其特征在于，所述可重构处理部件通过其所具有的配置寄存器来接收存储所述配置指令。

[9] 9.根据权利要求8所述的配置方法，其特征在于，所述配置指令至少包含操作码、源和目的参数，所述操作码为规定指令所执行操作的命令码，所述源为指令操作的对象，所述目的是用于指定写入配置信息的配置寄存器。

[10] 10.根据权利要求9所述的配置方法，其特征在于，所述配置指令是通过定义超长指令字加以实现的，所述超长指令字的字长是根据其所配置的可重构处理部件的数目来配置的。

[11] 11.根据权利要求10所述的配置方法，其特征在于，所述配置指令的字长配置是通过修正指令存储器和指令寄存器加以实现的。

[12] 12.一种基于可重构部件的集成电路设计方法，其特征在于，包括以下步骤：

A、根据算法，使用一个或多个可重构控制部件和与其连接的一个或多个可重构处理部件生成集成电路，所述可重构处理部件是满足算法需要的可重构运算部件、可重构存储部件或可重构数据路由部件中的任意一种或组合，所述可重构运算部件对输入数据执行运算操作，所述可重构存储部件完成对数据的存储和读出操作，所述可重构数据路由部件进行数据输入和输出路径的通路选择操作，所述可重构控制部件向可重构处理部件发出配置指令，所述可重构处理部件根据该配置指令执行处理任务；

B、将可重构处理部件，按照算法的需要进行固化定制，取消没有使用的可配置功能。

[13] 13.根据权利要求12所述的设计方法，其特征在于，所述步骤A还包括以下步骤：

A1、分解算法为子算法；

A2、为子算法进行时间标注；

A3、生成算法及子算法时空图；

A4、根据时空图进行聚类压缩，所述聚类压缩是指增加可重构控制部件、可重构处理部件的复用，使得各个子算法过程的完成时间接近算法过程标注的时间，并依据所述复用的结果去除其功能被其他可重构处理部件复用代替的可重构处理部件。

- [14] 14.根据权利要求12所述的设计方法，其特征在于，在所述步骤A和步骤B之间还包括对对集成电路的运行时间、面积、功耗参数进行优化的步骤。

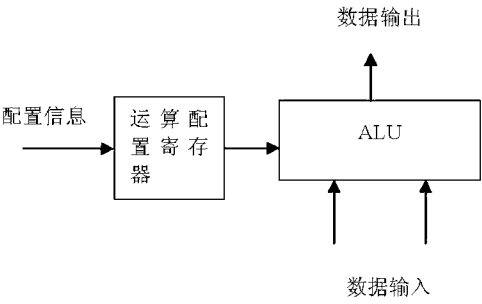


图 1

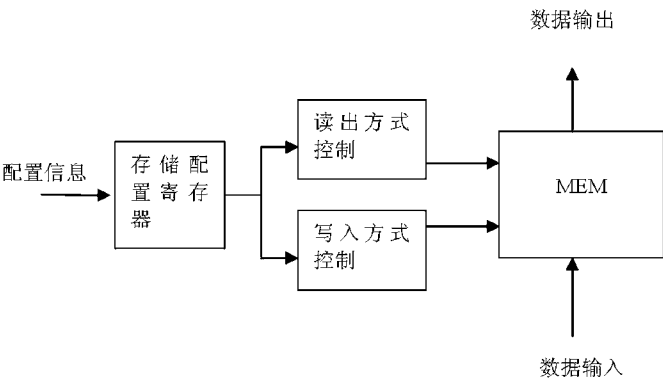


图 2

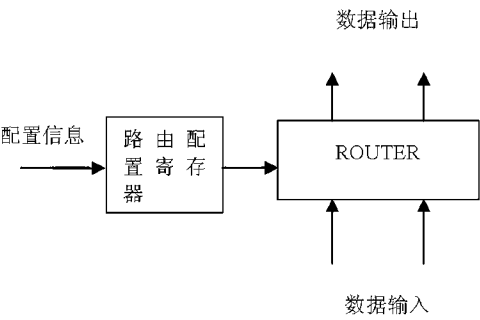


图 3

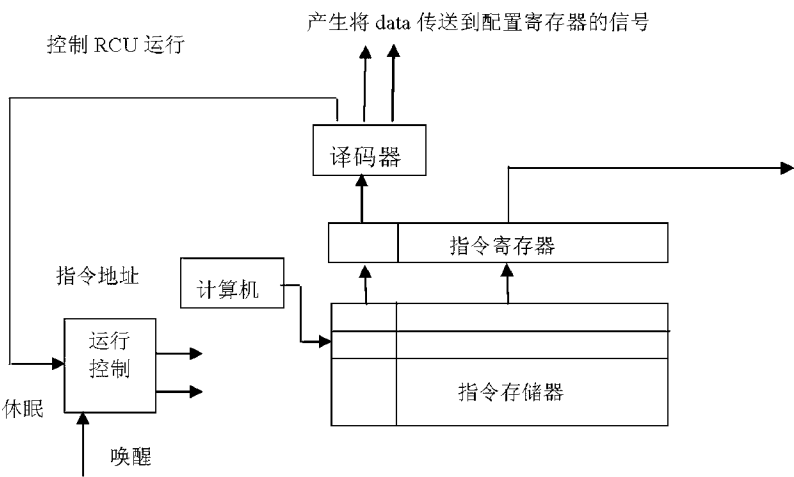


图 4

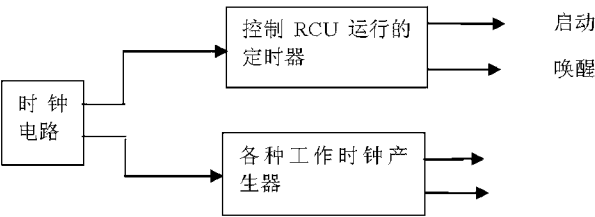


图 5

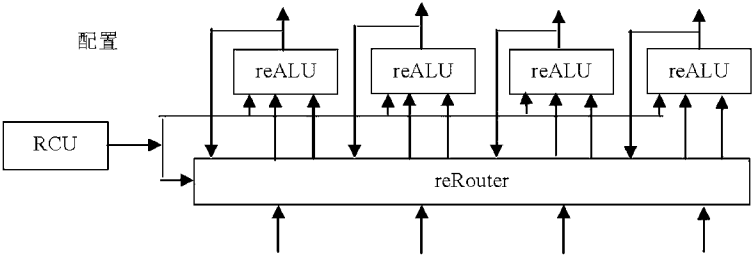


图 6

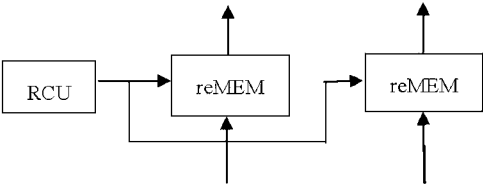


图 7

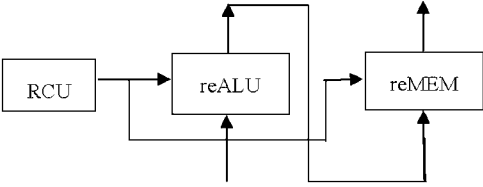


图 8

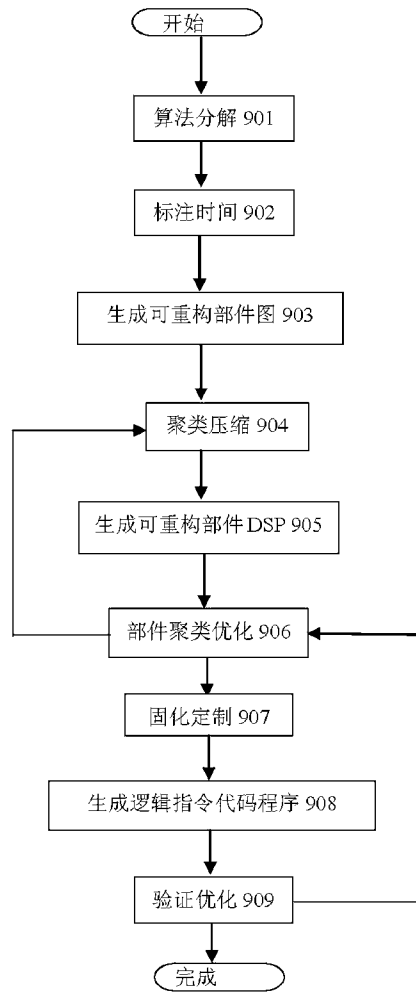


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2008/073520

A. CLASSIFICATION OF SUBJECT MATTER

G06F 9/54(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G06F9/-;G06F15/-;H04L12/-;H04L29/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI;EPODOC;PAJ;CNKI;CPRS

reconfigurable, integrated,circuit,control,configuration,process,operation,memory,router (and the like)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN101136070A (UNIV SHANGHAI FUDAN) 05 Mar. 2008 (05.03.2008) See paragraph 3 of page 1 to paragraph 1 of page 4 of the description	1-14
X	CN101114274A (GU S) 30 Jan. 2008 (30.01.2008) See paragraph 7 of page 4 to paragraph 5 of page 9 of the description	1-14

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&”document member of the same patent family

Date of the actual completion of the international search
12 May 2009(12.05.2009)Date of mailing of the international search report
28 May 2009 (28.05.2009)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

ZHOU,Shuhong

Telephone No. (86-10)62411646

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/CN2008/073520

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101136070A	05.03.2008	None	
CN101114274A	30.01.2008	None	

国际检索报告

国际申请号
PCT/CN2008/073520**A. 主题的分类**

G06F 9/54(2006.01)i

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G06F9/-;G06F15/-;H04L12/-;H04L29/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI;EPODOC;PAJ;CNKI;CPRS

可重构,集成,电路,控制,配置,处理,运算,存储,路由(及其类似语)

reconfigurable, integrated, circuit, control, configuration, process, operation, memory, router (and the like)

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101136070A (复旦大学) 05.3 月 2008 (05.03.2008) 见说明书第 1 页第 3 段至第 4 页第 1 段	1-14
X	CN101114274A (顾士平) 30.1 月 2008 (30.01.2008) 见说明书第 4 页第 7 段至第 9 页第 5 段	1-14

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
12.5 月 2009(12.05.2009)国际检索报告邮寄日期
28.5 月 2009 (28.05.2009)中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451受权官员
周述虹
电话号码: (86-10) **62411646**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2008/073520

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101136070A	05.03.2008	无	
CN101114274A	30.01.2008	无	