

公告本 297096

申請日期	85 年 6 月 6 日
案 號	85106886
類 別	G01R 31/26

Int. Cl⁶

A4
C4

297096

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用以在使用接點測試動作群之應用專屬積體電路中測試百萬胞元之 方法和裝置
	英 文	Method and apparatus for testing a megacell in an ASIC using JTAG
二、發明人 創作	姓 名	(1) 艾爾·摩特二世 Mote, Jr., L. Randall
	國 籍	(1) 美國
	住、居所	(1) 美國加州羅格那丘瑞德柯羅路二六一五二號 26152 Red Corral Road, Laguna Hills, CA 92718, U.S.A.
三、申請人	姓 名 (名稱)	(1) 艾斯特研究公司 AST Research, Inc.
	國 籍	(1) 美國
	住、居所 (事務所)	(1) 美國加州愛文艾爾頓路一六二一五號 16215 Alton Parkway, Irvine, CA 92718, U.S.A.
	代 表 人 姓 名	(1) 丹尼斯·理貝爾 Leibel, Dennis R.

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

美國	1995 年 6 月 7 日	08/480,483	☒ 無主張優先權
美國	1995 年 9 月 14 日	08/528,397	☒ 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明領域

本發明係與積體電路測試之改進有關。尤其是，本發明包含一種方法及裝置，用於測試在晶片位準下的指定應用積體電路“ASIC”內之百萬胞元。

習知技術說明

由於電路設計上的複雜性日益增加，且新的積體電路封裝技術導至測試積體電路及印刷電路板的問題亦跟著增加。雖然數位硬體的軟體測試經常改進，但是電路的複雜性使其測試更形困難，除非在設計組件時即考慮其可測試性。

一種廣為注意的測試電路方法為

IEEE 1149.1 邊界掃描標準，其由內部連結測試動作群(JTAG)開始，(該文亦作為本文之參考)。此標準的一項裝置方法包含由提供移位暫存器元件之菊環式(daisy chain)裝置以形成繞積體電路組件周圍的路徑，而設計用於串列邊界掃描測試的組件(即積體電路)。在串列測試後則將串列數據移位至多個積體電路組件，且通過該積體電路組件。串列數據加到已知電路之輸入，而使由電路功能所決定的輸出可有效動作。一主測試電路比較回來的數據與預期結果(即與已知電路之功能相關的結果)。另言之，即如果電路功能適當的話，則串列數據輸入加到將測試的已知輸出上。如果回到主測試電路的數據串不為預期者，則測試電路偵測電路中有一錯誤功能。

五、發明說明 (2)

在數據串中小心分辨（在軟體控制下）偏移可隔離電路中任何錯誤功能。

如上所簡述的邊界掃描測試可加以擴充以測試超大型積體電路（VLSI），如ASIC。一ASIC包含內部邏輯電路，正常時此內部邏輯電路無法經IC封裝上提供的輸出腳近接。此種在ASIC內的內部邏輯電路基本上由銷售商所提供作為含定義輸入及輸出的模組，一般稱為百萬胞元。在某些電路板中，用於在ASIC內的銷售商提供百萬胞元之測試輸入及輸出與IC封裝上的特殊腳連結，使得百萬胞元可由製造商經IC封裝上的外部腳而近接，以用於測試之目的。但是，須測試該胞元的額外腳基本上在IC的正常裝配及操作期間並不會用到。而且，額外的測試腳有時候必須製造商增加IC封裝至下一尺寸的晶粒或包封（因腳數增加）。因此，IC封裝必須採取印刷電路板的實際作用，且因為一般較大的晶粒尺寸較昂貴所以成本也跟著增加。

而且，標準的JTAG規格允許在ASIC內的百萬胞元內部可為JTAG胞元所包圍。但是，此種測試架構與銷售商所提供的銷售商百萬胞元基本測試並不相容。即，百萬胞元銷售商一般對其百萬胞元具有標準的測試方法。而為銷售商所提供測試一百萬胞元一標準測試向量及測試方法相當具韌性，以允許當測試百萬胞元時可有不同的接腳順序，如果一銷售商需改變標準測試功能時成本相當高。例如，一標準的銷售商測試可串列載過JTAG埠口

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(3)

，且平行加入百萬胞元中，但此項方法的成本相當高，係因測試時間為 J T A G 鍵的兩倍。

發明概述

依據本發明的設計理念，一 J T A G 介面用於載入客戶 J T A G 指令，該指令將在 A S I C 內用於一銷售商提供的百萬胞元之測試至輸出腳的輸入及輸出信號，以取代在輸出腳上所提供的正常信號，而為 A S I C 的製造商，在該 A S I C 的晶片測試位準所使用。因此，不需方塊圖其他腳測試晶片。此方式節省插腳，且使得製造商不必因為使用額外接腳，而需製造較大的晶粒或封裝。因此，印刷電路板的作用降低，而且因為小晶粒一般較便宜，所以成本也跟著下降。該 J T A G 介面並不使用在其所希望使用的方式下（即作為至測試者的單一介面）。而是，用於將 A S I C 置於測試模式中，其允許銷售商標準的百萬胞元測試可執行，而不需加入新的接腳。

在本發明的一設計理念下，本發明提供一系統，其對含 J T A G 測試能力的積體電路（I C）封裝可使其外部腳的數目下降。此系統包含在 I C 封裝內形成客戶設計數位邏輯電路。客戶設計數位邏輯電路含輸入及輸出。此系統更包含標準的百萬胞元模組，其含在 I C 封裝內形成的獨立功能，且併入 I C 封裝內，因此可與客戶設計數位邏輯電路相通，並與之共同動作。百萬胞元模組含測試輸入及測試輸出，其用於測試百萬胞元模組的功能。系統亦包

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

一

一

五、發明說明(4)

含 J T A G 邊界掃描數據測試暫存器，其含儲存測試向量的輸出，該測試向量用於測試 I C 封裝的輸入及輸出之整體性。另外，系統包含第一選擇電路，其具有第一輸入，此輸入與數據測試暫存器之輸出中至少一輸出及百萬胞元模組的測試輸出中至少一輸出相連結，此處第一選擇電路更接收更一選擇輸入，且基於第二選擇輸入提供第一輸入中的一輸入作為輸出；且第二選擇電路含第二輸入，其與第一選擇電路之輸出連結，且與客戶設計數位邏輯電路之輸出中至少一輸出連結，此處第二選擇電路更接收一第二選擇輸入，且基於第二選擇輸入提供第二輸入中的一輸入作為輸出。另外本發明的系統尚包含一 J T A G 指令暫存器，其儲存指令位元，且其中輸入指令用於決定至第一選擇電路的第一選擇輸入，及至第二選擇電路的第二選擇輸入。最後，該系統包含多個外部腳，其連結如第二選擇電路之輸出，使得當指令暫存器設定，而令第一及第二選擇電路當百萬胞元模組之測試輸入及輸出傳輸至外部腳時，百萬胞元模組的測試輸出可在外部腳上提供。

在本發明的另一設計理念中，本發明提供一在積體電路內測試百萬胞元的方法，該積體電路含百萬胞元，其為積體電路內電路的一項整合組件。百萬胞元至少含一測試輸出信號，在積體電路操作期間，此輸出信號與積體電路外部沒有任何連結。此積體電路含多個信號，在積體電路操作期間，此信號在輸入的對應腳上提供，以作為輸出信號。該方法包含經一 J T A G 輸入腳加一串指令至該積體

五、發明說明(5)

電路，而該積體電路置於預定的百萬胞元測試模式；從該積體電路之對應的第一腳，視需要使該多個輸出信號中的一信號不動作；視需要將來自該百萬胞元的測試輸出指向該不致能輸出信號的對應第一腳；經該積體電路的第二腳將一測試輸出加到該百萬胞元上，以刺激該百萬胞元，而執行一測試操作；及在該積體電路的對應第一腳上，監視該百萬胞元的測試輸出。

圖形簡述：

圖 1 之示意方塊圖，說明一 J T A G 測試電路的型態。

圖 2 之示意方塊圖，示含百萬胞元之 I C 電路，該百萬胞元的測試輸入／輸出端與 I C 的外部腳連結。

圖 3 之狀態圖示 T A P 控制器電路之操作，該 T A P 控制器電路用於控制 J T A G 測試電路。

圖 4 之示意方塊圖，示一改進的 J T A G 測試電路，其提供內部百萬胞元與一外部腳之連結。

發明之詳細說明：

圖 1 之示意方塊圖，其中示一積體電路 (I C) 晶片 1 0 0，其係使用 J T A G I E E E 1 1 4 9 . 1 測試 (菊環式) daisy-chain 邊界掃描測試系統執行測試操作。

圖 1 示一典型的 J T A G 系統包含一主圖樣產生器／比較器 1 0 2，其在線 1 0 5 上輸出數據／指令信號，在線

五、發明說明(6)

1 0 7 上輸出一模式信號，及在線 1 0 9 上輸出一時脈信號。須知在傳統技術上，數據／指令信號線 1 0 5 亦稱為 T D I 信號線，模式信號線亦稱為 T M S 信號線，且時脈信號線 1 0 9 亦稱為 T C K 信號線。圖樣產生器／比較器 1 0 2 的線 1 0 5，1 0 7 及 1 0 9 連結從 I C 1 0 0 延伸的外部輸入腳，所以在 I C 1 0 0 內的 T A P 控制器狀態機器經線 1 0 5，1 0 7 及 1 0 9 接收信號。

T A P 控制器狀態機器 1 1 0 經串列信號線 1 1 7 及時脈致能線 1 1 9 連結數據移位暫存器 1 1 5。T A P 控制器狀態機器 1 1 6 更與一指令移位暫存器 1 2 0 相連結，其間係經一串列指令線 1 2 2 及一時脈致能線 1 2 4。須知基本上，T D I 線 1 0 5，串列數據線 1 1 7，及串列指令線 1 2 2 連結至同一結點，且這些線路 1 0 5，1 1 7 及 1 2 2 只有在攜帶數據，指令或兩者時才認為不一樣。

數據移位暫存器 1 1 5 與鎖存數據暫存器 1 3 0 並聯，而指令移位暫存器 1 2 0 與鎖存指令暫存器 1 4 0 並聯。在鎖存數據暫存器 1 3 0 內的各位元儲存位址連結 I C 1 0 0 內之多工器的第一輸入。例如，如圖 1 所示，鎖存數據暫存器 1 3 0 的儲存位置之一經線 1 4 7 與一 2：1 多工器 1 4 5 的第一輸入連結。同樣地，在鎖存數據暫存器 1 3 0 內的各儲存位置與 I C 1 0 0 內的多工器之輸入相連結；但是，為了說明之簡化，圖 1 中只顯示一多工器連結鎖存數據暫存器 1 3 0。

五、發明說明(7)

鎖存指令暫存器 1 4 0 與一解碼器並聯，此解碼器用於對儲存在鎖存指令暫存器 1 4 0 內的指令解碼。解碼器 1 5 0 提供選擇輸出至 I C 1 0 0 內的各 J T A G 多工器（即多工器用於供 J T A G 的強迫輸出位準）。但是，為簡化起見，圖 1 之解碼器 1 5 0 只提供單一選擇輸出經線 1 5 2 予多工器 1 4 5。

多工器 1 4 5 的第二輸入經線 1 6 2 與 I C 1 0 0 內的正常積體電路 1 6 0 相連結。正常積體電路 1 6 0（在 I C 1 0 0 內）為執行該操作。多工器 1 4 5 的輸出經線 1 6 5 與電路 1 0 0 之表面上的輸出腳連結。

數據移位暫存器 1 1 5 及指令移位暫存器 1 2 0 相對地輸出串列數據及指令線 1 7 2，1 7 2 作為至 2：1 多工器 1 7 0 的第一及第二輸入，隨後輸出一串列數據回復線 1 7 5 至圖樣產生器／比較器 1 0 2。

在操作時，圖樣產生器／比較器 1 0 2 產生數據及／或指令之圖樣（基本上稱為測試向量），其在線 1 0 5 上串列傳輸至 T A P 控制器狀態機器 1 1 0。圖樣產生器／比較器 1 0 2 更提供模式及一時脈信號至 T A P 控制器狀態機器 1 1 0，其間係經對應線 1 0 7，1 0 9。如在下文圖 3 中將詳述者，T A P 控制器狀態機器 1 1 0 回應模式及時脈信號以將在線 1 0 5 上提供的數據或指令移位至數據移位暫存器 1 1 5（即當數據沿線 1 0 5 提供者）或至指令移位暫存器 1 2 0（即當在線 1 0 5 上提供指令時）。向數據移位暫存器 1 5 0 移位的數據及向指令移位暫

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

一

五、發明說明(8)

存器 1 2 0 移位的指令在 T A P 控制器狀態機器 1 1 0 的控制下，依時脈串列進入相對的移位暫存器 1 1 5，

1 2 0。因此，例如，如果 7 0 個數據位元向數據移位暫存器 1 1 5 移位，且 3 0 個指令位元向指令移位暫存器

1 2 0 移位，則總共需採用 1 0 0 個時脈循環以移位各數據及指令位元，以進入其相對的移位暫存器。當然，如在下文中將詳述者，必須有其他的時脈循環以從圖樣產生器／比較器 1 0 2 中的數據向 T A P 控制器狀態機器 1 1 0 傳輸，且改變 T A P 控制器狀態機器 1 1 0 的模式，因此可使 T A P 控制器狀態機器 1 1 0 可在時脈致能線 1 1 9，1 2 4 上提供適當的控制時脈。

一當用於測試 I C 1 0 0 之指定輸入及輸出的數據移位至移位暫存器 1 1 5，1 2 0 時，移位暫存器 1 1 5 及 1 2 0 將在移位暫存器 1 1 5，1 2 0 內的數據及指令平行鎖存於對應的鎖存暫存器 1 3 0，1 4 0 內。鎖存於暫存器 1 4 0 的指令為解碼器 1 5 0 所解碼，以選擇多工器 1 4 5 的適當輸出，且在 I C 1 0 0 內的任何其他 J T A G 多工器（圖中無）。如上文中簡短說明者，各 J T A G 多工器（如圖 1 之多工器 1 4 5）接收與鎖存數據暫存器 1 3 0 連結的 J T A G 輸入。因此，例如，多工器 1 4 5 經線 1 5 2 為解碼器 1 5 0 致能以選擇連結暫存器 1 3 0 內儲存位址的輸入 1 4 7。因此，多工器 1 4 5 的輸出 1 6 5 強迫位元值儲存在暫存器 1 3 0 內。依此方式，在線 1 6 5 之 I C 1 0 0 的輸出連結可測試其缺陷。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

一

五、發明說明(9)

例如，如果經線 1 4 7 連結多工器 1 4 5 的儲存位置包含高壓位準位元（即對應數位 1），然後，沿線 1 6 5 之多工器 1 4 5 的輸出應在 IC 1 0 0 之輸出腳處偵測，其為數位 1。如果輸出不產生數位 1，然後，IC 1 0 0 連結的數位電路將暫存一錯誤，因此設定 IC 1 0 0 為缺失品。此測試對由數據 1 5 0 指定的各輸入及輸出執行，以回應為圖樣產生器／比較器 1 0 2 載入的指令。

當然，雖然圖中沒有顯示，須知多個 IC 1 0 0 可以菊環式形態串聯，因此圖樣產生器／比較器 1 0 2 可在用於多個 IC 的數據及指令中一次移位。因此 IC 1 0 0 包含多工器 1 7 0，其可在 TAP 控制器狀態機器 1 0 2 之控制下需要移出通過暫存器 1 1 5 的數據，或通過暫存器 1 2 0 的數據。最後，來自最後 IC 的輸出數據經串列回復線 1 7 5 傳回圖樣產生器／比較器 1 0 2。

圖 2 為一示意位元，其示 IC 2 0 0，除了正常的積體電路外，包含一銷售商提供的百萬胞元 2 1 0。百萬胞元 2 1 0 之操作如同 IC 2 0 0 內的功能單元，其經線 2 2 5 接收數據且提供輸入予正規電路 2 2 0。

銷售商提供的百萬胞元 2 1 0 與正規電路 2 2 0 不同，其中銷售商提供的百萬胞元 2 1 0 含一由銷售商提供的標準結構及功能，而正規電路則由 ASIC 設計者設計的銷售性產品。因此，百萬胞元模組含獨立功能（即可使用百萬胞元在不同的周圍電路形態下執行同一功能）。而且，不同於 TAP 控制器狀態機器整個 IC 2 0 0 的另一分

五、發明說明(10)

開測試向量組基本上用於分開測試百萬胞元 2 1 0 的功能。

因此，例如，一 A S I C 的設計者使用標準邏輯功能方塊，如 V A R T S，鎖相迴路等作為 A S I C 設計的一部位。一 A S I C 銷售商提供用於這些標準功能邏輯方塊的結構，而 A S I C 設計者併入一銷售 A S I C。這些標準的功能方塊稱為百萬胞元，且百萬胞元銷售商基本上提供測試向量，此測試向量在製造期為晶片設計公司所採用，以在 A S I C 內測試百萬胞元。基本上，A S I C 可測試整個單元，但如果在整個單元中發現錯誤功能，則很難決定是否由於銷售電路所致（其結構為 A S I C 設計者所提供者），或由於銷售商提供的百萬胞元電路所致。因此之故，使用由晶胞銷售商所提供的測試向量獨立測試百萬胞元。另外，A S I C 設計者不需花費於測試百萬胞元，因為此項測試已為銷售商提供的測試所執行。

但是，如圖 2 所示，為了測試可百萬胞元 2 1 0 的百萬胞元，來自百萬胞元 2 1 0 的測試輸出在 A S I C 2 0 0 的外表面上需有多個輸出腳。銷售商提供的 T A P 控制器狀態機器向量提供予測試輸入 2 3 0，且量測測試輸出 2 3 5 的結果圖樣以決定百萬胞元的功能是否正常。百萬胞元的測試基本上在晶胞設計公司處執行（即在製造後測試），但在晶片正常操作使用後則不必要。因此，例如，當 I C 2 0 0 在正常操作時，配備在電路內，只使用操作輸入及輸出 2 4 0。因此輸出腳 2 3 5 在

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

立

五、發明說明 (1)

I C 2 0 0 的正常操作期間可能為多餘的設計。如在下文圖 4 之說明中將詳加敘述者，本發明對併有百萬胞元電路的 I C 包封，可提供數目較少的輸出腳。由本發明所提供的節省相當有意義（即所消除的輸出腳數可多至一或二打），因此可使用較具效率（較小）的晶粒尺寸及 I C 包封。

圖 3 之狀態圖說明 T A P 控制器 1 1 0 之操作，以回應模式及時脈線 1 0 7，1 0 9 上的控制信號。T A P 控制器狀態機器 1 1 0 在閒置狀態 3 0 0 處開始，其構成掃描操作之間的控制狀態。一旦進入之後，只要 T M S 在低狀態 T A P 控制器 1 1 0 將維持在閒置狀態 3 0 0。在閒置狀態 3 0 0 中，在選擇測試邏輯中的動作只有當為人所了解的指令出現時才發生。對於載於指令暫存器 1 4 0 中的指令而不執行閒置 T A P 控制器 3 0 0 者，所有為現行指令所選擇之測試數據暫存器留在前一狀態（即閒置狀態）。而且，在指令暫存器 1 4 0 內載入的指令當 T A P 控制器 1 1 0 不在閒置狀態 3 0 0 時，不會改變。

當 T M S（沿線 1 0 7 的模式信號）高，且一上升端提供予 T C K 信號（在線 1 0 9 上的時脈），（A 1 1 0 移至選擇數據暫存器掃描狀態 3 0 5。選擇數據暫存器掃描狀態 3 0 5 為一暫時之控制狀態，其中所有的測試數據暫存器為維持在前一狀態的現行指令所選擇。如果 T M S 低，而一上升端加到 T C K 時，然後，T A P 控制器 1 1 0 傳輸至取得數據暫存器狀態 3 1 5，當如果

五、發明說明 (13)

T M S 維持在高位準時，且一上升端加到 T C K 時，則 T A P 控制器狀態機器 1 1 0 傳至一選擇指令暫存器掃描狀態 3 1 0。

如果 T A P 控制器狀態機器 1 1 0 遷移至取得數據暫存器狀態 3 1 5，然後，在此狀態下，數據可從移位數據暫存器 1 1 5（在 T C K 的上升端）平行載入數據暫存器 1 3 0 中。如果 J T A G 測試電路並不包含平行載入數據暫存器 1 3 0，或如果對選擇的測試不需取得操作，則數據暫存器維持在前一狀態，而不加以改變。而且，儲存在指令暫存器 1 4 0，1 2 0 內的位元當 T A P 控制器狀態機器 1 1 0 在取得數據暫存器狀態 3 1 5 中時，則保持不變。當 T A P 控制器 1 1 0 在取得數據暫存器狀態 3 1 4，而 T M S 維持在低狀態，且上升端加到 T C K 時，則控制器進入移位數據暫存器狀態 3 2 0。但是，如果 T M S 維持高狀態，而上升端加到 T C K 時，則 T A P 控制器狀態機器 1 1 0 直接從取得數據暫存器狀態 3 1 5 進入一離開數據暫存器狀態 3 2 5。在移位數據暫存器狀態 3 2 0 中，沿線 1 0 5 之數據經線 1 1 7 移位至數據移位暫存器 1 1 5。當應用各 T C K 的上升端，而 T M S 為低時，一額外的數據位元移位至在線 1 1 7 上的數據上升端暫存器 1 1 5。只要 T M S 維持低狀態，則 T A P 控制器 1 1 0 維持在移位數據暫存器狀態 3 2 0。因此，同於將特定測試向量載入移位暫存器 1 1 5 所需的數據位元當 T M S 在狀態 3 2 0 中維持在低狀態時，移位進入暫存器

(請先閱讀背面之注意事項再填寫本頁)

衣

訂

五、發明說明 (13)

1 1 5 中。

當 T A P 控制器 1 1 0 在移位數據暫存器狀態 3 2 0 時，一上升端加到 T C K (當 T M S 在高狀態時)，然後，T A P 控制器狀態機器 1 1 0 進入離開數據暫存器狀態 3 2 5。離開數據暫存器狀態 3 2 5 為一暫時的控制器狀態。如果 T M S 維持在高狀態，則一上升端加到 T C K 使 T A P 控制器 1 1 0 進入更新數據暫存器狀態 3 4 0，而如果 T M S 在低狀態，而上升端加到 T C K 時，則 T A P 控制器 1 1 0 進入一停止數據暫存器狀態 3 3 0。此停止數據暫存器狀態 3 3 0 允許測試數據暫存器 3 1 4 移位至一暫時停止。當 T M S 維持在低狀態時，T A P 控制器 1 1 0 維持在停止數據暫存器狀態 3 3 0。當 T M S 維持在高狀態，且上升端加到 T C K 時，則 T A P 控制器狀態機器 1 1 0 進入一離開數據暫存器狀態 3 3 5，其維持暫時的控制器狀態。如果上升端加到 T C K 而 T M S 維持在低狀態時，然後，T A P 控制器狀態機器 1 1 0 回至移位數據暫存器狀態 3 2 0。但是，如果 T M S 維持在高狀態，而數據移位至相關的模式暫存器路徑 1 1 5，以回應含指令暫存器 1 4 0 的某些指令。因此，在更新數據暫存器狀態 3 4 0 中，數據從移位暫存器 1 1 5 鎖存入在 T C K 之下降端上的移位暫存器 1 1 5 之平行輸出。因此，數據儲存在鎖存數據暫存器 1 3 0 內，使得在暫存器 1 3 0 內的數據不改變，除非在更新數據暫存器狀態中於自行測試執行期間，無操作 (即在閑置狀態期間，以回應

五、發明說明 (14)

設計上指定的公共指令)。如各狀態 3 0 5 - 3 3 5，當 T A P 控制器 1 1 0 在更新數據暫存器狀態 3 4 0 內時，儲存在指令移位暫存器 1 2 0 內的指令及指令鎖存數據暫存器 1 4 0 不改變。當 T A P 控制器在更新數據暫存器狀態，且上升端加到 T C K 時，如果 T M S 為高狀態，則 T A P 控制器 1 1 0 進入選擇的數據暫存器掃描狀態 3 0 5，或當 T M S 為低時，則進入閑置狀態 3 0 0。如果 T M S 維持在高狀態，且一上升端加到 T C K，而 T A P 控制器狀態機器 1 1 0 在選擇數據暫存器狀態 3 0 5，則 T A P 控制器狀態機器 1 1 0 進入更新指令暫存器掃描狀態 3 1 0。

如果 T A P 控制器 1 1 0 進入取得數據暫存器狀態 3 4 5，則在此狀態下，指令可從在 T C K 上升端上的移位指令暫存器 1 2 0 平行載入指令暫存器 1 4 0。如果 J T A G 測試電路不包含平行載入指令暫存器 1 4 0，或如果取得時不需選擇測試，則指令移位暫存器 1 2 0 維持在前一狀態，不加改變。而且，儲存在數據暫存器 1 3 0，1 1 5 內的位元維持在不改變狀態，而 T A P 控制器狀態機器 1 1 0 則維持在取得數據暫存器狀態 3 4 5 中。當 T A P 控制器 1 1 0 在取得數據暫存器狀態 3 4 5，而 T M S 在低狀態，且一上升端加到 T C K 時，則控制器進入一移位數據暫存器狀態 3 5 0。但是，如果 T M S 維持在高狀態，而上升端加到 T C K 時，則 T A P 控制器狀態機器 1 1 0 直接從取得數據暫存器狀態 3 4 5 進入一離開

五、發明說明 (15)

指令暫存器狀態 3 5 5。在移位指令暫存器狀態 3 5 0 中，沿線 1 0 5 的指令經線 1 2 2 移位進入指令移位暫存器 1 2 0。當 T C K 的各上升端加入，而 T M S 維持在低狀態時，一額外的位元指令移位進入在線 1 2 2 上的指令移位暫存器 1 2 0。只要 T M S 在低狀態則移位暫存器 1 1 0 維持在移位指令暫存器狀態 3 5 0。因此，如將特定指令向量載入移位暫存器 1 2 0 所需的指令位元移位進入暫存器 1 2 0，而 T M S 在狀態 3 5 0 中維持在低狀態。

當 T A P 控制器 1 1 0 在移位指令暫存器狀態 3 5 0 且一上升端加到 T C K，而 T M S 維持在高狀態時，則 T A P 控制器狀態機器 1 1 0 進入離開指令暫存器狀態 3 5 5。離開指令暫存器狀態 3 5 5 為一暫時的控制器狀態。如果 T M S 維持在高狀態，且一上升端加到 T C K 使得 T A P 控制器 1 1 0 進入一更新指令暫存器狀態 3 7 0，當如果 T M S 維持在低狀態，而一上升端加到 T C K，則 T A P 控制器 1 1 0 進入停止指令暫存器狀態 3 6 0。

停止指令暫存器狀態 3 6 0 允許測試指令暫存器 3 4 5 的移位可暫時停止。T A P 控制器 1 1 0 在停止指令暫存器狀態 3 6 0，而 T M S 維持在低狀態。當 T M S 維持在高狀態，且一上升端加到 T C K 時，則 T A P 控制器狀態機器 1 1 0 進入一離開 2 指令暫存器狀態 3 6 5，其亦為一暫時的控制器狀態。如果一上升端加到 T C K 而

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (10)

T M S 維持在低狀態，則 T A P 控制器狀態機器 1 1 0 進入一移位指令暫存器狀態 3 5 0。但是，如果 T M S 維持在高狀態而一上升端加到 T C K 時，則 T A P 控制器狀態機器 1 1 0 從離開 2 指令暫存器狀態 3 6 5 進入更新指令暫存器狀態 3 7 0。如圖 1 所示，移位指令暫存器 1 2 0 包含一鎖存平行輸出以防止在指令暫存器 1 4 0 中改變指令，而指令移位至相關的移位暫存器路徑 1 2 0，以應用指令暫存器 1 4 0 回應某些指令。因此在更新指令暫存器狀態 3 7 0 中，指令行移位暫存器 1 2 0 鎖存於 T C K 之上升端的移位暫存器 1 2 0 之平行輸出處。因此，這些指令儲存在鎖存指令暫存器 1 4 0 內，使得在暫存器 1 4 0 內的指令除了在更新指令暫存器狀態外不改變，除非需半測試操作（即在閑置狀態期間，以回應一特定設計的公共指令）。如應用各狀態 3 1 0，及 3 4 5 - 3 6 5，儲存在數據移位暫存器 1 1 5 L D R 的數據不改變，而 T A P 控制器 1 1 0 在更新指令暫存器狀態 3 7 0 內。當 T A P 控制器 1 1 0 在更新指令暫存器狀態 3 7 0 內且 T M S 維持在高狀態時，如果 T M S 維持在高狀態 T A P 控制器 1 1 0 進入選擇數據暫存器掃描狀態 3 0 5，或如果 T M S 維持在低狀態則在閑置狀態。

如果在選擇指令暫存器狀態內，T M S 維持在高狀態而一上升端加到 T C K，則 T A P 控制器 1 1 0 進入測試邏輯復歸狀態 3 4 2。當 T A P 控制器狀態機器 1 1 0 進入測試邏輯復歸狀態時，測試邏輯不動作，使得晶片上系

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (17)

統邏輯的正常操作 (即應經系統插腳所接收的信號) 可維持不阻礙狀態。 T A P 控制器 1 1 0 維持在測試邏輯復歸狀態 3 4 2 , 而 T M S 維持在高狀態。由 T C K 在上升端期間 T M S 維持在低狀態, T A P 控制器狀態機器 1 1 0 可進入閑置狀態 3 0 0 。

圖 4 為示意位元, 其示 I C 4 0 0 內典型的內部 J T A G 測試電路。為了本發明之說明簡化起見, T A P 控制器狀態機器 1 1 0 , 數據及指令移位暫存器 1 1 5 , 1 2 0 , 及其他相當的 J T A G 電路在圖 4 中不加顯示。但是, 對本技術嫺熟者須知 I C 4 0 0 包含上述 J T A G 電路, 其大致上操作與上述者相同。例如, I C 4 0 0 可包含一特定應用的積體電路 (A S I C) , 其包含由 A S I C 設計者所設計的客戶導向數位電路 (在圖 4 中以正規電路 4 1 0 表之) , 及一銷售商提供用於百萬胞元之結構, 其中 A S I C 設計者併入客戶 A S I C 中 (由圖 4 中的百萬胞元電路 4 2 0 所表示) 。例如, 百萬胞元電路 4 2 0 可包含一標準的數學邏輯單元, 或其他含標準設計之電路, 且可在 A S I C 4 0 0 內配置成獨立模組。

正規電路 4 1 0 接收來自外部腳, 如腳 4 2 3 , 4 2 5 的輸入, 其間經線 4 3 3 , 4 3 5 。當然, 須知基本上, 正規電路 4 1 0 將依序接收成打或上百的輸入, 但為了清楚起見, 圖中僅顯示端 4 2 3 , 4 2 5 , 以連結正規電路 4 1 0 。除了經線 4 2 2 輸出信號至百萬胞元電路

五、發明說明 (18)

4 2 0 外，正規電路 4 1 0 亦可經線 4 3 7 輸出某種信號至百萬胞元電路 4 2 0，線 4 3 7 與 2 至 1 多工器 4 4 0 的第一輸入相連結。多工器 4 4 0 更經第二輸入 4 4 7 從外部腳 4 4 5 接收一輸入信號。多工器裝置的輸出提供予百萬胞元 4 2 0 之輸入，其間經圖 4 所示的線 4 4 7。

多工器 4 4 0 經線 4 5 2 從數據 4 5 0 中接收一選擇輸入。百萬胞元電路 4 2 0 更進一步從 A N D 閘 4 5 5 或 O R 閘 4 5 7 中接收測試輸入。當然，須知，百萬胞元電路 4 2 0 基本上包含多個測試輸入，但圖中示 A N D 閘 4 5 5 及 O R 閘 4 5 7 提供兩典型的測試輸入至百萬胞元電路 4 2 0。且 A N D 閘 4 5 5 接收經線 4 5 2 接收第一輸入，且經線從腳 4 2 5，4 3 5 接收第二輸入。雖然圖 4 中沒有顯示，腳輸入及輸出緩衝假設將表示，但為了清楚起見，不加以顯示。

正規電路 4 1 0 經線 4 6 2 連結 J T A G 輸出多工器 4 6 0 的輸入。而且，須知，正規電路 4 1 0 基本上包含 1 0 或上百的輸出，但是為了清楚起見，圖 4 中僅示輸出 4 6 2。2 至 1 多工器的輸出經線 4 6 4 提供外部腳。2 至 1 多工器 4 6 0 的一選擇輸入為解碼器 4 5 0 經線 4 6 6 提供。依據傳統的電路，2 至 1 多工器 4 6 0 的第二輸入直接連結鎖存邊界掃描數據暫存器，使得 J T A G 標準輸入值可強迫輸出端 4 6 5 當適當的選擇信號提供予 2 至 1 多工器 4 6 0 之輸入時，等於 J T A G 位元。但是，依據本發明，多工器 4 6 0 的第二輸入亦經一 2 至 1 多

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (19)

工器 4 7 0 在線 4 7 2 上從百萬胞元電路 4 2 0 接收一輸出。

尤其是，2 至 1 多工器 4 7 0 從百萬胞元電路 4 2 0 經線 4 7 4 接收第一輸入。2 至 1 多工器 4 7 0 經線 4 7 8 從解碼器 4 5 0 中接收一輸入。解碼器 4 5 0 對鎖存指令暫存器 4 8 4 內的指令解碼。

在正常（即不測試）操作期間，正規電路 4 1 0 及百萬胞元電路 4 2 0 經多個輸入腳（如輸入腳 4 2 3，4 2 5 及 4 4 5）接收輸入，且依據 A S I C 設計處理這些輸入以在多個輸出腳上（如輸出腳 4 6 5）提供適當的輸出值。在正常操作期間，正規電路 4 1 0 及百萬胞元電路 4 2 0 經內部電路路徑（如電路路徑 4 2 2，4 3 7，4 4 9 及 4 7 4 交換資訊）使得百萬胞元電路動作如一模組，其執行支援整個 A S I C 4 0 0 操作的特定功能。

因此，爲了在 A S I C 內測試百萬胞元電路之功能，基本上需將百萬胞元中某些輸入及輸出線拉至 A S I C 上的外部腳，因此晶片設計公司可獨立使用由百萬胞元銷售商所提供的測試向量測試百萬胞元電路。當然，如上所詳述者，此導致在 I C 上產生多個額外之腳，其在正常操作期間並不使用。所以，依據本發明，在 A S I C 4 0 0 內的輸入電路特別加以修訂以對百萬胞元電路 4 2 0 提供輸出路徑，因此可由晶片設計公司測試百萬胞元電路 4 2 0，而在 A S I C 4 0 0 上不需提供額外的輸出腳。

尤其是，額外的多工器 4 7 0 允許使用至多工器

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (20)

4 6 0 的第二輸入，可交替成為 J T A G 輸出或百萬胞元輸出，以自數據 4 0 0 之選擇線 4 7 8 上的信號決定。因此，不直接將百萬胞元 4 2 0 的測試輸出線鎖存外部腳，同一輸出線 4 6 4 亦可用於從百萬胞元電路 4 2 0 輸出測試信號，輸出線 4 6 4 可用於交替輸出 J T A G 標準邊際掃描輸出或正規電路輸出值。從三個可能輸出（即來自正規電路 4 1 0 之輸出，來自百萬胞元電路 4 2 0 之輸出，或百萬胞元鎖存數據暫存器 4 8 0 之 J T A G 邊際掃描輸出）之一在線 4 6 4 上的輸出信號數據 E 可在解碼器

4 5 0 控制之下加以座標化，如包含在鎖存指令暫存器 4 8 4 內所含之指令所數據 E 者。因此本發明的配置在鎖存指令暫存器 4 8 4 內需含額外的儲存位置或圖樣，以提供額外的控制信號。但是在 J T A G 測試電路內本發明的指令暫存器為使用者所定義，因此可為方塊圖空白的一解碼狀態，以提供額外的控制資訊。

當依據本發明的方法測試百萬胞元電路 4 2 0 時，測試向量輸入（由百萬胞元銷售商所提供）提供予選擇外部輸入腳（如腳 4 2 3，4 2 5）。當在線 4 5 2 上的信號為高狀態時，測試銷售商輸入提供予端 4 2 3，4 2 5，且通過 A N D 閘 4 5 5 或 O R 閘 4 5 7 至百萬胞元電路 4 2 0 的測試輸入。須知當不在測試模式時，在線 4 5 2 上的信號為低狀態，A N D 閘 4 5 5 及 O R 閘 4 5 7 的輸出則相對地設定在低及高狀態，以防止在正常操作時，至百萬胞元電路 4 2 0 的測試輸入改變。當加在輸入端

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (21)

4 2 3 , 4 2 5 的標準向量輸入傳送過百萬胞元電路

4 2 0 的測試輸入時，百萬胞元電路 4 2 0 輸出信號，以回應通過多個輸出線上的測試向量輸入。在圖 4 的例子中，爲了說明簡易起見，只顯示輸出線 4 7 4 ；但是，須了解，爲了完全測試百萬胞元電路 4 2 0 的功能特性，多個輸出線將提供予多個 2 至 1 多工器（如多工器 4 7 0 ）。

提供回應測試向量輸入爲百萬胞元電路 4 2 0 所輸出的信號，作爲在線 4 7 4 上至多工器 4 7 0 的第一輸入。當在百萬胞元測試模式時，鎖存指令暫存器 4 8 4 更包含指令位元，其使得解碼器 4 5 0 確定在線 4 7 8 上的選擇信號，以選擇線 4 7 4 上的百萬胞元測試輸出。因此在多工器 4 7 0 之輸出的線 4 7 2 上，提供百萬胞元電路 4 2 0 之輸出，其回應測試向量輸入。在線 4 6 4 上，解碼器 4 5 0 更提供一信號，以回應暫存器 4 8 4 內的指令，以選擇輸入線 4 7 2，使得在至輸出腳 4 6 5 的線 4 6 4 上提供百萬胞元電路測試輸出。如果百萬胞元電路 4 2 0 的功能正確，則測試向量輸入將導致測試向量輸出的適當圖樣顯現在輸出腳上，由此從百萬胞元電路 4 2 0 提供一路徑。當測試向量輸入加到輸入腳 4 2 3，4 2 5 時，輸出腳 4 6 5 將指示百萬胞元電路 4 2 0 的功能。依此方式，百萬胞元電路 4 2 0 的功能可加以測試，而不必在 A S I C 4 0 0 上提供額外輸出。

當不測試百萬胞元電路 4 2 0 的功能時，將適當的指令位元載入指令暫存器 4 8 4 中，使得解碼器 4 5 0 選擇

五、發明說明 (23)

正常操作模式或 J T A G 測試模式。當選擇 J T A G 測試模式時，將使解碼器 4 5 0 在線 4 7 8 上輸出一選擇信號，而將線 4 7 6 上的輸出從鎖存數據暫存器 4 8 0 向多工器 4 7 0 的輸出 4 7 2 傳送。而且，解碼器 4 5 0 在線 4 6 6 上輸出一選擇信號，其使得在線 4 7 2 上的信號（其表示經線 4 7 6 在鎖存數據暫存器 4 8 0 內的數據位元值）將在多工器 4 6 0 之輸出 4 7 2 上傳輸，使得 J T A G 邊界掃描數據位元，如果輸出路為整體者，則在輸出腳 4 6 5 上提供。

另一方面，如果 A S I C 4 0 0 在正常模式下操作，則 J T A G T A P 狀態控制器 4 8 6 使解碼器 4 5 0 選擇多工器 4 6 0 的第一輸入 4 6 2，使得線 4 6 2 上的信號經多工器 4 6 0 及線 4 6 4 輸出至腳 4 6 5。而且，解碼器 4 5 0 在線 4 5 2 上輸出低信號，使至百萬胞元電路 4 2 0 的測試輸入維持為一定義值，所以百萬胞元電路 4 2 0 的操作不會受到腳 4 2 3，4 2 5 上之輸入的影響。

雖然上文中已詳述本發明之較佳實施例，對本技術熟習者應知可對上述實施例加以修訂而不偏離本發明的基本精神及特性。因此，上述說明僅為例證之用，而非用於限制本發明。本發明的觀點將定義在下列申請專利範圍中。

四、中文發明摘要（發明之名稱：

用以在使用接點測試動作群之應用
專屬積體電路中測試百萬胞元之方
法和裝置

使用特別變更的 J T A G 測試電路，以在積體電路晶片內，對銷售商提供的具埋入 I / O 之百萬胞元提供測試輸入及輸出。一多工器或相似的電路用於在 J T A G 邊界掃描輸出或一百萬胞元電路測試輸出之間進入交替選擇工作，以回應一指令暫存器內的 J T A G 指令。另外，一多工器或相似的電路用於在一百萬胞元腳或正規電路間進入交換選擇，以輸入至百萬胞元之埋入輸入。而且，一及（A N D）和或（O R）閘可允至百萬胞元的測試輸入，該百萬胞元在正常時維持在高或低狀態，因此當在特定的 J T A G 測試模式時可為輸入腳所控制。依此方式，測試輸入處加至百萬胞元電路的測試向量，使得至百萬胞元電路的測試輸出可在輸入的輸出腳處提供，而不需額外的輸入及／或輸出腳（其獨立操作，如至百萬胞元電路的測試輸入或輸出）。

英文發明摘要（發明之名稱：

**METHOD AND APPARATUS FOR TESTING A MEGACELL IN
AN ASIC USING JTAG
ABSTRACT OF THE DISCLOSURE**

Specially modified JTAG test circuitry is used to provide test inputs and outputs for vendor supplied megacells with buried I/Os within an integrated circuit chip. A multiplexer or similar circuit is used to alternatively select between a JTAG boundary scan output or a megacell circuit test output in response to JTAG instructions within an instruction register. Additionally, a multiplexer or similar circuit is used to alternatively select between an input pin or normal circuitry for input to a megacell's buried input. Furthermore, an AND or OR gate is used to allow test inputs to a megacell, which are normally tied either high or low, to be controlled by an input pin when in the special JTAG test mode. In this manner, test vectors applied at test inputs to the megacell circuitry result in test outputs to the megacell circuitry being provided on output pins of the integrated circuit without requiring additional input and/or output pins that are solely operational as test inputs or outputs to the megacell circuitry.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

六、申請專利範圍

1. 一種系統，其在含 J T A G 測試能力的積體電路 (I C) 封裝上，提供數目減少的外部腳，該系統包含：

在 I C 封裝內形成的客戶設計數位邏輯電路，該客戶設計數位邏輯電路包含：

一標準的百萬胞元模組，其含在 I C 封裝內形成的獨立功能，且併入 I C 封裝中，因此與該客戶設計數位邏輯電路相通訊而且功能可結合；該百萬胞元模組含測試輸入及測試輸出，其用於測試該百萬胞元模組的功能特性；

一 J T A G 邊界掃描數據暫存器，其儲存一測試向量，用於測試該 I C 包封之輸入及輸出信號的整體性；

該邊界掃描數據暫存器具有輸出信號；

第一選擇電路，其具有第一輸入，與該邊界掃描數據暫存器之該輸出中至少一輸出及該百萬胞元模組中該測試輸出中至少一輸出相連結，該第一選擇電路各接收一第一選擇輸入，且基於該第一選擇輸入提供該第一輸入之一作為一項輸出信號；

第二選擇電路，其具有第二輸入，與該選擇電路之該輸出及該客戶設計數位邏輯電路之該輸出中至少一輸出相連結，該第二選擇電路更接收一第二選擇輸入，且基於該第二選擇輸入提供該第二輸入之一作為一項輸出；

一 J T A G 指令暫存器，其儲存指令位元，且其中該指令位元及 J T A G 標示狀態用於決定至該第一選擇電路的該第一選擇輸入，及至該第二選擇電路的該第二選擇輸入；及

六、申請專利範圍

多個外部腳，與該第二選擇電路之輸出相連結，使得當該指令暫存器及標示狀態已設定，而導至該第一及第二選擇電路傳播該百萬胞元模組測試輸出至該外部腳時，在該外部腳上提供該百萬胞元模組的測試輸出。

2. 如申請專利範圍第1項之系統，更包含一開關電路，其包含第一及第二輸入及一輸出，該開關電路在一輸入腳及一客戶設計數位邏輯電路間作選擇，該輸入腳連結該開關電路的該第一輸入，該邏輯電路與該開關電路的第二輸入相連結，該開關電路的該輸出與該標準百萬胞元模組相連結。

3. 如申請專利範圍第2項之系統，其中該開關電路包含一多工器。

4. 如申請專利範圍第1項之系統，更包含一AND閘，其含一與該標準化百萬胞元模組之測試輸入相連結的輸出，在該百萬胞元模組的正常測試期間，該百萬胞元模組的測試輸入不是維持在高狀態，即是在低狀態，使得該輸入可在JTAG測試期間為一單一輸入腳所控制。

5. 如申請專利範圍第1項之系統，更包含一OR閘，其含一與該標準化百萬胞元模組之測試輸入相連結的輸出，在該百萬胞元模組的正常測試期間，該百萬胞元模組的測試輸入不是維持在高狀態，即是在低狀態，使得該輸入可在JTAG測試期間為一單一輸入腳所控制。

6. 一種在積體電路內測試一百萬胞元的方法，該百萬胞元為該積體電路內電路的一項整體原件，該百萬胞元

六、申請專利範圍

具有至少一輸入或輸出信號，在該積體電路的正常操作期間，此輸出信號與該積體電路外部沒有任何連結，該積體電路具有多個信號，在該積體電路的正常操作期間，在積體電路的對應腳上，提供該信號作為輸入及／或輸出，該方法包含：

經一 J T A G 輸入腳加一串指令至該積體電路，而該積體電路置於預定的百萬胞元測試模式；

從該積體電路之對應的第一腳，視需要使該多個輸出信號中的一信號不動作；

視需要將來自該百萬胞元的測試輸出指向該不致能輸出信號的對應第一腳；

經該積體電路的第二腳將一測試輸出加到該百萬胞元上，以刺激該百萬胞元，而執行一測試操作；及

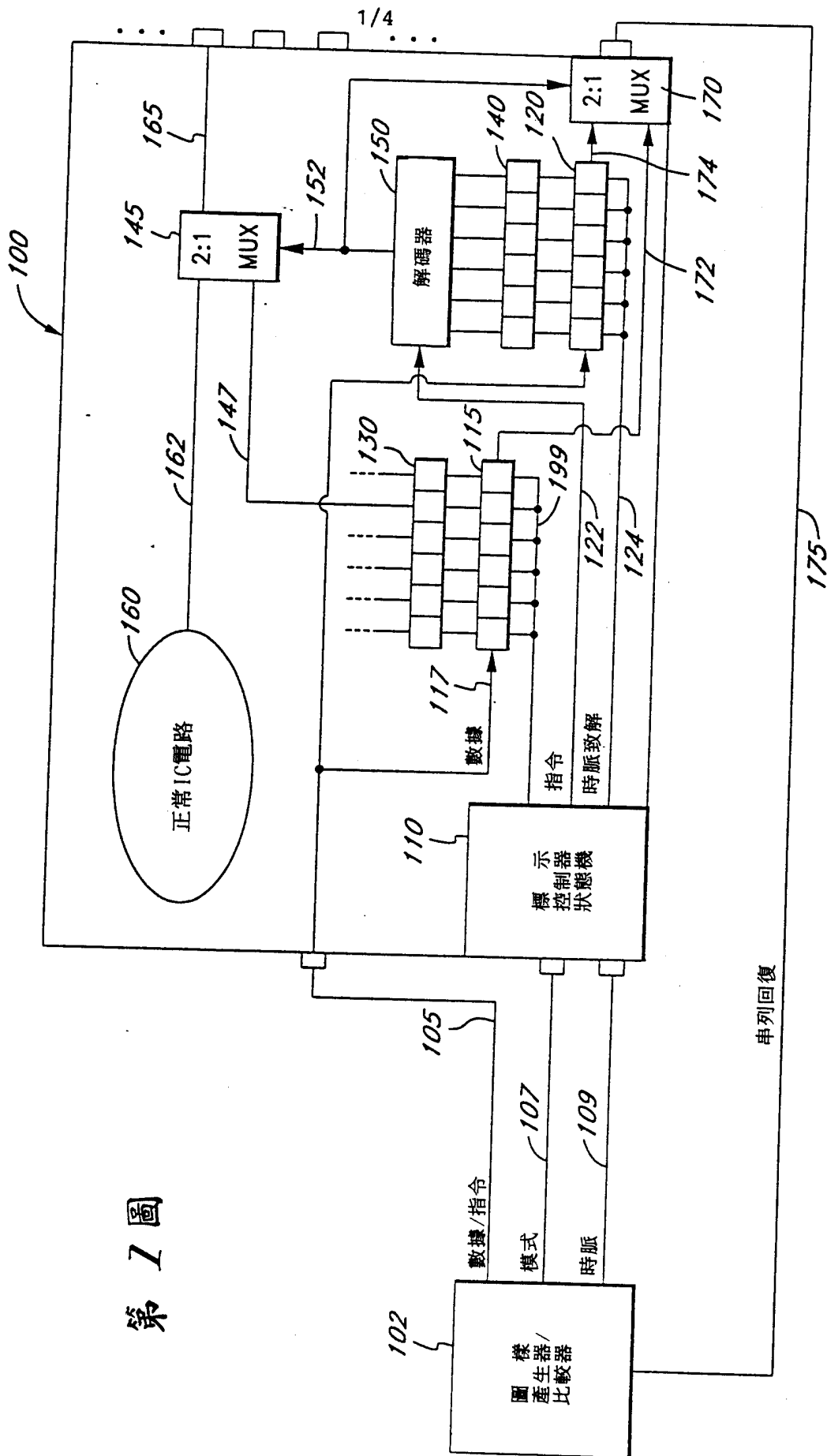
在該積體電路的對應第一腳上，監視該百萬胞元的測試輸出。

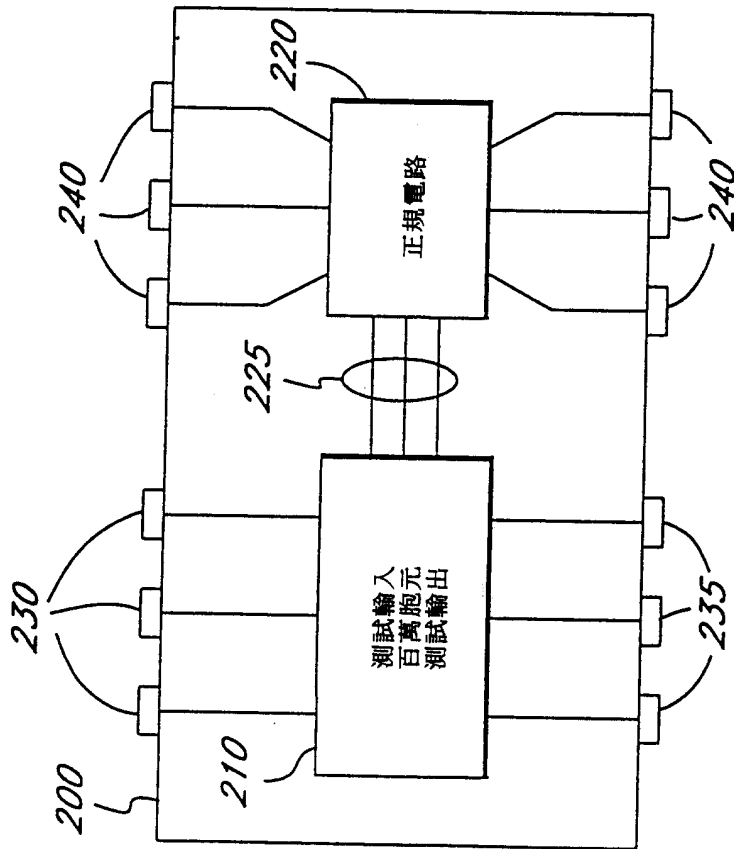
(請先閱讀背面之注意事項再填寫本頁)

裝

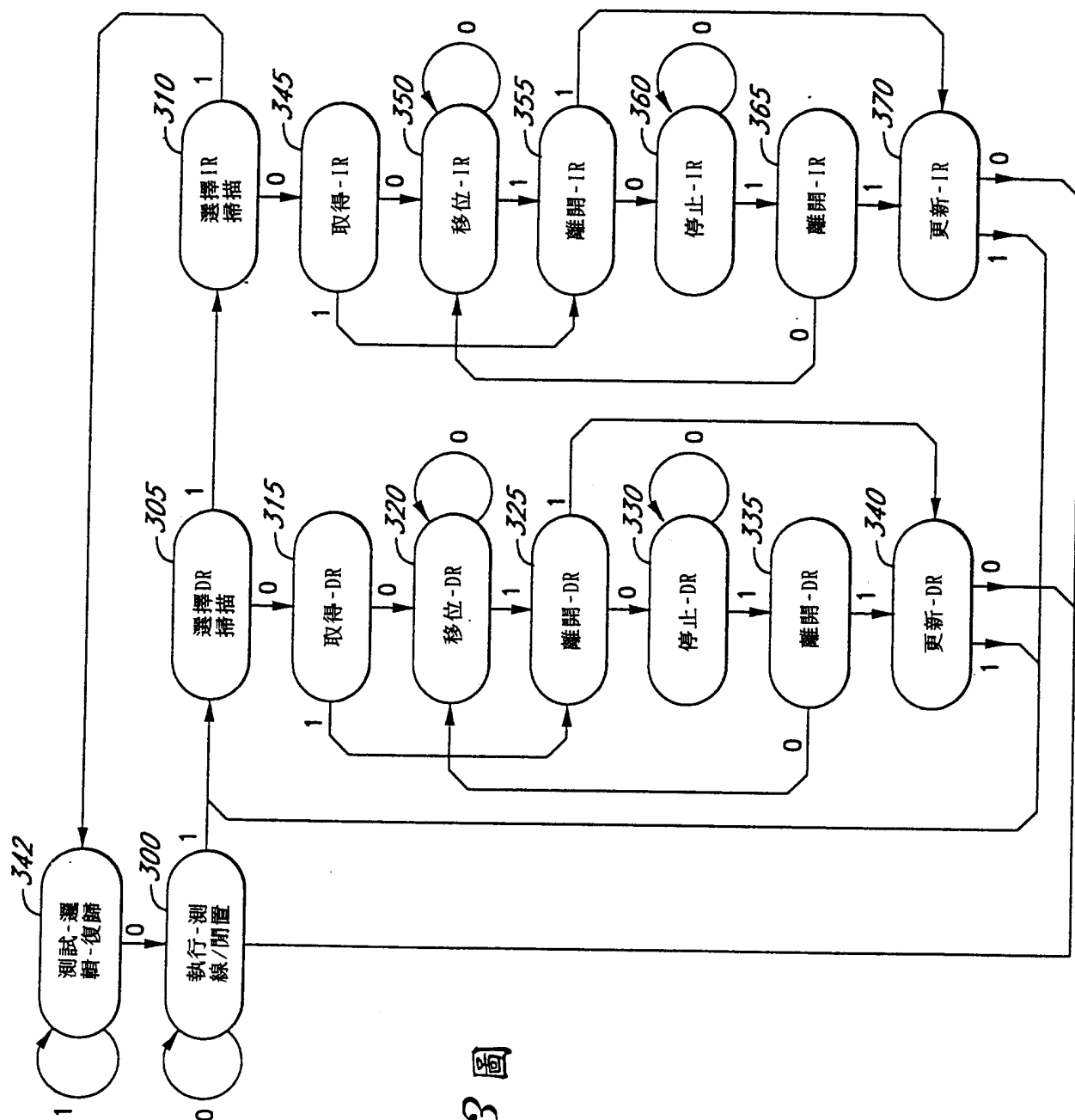
訂

第 1 圖





第 2 圖



第3圖

第4圖

