

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-529411  
(P2008-529411A)

(43) 公表日 平成20年7月31日(2008.7.31)

(51) Int.Cl. F I テーマコード(参考)  
 HO4N 7/26 (2006.01) HO4N 7/13 Z 5C059

審査請求 未請求 予備審査請求 有 (全 26 頁)

(21) 出願番号 特願2007-553130 (P2007-553130)  
 (86) (22) 出願日 平成18年1月17日(2006.1.17)  
 (85) 翻訳文提出日 平成19年9月25日(2007.9.25)  
 (86) 国際出願番号 PCT/US2006/001598  
 (87) 国際公開番号 W02006/081097  
 (87) 国際公開日 平成18年8月3日(2006.8.3)  
 (31) 優先権主張番号 11/042,366  
 (32) 優先日 平成17年1月25日(2005.1.25)  
 (33) 優先権主張国 米国(US)

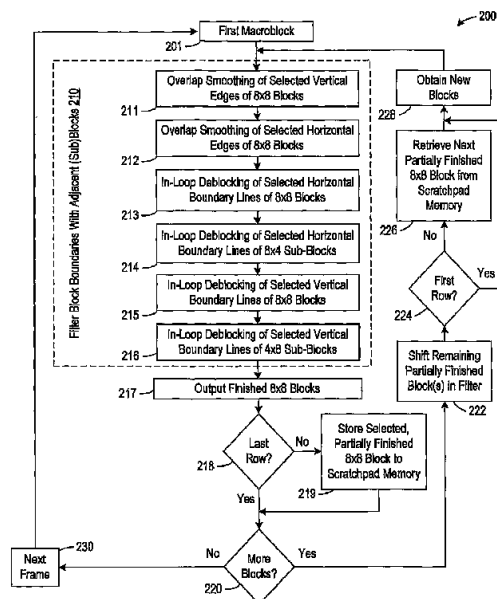
(71) 出願人 591016172  
 アドバンスド・マイクロ・デバイス・  
 インコーポレイテッド  
 ADVANCED MICRO DEVI  
 CES INCORPORATED  
 アメリカ合衆国、94088-3453  
 カリフォルニア州、サニペイル、ピー・  
 オウ・ボックス・3453、ワン・エイ・  
 エム・ディ・プレイス、メール・ストップ  
 ・68(番地なし)  
 (74) 代理人 100099324  
 弁理士 鈴木 正剛  
 (74) 代理人 100111615  
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 オーバーラップスムージングおよびインループデブロッキングの区分的な処理

(57) 【要約】

マクロブロックベースでオーバーラップスムージングおよびインループデブロッキングの区分的な処理を実行することによって、ビデオデータを復号化するためのプロセッサとビデオ復号化ハードウェアの組み合わせとして、ビデオ処理装置およびその方法が実装される。この手法によって、ビデオ復号化ハードウェアブロックのインループフィルタリング操作に、小容量のオンボードメモリを使用することができる。区分的な処理操作をパイプライン化することによって、フィルタ操作のレイテンシが認識できないレベルに抑えられ、フィルタスループットの均等化されて、ブロックのフェッチと記憶のバーストの必要がなくなる。



## 【特許請求の範囲】

## 【請求項 1】

各マクロブロック内で、少なくとも第 1 のブロックに対して、前記第 1 のブロックが第 1 のフィルタ操作で部分的に処理され、次に第 2 のフィルタ操作で完全に処理されるように、区分的なオーバーラップスムージングおよびデブロッキングを逐次的に実行するインループフィルタを有するビデオアクセラレータ。

## 【請求項 2】

前記第 1 のフィルタ操作は、マクロブロックの先頭行に対するオーバーラップスムージング操作およびデブロッキング操作を含み、前記第 2 のフィルタ操作は、マクロブロックの第 2 の行に対するオーバーラップスムージング操作およびデブロッキング操作を含む請求項 1 に記載のビデオアクセラレータ。

10

## 【請求項 3】

前記第 1 のフィルタ操作は、前記第 1 のブロックに対する、区分的なオーバーラップスムージング操作およびデブロッキング操作の第 1 の組を含み、前記第 2 のフィルタ操作は、前記第 1 のブロックに対する、区分的なオーバーラップスムージング操作およびデブロッキング操作の第 2 の組を含む請求項 1 に記載のビデオアクセラレータ。

## 【請求項 4】

前記部分的に処理された第 1 のブロックを記憶するためのスクラッチパッドメモリを更に有し、前記第 2 のフィルタ操作は、前記スクラッチパッドメモリから前記部分的に処理された第 1 のブロックをフェッチする請求項 1 に記載のビデオアクセラレータ。

20

## 【請求項 5】

前記第 1 のブロックが前に処理されたマクロブロックに隣接している場合に、前記第 1 のフィルタ操作は、オーバーラップスムージングおよびデブロッキングのために、前記第 1 のブロックを完全にフィルタすることを含む請求項 1 に記載のビデオアクセラレータ。

## 【請求項 6】

前記第 1 のブロックがその後処理されるマクロブロックに隣接している場合に、前記第 2 のフィルタ操作は、オーバーラップスムージングおよびデブロッキングのために、前記第 1 のブロックを部分的にフィルタすることを含む請求項 1 に記載のビデオアクセラレータ。

## 【請求項 7】

前記第 1 のフィルタ操作は、  
 少なくとも前記第 1 のブロックの選択された垂直ブロック境界に対してオーバーラップスムージングを実行することと、  
 少なくとも前記第 1 のブロックの選択された水平ブロック境界に対してオーバーラップスムージングを実行することと、  
 少なくとも前記第 1 のブロックの選択された水平ブロック境界に対してインループデブロッキングを実行することと、  
 少なくとも前記第 1 のブロックの選択された水平サブブロック境界に対してインループデブロッキングを実行することと、  
 少なくとも前記第 1 のブロックの選択された垂直ブロック境界に対してインループデブロッキングを実行することと、  
 少なくとも前記第 1 のブロックの選択された垂直サブブロック境界に対してインループデブロッキングを実行することと、を含む請求項 1 に記載のビデオアクセラレータ。

30

40

## 【請求項 8】

前記第 2 のフィルタ操作は、  
 少なくとも前記第 1 のブロックの残りの垂直ブロック境界に対してオーバーラップスムージングを実行することと、  
 少なくとも前記第 1 のブロックの残りの水平ブロック境界に対してオーバーラップスムージングを実行することと、  
 少なくとも前記第 1 のブロックの残りの水平ブロック境界に対してインループデブロ

50

キングを実行することと、

少なくとも前記第1のブロックの残りの水平サブブロック境界に対してインループデブロッキングを実行することと、

少なくとも前記第1のブロックの残りの垂直ブロック境界に対してインループデブロッキングを実行することと、

少なくとも前記第1のブロックの残りの垂直サブブロック境界に対してインループデブロッキングを実行することと、を含む請求項7に記載のビデオアクセラレータ。

【請求項9】

圧縮ビデオデータストリームからのビデオ情報を復号化するためのビデオ処理システムであって、部分的に復号化されたビデオデータを生成するために、前記圧縮ビデオデータストリームを部分的に復号化するプロセッサと、

ビデオフレームを生成するために、前記部分的に復号化されたビデオデータを復号化するビデオ復号化回路と、を有し、前記ビデオ復号化回路は、前記ビデオフレームの各マクロブロックに対して逐次的に、オーバーラップスムージングおよびインループデブロッキングの区分的な処理を実行するためのインループフィルタを有するビデオ処理システム。

【請求項10】

前記インループフィルタは、一度に1つのマクロブロックについてオーバーラップスムージングおよびデブロッキングをするために、ビデオフレーム内のマクロブロックの各行を逐次的に処理する請求項9に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ビデオ処理技術に関する。一態様では、本発明は、デジタルビデオ情報の伸張に関する。

【背景技術】

【0002】

ビデオ情報は大量の記憶空間を必要とするため、ビデオ情報は通常圧縮される。したがって、例えばCD-ROMまたはDVDに記憶されている圧縮ビデオ情報を表示するためには、その圧縮ビデオ情報を伸張して、伸張されたビデオ情報を提供する必要がある。次に、この伸張されたビデオ情報が、ビットストリーム中でディスプレイに提供される。ビデオ情報の伸張されたビットストリームは通常、ディスプレイ上のピクセル位置に対応するメモリ位置のビットマップとして記憶される。ディスプレイに情報の1画面を提示するのに必要とされるビデオ情報はフレームと呼ばれる。多くのビデオシステムは、一連のフレームを表示することによって動画ビデオを提供するために、圧縮ビデオ情報を迅速かつ効率的に復号化することを目標としている。

【0003】

記録媒体や装置、データ処理のさまざまな態様（ビデオ圧縮など）を標準化することが、この技術とその用途が引き続き成長するために非常に望ましい。ビデオ情報を圧縮および伸張するため、数多くの圧縮（伸張）標準が既に関与されているか開発中である。このようなものには、例えばビデオの符号化および復号化のためのMPEG（Moving Picture Experts Group）の各種標準（例えばMPEG-1、MPEG-2、MPEG-3、MPEG-4、MPEG-7、MPEG-21）またはWindowsメディアビデオ圧縮標準（例えばWMV9）がある。MPEG標準およびWMV標準の各々は、ここに完全に記載したものとして、本明細書にその全体を援用する。

【0004】

一般に、ビデオ圧縮技術には、ビデオフレーム内に存在する空間的および時間的な冗長性を減らすことによって、ビデオ情報を圧縮するように動作するフレーム内圧縮とフレーム間圧縮が含まれる。フレーム内圧縮技術は、Iフレームと呼ばれるフレーム内に含まれている情報のみを使用して、フレームを圧縮する。フレーム間圧縮技術は、予測フレーム（P-フレーム）またはB-フレームと通常呼ばれる先行フレームおよび/または後続フ

10

20

30

40

50

フレームを参照してフレームを圧縮する。フレーム内圧縮技術とフレーム間圧縮技術は、空間またはブロックベースの符号化を使用しており、通常は、ビデオフレームが符号化（ブロック変換処理とも呼ばれる）のためブロックに分割されている。例えば、I-フレームは、 $8 \times 8$  ブロックに分割されている。ブロックは、特定の余弦基底関数の振幅として係数を符号化する離散コサイン変換（DCT）符号体系、あるいは他の何らかの変換（整数変換など）を使用して符号化される。次に、変換された係数が量子化されて、振幅レベルがゼロではない係数と振幅レベルがゼロの係数のラン（またはサブシーケンス）が得られる。次に、量子化された係数がランレベル符号化（ランレングス符号化）されて、ゼロ係数のロングランが要約される。次に、この結果が、符号化する値にコードワードを割り当てる統計符号化技術を使用するか、または、例えばC A B A C（Context-based Adaptive Binary Arithmetic Coding）、C A V L C（Context Adaptive Variable Length Coding）などの何らかのエントロピー符号化技術を使用して、可変長符号器（variable length coader：VLC）内でエントロピー符号化される。出現頻度の高い値には短いコードワードが割り当てられ、出現頻度の低い値には長いコードワードが割り当てられる。平均すると、符号列が原データより短くなるように出現頻度の高い短いコードワードが多くなる。このため、空間またはブロックベースの符号化技術は、1つのフレームに関連するデジタル情報を圧縮する。ビデオ圧縮技術は、一連のフレームに関連するデジタル情報を圧縮するために、P-フレームおよび/またはB-フレームを使用して、連続するフレーム間に時間的な相関関係が存在している点を利用する。フレーム間圧縮技術は、異なるフレーム間の差を特定して、次に、DCT、量子化、ランレングス符号化技術およびエントロピー符号化技術を使用して、その差情報を空間的に符号化するが、異なる実装では、別のブロック構成を使用することができる。例えば、P-フレームは $16 \times 16$ のマクロブロック（例えば、4つの $8 \times 8$ 輝度ブロックと2つの $8 \times 8$ 色差ブロックを有する）に分割されて、このマクロブロックが圧縮される。フレーム内圧縮技術、フレーム間圧縮技術のいずれが使用されるかどうかを問わず、ビデオデータを符号化するために空間またはブロックベースの符号化技術を使用するということは、圧縮ビデオデータが可変長に符号化されるか、あるいは上記のブロックベースの圧縮技術を使用して圧縮されることになる。

#### 【0005】

受信装置または再生装置では、圧縮ステップが逆転されて、ブロック変換によって処理されたビデオデータが復号化される。図1は、ビデオ情報を伸張するための従来のシステム30を示しており、システム30は、入力ストリーム復号化部35、動きデコーダ38、加算器39、フレームバッファ40およびディスプレイ41を有する。入力ストリームデコーダ35は、入力バッファ31で圧縮ビデオ情報のストリームを受け取って、VLCデコーダ32で可変長復号化を実行し、逆量子化器33でジグザグおよび量子化を逆転させ、IDCT34でDCT変換を逆転させて、静的に伸張されたビデオ情報のブロックを加算器39に提供する。動き復号化部38では、動き補償ユニット37は、VLCデコーダ32からの動き情報と、前の画像データのコピー（前の画像ストアバッファ36に記憶されている）を受け取り、動き補償されたピクセルを加算器39に提供する。加算器39は静的に伸張されたビデオ情報と、動き補償されたピクセルを受け取り、伸張されたピクセルをフレームバッファ40に提供し、続いてフレームバッファ40がディスプレイ41にこの情報を提供する。

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0006】

従来のビデオエンコーダおよびデコーダの設計では、ブロックベースの変換、動き補償、量子化および/またはほかの損失の多い処理ステップによって、フレームにブロッキングアーチファクト（認識できるブロック間の不連続性）が入り込むことがある。ブロッキングアーチファクトを低減させようとする従来の試みでは、オーバーラップスムージングまたはデブロッキングフィルタリング（インループ処理または後処理のいずれにおいても）を使用してブロック間の境界をスムージングすることによって、フレームを処理してき

た。例えば、WMV9標準では、ブロッキングアーチファクトを低減させるために、画像全体に対して、オーバーラップスムージングとインルーブデブロッキングを処理することが規定されている。WMV9復号化が有効の場合、オーバーラップスムージングが、8×8ブロック境界のみに対して行われ、その際、最初にフレーム全体について垂直方向のスムージングが行われて、次にフレーム全体について水平方向にオーバーラップスムージングが実行される。次に、インルーブデブロッキングが有効の場合、これは以下の順序で行われる。(i)フレーム内のすべての8×8ブロックの水平境界線が、一番上の線を始点としてフィルタされ、(ii)フレーム内のすべての8×4サブブロックの水平境界線が、一番上の線を始点としてフィルタされ、(iii)すべての8×8ブロックの垂直境界線が、一番左の線を始点としてフィルタされて、(iv)すべての4×8サブブロックの垂直境界線が、一番左の線を始点としてフィルタされる。従来手法では、フレーム全体に2つのパスが用いられ、このうち、第1のパスはオーバーラップスムージング用であり、第2のパスはインルーブデブロッキング用である。個々のステップの処理を実行すべきかどうかを決定するほかの要求事項(例えば、パラメータPQUANTおよびブロックのタイプに関連するものなど)が当てはまる場合もあるが、これらの処理が目標としているのは、16×16マクロブロック、8×8ブロックまたは4×4サブブロックの端を超えてスムージングを行い、二次元変換および量子化によって入り込むブロック歪み(blockiness)アーチファクトを除去することにある。

10

**【0007】**

ビデオ伸長を処理するためのプロセッサを利用した手法では、スムージングまたはデブロッキングの機能(function)を追加することは、多量の計算が必要なフィルタリング処理である。フレームを保持する大容量のメモリバッファ(例えば、307キロバイトに相当する640×480ピクセルのVGAサイズ)がある場合、この処理の順序はソフトウェアで実行することができる。これに対して、ハードウェアを利用した復号化のための手法は、スムージングとデブロッキングを同時に実行せず、フレーム全体に対してデブロッキングを実行しており、大容量のローカルメモリを必要とし、大きなバス帯域幅を要求し、メモリアクセス時間が犠牲にされる。したがって、伸張方法に関連する処理の要求事項を下げ、伸張操作(より詳細には、オーバーラップスムージング操作および/またはデブロッキングフィルタ操作を含む)を改善することが大いに必要とされている。従来システムの更に別の制約と不都合は、添付の図面と詳細な説明を参照して、本出願のほかの部分を検討すれば、当業者にとって明らかであろう。

20

30

**【課題を解決するための手段】****【0008】**

ビデオ伸張を実行するためのソフトウェアとハードウェアの組合せを使用することによって、各種のビデオ圧縮方式を迅速かつ効率的に処理するために適合させることができる柔軟な伸張システムが提供される。この柔軟な伸張システムは、フロントエンドの伸張ステップを実行するためのプロセッサと、バックエンドの伸張ステップを実行するためのビデオアクセラレータとを有する。ビデオフレームデータに対してオーバーラップスムージング操作とインルーブデブロッキングフィルタ操作を実行するためのビデオアクセラレータのメモリ容量および/または帯域幅の要求事項を下げるために、インルーブフィルタは、マクロブロックベースで、オーバーラップスムージングおよびインルーブデブロッキングの区分的な処理を実行する。ピクセルの区分的な処理を使用することによって、ブロックにアクセスしながら、オーバーラップスムージングとインルーブデブロッキングを同時に実行することができる。部分的に処理されたデータを記憶するためのスクラッチパッドメモリを使用することによって、スムージングアルゴリズムとデブロッキングアルゴリズムを分け、より小さなデータブロックに適用することができる。処理の順序が、フレームに基づいた順序で行われているように維持され、ブロックのフェッチと記憶のバーストを防ぐため、フィルタスループットを均等化するために、レーテンシが認識できないレベルに抑えられ、パイプライン方式で実行されることことができる。

40

**【0009】**

50

本発明の1つ以上の実施形態によれば、複数のマクロブロックへのブロック変換により処理されたビデオデータを復号化するためのビデオ処理システム、装置および方法が提供される。各マクロブロックでは、少なくとも第1のブロック内で、第1のブロックが第1のフィルタ操作で部分的に処理されて、次に、第2のフィルタ操作で完全に処理されるように、選択されたピクセルデータをスムージングおよびデブロッキングするために、インループフィルタによって区分的な処理が実行される。これによって、1つ以上の完了したブロックと1つ以上の部分的にフィルタされたブロックとが生成される。例えば、第1のフィルタ操作は、マクロブロックの先頭行に対するスムージングおよびデブロッキングフィルタリングであってもよく、第2のフィルタ操作は、マクロブロックの第2の行に対するスムージングおよびデブロッキングフィルタリングであってもよい。あるいは、別の態様では、第1のフィルタ操作は、第1のブロックに対する区分的なオーバーラップスムージングおよびデブロッキングフィルタリングの第1の組であってもよく、第2のフィルタ操作は、第1のブロックに対する区分的なオーバーラップスムージング操作およびデブロッキング操作の第2の組であってもよい。その結果、第1のフィルタ操作中に、前に処理されたマクロブロックに隣接するブロックが、オーバーラップスムージングおよびデブロッキングのために完全にフィルタされて、次に、完了したブロックとして出力されうる。一方、その後処理されるマクロブロックに隣接するブロックは、オーバーラップスムージングおよびデブロッキングのために部分的にフィルタされて、次に、部分的にフィルタされたブロックとしてスクラッチパッドメモリに記憶されうる。第2のフィルタ操作中に、完全に処理できない部分的にフィルタされたブロックがスクラッチパッドメモリに記憶され、第2のマクロブロック内の選択されたピクセルデータをスムージングおよびデブロッキングするために取得されるときに完了されうる。選択した実施形態では、区分的な処理は、選択された垂直ブロック境界および水平ブロック境界に対するオーバーラップスムージングのシーケンスを実行し、続いて、選択されたブロック境界およびサブブロック境界に対して、水平方向および垂直方向にインループデブロッキングを実行する第1のフィルタ操作として実装される。次に、第2のフィルタ操作が実行されて、これにより、残りの垂直ブロック境界および水平ブロック境界がオーバーラップスムージングされて、続いて、残りのブロック境界およびサブブロック境界に対して、インループデブロッキングが水平方向および垂直方向に実行される。マクロブロックの各行に、一度に1マクロブロックずつ、この区分的な処理を実行することによって、マクロブロック処理をパイプライン化することができる。

10

20

30

#### 【0010】

本発明の目的、利点、および他の新しい特徴は、添付の特許請求の範囲と添付の図面と併せて読めば、以下の詳細な説明から、当業者にとって明らかとなるであろう。

#### 【発明を実施するための最良の形態】

#### 【0011】

以下に、本発明の例示的な実施形態を記載するが、本発明がこれらの具体的な詳細に従わなくとも実施でき、システム上の制約およびビジネス上の制約に適合させるなど、開発の具体的な目的を達成するために、実装に固有の判断が数多く必要とされ、これは実装によって変わるということが理解される。この種の開発作業は複雑かつ時間がかかるものであるが、本開示の利益を受ける当業者にとって日常的な作業である。例えば、本発明をわかりにくくすることのないように、選択された態様を、詳細に図示するのではなく、ブロック図形式で示す。このような記述および表現は、当業者が、自身の作業の内容を他の当業者に説明し伝えるために用いられているものである。添付の図面を参照して本発明を説明する。

40

#### 【0012】

図2を参照すると、本発明による例示的なビデオ伸張システム100のブロック図が示される。図に示すように、ビデオ伸張システム100はどのようなビデオ再生装置に実装されてもよく、これには、デスクトップコンピュータまたはラップトップコンピュータ、ワイヤレスまたは携帯式デバイス、携帯情報端末(PDA)、携帯式またはセルラー式電

50

話や、ビデオ画像化機能を備えたそれ以外のビデオ再生装置などがある。図2に示すように、ビデオ伸張システム100は、1つ以上のプロセッサまたは処理ユニット50と、ビデオまたはメディアアクセラレーションハードウェアユニット101とに結合されたバス95を有するホストまたはアプリケーション処理ユニットとして実装される。また、ビデオ伸張システム100はメインメモリシステムを有し、これにはDDRコントローラ60を介してアクセスされる大容量DDR SDRAM62, 64が含まれる。これに加えて、あるいは別法として、1つ以上のメモリ(例えば、IDE72、フラッシュメモリユニット74、ROM76など)が、スタティックメモリコントローラ70を介してアクセスされる。DDR SDRAMまたはほかのメモリの一方または両方が、ビデオ伸張システム100と一体化されていても、その外部にあってもよい。当然、ほかの周辺機器や表示装置(82, 84, 86, 92)が、それぞれのコントローラ80, 90を介してアクセスされてもよい。簡潔を期すと共に理解しやすくするために、ビデオ伸張システム100を構成する要素のすべてを詳細に記載しない。このような詳細は当業者に公知であり、特定のコンピュータ供給業者およびマイクロプロセッサの種類によって変更され得る。更に、ビデオ伸張システム100は、所望の実装に応じて、ほかのバス、デバイスおよび/またはサブシステムを有していてもよい。例えば、ビデオ伸張システム100は、キャッシュ、モデム、パラレルインタフェースまたはシリアルインタフェース、SCSIインタフェース、ネットワークインターフェイスカードなどを有していてもよい。図中の実施形態では、CPU50は、フラッシュメモリ74および/またはSDRAM62, 64に記憶されているソフトウェアを実行する。

10

20

30

40

50

#### 【0013】

図2に示すビデオ伸張システム100では、CPU50は、VLDブロック52に示すように、最初の可変長復号化機能を実行する一方、メディアアクセラレーションハードウェアユニット101は、復号化データに対して、逆量子化104、逆変換106、動き補償108、インテリジェントフィルタリング110、色空間変換112、およびスケーリング114とフィルタリング116を実行する。得られた復号化データは、出力バッファ118および/またはフレームバッファ(図示せず)に一時的に記憶されてから、ディスプレイ92に表示される。復号化処理機能をプロセッサ50とメディアアクセラレーションハードウェア101とに分けることにより、フロントエンドの復号化ステップ(例えば可変長復号化)を、各種の圧縮方式(例えばMPEG-1、MPEG-2、MPEG-3、MPEG-4、MPEG-7、MPEG-21、WMV9など)に合わせるために、ソフトウェアで実装することができる。フロントエンドが生成した復号化データはメディアアクセラレーションハードウェア101に提供され、メディアアクセラレーションハードウェア101は、この復号化データを更に復号化して、フレームが完成するまで、出力バッファ118またはフレームバッファに、マクロブロック毎にピクセル値を提供する。

#### 【0014】

動作時に、ビデオ伸張システム100は、CD-ROM、DVDまたはほかの記憶装置などのビデオ信号源から圧縮ビデオ信号を受け取る。圧縮ビデオ信号は、圧縮ビデオ情報のストリームとしてプロセッサ50に提供され、プロセッサ50は、命令を実行して、圧縮信号の可変長符号化部分を復号化して、可変長復号化データ(VLDデータ)信号を提供する。ソフトウェアの支援によって可変長復号化が実行されると、VLDデータ(ヘッダ、マトリクス重み、運動ベクトル、変換された残りの係数と、更には差分運動ベクトルを含む)が、メディアアクセラレーションハードウェアユニット101に、直接送られるか、あるいは米国特許出願公開第11/042,365号により詳細に記載されているデータ圧縮技術("Lightweight Compression Of Input Data")を使用して送られる。メディアアクセラレーションハードウェアユニット101においてVLDデータを受け取ると、このデータが逆ジグザグ量子化器回路104に提供され、逆ジグザグ量子化器回路104は、VLDデータを復号化して、ジグザグ復号化信号を提供する。圧縮ビデオ信号はジグザグランレングスコード方式で圧縮されているが、ジグザグ復号化信号が情報の逐次的なブロックとして逆DCT回路106に提供されるという点が、逆ジグザグおよび量

子化によって補償される。したがって、このジグザグ復号化信号は、ディスプレイ 92 へのラスタスキャンのために必要な順序に並んだブロックを提供する。次に、このジグザグ復号化信号が、逆変換回路 106 (例えば、IDCT または逆整数変換) に提供され、逆変換回路 106 が、ジグザグ復号化ビデオ信号に対して、ブロック毎に逆離散コサイン変換を実行して、静的に伸張されたピクセル値または伸張された誤差項を提供する。この静的に伸張されたピクセル値が、動き補償ユニット 108 によってブロック毎に処理され、動き補償ユニット 108 は、1、2 および 4 つの運動ベクトル (16 × 16、16 × 8 および 8 × 8 の各ブロック) のためのサポートを含む、フレーム内の予測された双方向の動き補償を提供する。インループフィルタ 110 は、下記に詳しく述べる通り、スクラッチパッドメモリ 111 を使用して、部分的に完了したマクロブロックフィルタデータを記憶することによって、オーバーラップスムージングおよび / またはデブロッキングを実行して、WMV9 圧縮標準に従ってブロッキングアーチファクトを低減させるか除去する。色空間コンバータ 112 が、1 つ以上の入力データ形式 (例えば YCbCr 4:2:0) を、1 つ以上の出力形式 (例えば RGB) に変換して、この結果がフィルタ 116 でフィルタリングおよび / またはスケーリングされる。

#### 【0015】

ここに開示するように、スムージングおよびデブロッキングインループフィルタ 110 は、第 1 のパスの間に、マクロブロックの各行を部分的にフィルタリングまたは処理して、次に、マクロブロックの次の行の処理中に、部分的に処理したブロックの処理を完了させることによって、隣接するブロック間の境界の不連続性を除去する。この技術により、従来のデブロッキング処理で行われているように、フィルタリングのために、大容量のメモリを使用してフレーム画像全体を記憶するのは対照的に、小容量のスクラッチパッドメモリ 111 を、部分的に処理したブロックをスクラッチパッドメモリに記憶するために能率的に使用することができる。各ブロックのオーバーラップスムージングおよびデブロッキングの処理が行毎に完了すると、完了したブロックが、フィルタ 110 から FIFO バッファ (図示せず) に出力されてから、CSC 112 に転送される。

#### 【0016】

図 3 は、本発明の選択した実施形態による、スクラッチパッドメモリを使用して、オーバーラップスムージングおよびデブロッキングを効率的に処理するマクロブロックベースのインループフィルタリング処理の模式図である。フィルタリング処理では、マクロブロックの行を通るインループフィルタの各パスによって、完全に完了したブロック (ブロックをスムージングおよびデブロックするために完全にフィルタされている) と、部分的に完了したブロック (マクロブロックの次の行をスムージングおよびデブロックする際に後から使用するため、スクラッチパッドメモリに記憶される) とが得られる。図に示すように、インループフィルタリング処理のマクロブロックのそれぞれ (例えば、4 つの luma ブロック mb4y0、mb4y1、mb4y2 および mb4y3 を有するマクロブロック例 4 すなわち "mb4") は以下の順序の処理を受ける。

(i) 前のマクロブロック (マクロブロック 1 など) に隣接する 8 × 8 ブロック (mb4y0、mb4y1 など) のスムージングおよびデブロッキングを完全に完了し、次のマクロブロック (マクロブロック 7 など) に隣接する 8 × 8 ブロック (mb4y2、mb4y3 など) のスムージングおよびデブロッキングを部分的に完了する。

(ii) 完了した 8 × 8 ブロック (mb4y0、mb4y1 など) を出力して、部分的に完了した 8 × 8 ブロック (mb4y2、mb4y3 など) をスクラッチパッドメモリに記憶する。

(iii) 次のマクロブロック (マクロブロック 7 など) の処理中に、スクラッチパッドメモリから部分的に完了した 8 × 8 ブロック (mb4y2、mb4y3 など) をフェッチして、取り出した 8 × 8 ブロック (mb4y2、mb4y3 など) の処理を完了する。

(iv) 次のマクロブロックの完了した 8 × 8 ブロック (mb7y0、mb7y1 など) と共に、完了した 8 × 8 ブロック (mb4y2、mb4y3 など) を出力する。

#### 【0017】

10

20

30

40

50



実装の詳細は用途によって変わりうるが、図3は、インループフィルタ110によって処理中の画像フレーム150がマクロブロック（例えばマクロブロックmb0、mb1、mb2、mb3、mb4、mb5、mb6、mb7、mb8など）によって構成され、複数の行（例えばmb0、mb1およびmb2から構成される先頭行151）に配置される説明のための実施形態を示している。図3Aに示すように、インループフィルタ110は、マクロブロック151の先頭行を通る第1のパスを既に通っている。先頭行151を通る第1のパスの結果、上のブロック（mb0y0、mb0y1、mb1y0、mb1y1、mb2y0、mb2y1）は、オーバーラップスムージングおよびデブロッキングが完全に処理されているのに対し（クロスハッチングで示す）、下のブロック（mb0y2、mb0y3、mb1y2、mb1y3、mb2y2、mb2y3）はオーバーラップスムージングおよびデブロッキングが部分的にしか処理されていない。マクロブロック処理の次のパスの間に、先頭行151からの部分的に処理されたブロックを完了させるために、先頭行151からの部分的に処理されたブロックが、スクラッチパッドメモリ111に記憶される（ドットパターンで示す）。

10

**【0018】**

更に図3Aに示すように、インループフィルタ110は、マクロブロック152の第2の行の処理を開始しており、先頭行151からの部分的に処理されたブロックを完了する処理も行われる。この結果、mb0y2ブロックとmb3yのブロックは、スムージングおよびデブロッキングが完全に処理され、mb3y2ブロックは部分的にしか処理されていない（スクラッチパッドに記憶される）。図3Aでフィルタ110によって処理されるブロック（フィルタされたブロック154と共に斜めハッチングで示す）では、mb0y3、mb3y1およびmb3y3の各ブロックは、スムージングおよびデブロッキングが部分的に処理されて（フィルタ110に保持され）ており、mb1y2ブロックはスクラッチパッドからフェッチされた部分的に完了したブロックであり、残りのブロック（mb4y0およびmb4y2）は現在のマクロブロック（マクロブロック4など）から得られる。インループフィルタ110がフィルタされたブロック154を処理すると、スムージングおよびデブロッキングが、部分的に処理されたブロック（mb0y3、mb3y1など）の1つ以上で完了するが、残りのブロック（mb1y2、mb4y0、mb4y2およびmb3y3）は部分的にしか完了しない。

20

**【0019】**

フィルタされたブロック154の処理後は、インループフィルタ110は新しいデータをシフトインする。これは、図3Bに示すフレーム155に示され、フィルタ110がフィルタされたブロック156を取得しており、その際、完了したブロック（mb0y3、mb3y1など）を出力し、部分的に完了したブロックの1つ以上（mb3y3など）をスクラッチパッドメモリに記憶し、残りの部分的に完了したブロック（mb1y2、mb4y0、mb4y2など）をフィルタ内で1ブロック位置だけシフトして、マクロブロックの前の行から部分的に完了したブロック（mb1y3など）をフェッチして、現在のマクロブロックから新しいブロック（mb4y1、mb4y3など）をロードする。インループフィルタ110がフィルタされたブロック156を処理すると、スムージングおよびデブロッキングが、部分的に処理されたブロック（mb1y2、mb4y0など）の1つ以上で完了するが、残りのブロック（mb1y3、mb4y1、mb4y3およびmb4y2）は部分的にしか完了しない。

30

40

**【0020】**

フィルタされたブロック156の処理後、図3Cのフレーム157に示すように、インループフィルタ110は新しいデータを再度シフトインする。より詳細には、フィルタ110はフィルタされたブロック158を取得し、その際、完了したブロック（mb1y2、mb4y0など）を出力し、部分的に完了したブロックの1つ以上（mb4y2など）をスクラッチパッドメモリに記憶し、残りの部分的に完了したブロック（例えばmb1y3、mb4y1、mb4y3）をフィルタ内で1ブロック位置だけシフトして、マクロブロックの前の行から部分的に完了したブロック（mb2y2など）をフェッチして、現在

50

のマクロブロックから新しいブロック ( m b 5 y 0、m b 5 y 2 など ) をロードする。インループフィルタ 1 1 0 がフィルタされたブロック 1 5 8 を処理すると、スムージングおよびデブロッキングが、部分的に処理されたブロック ( m b 1 y 3、m b 4 y 1 など ) の 1 つ以上で完了するが、残りのブロック ( m b 2 y 2、m b 5 y 0、m b 5 y 2 および m b 4 y 3 ) は部分的にしか完了しない。この時点で、マクロブロック 4 の上のブロック ( m b 4 y 0、m b 4 y 1 ) に対するスムージングおよびデブロッキングは完了しているが、下のブロック ( m b 4 y 2、m b 4 y 3 ) は部分的にしか完了していない。部分的に記憶された下のブロックをスクラッチパッドメモリに記憶することによって、フィルタ 1 1 0 がマクロブロックの次の行を処理するとき、フィルタリング操作を完了させることができる。

10

**【 0 0 2 1 】**

本発明の別の実施形態の更に詳細が、ビデオエンコーダまたはデコーダ内でスムージングおよびデブロッキングフィルタを使用して、復号化されたフレーム中のブロック歪みを低減するための手法 ( 2 0 0 ) を示す図 4 に示される。明らかなように、図中の技術は、l u m a または c h r o m a ブロックを処理するために使用することができるが、各フレームの端の特別なコーナーの場合も考えられ、これについては、当業者が適宜、本発明を調整して適用させるであろう。しかし、簡潔を期すために、本開示は、主として各フレームの内部のマクロブロックに実行されるインループフィルタリングステップに焦点を当てる。

20

**【 0 0 2 2 】**

図 4 を参照すると、ビデオエンコーダ/デコーダが、フレームの少なくとも先頭のマクロブロックを生成すると ( 2 0 1 )、インループフィルタは、その隣接するブロックとの各ブロックの境界をフィルタするために、一度に 1 マクロブロックずつ、マクロブロックの先頭行を処理する。明らかなように、フレームの端にはスムージングもデブロッキングも実行されないため、フィルタリング処理で使用するための部分的に完了したブロックが、このフレームの外に存在しない。しかし、マクロブロックの先頭行がフィルタされると、スクラッチパッドメモリが部分的に完了したブロックで埋まる。エンコーダ/デコーダは、先頭マクロブロック ( 2 0 1 ) を始点として、必要なブロックをロードし、上からの部分的に完了した隣接するブロックを、スクラッチパッドから取得する ( ただし、マクロブロックの先頭行を除く )。マクロブロックが 4 つの l u m a ブロック ( y 0、y 1、y 2、y 3 ) と 2 つの c h r o m a ブロック ( C b、C r ) から構成される場合、ブロックは、y 0、y 1、y 2、y 3、C b、C r の順でエンコーダ/デコーダのハードウェアに入る。

30

**【 0 0 2 3 】**

次に、ビデオエンコーダ/デコーダが、フィルタ内に読み込まれたブロックの、隣接するブロックまたはサブブロックとの所定の境界をフィルタする ( 2 1 0 )。選択した実施形態では、フィルタ内の各ブロックを部分的に処理するために、区分的な処理手法を使用することができる。例えば、輝度面または色差面のいずれかの 8 × 8 ブロックを復号化した後に、左および/または右の ( 垂直の ) 端の全部または一部に対して、スムージングフィルタ処理が行われる ( 2 1 1 )。このほか、あるいはこれに代えて、ブロックの上および/または下の ( 水平の ) 端の全部または一部に対して、スムージングフィルタ処理が行われる ( 2 1 2 ) オーラップスムージングに加えて、8 × 8 ブロックの選択された水平境界線の全部または一部 ( 2 1 3 ) および/または 8 × 4 サブブロックの選択された水平境界線の全部または一部 ( 2 1 4 ) に対してデブロッキングフィルタ処理が適用される。このほか、あるいはこれに代えて、8 × 8 ブロックの選択された垂直境界線の全部または一部 ( 2 1 5 ) および/または 4 × 8 サブブロックの選択された垂直境界線の全部または一部 ( 2 1 6 ) に対してデブロッキングフィルタ処理が適用される。

40

**【 0 0 2 4 】**

フィルタ内のブロックが区分的に処理されると、更なる処理のために、結果がフィルタ内で記憶されるかまたはシフトされる。より詳細には、フィルタが新しいデータを処理で

50

きるように、フィルタ内の完了したブロックがフィルタから出力される(217)。更に、新しいブロックと共に処理されない、部分的に完了したブロックが、後から使用してマクロブロックの次の行と共に更に処理するためにスクラッチパッドメモリに記憶される(219)。ただし、マクロブロックの最終行が処理中の場合(判定218に対して結果が「いいえ」のとき)はスクラッチパッドへの記憶ステップが省略されうる(219)。

#### 【0025】

選択されたブロック(217、219)を記憶することによって、フィルタ内に空間が作成されると、フィルタが新しいデータを処理できるようになる。より詳細には、フレーム内に更にブロックが存在する場合(判定220に対して結果が「はい」のとき)、フィルタ内の残りの部分的にフィルタされたブロックが左シフトされる(222)。先頭行の下の行の場合(判定224に対して結果が「いいえ」のとき)、次の部分的に完了したブロックをスクラッチパッドメモリから取得することによって、フィルタ内の空き空間が埋まり(226)、フィルタの残りの空間が新しいブロックで埋まる(228)。新しいデータがフィルタにロードされると、フィルタブロックの新しい組に対して、ブロックフィルタリング処理210が繰り返される。操作のこのシーケンスを繰り返すことによって、フレームの各マクロブロックが逐次的にフィルタされて、マクロブロックの前の行の処理中に生成された部分的に完了したブロックが、スクラッチパッドから取得されて、その後、マクロブロックの次の行の処理中に使用するために、部分的にフィルタされたブロックがスクラッチパッドに記憶される。これに対して、フィルタすべき残りのブロックがない場合(判定222に対して結果が「いいえ」のとき)、現在のフレームに対するスムージングおよびデブロッキング処理が終了する。この時点で、次のフレームが取得され(230)、新しいフレームの先頭マクロブロックを始点に、フィルタ処理が繰り返される。

10

20

#### 【0026】

図5A~Kを参照すると、WMV9のスムージングおよびデブロッキング手順を、区分的な処理手法により、マクロブロック4(“mb4”)内のlumaブロックに実装可能な方法を示すために、本発明の説明のための実施形態が示される。フィルタリング処理の最初の状態が図5Aに示され、フィルタ320には、オーバーラップスムージング(例えば、楕円形のマーク322を参照のこと)とデブロッキング(例えば、線のマーク323を参照のこと)が既に部分的に処理されているブロック(mb0y3、mb3y1およびmb3y3など)が既にロードされている。

30

#### 【0027】

図5Bに示すように、次に、フィルタ320が、追加のブロックで埋まる。より詳細には、部分的に完了したブロック(mb1y2など)がスクラッチパッドメモリから取得されて、フィルタにロードされる。また、現在のマクロブロック(mb4など)からの選択されたブロック(mb4y0、mb4y2など)がエンコーダ/デコーダにロードされるが、321に示すように、この時点では、マクロブロックをロードするシーケンス(mb4y0、mb4y1、mb4y2およびmb4y3など)のために、ブロックの少なくとも1つがロードされるが、フィルタ320にシフトされないことが求められる。

#### 【0028】

フィルタブロックがロードされると、図5Cに示すように、フィルタ320は区分的なオーバーラップスムージングを実行する。より詳細には、選択された内部の垂直端部301、302に対して、垂直オーバーラップスムージング(V)が実行される。次に、選択された内部の水平端部(303、304、305および306など)に対して、水平オーバーラップスムージング(H)が実行される。

40

#### 【0029】

フィルタブロックが部分的にスムージングされた後は、図5Dに示すように、フィルタ320は区分的なデブロッキングを実行する。最初に、選択された8x8ブロック境界(307、308、309、310など)に対して、水平インループデブロッキング(HD)が実行され、続いて、選択されたサブブロック境界(311、312、313、314など)に対して水平インループデブロッキング(HDH)が実行される。次に、フィルタ

50

は、選択された8×8ブロック境界(315、316など)に対して垂直インルーブデブロッキング(VD)を実行し、続いて、選択されたサブブロック境界(317、318など)に対して垂直インルーブデブロッキング(VDH)を実行する。

【0030】

上記のスミージングステップとデブロッキングステップのそれぞれの中では、境界の区分(piece)間に依存関係がないために、境界の区分がフィルタされる順序は重要でない。図5C、5Dに示す区分的な処理の特定のシーケンスのほかに、本発明に従って、別のシーケンスおよび/またはフィルタリングステップを実装することもできる。例えば、境界端の区分の別のシーケンスがフィルタされてもよい。更に、スミージングまたはデブロッキングのモードの1種類以上が適用されていてもよく、フィルタリング方式に応じて、10 フィルタリング操作が、境界のいずれかの側で最大で3ピクセル以上に作用してもよい。例えば、MPEG-4標準は、2つのデブロッキングモードを使用しており、1つのモードでは、ブロック端のいずれかの側の1つのピクセルに短いフィルタを適用し、第2のモードでは、いずれかの側の2つのピクセルに長いフィルタを適用する。別の実装では、特定の要求事項を満足させるために、フィルタの定義、異種のフィルタの数および/または適応フィルタリングの条件が適合されうる。

【0031】

スミージング操作とデブロッキングフィルタ操作が終了すると、図5Eに示すように、処理されたフィルタブロックが記憶されてシフトされる。より詳細には、ブロック(mb0y3、mb3y1など)は完了しているため、次に、これら完了したブロックが出力されうる。更に、1つ以上の部分的に完了したブロック(mb3y3など)が、その後、下の隣接するマクロブロック(例えば、図3のmb3y3に関連するマクロブロック6を参照)を処理するために使用するために、スクラッチパッドに移動されうる。次に、フィルタ内の残りの部分的に完了したブロック(mb1y2、mb4y0、mb4y2など)が、新しいデータのための空間を空けるために、フィルタ内をシフトされうる。出力ステップ、記憶ステップおよびシフトステップの結果が図5Fに示される。20

【0032】

このとき、図5Gに示すように、フィルタ320に新しいデータブロックが埋まりうる。より詳細には、部分的に完了したブロック(mb1y3など)がスクラッチパッドメモリから取得されて、フィルタにロードされる。更に、現在のマクロブロック(mb4など)からの残りのブロック(mb4y1、mb4y3など)がフィルタ320にロードされる。30

【0033】

フィルタブロックがロードされると、図5Hに示すように、フィルタ320は区分的なオーバーラップスミージングを実行する。より詳細には、選択された内部の垂直端部に対して、垂直オーバーラップスミージング(V1、V2)が実行される。次に、選択された内部の水平端部に対して、水平オーバーラップスミージング(H1、H2、H3、H4)が実行される。

【0034】

フィルタブロックが部分的にスミージングされた後は、図5Iに示すように、フィルタ320は区分的なデブロッキングを実行する。最初に、選択された8×8ブロック境界に対して、水平インルーブデブロッキング(HD1、HD2、HD3、HD4)が実行され、続いて、選択されたサブブロック境界に対して水平インルーブデブロッキング(HDH1、HDH2、HDH3、HDH4)が実行される。次に、フィルタは、選択された8×8ブロック境界に対して垂直インルーブデブロッキング(VD1、VD2)を実行し、続いて、選択されたサブブロック境界で垂直インルーブデブロッキング(VDH1、VDH2)を実行する。40

【0035】

スミージング操作とデブロッキングフィルタ操作が終了すると、図5Jに示すように、処理されたフィルタブロックが記憶されてシフトされる。より詳細には、ブロック(mb50

1 y 2、m b 4 y 0 など) は完了しているため、次に、これら完了したブロックが出力されうる。更に、1つ以上の部分的に完了したブロック (m b 4 y 2 など) が、その後、下の隣接するマクロブロックを処理するために使用するために、スクラッチパッドに移動されうる。次に、フィルタ内の残りの部分的に完了したブロック (m b 1 y 3、m b 4 y 1、m b 4 y 3 など) が、新しいデータのための空間を空けるために、フィルタ内をシフトされうる。出力ステップ、記憶ステップおよびシフトステップの結果が図 5 K に示され、これは、図 5 A に示したフィルタの最初の状態に対応している。その結果、図 5 A ~ K に示すステップのシーケンスが繰り返されて、次のマクロブロック (マクロブロック 5 または m b 5 など) 等の次のフィルタブロックのフィルタリングが続行される。

【 0 0 3 6 】

次に図 6 A ~ F を参照すると、本発明の説明のための実施形態が示されており、W M V 9 のスムージング手順とデブロッキング手順を、区分的な処理技術によってマクロブロックの C b ブロックまたは C r ブロックに実装可能な方法を示す。C b マクロブロックと C r マクロブロックは似ているため、インデックスラベル C b ( x , y ) を付した現在の C b マクロブロックを参照して例を示す。フィルタリング処理の最初の状態が図 6 A に示され、フィルタ 4 2 0 には、オーバーラップスムージング (例えば、楕円形のマーク 4 2 2 を参照のこと) とデブロッキング (例えば、線のマーク 4 2 3 を参照のこと) が既に部分的に処理されているブロック ( C b ( x - 1 , y - 1 ) および C b ( x - 1 , y ) など) が既にロードされている。

【 0 0 3 7 】

図 6 B に示すように、次に、フィルタ 4 2 0 が、追加のブロックで埋まる。より詳細には、部分的に完了したブロック ( C b ( x , y - 1 ) など) がスクラッチパッドメモリから取得されて、フィルタにロードされる。更に、現在のマクロブロックからのブロック ( C b ( x , y ) など) がフィルタ 4 2 0 にロードされる。フィルタブロックがロードされると、図 6 C に示すように、フィルタ 4 2 0 は区分的なオーバーラップスムージングを実行する。より詳細には、選択された内部の垂直端部に対して、垂直オーバーラップスムージング ( V ) が実行される。次に、選択された内部の水平端部に対して、水平オーバーラップスムージング ( H 1、H 2 ) が実行される。

【 0 0 3 8 】

フィルタブロックが部分的にスムージングされた後は、図 6 D に示すように、フィルタ 4 2 0 は区分的なデブロッキングを実行する。最初に、選択された 8 x 8 ブロック境界に対して、水平インループデブロッキング ( H D 1、H D 2 ) が実行され、続いて、選択されたサブブロック境界に対して水平インループデブロッキング ( H D H 1、H D H 2 ) が実行される。次に、フィルタは、選択された 8 x 8 ブロック境界に対して垂直インループデブロッキング ( V D ) を実行し、続いて、選択されたサブブロック境界で垂直インループデブロッキング ( V D H ) を実行する。

【 0 0 3 9 】

スムージング操作とデブロッキングフィルタ操作が終了すると、図 6 E に示すように、処理されたフィルタブロックが記憶されてシフトされる。より詳細には、ブロック ( C b ( x - 1 , y - 1 ) ) は完了しているため、次に、この完了したブロックが出力されうる。更に、部分的に完了したブロック ( C b ( x - 1 , y ) など) が、その後、下の隣接するマクロブロックを処理するために使用するために、スクラッチパッドに移動されうる。次に、フィルタ内の残りの部分的に完了したブロック ( C b ( x , y - 1 )、C b ( x , y ) など) が、新しいデータのための空間を空けるために、フィルタ内をシフトされうる。出力ステップ、記憶ステップおよびシフトステップの結果が図 6 F に示され、これは、図 6 A に示したフィルタの最初の状態に対応している。その結果、図 6 A ~ F に示すステップのシーケンスが繰り返されて、次のマクロブロックのフィルタリングが続行される。

【 0 0 4 0 】

上記からわかるように、ハードウェアデコーダユニット内に小容量のスクラッチパッドメモリを提供することによって、インループフィルタが、スクラッチパッドメモリ内の現

10

20

30

40

50

在のマクロブロック (MB(x, y) で示す) の luma ブロックおよびの chroma ブロックからの部分的に完了したフィルタリング結果を一時的に記憶しうる。その後、記憶したフィルタリング結果が、下の行でこのマクロブロックに隣接するブロックを処理する際に使用されうる。より詳細には、フィルタがすぐ下のマクロブロック、すなわち MB(x, y + 1) を処理中に、MB(x, y) に対して記憶したデータが、スクラッチパッドからフェッチされて、MB(x, y + 1) の処理のために使用される。

【0041】

スクラッチパッドメモリに記憶されている部分的に完了したフィルタリング結果は、少なくとも 8 x 8 ピクセルデータを有する必要があるが、選択した実施形態では、スクラッチパッドは、そのブロックに境界フィルタリングが必要かどうかを決定するための制御データも記憶している。例えば、この制御データは、各ブロックについて、現在のマクロブロック内の 6 つのブロックのヘッダのグループを含んでいてもよく、これには、1mv または 4mv のセクタ、ブロックアドレス、フレーム内のブロック位置、mbmode、変換サイズ、係数 (ゼロまたは非ゼロ)、および運動ベクトル (2 つが x 方向および y 方向の前進用、2 つが x 方向および y 方向の後退用) などがある。このデータは、バーストサイズを効率的に利用できるような方法でパッキングされうる。

10

【0042】

スクラッチパッドメモリは小容量であるため、このメモリを、ビデオアクセラレータと同じチップに搭載することができるが、代表的なフレームのサイズの場合、スクラッチパッドは、DDRメモリまたはほかの外的メモリなどの別のチップに搭載されうる。しかし、ビデオアクセラレータハードウェアユニット 101 内にスクラッチパッドメモリを置くことにより、メモリアクセスのパフォーマンスの改善が得られる。スクラッチパッドメモリの容量を最小化することにより、フレーム全体のデータブロックを記憶するための大容量のメモリバッファを設けることと比較して、メディアアクセラレーションハードウェアユニットの製造コストを削減することができる。例えば、制御データおよびピクセルデータを含め、部分的に完了したフィルタリング結果を記憶するのに使用されるスクラッチパッドメモリの容量は、以下のように計算することができる。

20

スクラッチパッドの容量 = (576 バイト) x (フレーム内の水平方向のマクロブロックの個数)

【0043】

上記からわかるように、フレームの垂直方向のサイズが大きい場合は、スクラッチパッドの容量は比較的小さくなる。換言すれば、スクラッチパッドの容量は、フレームの水平方向のサイズによって決まる。

30

【0044】

フレーム全体が復号化される前に、先頭のマクロブロックに対してフィルタリングが開始される限り、フィルタリング操作の速度を改善するためにフレーム全体を保持するための大容量メモリに関連して、ここに記載した区分的な処理技術が有利に使用できることができることが理解されよう。しかし、区分的な処理により、小容量のオンボードのスクラッチパッドメモリでフィルタリングを実装することができ、フレーム全体を記憶するための大容量のメモリを使用する場合と比較して、コスト面および速度面での利点が見られる。更に、区分的なフィルタリングによって、ハードウェアのフレームベースの実装の場合と比較して、ブロックにアクセスするのにオーバーヘッドが増えることがなく、処理全体の順序が、従来のフレームベースのフィルタリングのように維持される。選択した実施形態では、区分的な処理が、レーテンシを認識できないレベルに抑えるためにパイプライン化されてもよい。パイプライン化によってもフィルタスループットが均等化され、ブロックのフェッチと記憶のバーストが防止される。

40

【0045】

本発明は、本開示の教示の利益を得る当業者にとって自明の、異なるが均等の別法によって変更および実施されてもよい。上記に記載した特定の実施形態は例に過ぎず、本発明の限定事項とみなすべきではない。したがって、上記の説明は、記載した特定の形式

50

に本発明を限定することを意図するものではなく、当業者が、本発明の最も広い形の趣旨および範囲から逸脱することなく、さまざまに変更、置換、変形することができるように、添付の特許請求の範囲によって規定される本発明の趣旨ならびに範囲に含まれる全ての变形例、均等物および代替例を含むことを意図していることが理解されるべきである。

【図面の簡単な説明】

【0046】

【図1】ビデオ情報を伸張するためのシステムのブロック図である。

【図2】本発明に従って構成された例示的なビデオ伸張システムのブロック図である。

【図3】本発明の選択した実施形態による、スクラッチパッドメモリを使用して、ハードウェア内でオーバーラップスムージングおよびインルーブデブロッキングを効率的に処理するインルーブフィルタリング処理の模式図である。

10

【図4】ビデオエンコーダまたはデコーダ内でスムージングおよびデブロッキングフィルタを使用して、復号化されたフレーム中のブロック歪みを低減するための手法の例を示す。

【図5A】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5B】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5C】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

20

【図5D】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5E】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5F】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5G】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5H】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

30

【図5I】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5J】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図5K】lumaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図6A】chromaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図6B】chromaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

40

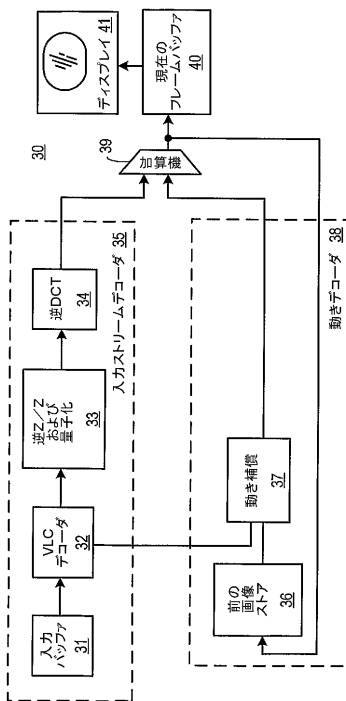
【図6C】chromaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図6D】chromaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

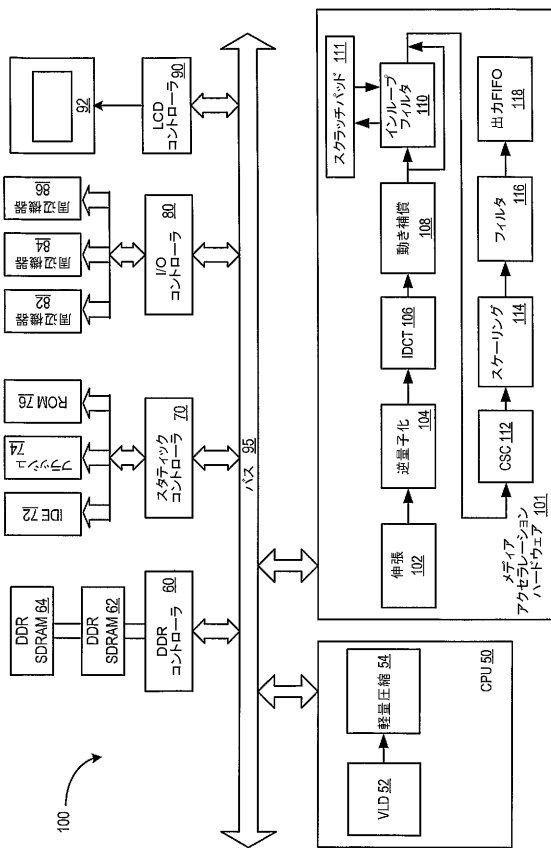
【図6E】chromaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

【図6F】chromaブロックに対してスムージング手順およびデブロッキング手順を実装するために、区分的な処理を使用可能な方法を示す。

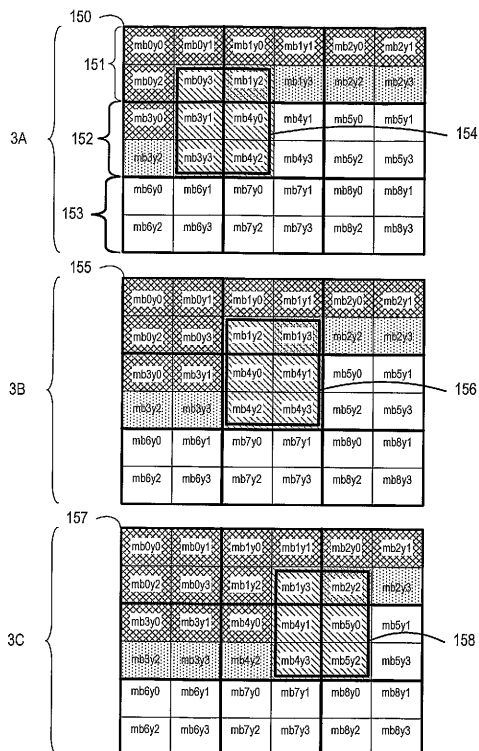
【図1】



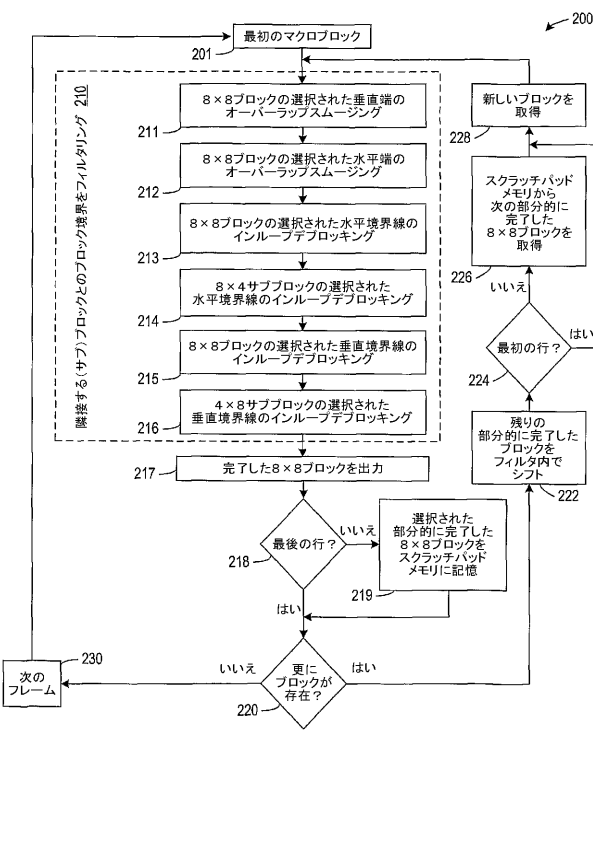
【図2】



【図3】



【図4】



FIFOに出力する完了したブロック
フィルタ内のスムージングおよびデブロッキング
スクラッチパッド内の部分的に完了したブロック



【 図 5 A 】

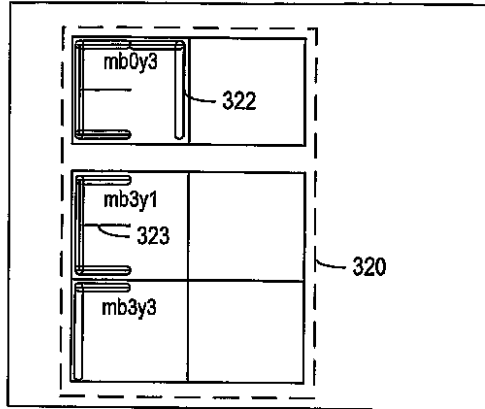
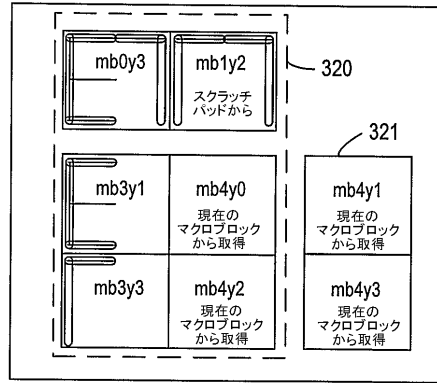


Figure 5A

【 図 5 B 】



【 図 5 C 】

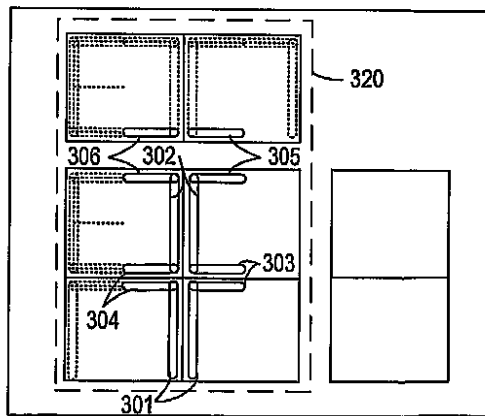


Figure 5C

【 図 5 D 】

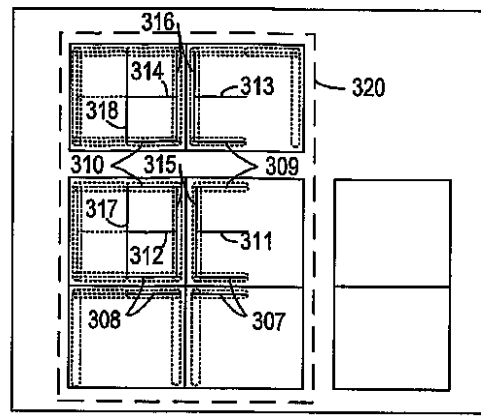
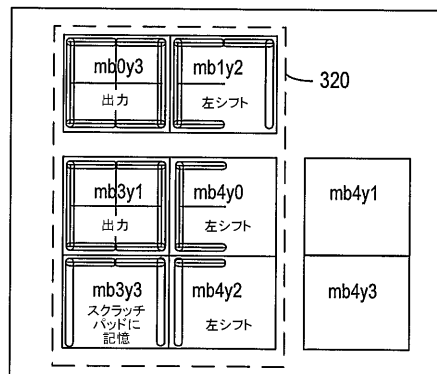


Figure 5D

【 図 5 E 】



【 図 5 F 】

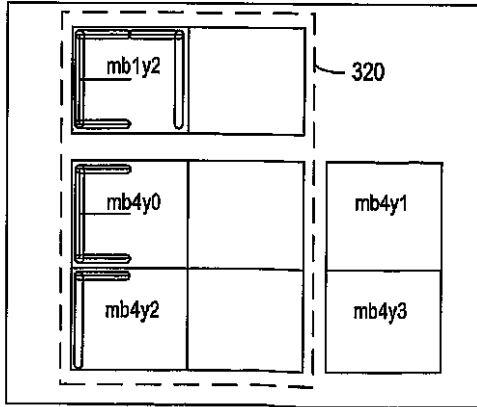
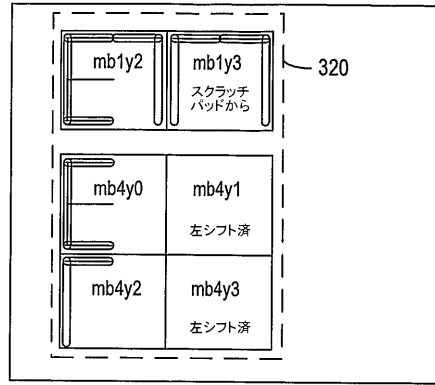


Figure 5F

【 図 5 G 】



【 図 5 H 】

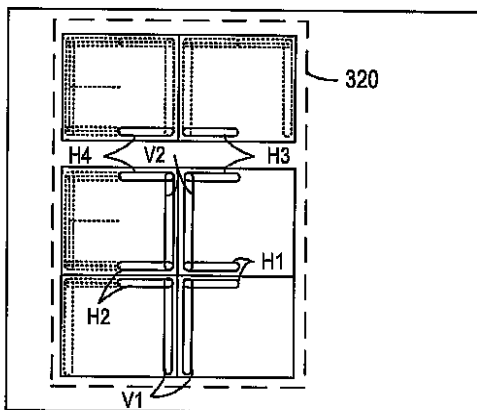


Figure 5H

【 図 5 I 】

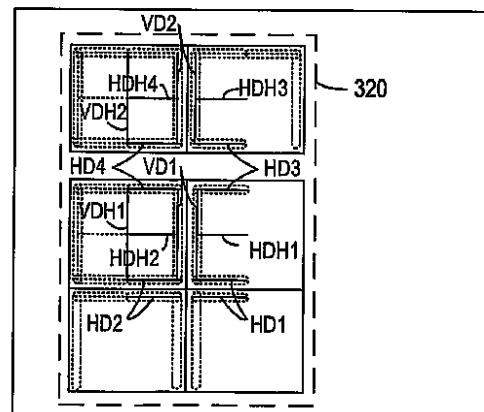
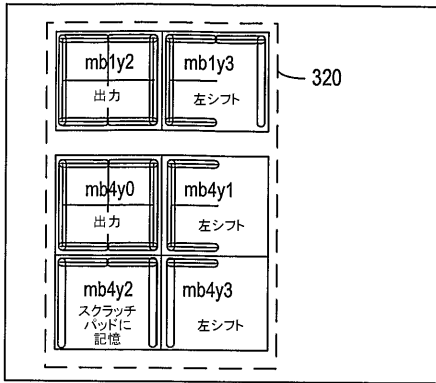


Figure 5I

【図 5 J】



【図 5 K】

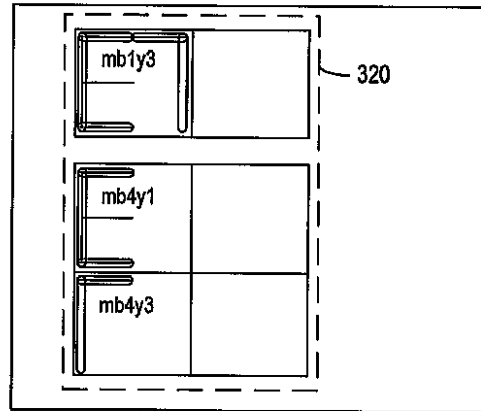


Figure 5K

【図 6 A】

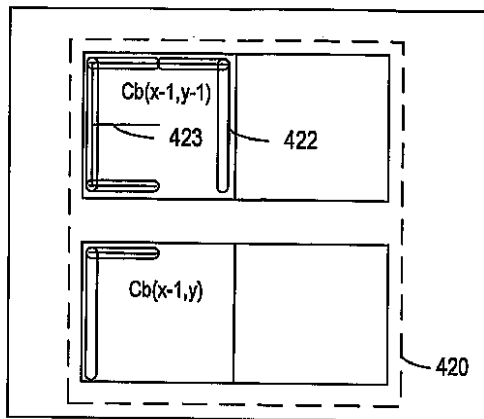
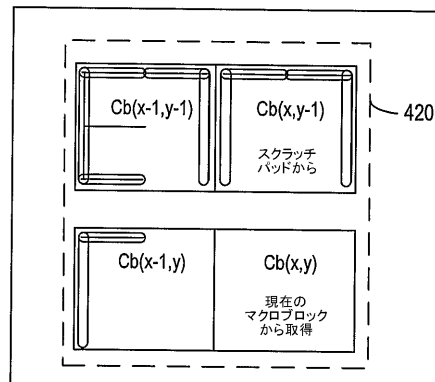


Figure 6A

【図 6 B】



【 図 6 C 】

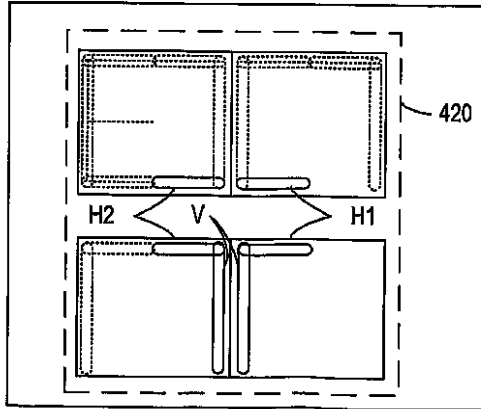


Figure 6C

【 図 6 D 】

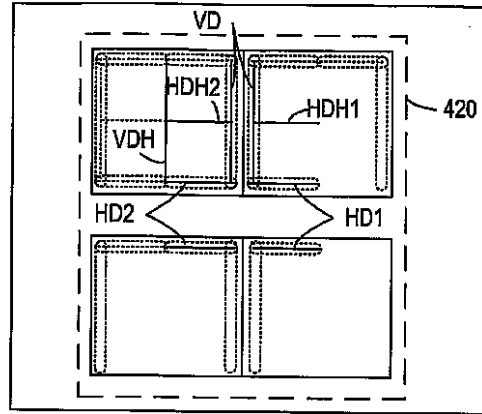
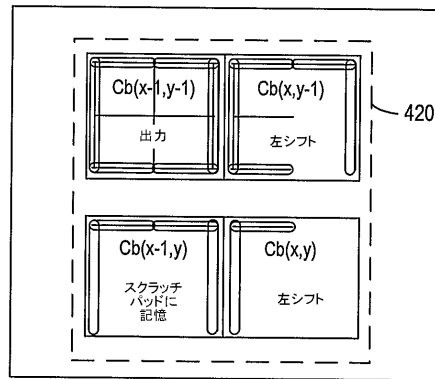


Figure 6D

【 図 6 E 】



【 図 6 F 】

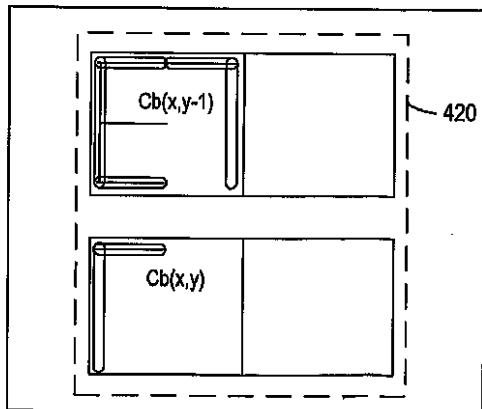


Figure 6F

## 【手続補正書】

【提出日】平成18年11月13日(2006.11.13)

## 【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

各マクロブロック内で、少なくとも第1のブロックに対して、前記第1のブロックが第1のフィルタ操作で部分的に処理され、次に第2のフィルタ操作で完全に処理されるように、区分的なオーバーラップスムージングおよびデブロッキングを逐次的に実行するインループフィルタを有するビデオアクセラレータ。

【請求項2】

各フィルタ操作でブロックのマクロブロックの2つ以上が処理される請求項1に記載のビデオアクセラレータ。

【請求項3】

前記第1のフィルタ操作は、マクロブロックの先頭行に対するオーバーラップスムージング操作およびデブロッキング操作を含み、前記第2のフィルタ操作は、マクロブロックの第2の行に対するオーバーラップスムージング操作およびデブロッキング操作を含む請求項1に記載のビデオアクセラレータ。

【請求項4】

前記第1のフィルタ操作は、前記第1のブロックに対する、区分的なオーバーラップスムージング操作およびデブロッキング操作の第1の組を含み、前記第2のフィルタ操作は、前記第1のブロックに対する、区分的なオーバーラップスムージング操作およびデブロッキング操作の第2の組を含む請求項1に記載のビデオアクセラレータ。

【請求項5】

前記部分的に処理された第1のブロックを記憶するためのスクラッチパッドメモリを更に有し、前記第2のフィルタ操作は、前記スクラッチパッドメモリから前記部分的に処理された第1のブロックをフェッチする請求項1に記載のビデオアクセラレータ。

【請求項6】

前記第1のブロックが前に処理されたマクロブロックに隣接している場合に、前記第1のフィルタ操作は、オーバーラップスムージングおよびデブロッキングのために、前記第1のブロックを完全にフィルタすることを含む請求項1に記載のビデオアクセラレータ。

【請求項7】

前記第1のブロックがその後処理されるマクロブロックに隣接している場合に、前記第2のフィルタ操作は、オーバーラップスムージングおよびデブロッキングのために、前記第1のブロックを部分的にフィルタすることを含む請求項1に記載のビデオアクセラレータ。

【請求項8】

前記第1のフィルタ操作は、

少なくとも前記第1のブロックの選択された垂直ブロック境界に対してオーバーラップスムージングを実行することと、

少なくとも前記第1のブロックの選択された水平ブロック境界に対してオーバーラップスムージングを実行することと、

少なくとも前記第1のブロックの選択された水平ブロック境界に対してインループデブロッキングを実行することと、

少なくとも前記第1のブロックの選択された水平サブブロック境界に対してインループデブロッキングを実行することと、

少なくとも前記第1のブロックの選択された垂直ブロック境界に対してインループデブ

ロックを実行することと、

少なくとも前記第1のブロックの選択された垂直サブブロック境界に対してインループデブロッキングを実行することと、を含む請求項1に記載のビデオアクセラレータ。

【請求項9】

前記第2のフィルタ操作は、少なくとも前記第1のブロックの残りの垂直ブロック境界に対してオーバーラップスムージングを実行することと、

少なくとも前記第1のブロックの残りの水平ブロック境界に対してオーバーラップスムージングを実行することと、

少なくとも前記第1のブロックの残りの水平ブロック境界に対してインループデブロッキングを実行することと、

少なくとも前記第1のブロックの残りの水平サブブロック境界に対してインループデブロッキングを実行することと、

少なくとも前記第1のブロックの残りの垂直ブロック境界に対してインループデブロッキングを実行することと、

少なくとも前記第1のブロックの残りの垂直サブブロック境界に対してインループデブロッキングを実行することと、を含む請求項8に記載のビデオアクセラレータ。

【請求項10】

圧縮ビデオデータストリームからのビデオ情報を復号化するためのビデオ処理システムであって、

部分的に復号化されたビデオデータを生成するために、前記圧縮ビデオデータストリームを部分的に復号化するプロセッサと、

ビデオフレームを生成するために、前記部分的に復号化されたビデオデータを復号化するビデオ復号化回路と、を有し、前記ビデオ符号化回路は、前記ビデオフレームの各マクロブロックに対して逐次的に、オーバーラップスムージングおよびインループデブロッキングの区分的な処理を実行するためのインループフィルタを有するビデオ処理システム。

【請求項11】

前記インループフィルタは、一度に1つのマクロブロックについてオーバーラップスムージングおよびデブロッキングをするために、ビデオフレーム内のマクロブロックの各行を逐次的に処理する請求項10に記載の装置。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2006/001598

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. H04N7/26 H04N7/50		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data bases consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, COMPENDEX, INSPEC		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	BIN SHENG ET AL: "A platform-based architecture of loop filter for AVS" SIGNAL PROCESSING, 2004. PROCEEDINGS. ICSP '04. 2004 7TH INTERNATIONAL CONFERENCE ON BEIJING, CHINA AUG. 31 - SEPT 4, 2004, PISCATAWAY, NJ, USA, IEEE, 31 August 2004 (2004-08-31), pages 571-574, XPO10809688 ISBN: 0-7803-8406-7 the whole document  ----- -/-	1-10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
*A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family
Date of the actual completion of the international search  23 May 2006		Date of mailing of the international search report  31/05/2006
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 940-2040, Tx. 31 651 epo nl, Fax (+31-70) 940-3018		Authorized officer  Georgiou, G

## INTERNATIONAL SEARCH REPORT

International application No PCT/US2006/001598
---

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	SRINIVASAN S ET AL: "Windows Media Video 9: overview and applications" SIGNAL PROCESSING. IMAGE COMMUNICATION, ELSEVIER SCIENCE PUBLISHERS, AMSTERDAM, NL, vol. 19, no. 9, October 2004 (2004-10), pages 851-875, XP004607151 ISSN: 0923-5965 cited in the application paragraphs [03.6], [03.9]	1-10
A	EP 1 351 513 A (BROADCOM CORPORATION) 8 October 2003 (2003-10-08) paragraphs [0073], [0076], [0079], [0092] - [0094]; figures 3,4	1-10



**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No  
**PCT/US2006/001598**

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 1351513	A	NONE	08-10-2003

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 ビル クワン

アメリカ合衆国、テキサス州 7 8 7 2 9、オースティン、パートリッジ ベンド ドライブ 1 3 1 5 7

(72)発明者 エリック シュランガー

アメリカ合衆国、テキサス州 7 8 7 5 9、オースティン、ダル ナイフ ロード 5 0 1 9

(72)発明者 ケイシー キング

アメリカ合衆国、テキサス州 7 8 7 5 0、オースティン、パンパス コウブ 8 1 0 7

(72)発明者 ラケル ロザス

アメリカ合衆国、イリノイ州 6 0 2 0 1、エバンストン、ナンバー 7 1 7、シカゴ アベニュー 1 5 0 0

F ターム(参考) 5C059 KK03 MA00 MA05 MA14 MA23 MC11 MC38 ME01 PP05 PP06  
PP07 SS10 TA68 TB07 TB08 TC42 UA05