

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-294435

(P2005-294435A)

(43) 公開日 平成17年10月20日(2005.10.20)

(51) Int.Cl.⁷
H01L 31/10F I
H01L 31/10テーマコード (参考)
5 F049

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号	特願2004-105590 (P2004-105590)	(71) 出願人	000236436 浜松ホトニクス株式会社
(22) 出願日	平成16年3月31日 (2004.3.31)	(74) 代理人	100088155 弁理士 長谷川 芳樹
		(74) 代理人	100092657 弁理士 寺崎 史朗
		(74) 代理人	100124291 弁理士 石田 悟
		(72) 発明者	藤井 義磨郎 静岡県浜松市市野町1126番地の1 浜 松ホトニクス株式会社内
		(72) 発明者	岡本 浩二 静岡県浜松市市野町1126番地の1 浜 松ホトニクス株式会社内
		最終頁に続く	

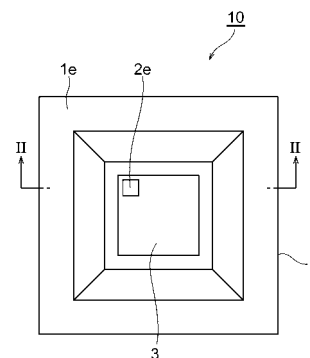
(54) 【発明の名称】 半導体光検出素子及び光検出装置

(57) 【要約】

【課題】 高速応答性を維持しつつ、小型薄型化が可能な半導体光検出素子及び光検出装置を提供する。

【解決手段】 半導体光検出素子10は、(111)表面を有する第1導電型の低比抵抗の第1半導体基板1と、第1半導体基板1上に貼り合わせられ、(100)表面を有する第1導電型の高比抵抗の第2半導体基板2とを備えている。第2半導体基板2の表面側には第2導電型の半導体領域3が形成されており、この半導体領域3の周囲の領域は、第1半導体基板1が露出するまでエッチングされている。また、第1電極1e及び第2電極2eは、第1半導体基板1の露出表面及び半導体領域3に、それぞれ電気的に接続されている

【選択図】 図1



【特許請求の範囲】

【請求項 1】

半導体光検出素子において、
(1 1 1) 表面を有する第 1 導電型の低比抵抗の第 1 半導体基板と、
前記第 1 半導体基板上に貼り合わせられ、(1 0 0) 表面を有する第 1 導電型の高比抵抗の第 2 半導体基板と、
を備え、

前記第 2 半導体基板の表面側には第 2 導電型の半導体領域が形成されており、
前記第 2 半導体基板における前記半導体領域の周囲の領域は、前記第 1 半導体基板が露出するまでエッチングされており、

10

バイアス電圧が印加される第 1 及び第 2 電極が、前記第 1 半導体基板の露出表面及び前記半導体領域に、それぞれ電氣的に接続されていることを特徴とする半導体光検出素子。

【請求項 2】

前記第 2 半導体基板の側面上には遮光膜が形成されていることを特徴とする請求項 1 に記載の半導体光検出素子。

【請求項 3】

前記第 1 及び第 2 半導体基板の合計厚みは 1 0 0 μ m 以下であり、前記第 1 及び第 2 半導体基板は樹脂モールドされていることを特徴とする請求項 1 に記載の半導体光検出素子。

【請求項 4】

20

請求項 1 ~ 3 のいずれか 1 項に記載の半導体光検出素子を、配線基板または集積回路チップの少なくとも一方の上に載置し、樹脂モールドしたことを特徴とする光検出装置。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、半導体光検出素子及び光検出装置に関する。

【背景技術】

【0 0 0 2】

近年、光半導体装置、とりわけ光検出素子の分野においては、これまで以上に高速な応答性を有するものが要求されている。特に、大容量の情報を送受信する情報通信用光検出素子においては、発光素子の様々な波長に対して、高速応答、高 S / N 比及び低コスト等の要望が強くなってきており、同時に小型化が求められている。

30

【0 0 0 3】

例えば、特許文献 1 には、高速応答特性を備えた光通信用の P I N ホトダイオードが記載されている。この P I N ホトダイオードは、低比抵抗の N 型半導体シリコン基板上に、高比抵抗の N 型半導体領域がエピタキシャル成長されている。この N 型半導体領域 (エピタキシャル層) 内に、P 型半導体領域からなる光検出領域が形成されている。これらの N 型及び P 型半導体領域は P N 接合を構成しており、逆バイアスを印加して使用される。

【0 0 0 4】

従来、このような構造の P I N ホトダイオードは、カンパッケージ内に配置されていた。このカンタイプの光半導体装置は、薄型化、小型化には不向きであるため、情報通信分野で求められる小型化要求を満足させることはできない。そこで、より小型化を目指してモールドタイプの開発が行われ始めている。また、下記特許文献 2、特許文献 3 に記載の光検出素子も知られている。

40

【特許文献 1】特開平 5 - 6 7 8 0 0 号公報

【特許文献 2】特開平 4 - 2 4 9 8 0 号公報

【特許文献 3】特開昭 5 1 - 0 5 1 7 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 5】

50

しかしながら、基板の一方面側に正電極及び負電極を設ければ素子全体を小型薄型化しやすくなるが、この場合には、空乏層が光吸収領域内に広がりにくく、高光検出感度、高速応答性を維持することができないという問題がある。

【 0 0 0 6 】

本発明は、このような課題に鑑みてなされたものであり、高速応答性を維持しつつ、小型薄型化が可能な半導体光検出素子及び光検出装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

上述の課題を解決するため、本発明にかかる半導体光検出素子は、(1 1 1) 表面を有する第 1 導電型の低比抵抗の第 1 半導体基板と、第 1 半導体基板上に貼り合わせられ、(1 0 0) 表面を有する第 1 導電型の高比抵抗の第 2 半導体基板とを備え、第 2 半導体基板の表面側には第 2 導電型の半導体領域が形成されており、第 2 半導体基板における半導体領域の周囲の領域は、第 1 半導体基板が露出するまでエッチングされており、バイアス電圧が印加される第 1 及び第 2 電極が、第 1 半導体基板の露出表面及び半導体領域に、それぞれ電氣的に接続されていることを特徴とする。

【 0 0 0 8 】

なお、「高比抵抗」及び「低比抵抗」なる用語は、比抵抗の相対関係を意味するものとする。

【 0 0 0 9 】

この場合、双方の第 1 及び第 2 電極(パッド)が、素子の一方面(露出表面、半導体領域)に電氣的に接続されているため、素子を小型化することができる。第 2 半導体基板の周囲の領域はエッチングされているので、第 2 半導体基板の形状は「メサ」を構成し、エッチングされた部分の第 1 半導体基板は完全に露出している。2 枚の半導体基板を貼り合わせた場合、界面に酸化物が局所的に介在することがあるが、エッチングされた部分の酸化物は除去される。したがって、この部分の平坦性が向上し、電極の取り付け精度が向上する。

【 0 0 1 0 】

また、このメサ型形状の場合、光吸収層となる第 2 半導体基板の厚み方向に、第 1 及び第 2 電極を介してバイアス電圧を印加することができる。第 1 半導体基板は低比抵抗であるため、第 1 電極の電位は第 2 半導体基板の界面側に均一に伝達される。したがって、第 1 電極と第 2 電極との間にバイアス電圧を印加することにより、高比抵抗の第 2 半導体基板においては、第 1 半導体基板との界面と、半導体領域との間に、バイアス電圧が印加されることとなる。

【 0 0 1 1 】

したがって、バイアス電圧の印加に伴って、第 2 半導体基板の厚み方向に広く空乏層を形成することができ、光検出感度を高めることができる。また、第 2 半導体基板の厚みを、動作に必要な空乏層厚以上にならないように薄く設定することで、高速応答性を維持することができる。好適には、高速応答性を維持可能なように、第 2 半導体基板に形成される空乏層の厚みは 3 0 μm 以下に設定する。

【 0 0 1 2 】

また、第 2 半導体基板の側面上には遮光膜が形成されていることが好ましい。この場合、第 2 半導体基板の側面からは内部に光が入射しないため、不要なキャリアの発生を抑制することができる。

【 0 0 1 3 】

第 1 及び第 2 半導体基板の合計厚みは、1 0 0 μm 以下であり、第 1 及び第 2 半導体基板は樹脂モールドされていることが好ましい。すなわち、第 2 半導体基板の厚みを必要な空乏層厚以上にならないように薄く設定し、更に、第 1 半導体基板の厚みもできるだけ薄く設定することで、高速且つ小型薄型の素子を形成することができる。また、素子をモールドする保護用の樹脂の厚みが薄くなるため、基板と樹脂層との間の熱膨張係数差に起因する基板の反りを抑制し、素子の信頼性を向上させることができる。

【 0 0 1 4 】

本発明に係る光検出装置は、半導体光検出素子を配線基板または集積回路チップの少なくとも一方の上に載置し、樹脂モールドしたことを特徴とする。この場合、半導体光検出素子及び配線基板または集積回路チップは、樹脂によって保護される。集積回路には半導体光検出素子の出力が入力され、増幅やA/D変換などの機能を有するものである。

【 発明の効果 】

【 0 0 1 5 】

本発明の半導体光検出素子及び光検出装置によれば、高速応答性を維持しつつ、小型薄型化が可能となる。

【 発明を実施するための最良の形態 】

10

【 0 0 1 6 】

図1は、実施の形態に係る半導体光検出素子の平面図である。また、図2(A)は、図1に示した光検出素子のI-I矢印断面図である。

【 0 0 1 7 】

この半導体光検出素子10は、低比抵抗でN型(第1導電型)の第1半導体基板1と、高比抵抗でN型の第2半導体基板2と、P型(第2導電型)の不純物添加領域(半導体領域)3とを備えている。なお、「高比抵抗」及び「低比抵抗」なる用語は、比抵抗の相対関係を意味するものとする。すなわち、第2半導体基板2は、第1半導体基板1よりも高い比抵抗を有する。高比抵抗の場合には不純物濃度が相対的に低く、低比抵抗の場合には不純物濃度が相対的に高くなる。

20

【 0 0 1 8 】

第1半導体基板1の比抵抗は、例えば、 $0.001\Omega\cdot\text{cm}$ 程度である。第2半導体基板2の比抵抗は、例えば、 $1000\Omega\cdot\text{cm}$ ($=10\Omega\cdot\text{m}$)程度である。空乏層は、半導体内の不純物濃度が低いほど厚くなるため、高比抵抗の低不純物濃度の第2半導体基板2を用いることにより、PN接合の接合容量を低減してCR時定数を小さくすることができる。なお、 850nm 以下のLD、LEDからの光を検出する場合、第2半導体基板(光吸収層)の厚みは $30\mu\text{m}$ で充分である。

【 0 0 1 9 】

すなわち、第2半導体基板2の厚さは、その表面側に形成されたP型の不純物添加領域3の底面から基板貼り合わせ界面までの厚さが、半導体光検出素子10に印加される逆バイアス電圧によって広がる空乏層の幅と等しくなるように設定することが好ましい。これにより、光検出素子における応答速度の高速化を好適に実現することができる。第2半導体基板2の厚さは、空乏層により、その全てが空乏化するように設定しても良い。これによっても、半導体光検出素子10における応答速度の高速化を好適に実現することができる。

30

【 0 0 2 0 】

更に、面方位が異なる半導体基板による貼合基板を用いることにより、暗電流の増大を抑制することができる。

【 0 0 2 1 】

第1半導体基板1と第2半導体基板2とは貼りあわせられており、これらから貼合基板が構成されている。また、面方位が異なる半導体基板による貼合基板を用いることにより、暗電流の増大を抑制することが可能である。P型の不純物添加領域3は、第2半導体基板2の表面側(第1半導体基板1との界面とは逆側)に形成されている。第2半導体基板2における高比抵抗の領域をI型と規定すると、P型の不純物添加領域3、I型の第2半導体基板2、N型の第1半導体基板1は、PINホトダイオードを構成している。なお、第2半導体基板2の導電型は実際には低濃度のN型であるため、P型の半導体領域3との間にはPN接合が形成されている。

40

【 0 0 2 2 】

なお、以下においては、これらの要素の半導体材料としてシリコン(Si)を用いた場合について説明する。第1半導体基板1の表面の面方位は(111)である。第2半導体

50

基板 2 の表面の面方位は、第 1 半導体基板 1 とは異なり、(1 0 0) である。

【 0 0 2 3 】

第 2 半導体基板 2 における基板表面側に形成された P 型の不純物添加領域 3 の周囲の領域は、例えばアルカリエッチングにより、第 1 半導体基板 1 の表面が露出するまでエッチングされている。このように、第 2 半導体基板 2 はメサ形状を有している。半導体領域 3 の周囲には、メサ型の第 2 半導体基板 2 の側面が位置する。第 2 半導体基板 2 の側面上には、不要キャリアの発生を抑制するための低比抵抗層 4 が形成されている。低比抵抗層 4 の導電型は N 型 (第 1 導電型) である。低比抵抗層 (高不純物濃度の半導体層) 4 は、第 1 半導体基板 1 の露出表面まで延びている。

【 0 0 2 4 】

第 1 半導体基板 1 の露出表面、第 2 半導体基板 2 の側面及び頂面は、 SiO_2 などのパッシベーション膜 8 によって覆われている。パッシベーション膜 8 には第 1 電極用のコンタクトホール 5 1、第 2 電極用のコンタクトホール 5 2 が穿設されている。第 1 電極用のコンタクトホール 5 1 は、この中に形成される第 1 電極 1 e が、低比抵抗層 4 に電氣的に接触・接続されるように設けられる。第 2 電極用のコンタクトホール 5 2 は、この中に形成される第 2 電極 2 e が半導体領域 3 に電氣的に接触・接続されるように設けられる。

【 0 0 2 5 】

すなわち、第 1 電極 1 e 及び第 2 電極 2 e は、第 1 半導体基板 1 の露出表面及び半導体領域 3 に、それぞれ電氣的に接続されている。本例では、第 1 電極 1 e は、第 2 半導体基板 2 の頂面上において低比抵抗層 4 に接触しているが、これは、図 2 (B) に示すように、第 1 半導体基板 1 の露出表面上において低比抵抗層 4 に接触してもよい。

【 0 0 2 6 】

また、本例では、第 1 電極 1 e はアルミニウムなどの導電性材料からなり、遮光膜を構成している。この遮光膜 (1 e) は、第 1 半導体基板 1 の露出表面、第 2 半導体基板 2 の側面及び頂面の周辺部を覆っている。遮光膜 (1 e) は、第 2 半導体基板 2 の側面上に少なくとも形成されており、第 2 半導体基板 2 の頂面の中央部は開口している。この場合、第 2 半導体基板 2 の中央からは内部に光が入射するが、その側面からは内部に光が入射しないため、不要なキャリアの発生を抑制することができる。

【 0 0 2 7 】

第 1 電極 1 e 及び第 2 電極 2 e は、素子の一方面 (第 1 半導体基板露出表面、半導体領域 3) 上に形成されているため、素子を小型薄型化することができる。第 2 半導体基板 2 の周囲の領域は第 1 半導体基板 1 が完全に露出するまでエッチングされているので、第 2 半導体基板 2 の形状はメサ型となっている。

【 0 0 2 8 】

2 枚の半導体基板を貼りあわせた場合、界面に酸化物 (SiO_2) が局所的に介在することがあるが、双方の基板の面方位が異なるため、面方位によるエッチング速度が異なることを利用して、第 2 半導体基板 2 の該当部分を完全にエッチングにより除去することができる。これにより、エッチングされた部分の酸化物は除去される。したがって、この部分の平坦性が向上し、電極の取り付け精度が向上する。

【 0 0 2 9 】

第 1 半導体基板 1 は低比抵抗であるため、第 1 電極 1 e の電位は、低比抵抗層 4 を介して、第 2 半導体基板の界面側に均一に伝達される。第 1 電極 1 e と第 2 電極 2 e との間にバイアス電圧を印加すると、高比抵抗の第 2 半導体基板 2 においては、第 1 半導体基板 1 との界面と、半導体領域 3 との間に、バイアス電圧が印加される。なお、P 型の半導体領域 3 はアノードであり、N 型の半導体基板 1 はカソードである。

【 0 0 3 0 】

逆バイアス電圧の印加に伴って、光吸収層としての第 2 半導体基板 2 の厚み方向に沿って、PN 接合面から貼り合わせ界面に向かって空乏層が十分に広がり、したがって、光検出感度を高めることができる。第 2 半導体基板 2 の厚み t_2 を必要な空乏層厚以上にならないように薄く設定することで、高速応答性を維持することができる。好適には、高速応

10

20

30

40

50

答性を維持可能なように、第2半導体基板2に形成される空乏層の厚みは $30\text{ }\mu\text{m}$ 以下に設定する。

【0031】

半導体光検出素子の配線/回路基板への実装時においては、第1半導体基板1の厚み t_1 と、第2半導体基板2の厚み t_2 の合計厚みは、 $100\text{ }\mu\text{m}$ 以下であって、第1半導体基板1及び第2半導体基板2は樹脂モールドされる。第2半導体基板2の厚み t_2 を必要な空乏層厚以上にならないように薄く設定し、更に、第1半導体基板1の厚み t_1 も薄く設定することで、高速且つ小型薄型の素子を形成することができる。樹脂は、素子を保護するが、この樹脂の厚みを薄くすると、基板と樹脂層との間の熱膨張係数差に起因する基板の反りが抑制され、素子の信頼性を向上させることができる。

10

【0032】

この半導体基板の薄型化は、機械研磨によって実現することができる。

【0033】

次に、上述の半導体光検出素子の製造方法について、図3～図9を用いて説明する。

【0034】

図3は、基板貼り合わせ工程の説明図である。

【0035】

まず、第1半導体基板1及び第2半導体基板2を用意する。第1半導体基板1は、高不純物濃度(111)Si基板であり、第2半導体基板2は低不純物濃度(100)Si基板である。好適な一例としては、第1半導体基板 t_1 の厚さ $t_1 = 270\text{ }\mu\text{m}$ 、第2半導体基板2の厚さ $t_2 = 300\text{ }\mu\text{m}$ に設定する。

20

【0036】

貼り合わせ時の温度は、好適には1100程度に設定する。この温度では、不純物濃度の高い第1半導体基板1から、第2半導体基板2へ拡散する不純物の拡散距離を $1\text{ }\mu\text{m}$ 以下に抑制することができる。すなわち、貼り合わせ時の温度を1100程度に設定することにより、貼り合わせ基板界面近傍における基板厚み方向の不純物濃度プロファイルが急峻に保つことができる。

【0037】

第1半導体基板1内の不純物が、第2半導体基板2内に這い上がって、第2半導体基板2内のN型不純物濃度が上がると、以下の問題(1)～(3)が生じる可能性があるが、本例では接合時の温度が1100程度であるため、これらの問題は発生しない。

30

(1) 逆バイアス印加時に第2半導体基板2の空乏層が拡がるのが妨げられ、検出感度が低下する。

(2) 空乏層の厚みが小さくなることによって接合容量・時定数が大きくなり応答速度が低下する。

(3) 第1半導体基板1の不純物濃度が低下することで不要キャリア寿命が増加し光検出精度が低下する。

【0038】

すなわち、本例では、検出感度、応答速度、光検出精度を増加させることができる。

【0039】

図4は、研磨工程の説明図である。

40

【0040】

次に、第2半導体基板2の表面を機械研磨し、その厚み t_2 を減少させる。本例では、厚み t_2 が $30\text{ }\mu\text{m}$ になるまで研磨を行う。

【0041】

図5は、不純物層形成工程の説明図である。

【0042】

次に、第2半導体基板2の表面上に中央部が開孔したマスクを形成し、中央部領域内にP型不純物を添加する。しかる後、周辺部領域が開孔した別のマスクを第2半導体基板2の表面上に形成して、周辺部領域内にN型不純物を添加する。また、基板は適当な時期に

50

アニールされ、内部の不純物が活性化され、P型不純物が添加されたP型不純物添加領域3、N型不純物が添加されたN型不純物添加領域4aが形成される。

【0043】

P型不純物添加領域3のシート抵抗 $\rho = 44 \Omega / \text{sq.}$ 、厚さ $t = 0.5 \mu\text{m}$ であり、N型不純物添加領域4aのシート抵抗 $\rho = 12 \Omega / \text{sq.}$ 、厚さ $t = 1.0 \mu\text{m}$ である。なお、P型不純物としては、Bなどがあり、N型不純物としてはP、Asなどがある。次に、第2半導体基板2の表面上に、第1マスク5を形成する。第1マスク5は SiO_2 からなり、第2半導体基板2を熱酸化することによって形成される。

【0044】

図6は、マスクエッチング工程の説明図である。

10

【0045】

第1半導体基板1及び第2半導体基板2からなる複合半導体基板(貼合基板)Cの表面及び裏面上に第2マスク6、第3マスク7をそれぞれ形成する。第2マスク6は SiN 膜からなる。第2マスク6、第3マスク7の形成方法は、CVD法などを用いる。なお、基板表面側の SiN 膜は、第1マスク5に接触するように形成される。第2マスク6、第3マスク7の厚み $t = 0.1 \mu\text{m}$ に設定される。

【0046】

次に、第2マスク6及び第1マスク5のチップ周辺部領域をエッチングし、第2半導体基板2の周辺部領域を露出させる。 SiN や SiO_2 膜のエッチングには、反応性イオンを用いたドライエッチングを用いることができる。

20

【0047】

図7は、周辺部除去工程の説明図である。

【0048】

図6に示した第1マスク5、第2マスク6を用いて、第2半導体基板2の周辺部領域をウェットエッチングする。エッチング液には KOH 水溶液(アルカリエッチング)を用いる。第1半導体基板1と第2半導体基板2は、面方位が異なり、エッチング速度が異なるので、かかるエッチングは第1半導体基板1の表面で停止する。したがって、第2半導体基板2はメサ型になり、第1半導体基板1の露出面に対して 55° 傾斜した側面を有することとなる。次に、第2半導体基板2の中央部に残留するマスクと、第1半導体基板1の裏面に設けられたマスク7を除去する。

30

【0049】

図8は、パッシベーション膜形成工程の説明図である。

【0050】

第2半導体基板2の周辺部領域が開口した SiO_2 からなるマスクを第2半導体基板2上に形成し、第2半導体基板2の側面及び第1半導体基板1の露出表面からN型不純物を添加する(イオン注入:イオン種:As、注入エネルギー 80 keV 、 $2 \times 10^{15} / \text{cm}^2$)。第2半導体基板2の側面にはN型不純物添加領域4bが形成され、第1半導体基板1の露出面側にはN型不純物添加領域4cが形成される。これらのN型不純物添加領域4a、4b、4c(4)は連続し、第2半導体基板2の中央部領域を囲むこととなる。なお、N型不純物添加領域4a、4b、4c(4)は、熱拡散によって形成することもできる。

40

【0051】

次に、第2半導体基板2の中央部領域上に残留するマスクを除去し、基板表面を酸化し、厚さ $t = 0.1 \mu\text{m}$ のパッシベーション膜(SiO_2)8を第2半導体基板2の中央部領域、側面、第1半導体基板1の露出面上に形成する。

【0052】

図9は、電極形成工程の説明図である。

【0053】

N型不純物添加領域4a、4b、4c(4)のいずれかの上に位置するパッシベーション膜8上にコンタクトホールを形成する。また、P型不純物添加領域3の上に位置するパ

50

ッシベーション膜 8 上にコンタクトホールを形成する。そして、これらのコンタクトホール内に第 1 電極 1 e 及び第 2 電極 2 e を形成する。第 1 電極 1 e 及び第 2 電極 2 e は、それぞれ、アルミニウムなどからなり、厚さ $t = 1 \mu m$ である。

【0054】

しかる後、複合半導体基板 C を $t_1 + t_2 = 100 \mu m$ となるまで裏面研磨することで、上述の半導体光検出素子が完成する。なお、第 1 電極 1 e は、N 型不純物添加領域 4 a , 4 b , 4 c 上を覆っており、すなわち、第 2 半導体基板 2 の側面も覆っており、遮光膜を構成している。

【0055】

図 10 は、図 1 及び図 2 (A) に示した半導体光検出素子 10 を備えた光検出装置の縦断面図である。 10

【0056】

この光検出装置は、半導体光検出素子 10 を配線基板 (回路基板) 11 A 上に搭載している。配線基板 11 A 上には、電極パッド 11 p、電極パッド 12 p が形成されている。第 1 電極 1 e はボンディングワイヤ W1 によって電極パッド 11 p に接続されており、第 2 電極 2 e はボンディングワイヤ W2 によって電極パッド 12 p に接続されている。配線基板 11 A の底面側には、電極パッド 11 p、電極パッド 12 p にそれぞれ電氣的に接続されたリードピン又はバンプ B が設けられている。配線基板 11 A 上の半導体光検出素子 10 は、樹脂 R によってモールドされている。

【0057】

20

図 11 は、図 1 及び図 2 (A) に示した半導体光検出素子 10 を備えた光検出装置の縦断面図である。

【0058】

この光検出装置は、半導体光検出素子 10 を集積回路チップ 14 上に載置している。集積回路チップ 14 は、配線基板 (回路基板) 11 B 上に搭載されており、第 1 電極 1 e はボンディングワイヤ W1 によって電極パッド 11 p に接続されており、第 2 電極 2 e はボンディングワイヤ W2 によって電極パッド 12 p に接続されている。配線基板 11 B 上の半導体光検出素子 10 は、樹脂モールドされている。

【0059】

この場合、半導体光検出素子 10 及び集積回路チップ 14 は、樹脂 R によって保護されている。この集積回路には半導体光検出素子 10 の出力が入力される。集積回路は、増幅や A/D 変換などの機能を有するものである。 30

【0060】

集積回路チップ 14 の裏面側にはリード又はバンプ B1 が複数設けられている。バンプ B1 は、配線基板 11 B の下部に複数設けられたリード又はバンプ B2 に電氣的に接続されている。

【0061】

図 12 は、実施の形態に係る光検出装置の縦断面図である。

【0062】

配線基板 11 上の第 1 電極 1 e はボンディングワイヤ W1 によって電極パッド 11 p に接続されており、第 2 電極 2 e はボンディングワイヤ W2 によって電極パッド 12 p に接続されている。図 11 に示したものと相違点は、半導体光検出素子 10 の数が複数であるという点のみであり、他の構成は同一である。この場合、入射位置の異なる信号光を各半導体光検出素子 10 によって検出することができる。 40

【0063】

上述の樹脂モールド構造を用いた場合、チップ全体が薄くなった為、ワイヤ W1 , W2 を含めてモールド樹脂が被覆する必要がある領域の厚さを薄くすることができるため、モールド樹脂層の引張り応力を抑えることができ、配線基板 11 の反り、変形がなくなる。したがって、ワイヤの断線、裏面電極の剥離による電氣的断線、導通不良を防止することができる。 50

【 0 0 6 4 】

なお、本発明は上述の実施形態に限られるものではなく、第 1 半導体基板 1 の導電型は P 型であっても良く、第 2 半導体基板 2 の導電型は、第 1 半導体基板とは異なる導電型であっても良い。また、第 1 半導体基板 1 及び第 2 半導体基板 2 のそれぞれの面方位についても、互いに異なる面方位であって、エッチング速度が異なり、第 2 半導体基板の方のエッチレートが大きければ、上述の面方位に限られない。

【 0 0 6 5 】

また、上述の第 1 半導体基板 1 及び第 2 半導体基板 2 の貼り合わせにおいては、貼り合わせる両面がともに平坦であれば、圧力を加えなくても重ねて加熱するだけで、自然に貼り合わせることができる。なお、第 2 半導体基板 2 は、高比抵抗半導体基板であるため、その厚さを自在に制御できる点で有利である。

10

【 0 0 6 6 】

樹脂 R として用いることができるエポキシ系樹脂は、 $40 \text{ ppm} / (150)$ の熱膨張係数を有する。例えば、 $60 \text{ mm} \times 90 \text{ mm}$ 角で、基板厚み 0.3 mm のプリント配線基板では、樹脂厚が大きくなるほど、モールド後の反りは大きくなる。樹脂層の厚みが 0.17 mm では反りが 8 mm 、厚みが 0.26 mm では反りは 11 mm 、 0.35 mm では反りは 13 mm 、 0.54 mm では反りは 13 mm である。チップ厚さを $50 \mu\text{m}$ 程度にすれば、全体の厚みは 0.3 mm 以下とすることもできる。

【産業上の利用可能性】

【 0 0 6 7 】

本発明は、半導体光検出素子及び光検出装置に利用できる。

20

【図面の簡単な説明】

【 0 0 6 8 】

【図 1】実施の形態に係る光検出素子の平面図である。

【図 2】図 1 に示した光検出素子の I I - I I 矢印断面図（図 2 (A)）、その変形例の断面図（図 2 (B)）である。

【図 3】基板貼り合わせ工程の説明図である。

【図 4】研磨工程の説明図である。

【図 5】不純物層形成工程の説明図である。

【図 6】マスクエッチング工程の説明図である。

30

【図 7】周辺部除去工程の説明図である。

【図 8】パッシベーション膜形成工程の説明図である。

【図 9】電極形成工程の説明図である。

【図 10】図 1 及び図 2 (A) に示した半導体光検出素子 10 を備えた光検出装置の縦断面図である。

【図 11】図 1 及び図 2 (A) に示した半導体光検出素子 10 を備えた光検出装置の縦断面図である。

【図 12】実施の形態に係る光検出装置の縦断面図である。

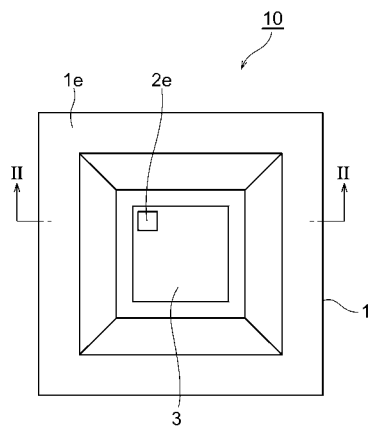
【符号の説明】

【 0 0 6 9 】

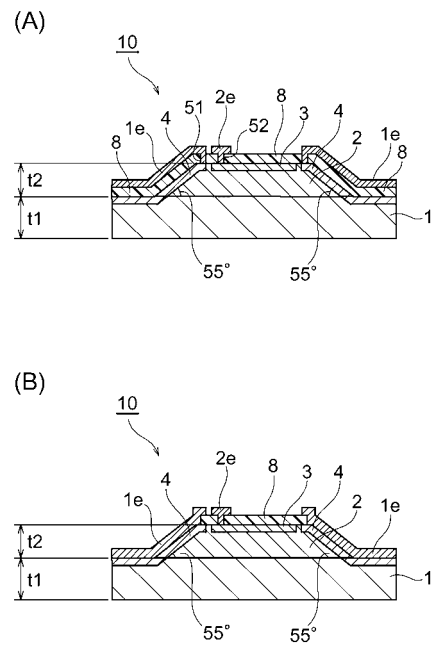
1・・・第 1 半導体基板、1e・・・電極、2・・・第 2 半導体基板、2e・・・電極、3・・・不純物添加領域、4・・・低比抵抗層、5・・・マスク、6・・・マスク、7・・・マスク、8・・・パッシベーション膜、10・・・半導体光検出素子、11A、11B・・・配線基板、11p・・・電極パッド、12p・・・電極パッド、14・・・集積回路チップ、51・・・コンタクトホール、52・・・コンタクトホール、B・・・バンプ、B1・・・バンプ、B2・・・バンプ、C・・・複合半導体基板、R・・・樹脂、W1・・・ボンディングワイヤ、W2・・・ボンディングワイヤ。

40

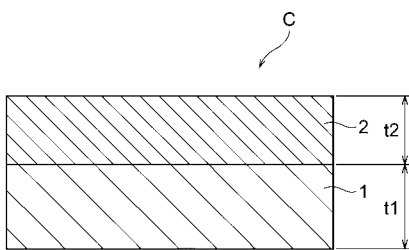
【 図 1 】



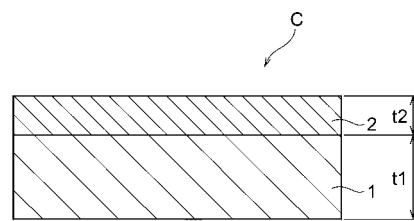
【 図 2 】



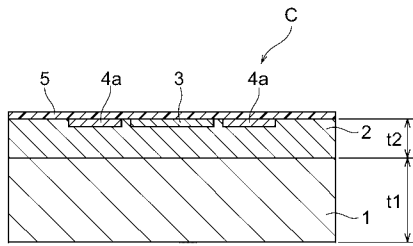
【 図 3 】



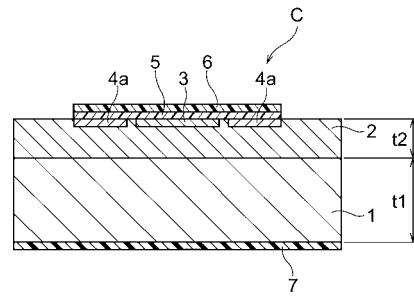
【 図 4 】



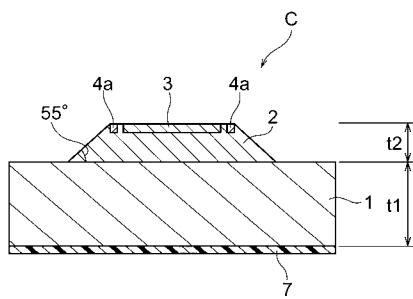
【 図 5 】



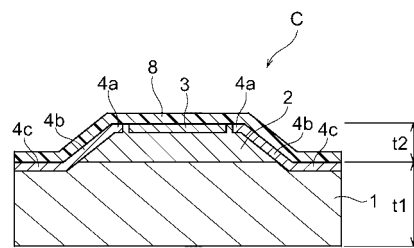
【 図 6 】



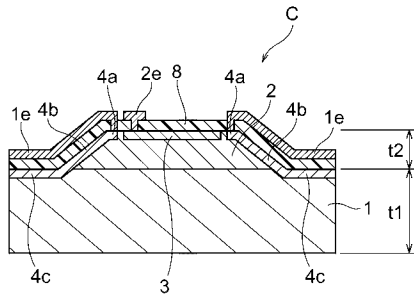
【 図 7 】



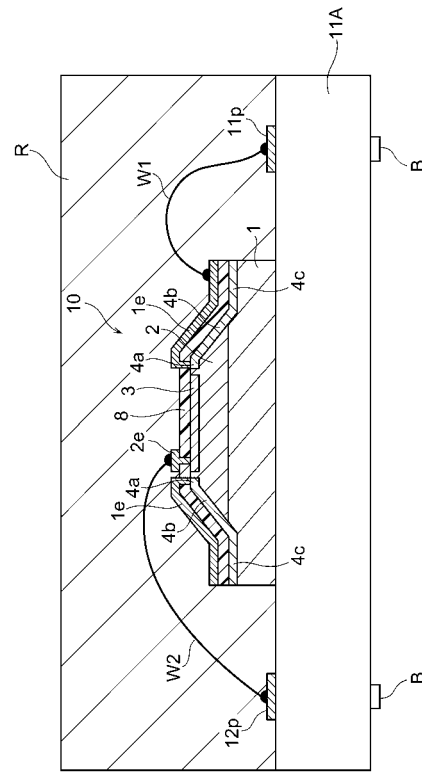
【 図 8 】



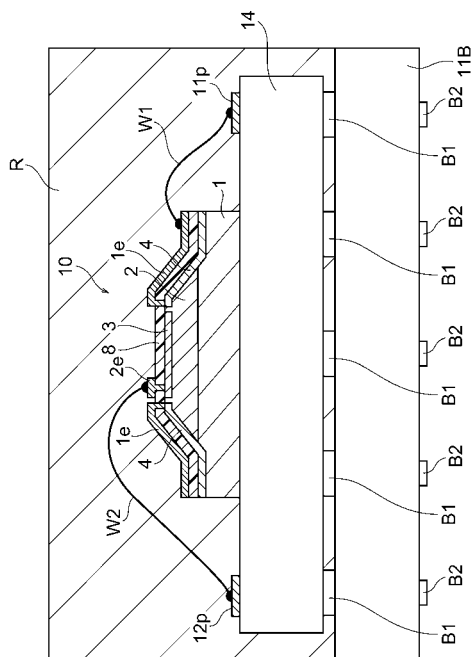
【図 9】



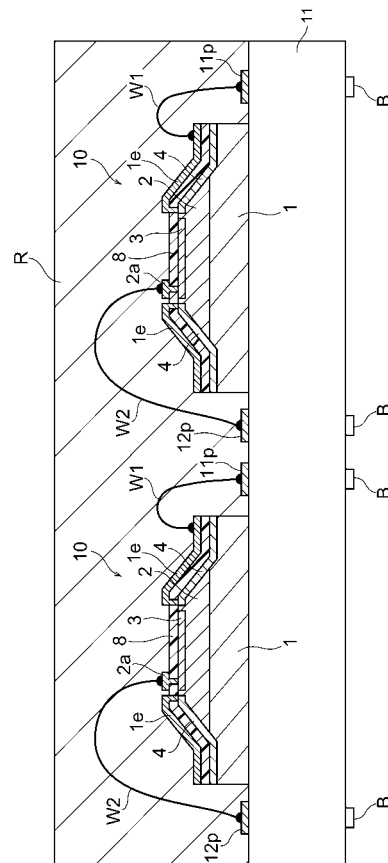
【図 10】



【図 11】



【図 12】



フロントページの続き

(72)発明者 坂本 明

静岡県浜松市市野町 1 1 2 6 番地の 1 浜松ホトニクス株式会社内

F ターム(参考) 5F049 MA04 MB03 NA03 NA19 NB01 PA09 PA10 PA14 PA20 QA03
QA20 SS03 SS09 TA06 TA09