

公告本

申請日期	86.09.11
案 號	86113185
類 別	14C11 21 F22.7

A4
C4

441040

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有多層重疊金屬化層之電可消除可程式唯讀記憶體
	英 文	"ELECTRICALLY ERASABLE AND PROGRAMMABLE READ ONLY MEMORY (EEPROM) HAVING MULTIPLE OVERLAPPING METALLIZATION LAYERS"
二、發明 人	姓 名	沙特雅德拉那斯 穆克傑
	國 籍	印度
	住、居所	美國紐約州約克頓高地市葛蘭提泉路237號
三、申請人	姓 名 (名稱)	荷蘭商飛利浦電子股份有限公司
	國 籍	荷蘭
	住、居所 (事務所)	荷蘭恩特荷芬市格諾內梧茲路1號
	代 表 人 姓 名	傑·伊·姆·葛拉瑪

裝

訂

線

(由本局填寫)

五、發明說明(1)

發明背景

本發明係屬唯讀記憶體(ROM)裝置之範圍，其尤其與電可消除可程式唯讀記憶體(EEPROM)裝置相關。

EEPROM裝置及製造諸此裝置之方法一般熟知於此技藝中。典型上EEPROM結構乃具有一浮動閘及一控制閘，該兩者典型上係以適當之摻雜材料摻雜以使多晶成為可導電之多晶矽製造。典型之摻雜材料為磷。

浮動閘係以諸如二氧化矽之絕緣材料之閘介電層與基材區隔離，而基材區乃包括源極與汲極區且其具有一通道區介於其間。浮動閘與控制閘係由例如二氧化矽之積體介電質隔離。EEPROM裝置操作之基本原理為以電荷形式之資料是以電容方式儲存在浮動閘上，而記憶體乃後續可被電消除。

寫入或消除電壓，其也就是使電荷置放於浮動閘上或由浮動閘移除電荷時所需之電壓，其典型上為高的，也就是說其超過20伏特。此依順使控制電晶體之閘氧化物厚度，接合深度及模具尺寸之縮收受到限制。

氮化矽(Si_3N_4)亦已被使用在介於浮動閘及控制閘間之雙介電質(熱氧化物及氮化矽)絕緣層中。氮化矽具有較二氧化矽緻密之性質，因而其能在浮動閘及控制閘間提供出較高之電容偶合。介於浮動閘及控制閘間之典型雙介電質係以500埃或更薄之氧化物及400埃或更薄之氮化物所組成。然而，即使使用氮化矽當成絕緣層，其寫入及消除電壓仍相當高，其典型上超過12伏特。用於傳統EEPROM裝置中

五、發明說明(2)

之高可消除可程式電壓乃為其主要之缺點。當在裝置操作時諸此高電壓之使用乃需要個別之高供應電壓，或其需在裝置內使用特殊之電壓加成電路以輔助電壓供應至必需之可程式及可消除之程度。

如在美國專利案5,146,426中所述，其係併於本文以列為其完整之參考，而其中本發明人亦為其共同發明人，隨積體技術之進步及積體電路晶片密度持續之成長，此發明範圍中所發展出之設計其目的係為達於更緊密之記憶單元組態。其特別之處在於揭示於美國專利案5,146,426號中之壕溝一結構記憶單元係已達成高緊密及效率之記憶單元組態。

然而，隨積體技術持續之進步而晶片密度亦持續成長，其被發現於更高記憶單元密度之獲得時其係受金屬互連間距或與記憶單元相關之金屬互連層所需間距限制。於典型之先前技藝之製造方法中，金屬層並未善盡現存技術中之石刻限制。因此，例如在0.5微米技術中乃具有約0.7微米或更寬之金屬層，該限制主要是由金屬層之反射性所引起而其結果之線與空間解析問題係由此而生。因此，諸如該等亦於美國專利案5,146,426號中之壕溝基(trench-base)記憶單元之填裝密度效能乃因其使用先前技藝中之傳統單層金屬技術時所引起之限制而使其並未能達於完善。

因此，較佳之EEPROM裝置乃為其中單元密度係可不受制於與裝置之金屬化層相關之限制且其中現存技術中之石刻限制乃得以完全利用。

五、發明說明(3)

發明概述

因此，本發明之一目的係為提供出一種EEPROM裝置，其中乃使用更具效率之金屬化組態以完全實現極緊密之壕溝基記憶單元填裝密度之優點。

根據本發明，此目的係可利用上述類型之EEPROM裝置達成，其中記憶單元之陣列係在記憶單元之上被供以至少兩重疊金屬化層，其並以絕緣材料區彼此隔離並與壕溝及汲極區互相隔離，且每一重疊金屬化層係經由絕緣材料而與至少一層在下之記憶單元之汲極區接觸。

在本發明其中之一具體實施例中，使一單一半導體層提供給單行中之多個記憶單元以當成其汲極區，而每一重疊金屬化層乃和在下之半導體層接觸，而在下之半導體層乃為單行中之多個記憶單元之形成其汲極區。

於本發明之其它具體實例中，經絕緣材料而與在下之半導體層接觸之每一金屬化層其接觸位置數乃小於單行中之記憶單元數。

於本發明另一其它具體實例中，重疊金屬化層乃被供以交錯之電接觸以完成填裝密度之進一步改良。

根據本發明之EEPROM裝置其提供出之重要改良為在使用多層重疊金屬化組態時其係能容許緊密之壕溝基記憶單元裝置之填充密度效能較以傳統之先前技藝中之金屬化結構之情形更能完全獲得利用。

本發明之此等與其它方面係可經本文後中所述具體實施例之參考而將成為明顯且其並可獲得闡釋。

五、發明說明(4)

附圖之簡單說明

經下列說明之本發明將可因參考以下敘述，閱讀時佐以圖式，而更加明瞭，其中：

圖1乃示出根據本發明之EEPROM記憶單元陣列之簡化部份平面圖；

圖2乃示出取自沿圖1中xx線段2-2之橫截面圖；且

圖3乃示出取自沿圖2中線段3-3之橫截面圖。

於附圖中，具有相同導電係數型之半導體區大致在相同之方向以斜紋示出，而其需注意者為該等圖係未按比率或比例繪出。

較佳具體實施例之說明

根據本發明之EEPROM記憶單元陣列之簡化部份平面圖乃示於圖1，而個別記憶單元之進一步細節及其互連乃示於圖2及圖3。以概觀之方式圖1係示出記憶單元10之列及行陣列，將於本文後中做進一步詳述之半導體層18乃形成記憶單元之汲極區且其亦在相同之垂直行上當成記憶單元之汲極區互連之使用。以此方式，其形成於並相鄰於壕溝20之記憶單元10係利用與其垂直方向之汲極區18接觸而使汲極區產生互連。

記憶單元10之控制閘28係利用水平閘線28a進行互連，在水平方向上使控制閘28與閘線部份28a形成連續之狹帶，其可在圖2中更清楚地看出。

圖1中之簡化圖乃由一系列重疊金屬化層30a，30b完成，而每一層30a乃在下層，而每一重疊層30b乃在上層，

五、發明說明(5)

其在圖2中可更清楚地看出。此等重疊金屬化層乃在記憶單元10之行垂直方向上延伸並經接觸區32而與在下之汲極區18接觸。因在每一行內之汲極區在垂直方向上為連續，雖每行之記憶單元能具有多於一個接觸區32時可能為較佳，但其並不需對每一個別記憶單元10之汲極區施以個別之接觸，因若僅提供一單獨之接觸區32則半導體層18之電阻對最佳效能而言其將可能是太高的。典型而言，可對每第八個，第十六個，第三十二個記憶單元提供接觸，其視給定電路設計中所能容許之電阻數量而定。如圖1所示，在垂直之方向上時時地提供出接觸區32，則半導體層18係可以規則性之區間連於較低電阻係數之上金屬化層，因此可讓其即使具有相當長之記憶單元行保持在低電阻之水平。重疊金屬化層30a，30b乃可用任何之金屬製造，其為諸如鋁或鋁合金，矽及銅。

如上所述，0.5微米技術典型上係具有寬度約0.7微米或更大之金屬層，因而其阻礙此技術中完全優點之實現。利用本發明之組態，以其重疊金屬化層此限制係可消除，而次微米技術之完全優點乃得以達成，因為間距乃不再受限於金屬化層之線寬。此外，其被發現交錯之接觸區32乃能有利的使用於極緊密之組態中，其如圖1中介於相鄰接觸區32間之垂直偏位所顯示出者。

其亦將明顯者為其雖已示出並已描述出兩層重疊金屬化層之結構，本文所述之原理亦可應用至三層之金屬化層結構中。記憶單元陣列之進一步細節將共同以圖2及3來進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(6)

行描述。

附圖中之圖2乃示出根據本發明兩相鄰之單電晶體壕溝狀電可消除可程式唯讀記憶體(EEPROM)單元10，其係取自沿圖1中線段2-2之視圖。此裝置形成於其之中之半導體主體係具有第一種導電係數型(於此為n型)之第一半導體層12及約 10^{19} 原子/立方公分之高摻雜度，而在第一層上具有第一種導電係數型之第二半導體層14其並具有約 10^{16} 原子/立方公分之較低摻雜度及約0.5微米之厚度。此第一層可為埋入層或裝置之基材，而第一及第二層乃共同形成EEPROM單元之源極區。第二種導電係數型(於此為p型)之第三半導體層16乃被提供至第二層之上並延伸至裝置之表面。此層之厚度約0.6-1.0微米而其摻雜度約 5×10^{17} 原子/立方公分。第四個與表面鄰接而其為第一種導電係數型之高摻雜半導體層18乃局部提供在第三層中並形成每一記憶單元之汲極區。此第四層係具有約 10^{20} 原子/立方公分之摻雜濃度及約0.1-0.4微米之厚度。

壕溝20乃延伸通過第三及第四層16，18並部份進入但未穿過第二層14。於此具體實例中，當由以上觀察時其被預期該壕溝將具有一實質上為正方形之組態，但矩形，圓形或其它形狀亦有可能。通道區16a乃位於與壕溝側牆部份相鄰之第三層16之一部份中並由源極區以實質上為垂直之方向延伸至裝置之汲極區。

壕溝側牆與底板乃以諸如二氧化矽之絕緣材料所形成之閘介電質22覆蓋，其並具有約100至200埃之厚度。閘介電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(7)

質22係可在壕溝之下角落區中其與壕溝側牆及底板交會處相鄰之區域中具有縮小厚度之局部部位，其乃描述於美國專利案5,146,429號中。

將實例為多晶矽之滑動閘24提供在閘介電質上並使其延伸而相鄰於壕溝側牆及底板，其如圖2所示。浮動閘24之內部係以積體介電質26覆蓋，該介電質可利用其具有之厚度約為200埃之二氧化矽層或二氧化矽及氮化矽層形成。示於圖1裝置中之基本結構係以控制閘28完成，其典型上是以多晶矽形成於積體介電質26之上並在壕溝20內延伸至約與第三層16相等之深度，而控制閘28係以浮動閘24，閘介電質22及閘間介電質26與通道區16a隔離。如在圖1及2中所見，單元10之列控制閘28係以區域28a互連，其形成時係可與控制閘整合且能以相同之多晶材料形成。

圖2中之結構係以介電質層34完成，該介電質係以諸如二氧化矽且其具有厚度約為5000埃之絕緣材料形成。將先前所敘述而其與圖1相關聯之金屬化層30a提供於位在記憶單元10交錯行上之處之介電層34上。利用由諸如二氧化矽之絕緣材料所形成之其它介電層36部份於橫向使相鄰之金屬化層30a彼此隔離並絕緣，而介電層36亦在未被金屬化層30a所覆蓋之交錯記憶單元10上用於支承並將金屬化層30b絕緣。位在控制閘28上表面之上之金屬化層30b之主要部份其高度約1微米。

雖圖2未按比例繪出，而其將明顯的是金屬化層30a及30b之寬度係將視記憶單元10之尺寸及所使用之技術極限

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(8)

而定，其重要而需注意者為金屬化層30a，30b之寬度乃較在下之記憶單元為大。因此，若使用通常在先前技藝中所用之傳統之單層金屬化層，則如圖2中所示之相鄰記憶單元其彼此間將可能需有較寬之距離，其乃為調節在下之金屬化層之完整寬度並用在相鄰金屬化層間之介電質或絕緣區另外空間之此二者，因為此等金屬化層將在相同之水平而且其彼此間將需絕緣以防止不佳之電接觸。另一方面，根據本發明之組態，使用兩(或更多)層之重疊金屬化層係容許有效之更近距離，因為金屬化結構之總寬乃小於個別金屬化層之總寬，其乃非如以先前技藝之技術情形中較此等金屬化層之總寬大。以此方法，本發明乃許可高緊密壕溝狀記憶單元完全填裝密度之優點能被實現。

圖3係示出陣列10中之三個相鄰記憶單元，其在圖2中係沿線段3-3觀看。於此圖中可看出在此方向上之裝置結構大致上與示於圖2中之結構類似，提供相似之參考數字至相似之區域以便於識別。然而，其重要而需要注意的是，在圖2中僅局部延伸圍繞每一壕溝20之汲極區18，其在圖3之正交圖中乃完全跨越至下一相鄰EEPROM單元10之壕溝側牆。因此，與表面鄰接之區域18乃為每一相鄰單元形成汲極區並在單元間形成完整之互連。以此方式係可完成一種簡單並具高效率之組態，其中位元線之連續性係以區域18進行提供，因此其可消除在每個單元處需有個別金屬化層及汲極接觸之要求。此在整個裝置結構中乃可造成實質上之簡化及對單元尺寸之有效減小。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

五、發明說明(9)

圖3爲一與示於圖2垂直之橫截面圖，其可看出下金屬化層30a延伸至多個記憶單元10之上，從該處其由介電層34隔離並絕緣且其被介電層36之一部份覆蓋。亦示於圖3中者爲接觸區32，其係以通過介電層34及36而向下延伸之金屬化層30a形成。以此方式，諸如30a之上金屬化層間之電性連接及形成汲極區之下半導體層18係可以簡單並具空間效率之方式獲得。如在圖3中所見，其乃不需將電性連接提供於半導體層18之每一段，由於層18之部份"纏繞"於壕溝20而因此此半導體層爲電連續，其如圖2所示。每一電性連接之記憶單元數目將以在此電路部份中可被容許之電阻之函數形式決定，如上所述之連接其典型上係在每第八，第十六，第三十二個單元等處形成。

以此方式，本發明所提供出之EEPROM裝置其係使用一種更具效率之金屬化組態以完全實現極緊密壕溝基記憶單元填裝密度之優點。

然而本發明是參考數種較佳具體實施例而加以特別顯示並描述，可讓該等熟習於本技藝者所理解者爲其在形式及細節上之不同改變係可在未偏離於本發明之精神或範圍內加以完成。因此，其例如，可使用三層之金屬化層技術取代示於附圖中之雙層技術，而接觸區之尺寸，形狀及幾何係可加以變化以配合特殊設計之要求。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

泉

四、中文發明摘要 (發明之名稱： 具有多層重疊金屬化層之電可消除可程式唯讀記憶體)

一種電可消除可程式唯讀記憶體 (EEPROM)，其包括壕溝狀記憶單元 (10) 陣列，而每一記憶單元具有與壕溝之表面鄰接部份相鄰之半導體汲極區 (18)。此 EEPROM 被供以至少兩層位於記憶單元上之重疊金屬化層 (30a, 30b)，其並以絕緣材料區彼此隔離並與壕溝及汲極區隔離。重疊金屬化層係經由絕緣材料而與在下之記憶單元之汲極區接觸。此形態係可造成具有非常高填裝密度之記憶體陣列。

圖 1

英文發明摘要 (發明之名稱： "ELECTRICALLY ERASABLE AND PROGRAMMABLE READ ONLY MEMORY (EEPROM) HAVING MULTIPLE OVERLAPPING METALLIZATION LAYERS")

An electrically erasable and programmable read only memory (EEPROM) includes an array of trench memory cells (10), with each memory cell having a semiconductor drain region (18) adjacent a surface-adjointing portion of the trench. The EEPROM is provided with at least two overlapping metallization layers (30a, 30b) overlying the memory cells and separated from each other and from the trenches and the drain regions by regions of insulating material. The overlapping metallization layers contact the drain regions of the underlying memory cells through the insulating material. This configuration results in a memory array having a very high packing density.

Fig. 1.

六、申請專利範圍

1. 一種具有記憶單元陣列之電可消除可程式唯讀記憶體 (EEPROM)，每一記憶單元係具有壕溝狀組態及與該壕溝之表面鄰接部份相鄰之半導體汲極區，其特徵在於該 EEPROM 係被供以至少兩層之重疊金屬化層而該層係位在以絕緣材料區將其彼此隔離且其與壕溝及汲極區隔離之記憶單元上，且其中每一該等重疊金屬化層係經該絕緣材料而與至少一個其下之記憶單元之汲極區接觸。
2. 根據申請專利範圍第 1 項之 EEPROM，其中單層半導體層乃當成汲極區以提供給單行之多個記憶單元。
3. 根據申請專利範圍第 2 項之 EEPROM，其中每一該重疊金屬化層係與其下之半導體層接觸，而每一半導體層乃形成單行之多個記憶單元之汲極區。
4. 根據申請專利範圍第 3 項之 EEPROM，其中每一金屬化層係以少於單行中記憶單元數之接觸位置數經該絕緣材料在該金屬化層下與其下之半導體層接觸。
5. 根據申請專利範圍第 4 項之 EEPROM，其中記憶單元數為接觸位置數之 8 倍。
6. 根據申請專利範圍第 4 項之 EEPROM，其中記憶單元數為接觸位置數之 16 倍。
7. 根據申請專利範圍第 4 項之 EEPROM，其中記憶單元數為接觸位置數之 32 倍。
8. 根據申請專利範圍第 1 項之 EEPROM，其中該等至少為兩層之金屬化層係被供以交錯之電接觸。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

頁

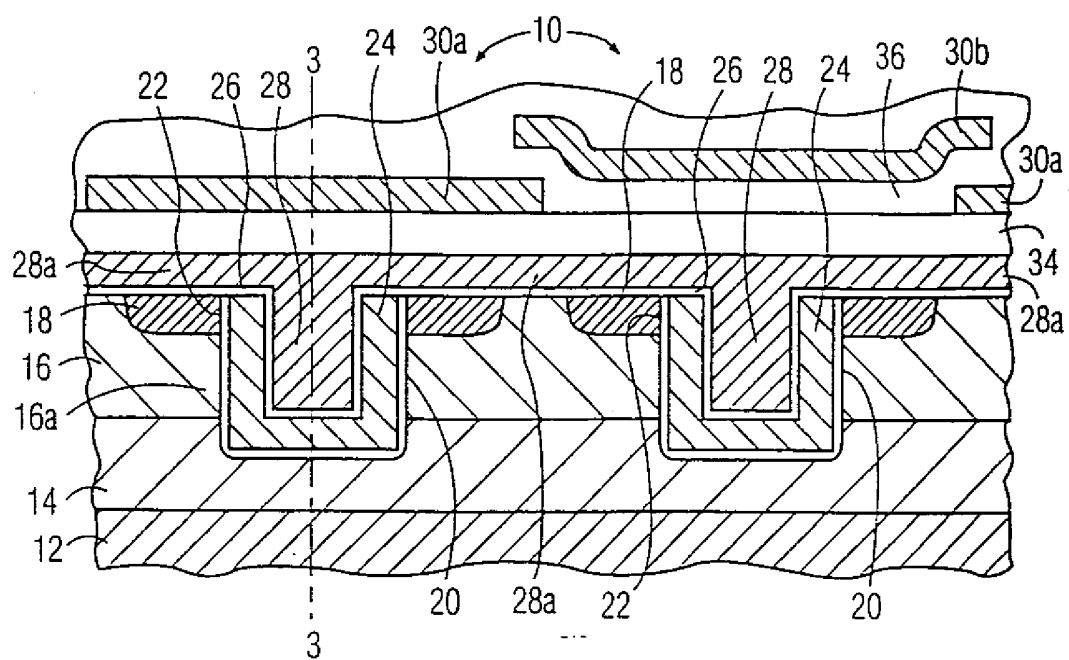


圖 2

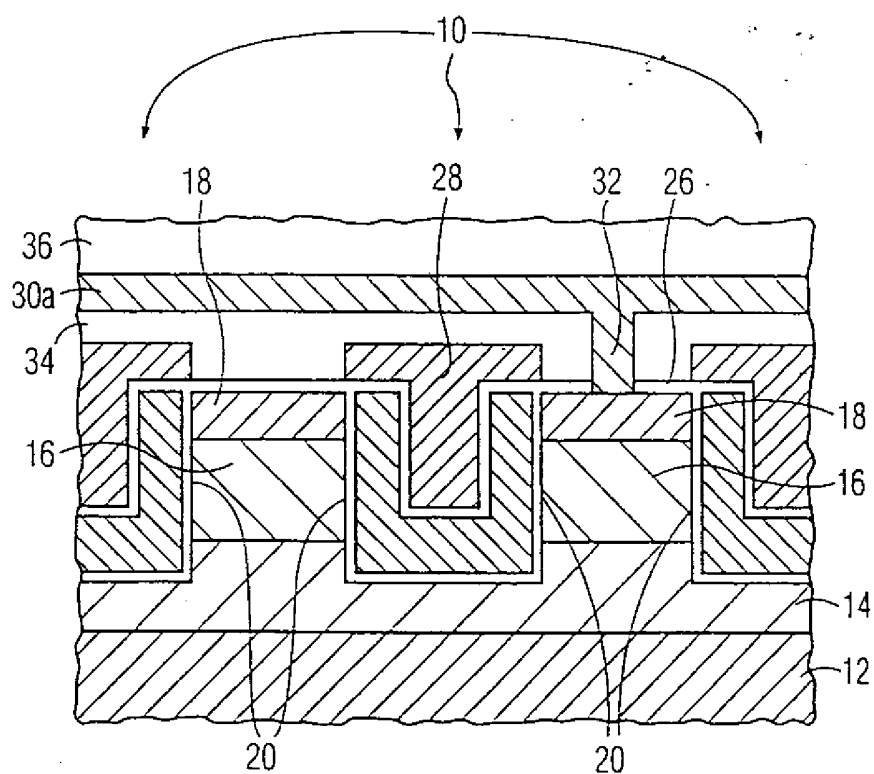


圖 3