

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和5年5月8日(2023.5.8)

【国際公開番号】WO2020/234689

【出願番号】特願2021-520484(P2021-520484)

【国際特許分類】

G 1 1 C 5/02(2006.01)

G 1 1 C 7/12(2006.01)

G 1 1 C 11/4094(2006.01)

H 1 0 B 41/70(2023.01)

H 1 0 B 12/00(2023.01)

H 1 0 B 99/00(2023.01)

H 0 1 L 29/786(2006.01)

10

【F I】

G 1 1 C 5/02 1 0 0

G 1 1 C 7/12

G 1 1 C 11/4094

H 0 1 L 27/1156

H 0 1 L 27/1083 2 1

H 0 1 L 27/1054 4 1

H 0 1 L 27/1086 7 1 Z

H 0 1 L 27/1086 7 1 C

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

20

【手続補正書】

【提出日】令和5年4月25日(2023.4.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

30

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン基板をチャンネルに用いた第1トランジスタを有する第1制御回路と、
前記第1制御回路上に設けられた、金属酸化物をチャンネルに用いた第2トランジスタを有する第2制御回路と、

前記第2制御回路上に設けられた、金属酸化物をチャンネルに用いた第3トランジスタを有するメモリ回路と、

40

前記第1制御回路と、前記第2制御回路と、の間の信号を伝える機能を有するグローバルビット線および反転グローバルビット線と、を有し、

前記第1制御回路は、入力端子及び反転入力端子を有するセンスアンプ回路を有し、

前記メモリ回路から前記第1制御回路にデータを読み出す第1の期間において、前記第2制御回路は、前記メモリ回路から読み出されるデータに応じて、電荷が放電された前記グローバルビット線および前記反転グローバルビット線を充電するか否かを制御する、半導体装置。

【請求項2】

シリコン基板をチャンネルに用いた第1トランジスタを有する第1制御回路と、

前記第1制御回路上に設けられた、金属酸化物をチャンネルに用いた第2トランジスタを

50

有する第 2 制御回路と、

前記第 2 制御回路上に設けられた、金属酸化物をチャンネルに用いた第 3 トランジスタを有するメモリ回路と、

前記第 1 制御回路と、前記第 2 制御回路と、の間の信号を伝える機能を有するグローバルビット線および反転グローバルビット線と、

前記グローバルビット線と前記第 2 制御回路との間、および前記反転グローバルビット線と前記第 2 制御回路との間、に設けられた複数の切替スイッチと、を有し、

前記第 1 制御回路は、入力端子及び反転入力端子を有するセンスアンプを有し、

前記メモリ回路から前記第 1 制御回路にデータを読み出す第 1 の期間において、前記第 2 制御回路は、前記グローバルビット線および前記反転グローバルビット線にプリチャージされた電荷を前記メモリ回路から読み出されるデータに応じて放電するか否かを制御する機能を有し、

前記第 1 の期間において、前記グローバルビット線と前記入力端子、および前記反転グローバルビット線と前記反転入力端子、がそれぞれ導通状態となるよう前記切替スイッチを切り替え、

前記メモリ回路から読み出された前記データをリフレッシュする第 2 の期間において、前記グローバルビット線と前記反転入力端子、および前記反転グローバルビット線と前記入力端子、がそれぞれ導通状態となるよう前記切替スイッチを切り替える、半導体装置。

【請求項 3】

シリコン基板をチャンネルに用いた第 1 トランジスタを有する第 1 制御回路と、

前記第 1 制御回路上に設けられた、金属酸化物をチャンネルに用いた第 2 トランジスタを有する第 2 制御回路と、

前記第 2 制御回路上に設けられた、金属酸化物をチャンネルに用いた第 3 トランジスタを有するメモリ回路と、

前記第 1 制御回路と、前記第 2 制御回路と、の間の信号を伝える機能を有するグローバルビット線および反転グローバルビット線と、を有し、

前記第 1 制御回路は、増幅回路と、出力端子と、反転出力端子と、第 1 スイッチと、第 2 スイッチと、信号反転回路と、を有するセンスアンプを有し、

前記第 1 スイッチは、前記グローバルビット線と前記出力端子との間に設けられ、

前記第 2 スイッチは、前記反転グローバルビット線と前記反転出力端子との間に設けられ、

前記信号反転回路は、前記グローバルビット線および前記反転グローバルビット線の電位に応じた論理データを反転した電位を前記増幅回路に電氣的に接続された前記出力端子および前記反転出力端子に与える機能を有し、

前記メモリ回路から前記第 1 制御回路にデータを読み出す第 1 の期間において、前記第 2 制御回路は、前記グローバルビット線および前記反転グローバルビット線にプリチャージされた電荷を前記メモリ回路から読み出されるデータに応じて放電するか否かを制御する機能を有し、

前記第 1 の期間において、前記第 1 スイッチおよび前記第 2 スイッチをオフにして、前記グローバルビット線および前記反転グローバルビット線の電位に応じた論理データを反転した電位を前記増幅回路に電氣的に接続された前記出力端子および前記反転出力端子に与え、

前記メモリ回路から読み出された前記データをリフレッシュする第 2 の期間において、前記第 1 スイッチおよび前記第 2 スイッチをオンにして前記増幅回路で増幅された前記出力端子および前記反転出力端子の電位を前記グローバルビット線および前記反転グローバルビット線に与える、半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか一において、

前記グローバルビット線および前記反転グローバルビット線は、前記シリコン基板の表面に対して垂直方向または概略垂直方向に延伸した領域を有する、半導体装置。

10

20

30

40

50

【請求項 5】

請求項 1 乃至 4 のいずれかーにおいて、

前記金属酸化物は、In と、Ga と、Zn と、を含む、半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれかーにおいて、

前記第 2 制御回路は、第 4 トランジスタ乃至第 7 トランジスタを有し、

前記第 4 トランジスタのゲートは、前記第 2 制御回路と、前記メモリ回路と、の間の信号を伝える機能を有するローカルビット線に電氣的に接続され、

前記第 5 トランジスタは、前記第 4 トランジスタのゲートと、前記第 4 トランジスタのソースまたはドレインの一方と、の間の導通状態を制御する機能を有し、

10

前記第 6 トランジスタは、前記第 4 トランジスタのソースまたはドレインの他方と、前記第 4 トランジスタに電流を流すための電位が与えられた配線と、の間の導通状態を制御する機能を有し、

前記第 7 トランジスタは、前記第 4 トランジスタのソースまたはドレインの一方と、前記グローバルビット線と、の間の導通状態を制御する機能を有する、半導体装置。

20

30

40

50