

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6223198号
(P6223198)

(45) 発行日 平成29年11月1日 (2017. 11. 1)

(24) 登録日 平成29年10月13日 (2017. 10. 13)

(51) Int. Cl.	F I
H03K 5/13 (2014.01)	H03K 5/13
H01L 29/786 (2006.01)	H01L 29/78 618B
H01L 27/08 (2006.01)	H01L 29/78 613Z
H01L 21/8234 (2006.01)	H01L 27/08
H01L 27/06 (2006.01)	H01L 27/06 102A
請求項の数 1 (全 33 頁) 最終頁に続く	

(21) 出願番号	特願2014-8311 (P2014-8311)	(73) 特許権者	000153878
(22) 出願日	平成26年1月21日 (2014. 1. 21)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2014-161007 (P2014-161007A)		神奈川県厚木市長谷398番地
(43) 公開日	平成26年9月4日 (2014. 9. 4)	(72) 発明者	加藤 清
審査請求日	平成29年1月12日 (2017. 1. 12)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2013-10783 (P2013-10783)		半導体エネルギー研究所内
(32) 優先日	平成25年1月24日 (2013. 1. 24)	(72) 発明者	上杉 航
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

審査官 ▲高▼橋 義昭

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1のトランジスタを有し、
 第2のトランジスタを有する回路を有し、
 フリップフロップを有し、
 論理回路を有し、
 前記第1のトランジスタのチャネルは酸化物半導体層を有し、
 前記論理回路の出力は前記第1のトランジスタのゲートに入力され、
 前記第1のトランジスタのソース及びドレインの一方から第1の信号が入力され、
 前記第1のトランジスタの前記ソース及び前記ドレインの他方は前記第2のトランジスタのゲートに電氣的に接続され、
 前記回路には第1のクロック信号が入力され、
 前記回路は第2のクロック信号を前記フリップフロップに出力し、
 前記論理回路には第2の信号及び前記フリップフロップの出力信号が入力され、
 前記第2のクロック信号のタイミングは前記第1のクロック信号と異なることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン 20

、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明は、例えば、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明は、例えば、酸化物半導体を有する半導体装置、表示装置、または、発光装置に関する。

【背景技術】

【0002】

特許文献1には複数のクロックバッファを設けてクロック信号のタイミングを調節する回路が記載されている。

【先行技術文献】

【特許文献】

10

【0003】

【特許文献1】特開平10-124553号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一態様は、クロック信号のタイミングを調節できる半導体装置を提供することを課題とする。または、本発明の一態様は、品質の良い半導体装置などを提供することを課題とする。

【0005】

本発明の一態様は、オフ電流の低い半導体装置などを提供することを課題とする。または、本発明の一態様は、消費電力の低い半導体装置などを提供することを課題とする。または、本発明の一態様は、目に優しい表示装置などを提供することを課題とする。または、本発明の一態様は、透明な半導体層を用いた半導体装置などを提供することを課題とする。または、本発明の一態様は、信頼性の高い半導体層を用いた半導体装置などを提供することを課題とする。

20

【0006】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

30

【課題を解決するための手段】

【0007】

本発明の一態様の半導体装置は、第1のトランジスタを有し、第2のトランジスタを有する回路を有し、第1のトランジスタのチャンネルが形成される領域は酸化物半導体層を有し、第1のトランジスタのソース及びドレインの一方から第1の信号が入力され、第1のトランジスタのソース及びドレインの他方は第2のトランジスタのゲートに電氣的に接続され、回路には第1のクロック信号が入力され、回路は第2のクロック信号を出力し、第2のクロック信号のタイミングは第1のクロック信号と異なっている。

【0008】

また本発明の一態様の半導体装置は、第1の信号により第2のトランジスタの出力電流を変化させ、第2のクロック信号のタイミングを調節することが好ましい。

40

【0009】

本発明の一態様の半導体装置は、第1のトランジスタを有し、第2のトランジスタを有し、第1のトランジスタのチャンネルが形成される領域は酸化物半導体層を有し、第1のトランジスタのソース及びドレインの一方から第1の信号が入力され、第1のトランジスタのソース及びドレインの他方は第2のトランジスタのゲートに電氣的に接続され、第2のトランジスタのソース及びドレインの一方には第1のクロック信号が入力され、第2のトランジスタのソース及びドレインの他方は第2のクロック信号を出力し、第2のクロック信号のタイミングは第1のクロック信号と異なっている。

【0010】

50

本発明の一態様の半導体装置は、第１のトランジスタを有し、第２のトランジスタを有し、第１のインバータを有し、第２のインバータを有し、第１のトランジスタのチャンネルが形成される領域は酸化物半導体層を有し、第１のトランジスタのソース及びドレインの一方から第１の信号が入力され、第１のトランジスタのソース及びドレインの他方は第２のトランジスタのゲートに電氣的に接続され、第２のトランジスタのソース及びドレインの一方に、第１のインバータを介して、第１のクロック信号が入力され、第２のトランジスタのソース及びドレインの他方から、第２のインバータを介して、第２のクロック信号を出力し、第２のクロック信号のタイミングは第１のクロック信号と異なっている。

【００１１】

本発明の一態様の半導体装置は、第１のトランジスタを有し、第２のトランジスタを有し、第１のインバータを有し、第２のインバータを有し、容量素子を有し、第１のトランジスタのチャンネルが形成される領域は酸化物半導体層を有し、第１のトランジスタのソース及びドレインの一方から第１の信号が入力され、第１のトランジスタのソース及びドレインの他方は第２のトランジスタのゲートに電氣的に接続され、第１のクロック信号が、第１のインバータを介して、第２のトランジスタのソース及びドレインの一方及び第２のインバータに入力され、第２のトランジスタのソース及びドレインの他方は容量素子の一方の電極に電氣的に接続され、第２のクロック信号が第２のインバータから出力され、第２のクロック信号のタイミングは第１のクロック信号と異なっている。

【００１２】

本発明の一態様の半導体装置は、第１のトランジスタを有し、第２のトランジスタを有する回路を有し、フリップフロップを有し、論理回路を有し、第１のトランジスタのチャンネルが形成される領域は酸化物半導体層を有し、論理回路の出力は第１のトランジスタのゲートに入力され、第１のトランジスタのソース及びドレインの一方から第１の信号が入力され、第１のトランジスタのソース及びドレインの他方は第２のトランジスタのゲートに電氣的に接続され、回路には第１のクロック信号が入力され、回路は第２のクロック信号を前記フリップフロップに出力し、論理回路には第２の信号及びフリップフロップの出力信号が入力され、第２のクロック信号のタイミングは第１のクロック信号と異なっている。

【発明の効果】

【００１３】

本発明の一態様である半導体装置は、クロック信号のタイミングを調節することができる。

【００１４】

本発明の一態様である半導体装置は、トランジスタを有し、トランジスタのチャンネルが形成される領域として酸化物半導体層を有している。よってトランジスタがオフしていても、クロック信号のタイミングを調節するための信号に対応する電位を保持しつづけることができる。

【００１５】

本発明の一態様である半導体装置は、クロック信号のタイミングを調節するための信号はアナログ信号を用いることができ、微調整が可能である。

【００１６】

本発明の一態様である半導体装置は、ロジック回路を作製した後であっても、クロック信号を調節することができる。組合せ回路によって遅延時間が発見されたり、クロック信号のタイミングのずれが発見されたりしても、クロック信号を調節することができる。

【図面の簡単な説明】

【００１７】

【図１】半導体装置の回路図。

【図２】電流 - 電圧特性。

【図３】半導体装置の回路図。

【図４】タイミングチャート図。

10

20

30

40

50

【図 5】半導体装置の回路図。
【図 6】半導体装置の回路図。
【図 7】タイミングチャート図。
【図 8】タイミングチャート図。
【図 9】半導体装置の回路図。
【図 10】半導体装置の回路図。
【図 11】タイミングチャート図。
【図 12】半導体装置の回路図。
【図 13】半導体装置の回路図。
【図 14】タイミングチャート図。
【図 15】半導体装置の回路図。
【図 16】半導体装置の回路図。
【図 17】半導体装置の断面図。
【図 18】CPUブロック図。
【図 19】電子機器を示す図。
【発明を実施するための形態】
【0018】

10

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

20

【0019】

(実施の形態 1)

図 1 (A) に半導体装置 100 を示す。半導体装置 100 はトランジスタ 101 及び回路 102 を有する。回路 102 は少なくともトランジスタ 141 を有する。

【0020】

トランジスタ 101 のゲートには信号 103 が入力され、信号 103 によりトランジスタ 101 のオン及びオフが制御される。トランジスタ 101 のソース及びドレインの一方には信号 105 が入力される。トランジスタ 101 のソース及びドレインの他方はトランジスタ 141 のゲートに電気的に接続され、トランジスタ 141 のゲートに信号 105 が出力される。

30

【0021】

トランジスタ 101 のチャンネルが形成される領域には酸化物半導体層を有する。

【0022】

回路 102 にはクロック信号 106 が入力される。回路 102 はクロック信号 107 を出力する。

【0023】

トランジスタ 141 の電流 (I_d) - 電圧 (V_g) 特性を図 2 に示す。信号 105 の電位 (V_g) によって、 I_d は変化する。そうするとトランジスタ 141 は可変抵抗 (R) とみなすことができる。なおトランジスタ 141 はシリコン系半導体基板に設けてもよい。またトランジスタ 141 のチャンネルは酸化物半導体層を有していてもよい。

40

【0024】

クロック信号 107 は、通常、例えばフリップフロップなどに含まれるトランジスタ 109 のゲートに入力される (図 3)。

【0025】

信号 105 の電位によって、トランジスタ 141 の抵抗 (R) は変化する。この抵抗 (R) をクロック信号の伝播の遅延要素として用いることで、クロック信号 107 のタイミングを調整することが可能となる。図 4 は、クロック信号 106 とクロック信号 107 のタ

50

イミグチャートの模式図である。クロック信号 107 のタイミングは t_1 だけ変化している (図 4)。 t_1 は信号 105 の電位に応じて変化させることができる。

【0026】

半導体装置 100 の動作を説明する。

【0027】

トランジスタ 101 に信号 103 が入力され、トランジスタ 101 がオンする。このときトランジスタ 101 のソース及びドレインの一方には信号 105 が入力され、トランジスタ 141 のゲートに入力される。信号 105 はクロック信号 107 のタイミングの調節量に応じたアナログ信号とすることができる。アナログ信号により微調整が可能となる。

【0028】

次に信号 103 によりトランジスタ 101 はオフする。トランジスタ 101 のチャンネルが形成される領域は酸化物半導体層を有するから、トランジスタ 101 のオフ電流は極めて低い。よってノード 104 には信号 105 に対応した電位が保持され、トランジスタ 141 のゲートにも信号 105 に対応した電位が印加され続ける。クロック信号 107 のタイミングを調節する信号 105 をそのまま保持することができる。

【0029】

回路 102 には、クロック信号 106 が入力される。トランジスタ 141 の電流値は信号 105 の電位によって変化しているから、回路 102 からタイミングが調節されたクロック信号 107 が出力される。

【0030】

なお図 1 (B) のように容量素子 108 を設けてもよい。容量素子 108 により、ノード 104 の電位をより確実に保持することができる。

【0031】

図 5 に、組合せ回路 110、フリップフロップ 111、組合せ回路 112、フリップフロップ 113 を有する半導体装置 120 を示す。また図 6 に組合せ回路 110、フリップフロップ 111、組合せ回路 112、フリップフロップ 113、半導体装置 115、半導体装置 116 を有する半導体装置 125 を示す。半導体装置 115、116 は図 1 (A) の半導体装置 100 と同様の構成を有する。なおフリップフロップ 111、113、組合せ回路 110、112 は公知のものを用いることができる。

【0032】

半導体装置 115 はトランジスタ 130 及び回路 131 を有する。回路 131 は少なくともトランジスタ 142 を有する。

【0033】

トランジスタ 130 のゲートには信号 133 が入力される。トランジスタ 130 のソース及びドレインの一方には信号 134 が入力される。トランジスタ 130 のソース及びドレインの他方はトランジスタ 142 のゲートに電氣的に接続される。

【0034】

回路 131 にはクロック信号 1 が入力され、タイミングが調節されたクロック信号 150 がフリップフロップ 111 に出力される。

【0035】

半導体装置 116 はトランジスタ 135 及び回路 136 を有する。回路 136 は少なくともトランジスタ 143 を有する。

【0036】

トランジスタ 135 のゲートには信号 138 が入力され、ソース及びドレインの一方には信号 137 が入力され、ソース及びドレインの他方はトランジスタ 143 のゲートに電氣的に接続される。

【0037】

回路 136 にはクロック信号 2 が入力され、タイミングが調節されたクロック信号 151 がフリップフロップ 113 に出力される。

【0038】

10

20

30

40

50

組合せ回路 110 にデータ 1 が入力され、データ 2 が出力される。フリップフロップ 111 にデータ 2 が入力され、データ 3 が出力される。組合せ回路 112 にデータ 3 が入力され、データ 4 が出力される。フリップフロップ 113 にデータ 4 が入力され、データ 5 が出力される。データ 5 は次の組合せ回路 114 (図示しない) に入力される。

【0039】

図 5 に示す半導体装置 120 では、クロック信号 1 とクロック信号 2 のタイミング (t_3) がずれ、さらに組合せ回路 112 によって生じる、フリップフロップ 111 からの出力 (Q_1) とフリップフロップ 113 への入力 (D_2) の遅延時間 (t_4) と大きく異なる場合がある。その結果、図 7 (A) では $t_3 + t_4$ がクロックの 1 周期を超えてセットアップ違反が生じており、フリップフロップ 113 へ正常にデータ 4 が入力されていない。

10

【0040】

しかし図 6 に示す半導体装置 125 では、クロック信号のタイミングを調節できる。よって半導体装置 116 によりクロック信号 2 のタイミングをずらして小さくし、 $t_3 + t_4 < 1$ 周期とすることができる。その結果、フリップフロップ 113 へデータ 4 を正常に入力させることができる (図 7 (B))。

【0041】

また図 5 に示す半導体装置 120 では、クロック信号 1 とクロック信号 2 のタイミング (t_6) がずれ、さらに組合せ回路 112 によって生じる、フリップフロップ 111 からの出力 (Q_1) とフリップフロップ 113 への入力 (D_2) の遅延時間 (t_7) と異なる場合がある。図 8 (A) では $t_7 < t_6$ となり、ホールド違反が生じており、フリップフロップ 113 へ正常にデータ 4 が入力されていない。

20

【0042】

この場合、半導体装置 116 によりクロック信号 2 のタイミングをずらして、時間 t_8 にロー信号からハイ信号に立ち上がるように調節することによりフリップフロップ 113 へ正常にデータ 4 を入力させることができる (図 8 (B))。

【0043】

また半導体装置 125 を作成した後に、組合せ回路 110、112 などによって遅延時間が設計値と異なることがある。またクロック信号 1 とクロック信号 2 のタイミングのずれが設計値と異なることがある。これらは半導体装置 125 の誤動作につながる。しかし半導体装置 125 ではクロック信号 150 やクロック信号 151 を調節することができるから、半導体装置 125 に不具合が生じることはない。

30

【0044】

(実施の形態 2)

図 9 (A) に本発明の一態様である半導体装置 200 を示す。半導体装置 200 はトランジスタ 201 及びトランジスタ 230 を有する。

【0045】

トランジスタ 201 のゲートには信号 203 が入力され、信号 203 によりトランジスタ 201 のオン及びオフが制御される。トランジスタ 201 のソース及びドレインの一方には信号 205 が入力される。トランジスタ 201 のソース及びドレインの他方はトランジスタ 230 のゲートに電氣的に接続される。

40

【0046】

トランジスタ 230 のゲートに信号 205 に対応する電位が印加される。トランジスタ 230 のソース及びドレインの一方にはクロック信号 206 が入力される。トランジスタ 230 がオン状態のとき、トランジスタ 230 のソース及びドレインの他方からはクロック信号 207 が出力される。トランジスタ 230 は n 型でも p 型でもよい。以下では、トランジスタ 230 は n 型として説明する。なおトランジスタ 230 はシリコン系半導体基板に設けてもよい。またトランジスタ 230 のチャンネルが酸化物半導体層を有していてもよい。

【0047】

トランジスタ 230 の $I_d - V_g$ 特性を図 2 に示す。信号 205 の電位 (V_g) によって

50

、 I_d は変化する(図2)。そうするとトランジスタ230は可変抵抗(R)とみなすことができる。トランジスタ230の $I_d - V_g$ 特性から、抵抗(R)を見積もることができる。

【0048】

トランジスタ230のソース及びドレインの他方からは、クロック信号207が出力される。出力されたクロック信号207は、通常、例えばフリップフロップなどに含まれるトランジスタ239のゲートに入力される(図10)。

【0049】

トランジスタ239のゲート容量(C)を考慮すると、クロック信号207の立ち上がりの時定数()は、 $= RC$ で見積もることができる。なお R はトランジスタ230の $I_d - V_g$ 特性から決定される。

10

【0050】

トランジスタ230を設けない場合には、図11(A)のように、ロー信号(L)からハイ信号(H)の切り替わりは図11(B)と比べて急峻である。クロック信号は $t = 0$ でローレベルからハイレベルに変わっている。

【0051】

トランジスタ230を設けた場合には、図11(B)のように、時定数()により、ロー信号(L)からハイ信号(H)の立ち上がりはなだらかになる。クロック信号は $t = 0$ でローレベルからなだらかに立ち上がり、 $t = t_2$ でハイレベルに変わる。 t_2 は信号205の電位に応じて変化させることができる。

20

【0052】

信号205によって、トランジスタ230の I_d を変化させることができるから、時定数を変化させ、クロック信号207のタイミングを調節することができる。

【0053】

なお図9(B)のように容量素子208を設けてもよい。ノード204の電位をより確実に保持することができる。

【0054】

半導体装置200の動作を説明する。

【0055】

トランジスタ201に信号203が入力され、トランジスタ201がオンする。このときトランジスタ201のソース及びドレインの一方には信号205が入力され、トランジスタ230のゲートに入力される。信号205はクロック信号207のタイミングの調節量に応じたアナログ信号とすることができる。アナログ信号により微調整が可能である。

30

【0056】

次に信号203によりトランジスタ201はオフする。トランジスタ201のオフ電流は極めて低いから、ノード204には信号205に対応した電位が保持され、トランジスタ230のゲートにも信号205に対応した電位が印加され続ける。クロック信号207のタイミングを調節する信号205をそのまま保存することができる。

【0057】

トランジスタ230には、クロック信号206が入力される。トランジスタ230は信号205の電位(V_g)によって I_d が変化している。トランジスタ230からタイミングが調節されたクロック信号207が出力される。

40

【0058】

図12に組合せ回路210、フリップフロップ211、組合せ回路212、フリップフロップ213、半導体装置241、半導体装置242を有する半導体装置240を示す。半導体装置241は、トランジスタ250、トランジスタ251を有する。半導体装置242は、トランジスタ254、トランジスタ255を有する。半導体装置241、242は図9(A)に示す半導体装置200と同様の構成を有する。なおフリップフロップ211、213は公知のものを用いることができる。また組合せ回路210、212は公知の回路を用いることができる。

50

【 0 0 5 9 】

組合せ回路 2 1 0 にデータ 1 が入力され、データ 2 が出力される。フリップフロップ 2 1 1 にデータ 2 が入力され、データ 3 が出力される。組合せ回路 2 1 2 にデータ 3 が入力され、データ 4 が出力される。フリップフロップ 2 1 3 にデータ 4 が入力され、データ 5 が出力される。データ 5 は次の組合せ回路 2 1 4 (図示しない) に入力される。

【 0 0 6 0 】

トランジスタ 2 5 0 のゲートには信号 2 5 2 が入力される。トランジスタ 2 5 0 のソース及びドレインの一方には信号 2 5 3 が入力される。トランジスタ 2 5 0 のソース及びドレインの他方はトランジスタ 2 5 1 のゲートに電氣的に接続される。トランジスタ 2 5 1 のソース及びドレインの一方にはクロック信号 1 が入力され、ソース及びドレインの他方からはタイミングが調節されたクロック信号 2 6 0 がフリップフロップ 2 1 1 に出力される。

10

【 0 0 6 1 】

トランジスタ 2 5 4 のゲートには信号 2 5 6 が入力され、ソース及びドレインの一方には信号 2 5 7 が入力され、ソース及びドレインの他方はトランジスタ 2 5 5 のゲートに電氣的に接続される。トランジスタ 2 5 5 のソース及びドレインの一方にはクロック信号 2 が入力され、ソース及びドレインの他方からはタイミングが調節されたクロック信号 2 6 1 がフリップフロップ 2 1 3 に出力される。

【 0 0 6 2 】

半導体装置 2 4 0 は半導体装置 2 4 1、半導体装置 2 4 2 を有している。よって実施の形態 1 で説明したように、クロック信号 1 とクロック信号 2 のタイミングの問題や、フリップフロップ 2 1 1 からの出力 (Q 1) とフリップフロップ 2 1 3 への入力 (D 2) の遅延時間の問題が生じて、クロック信号 2 6 0、2 6 1 のタイミングを調節することができ、半導体装置 2 4 0 を正常に動作させることができる。

20

【 0 0 6 3 】

(実施の形態 3)

実施の形態 2 に示した半導体装置 2 4 0 ではクロック信号の時定数はフリップフロップ 2 1 1、2 1 3 のゲート容量 (入力容量) に依存してしまう。ここではフリップフロップの入力容量に依存しない半導体装置を示す。図 1 3 に本発明の一態様である半導体装置 3 0 0 を示す。半導体装置 3 0 0 はトランジスタ 3 0 1 及び半導体装置 3 2 0 を有する。半導体装置 3 2 0 は実施の形態 1 の回路 1 0 2 に相当する。

30

【 0 0 6 4 】

半導体装置 3 2 0 はインバータ 3 1 3、トランジスタ 3 3 0、インバータ 3 1 4 を有する。

【 0 0 6 5 】

トランジスタ 3 0 1 のゲートには信号 3 0 3 が入力される。トランジスタ 3 0 1 のソース及びドレインの一方には信号 3 0 5 が入力される。トランジスタ 3 0 1 のソース及びドレインの他方はトランジスタ 3 3 0 のゲートに電氣的に接続される。

【 0 0 6 6 】

トランジスタ 3 3 0 のゲートに信号 3 0 5 に対応する電位 (V g) が印加される。トランジスタ 3 3 0 のソース及びドレインの一方にはインバータ 3 1 3 を介してクロック信号 3 0 6 が入力される。トランジスタ 3 3 0 のソース及びドレインの他方からはクロック信号 3 1 2 が出力され、インバータ 3 1 4 に入力される。インバータ 3 1 4 からクロック信号 3 0 7 が出力される。半導体装置 3 2 0 としては、クロック信号 3 0 6 が入力され、クロック信号 3 0 7 が出力される。

40

【 0 0 6 7 】

なおトランジスタ 3 3 0 は n 型でも p 型でもよい。以下では、トランジスタ 3 3 0 は n 型として説明する。なおトランジスタ 3 3 0、インバータ 3 1 3、インバータ 3 1 4 はシリコン系半導体基板に設けてもよい。またトランジスタ 3 3 0 のチャンネルが形成される領域は酸化物半導体層を有していてもよい。

50

【 0 0 6 8 】

インバータ 3 1 3 にはインバータ 3 2 1 からクロック信号 3 0 6 が入力されているが、インバータ 3 2 1 は必要に応じて設ければよい。

【 0 0 6 9 】

クロック信号 3 0 7 はフリップフロップ 3 1 1 に入力される。

【 0 0 7 0 】

なお容量素子 3 0 8 は必要に応じて設ければよい。容量素子 3 0 8 によりノード 3 0 4 の電位をより確実に保持することができる。

【 0 0 7 1 】

トランジスタ 3 3 0 の I_d は、信号 3 0 5 の電位 (V_g) によって変化する。トランジスタ 3 3 0 から出力されるクロック信号 3 1 2 の時定数 () は、インバータ 3 1 4 を構成するトランジスタのゲート容量 (C) に依存する。したがって半導体装置 3 2 0 だけで時定数を決定することができ、実施の形態 2 のようにフリップフロップ 3 1 1 のトランジスタのゲート容量 (入力容量) に依存することなく、クロック信号 3 0 7 を調節することができる。

10

【 0 0 7 2 】

例えば、インバータ 3 1 4 を構成するトランジスタのゲート容量を適切に設定すると、信号 3 0 5 の電位 (V_g) が小さいとき ($V_g = V_{g1}$ のとき) は、クロック信号 3 1 2 は図 1 4 に示すようになだらかに立ち下がるようにすることができる。また信号 3 0 5 の電位 (V_g) が大きいとき ($V_g = V_{g2}$ のとき) は、クロック信号 3 1 2 は図 1 4 に示すように、 V_{g1} よりも急峻に立ち下がるようにすることができる。

20

【 0 0 7 3 】

そしてインバータ 3 1 4 から出力されたクロック信号 3 0 7 をより遅くすること (V_{g1}) や、少し遅くすること (V_{g2}) ができる。

【 0 0 7 4 】

半導体装置 3 0 0 の動作を説明する。

【 0 0 7 5 】

トランジスタ 3 0 1 に信号 3 0 3 が入力され、トランジスタ 3 0 1 がオンする。このときトランジスタ 3 0 1 のソース及びドレインの一方には信号 3 0 5 が入力され、トランジスタ 3 3 0 のゲートに入力される。信号 3 0 5 はクロック信号 3 0 7 のタイミングの調節量に応じたアナログ信号とすることができる。アナログ信号により微調整が可能である。

30

【 0 0 7 6 】

次に信号 3 0 3 によりトランジスタ 3 0 1 はオフする。トランジスタ 3 0 1 のオフ電流は極めて低いから、ノード 3 0 4 には信号 3 0 5 に対応した電位が保持され、トランジスタ 3 3 0 のゲートにも信号 3 0 5 に対応した電位が印加され続ける。クロック信号 3 0 7 のタイミングを調節する信号 3 0 5 をそのまま保存することができる。

【 0 0 7 7 】

トランジスタ 3 3 0 には、インバータ 3 1 3 を介してクロック信号 3 0 6 が入力される。トランジスタ 3 3 0 は信号 3 0 5 の電位によって I_d が変化している。上記したようにトランジスタ 3 3 0 からタイミングが調節されたクロック信号 3 1 2 が出力され、インバータ 3 1 4 に入力される。インバータ 3 1 4 からクロック信号 3 0 7 が出力される。

40

【 0 0 7 8 】

(実施の形態 4)

図 1 5 に本発明の一態様である半導体装置 4 0 0 を示す。半導体装置 4 0 0 はトランジスタ 4 0 1 及び半導体装置 4 2 0 を有する。半導体装置 4 2 0 は実施の形態 1 の回路 1 0 2 に相当する。

【 0 0 7 9 】

半導体装置 4 2 0 はインバータ 4 1 3、トランジスタ 4 3 0、インバータ 4 1 4、容量素子 4 1 8 を有する。

【 0 0 8 0 】

50

トランジスタ 4 0 1 のゲートには信号 4 0 3 が入力される。トランジスタ 4 0 1 のソース及びドレインの一方には信号 4 0 5 が入力される。トランジスタ 4 0 1 のソース及びドレインの他方はトランジスタ 4 3 0 のゲートに電氣的に接続される。

【 0 0 8 1 】

トランジスタ 4 3 0 のゲートに信号 4 0 5 に対応する電位が印加される。トランジスタ 4 3 0 のソース及びドレインの一方はインバータ 4 1 3 の出力に電氣的に接続される。トランジスタ 4 3 0 のソース及びドレインの他方は容量素子 4 1 8 の一方の電極に電氣的に接続される。

【 0 0 8 2 】

クロック信号 4 0 6 はインバータ 4 1 3 に入力される。インバータ 4 1 3 はクロック信号 4 1 5 を出力する。クロック信号 4 1 5 はインバータ 4 1 4 に入力される。インバータ 4 1 4 からクロック信号 4 0 7 が出力される。

【 0 0 8 3 】

なおトランジスタ 4 3 0 は n 型でも p 型でもよい。以下では、トランジスタ 4 3 0 は n 型として説明する。なおトランジスタ 4 3 0、インバータ 4 1 3、インバータ 4 1 4 はシリコン系半導体基板に設けてもよい。またトランジスタ 4 3 0 のチャンネルが形成される領域は酸化物半導体層を有していてもよい。

【 0 0 8 4 】

インバータ 4 1 3 にはインバータ 4 2 1 からクロック信号 4 0 6 が入力されているが、インバータ 4 2 1 は必要に応じて設ければよい。

【 0 0 8 5 】

クロック信号 4 0 7 はフリップフロップ 4 1 1 に入力される。

【 0 0 8 6 】

なお容量素子 4 0 8 は必要に応じて設ければよい。容量素子 4 0 8 によりノード 4 0 4 の電位をより確実に保持することができる。

【 0 0 8 7 】

トランジスタ 4 3 0 がオフのとき、クロック信号 4 1 5 はインバータ 4 1 4 に入力される。

【 0 0 8 8 】

トランジスタ 4 3 0 がオンのとき、クロック信号 4 1 5 は、インバータ 4 1 4 だけでなく、トランジスタ 4 3 0 のソース及びドレインの一方にも入力される。そして容量素子 4 1 8 にも入力される。

【 0 0 8 9 】

したがってトランジスタ 4 3 0 がオンのとき、インバータ 4 1 3 から出力されたクロック信号 4 1 5 の電荷は、インバータ 4 1 4 の入力容量だけでなく、トランジスタ 4 3 0 を介して容量素子 4 1 8 にも保持されていく。そうするとインバータ 4 1 4 がオンするまでの時間が遅れる。これによりクロック信号 4 0 7 のタイミングを調節することができる。

【 0 0 9 0 】

トランジスタ 4 3 0 の I_d は、信号 4 0 5 の電位 (V_g) によって変化する。トランジスタ 4 3 0 は可変抵抗 (R) とみなすことができる。トランジスタ 4 3 0 の抵抗の大きさにより、容量素子 4 1 8 に保持される電荷を調節できる。そうするとインバータ 4 1 4 がオンするまでの時間を調節することができ、クロック信号 4 0 7 のタイミングを調節することができる。

【 0 0 9 1 】

半導体装置 4 0 0 の動作を説明する。

【 0 0 9 2 】

トランジスタ 4 0 1 に信号 4 0 3 が入力され、トランジスタ 4 0 1 がオンする。このときトランジスタ 4 0 1 のソース及びドレインの一方には信号 4 0 5 が入力され、トランジスタ 4 3 0 のゲートに入力される。信号 4 0 5 はクロック信号 4 0 7 のタイミングの調節量に応じたアナログ信号とすることができる。アナログ信号により微調整が可能である。

10

20

30

40

50

【 0 0 9 3 】

次に信号 4 0 3 によりトランジスタ 4 0 1 はオフする。トランジスタ 4 0 1 のオフ電流は極めて低いから、ノード 4 0 4 には信号 4 0 5 に対応した電位が保持され、トランジスタ 4 3 0 のゲートにも信号 4 0 5 に対応した電位が印加され続ける。クロック信号 4 0 7 のタイミングを調節する信号 4 0 5 をそのまま保存することができる。

【 0 0 9 4 】

クロック信号 4 0 6 はインバータ 4 1 3 に入力される。インバータ 4 1 3 はクロック信号 4 1 5 を出力する。クロック信号 4 1 5 はインバータ 4 1 4 に入力され、トランジスタ 4 3 0 のソース及びドレインの一方にも入力され、容量素子 4 1 8 に入力される。このときトランジスタ 4 3 0 の抵抗にしたがって容量素子 4 1 8 に電荷が保持されていく。そうするとインバータ 4 1 4 がオンするまでの時間が遅れ、クロック信号 4 0 7 のタイミングを調節することができる。

10

【 0 0 9 5 】

(実施の形態 5)

図 1 6 に本発明の一態様である半導体装置 5 0 0 、 5 0 1 を示す。半導体装置 5 0 0 、 5 0 1 はそれぞれクロック信号を調節したいフリップフロップを選択できる。

【 0 0 9 6 】

半導体装置 5 0 0 は、組合せ回路 5 1 0 、フリップフロップ 5 1 1 、論理回路 5 5 1 、半導体装置 5 1 5 を有する。また半導体装置 5 0 1 は組合せ回路 5 1 2 、フリップフロップ 5 1 3 、論理回路 5 5 2 、半導体装置 5 1 6 を有する。

20

【 0 0 9 7 】

組合せ回路 5 1 0 にはデータ 1 が入力され、フリップフロップ 5 1 1 にデータ 2 が出力される。フリップフロップ 5 1 1 から組合せ回路 5 1 2 及び論理回路 5 5 1 にデータ 3 (信号 5 5 3) が出力される。組合せ回路 5 1 2 からフリップフロップ 5 1 3 にデータ 4 が出力される。フリップフロップ 5 1 3 から次の組合せ回路 5 1 4 (図示しない) 及び論理回路 5 5 2 にデータ (信号 5 5 4) が出力される。

【 0 0 9 8 】

フリップフロップ 5 1 1 には半導体装置 5 1 5 からタイミングを調節されたクロック信号 5 5 7 が入力される。半導体装置 5 1 5 はトランジスタ 5 3 0 、半導体装置 5 3 1 を有する。半導体装置 5 3 1 は実施の形態 1 の回路 1 0 2 に相当する。

30

【 0 0 9 9 】

半導体装置 5 3 1 は少なくともトランジスタ 5 4 2 を有する。

【 0 1 0 0 】

トランジスタ 5 3 0 のゲートには論理回路 5 5 1 から信号 5 5 5 が入力される。トランジスタ 5 3 0 のソース及びドレインの一方には信号 5 3 4 が入力される。トランジスタ 5 3 0 のソース及びドレインの他方はトランジスタ 5 4 2 のゲートに電氣的に接続される。

【 0 1 0 1 】

トランジスタ 5 4 2 のゲートに信号 5 3 4 に対応する電位が印加される。半導体装置 5 3 1 にはクロック信号 1 が入力され、タイミングが調節されたクロック信号 5 5 7 がフリップフロップ 5 1 1 に出力される。クロック信号 5 5 7 のタイミングを調節することについては実施の形態 1 - 4 にて説明したとおりである。

40

【 0 1 0 2 】

論理回路 5 5 1 には信号 5 5 0 及びフリップフロップ 5 1 1 から信号 5 5 3 が入力される。信号 5 5 0 及び信号 5 5 3 がともにハイ信号の場合には、信号 5 5 5 はハイ信号となり、トランジスタ 5 3 0 はオンとなる。信号 5 5 0 又は信号 5 5 3 の一方がロー信号の場合には、信号 5 5 5 はロー信号となり、トランジスタ 5 3 0 はオフとなる。

【 0 1 0 3 】

フリップフロップ 5 1 3 には半導体装置 5 1 6 からタイミングを調節されたクロック信号 5 5 8 が入力される。半導体装置 5 1 6 はトランジスタ 5 3 5 、半導体装置 5 3 6 を有する。半導体装置 5 3 6 は実施の形態 1 の回路 1 0 2 に相当する。

50

【 0 1 0 4 】

半導体装置 5 3 6 は少なくともトランジスタ 5 4 3 を有する。

【 0 1 0 5 】

トランジスタ 5 3 5 のゲートには論理回路 5 5 2 から信号 5 5 6 が入力される。トランジスタ 5 3 5 のソース及びドレインの一方には信号 5 3 4 が入力される。トランジスタ 5 3 5 のソース及びドレインの他方はトランジスタ 5 4 3 のゲートに電氣的に接続される。信号 5 3 4 はトランジスタ 5 3 0 にも入力される。ここではトランジスタ 5 3 0 及びトランジスタ 5 3 5 の両方に信号 5 3 4 が入力されているが、トランジスタ 5 3 0 に入力される信号と異なる信号をトランジスタ 5 3 5 に入力してもよい。

【 0 1 0 6 】

トランジスタ 5 4 3 のゲートに信号 5 3 4 に対応する電位が印加される。半導体装置 5 3 6 にはクロック信号 2 が入力され、タイミングが調節されたクロック信号 5 5 8 がフリップフロップ 5 1 3 に出力される。クロック信号 5 5 8 のタイミングを調節することについては実施の形態 1 - 4 にて説明したとおりである。

【 0 1 0 7 】

論理回路 5 5 2 には信号 5 5 0 及びフリップフロップ 5 1 3 から信号 5 5 4 が入力される。信号 5 5 0 及び信号 5 5 4 がともにハイ信号の場合には、信号 5 5 6 はハイ信号となり、トランジスタ 5 3 5 はオンとなる。信号 5 5 0 又は信号 5 5 4 の一方がロー信号の場合には、信号 5 5 6 はロー信号となり、トランジスタ 5 3 5 はオフとなる。

【 0 1 0 8 】

ここで、特定のフリップフロップに入力されるクロック信号を調節する方法について説明する。通常のプロセッサにはスキャンチェーンが実装されている。スキャンチェーンは効果的に順序回路を試験する手法で、フリップフロップを直列につないで一種のシフトレジスタを構成したものである。専用ピンからそのシフトレジスタにシリアルデータを入力することによって、スキャンチェーンに含まれる任意のフリップフロップの値を設定できるようになる。

【 0 1 0 9 】

フリップフロップ 5 1 1 に入力されるクロック信号 5 5 7 のみを調節するためには、スキャンチェーンを用いて、フリップフロップ 5 1 1 の出力 (Q 1) を " 1 " に、他のフリップフロップ 5 1 3 の出力 (Q 2) を " 0 " に設定する。

【 0 1 1 0 】

そして、信号 5 5 0 を制御すると、信号 5 5 5 は信号 5 5 0 と同じ振る舞いをし、信号 5 5 6 は常にロー信号 (" 0 ") となる。つまり、トランジスタ 5 3 0 はオン・オフを制御できるが、トランジスタ 5 3 5 は常にオフとなる。

【 0 1 1 1 】

このようにフリップフロップ 5 1 1 に入力されるクロック信号 5 5 7 のみを調節することができる。

【 0 1 1 2 】

(実施の形態 6)

実施の形態 1 - 5 のトランジスタのチャンネルに適用できる酸化物半導体について説明する。

【 0 1 1 3 】

電子供与体 (ドナー) となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体 (purified OS) は、i 型 (真性半導体) 又は i 型に限りなく近い。そのため、高純度化された酸化物半導体をチャンネルに有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。

【 0 1 1 4 】

具体的に、高純度化された酸化物半導体をチャンネルに有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャンネル幅が $1 \times 10^6 \mu\text{m}$ でチャンネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧 (ドレイン

10

20

30

40

50

電圧)が1 Vから10 Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち 1×10^{-13} A以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3 Vの場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

10

【0115】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレインをソースとゲートよりも高い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0以下であるときに、ソースとドレインの間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレインをソースとゲートよりも低い電位とした状態において、ソースの電位を基準としたときのゲートの電位が0以上であるときに、ソースとドレインの間に流れる電流のことを意味する。

【0116】

20

酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。また、スタビライザーとしてジルコニウム(Zr)を含むことが好ましい。

【0117】

酸化物半導体の中でもIn-Ga-Zn系酸化物、In-Sn-Zn系酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記In-Ga-Zn系酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

30

【0118】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を含んでいてもよい。

40

【0119】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb

50

- Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。

【0120】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいてもよい。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

【0121】

例えば、In:Ga:Zn = 1:1:1 (= 1/3:1/3:1/3) あるいはIn:Ga:Zn = 2:2:1 (= 2/5:2/5:1/5) の原子比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、In:Sn:Zn = 1:1:1 (= 1/3:1/3:1/3)、In:Sn:Zn = 2:1:3 (= 1/3:1/6:1/2) あるいはIn:Sn:Zn = 2:1:5 (= 1/4:1/8:5/8) の原子比のIn-Sn-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0122】

例えば、In-Sn-Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0123】

以下では、酸化物半導体膜の構造について説明する。

【0124】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【0125】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0126】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0127】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、CAAC-OS膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS膜について詳細な説明を行う。

【0128】

CAAC-OS膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0129】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察

10

20

30

40

50

すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【 0 1 3 0 】

一方、C A A C - O S 膜を、試料面と概略垂直な方向から T E M によって観察（平面 T E M 観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【 0 1 3 1 】

断面 T E M 観察および平面 T E M 観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

10

【 0 1 3 2 】

C A A C - O S 膜に対し、X 線回折（X R D : X - R a y D i f f r a c t i o n）装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（0 0 9）面に帰属されることから、C A A C - O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【 0 1 3 3 】

一方、C A A C - O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる in - p l a n e 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（1 1 0）面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（ ω 軸）として試料を回転させながら分析（ ω スキャン）を行うと、（1 1 0）面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を 56° 近傍に固定して ω スキャンした場合でも、明瞭なピークが現れない。

20

【 0 1 3 4 】

以上のことから、C A A C - O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

30

【 0 1 3 5 】

なお、結晶部は、C A A C - O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C - O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C - O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C - O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【 0 1 3 6 】

また、C A A C - O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、C A A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

40

【 0 1 3 7 】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の out - o f - p l a n e 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 1 3 8 】

50

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【 0 1 3 9 】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【 0 1 4 0 】

C A A C - O S 膜は、例えば、多結晶である金属酸化物ターゲットを用い、スパッタリング法によって成膜する。当該ターゲットにイオンが衝突すると、ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

【 0 1 4 1 】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【 0 1 4 2 】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 以下、好ましくは - 1 0 0 以下である成膜ガスを用いる。

【 0 1 4 3 】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 以上 7 4 0 以下、好ましくは 2 0 0 以上 5 0 0 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【 0 1 4 4 】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、3 0 体積 % 以上、好ましくは 1 0 0 体積 % とする。

【 0 1 4 5 】

ターゲットの一例として、I n - G a - Z n 系酸化物ターゲットについて以下に示す。

【 0 1 4 6 】

I n O _x 粉末、G a O _y 粉末及び Z n O _z 粉末を所定の m o l 数比で混合し、加圧処理後、1 0 0 0 以上 1 5 0 0 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n 系酸化物ターゲットとする。なお、X、Y 及び Z は任意の正数である。ここで、所定の m o l 数比は、例えば、I n O _x 粉末、G a O _y 粉末及び Z n O _z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、及びその混合する m o l 数比は、作製するターゲットによって適宜変更すればよい。

【 0 1 4 7 】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうち N a は、酸化物半導体層に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して N a ⁺ となる。また、N a は、酸化物半導体層内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法による N a 濃度の測定値は、5 × 1 0 ⁻¹⁶ / c m ³ 以下、好ましくは 1 × 1 0 ⁻¹⁶ / c m ³ 以下、更に好ましくは 1 × 1 0 ⁻¹⁵ / c m ³ 以下とするとよい。同様に、L i 濃度の測定値は、5 × 1 0 ⁻¹⁵ / c m ³ 以下、好ましくは 1 × 1

10

20

30

40

50

$0.15 / \text{cm}^3$ 以下とするとよい。同様に、K濃度の測定値は、 $5 \times 10^{-15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{-15} / \text{cm}^3$ 以下とするとよい。

【0148】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体層に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体層中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法によるC濃度の測定値、またはSi濃度の測定値は、 $1 \times 10^{-18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

10

【0149】

また、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体層のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。

【0150】

n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n型化された領域が形成されることで、トランジスタの移動度及びオン電流を高めることができ、それにより、トランジスタを用いたスイッチ回路の高速動作を実現することができる。

20

【0151】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。

【0152】

また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

30

【0153】

また、酸化物半導体層は、単数の金属酸化物膜で構成されているとは限らず、積層された複数の金属酸化物膜で構成されていても良い。例えば、第1乃至第3の金属酸化物膜が順に積層されている半導体膜の場合、第1の金属酸化物膜及び第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つを、その構成要素に含み、伝導帯下端のエネルギーが第2の金属酸化物膜よりも0.05 eV以上、0.07 eV以上、0.1 eV以上または0.15 eV以上、かつ2 eV以下、1 eV以下、0.5 eV以下または0.4 eV以下、真空準位に近い酸化物膜である。さらに、第2の金属酸化物膜は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0154】

上記構成の半導体膜をトランジスタが有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい第2の金属酸化物膜にチャネル領域が形成される。即ち、第2の金属酸化物膜とゲート絶縁膜との間に第3の金属酸化物膜が設けられていることによって、ゲート絶縁膜と離隔している第2の金属酸化物膜に、チャネル領域を形成することができる。

40

【0155】

また、第3の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第3の金属酸化物膜の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいため、トランジスタの電界効果移動度が高くなる。

50

【0156】

また、第2の金属酸化物膜と第1の金属酸化物膜の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタの閾値電圧が変動してしまう。しかし、第1の金属酸化物膜は、第2の金属酸化物膜を構成する金属元素の少なくとも1つをその構成要素に含むため、第2の金属酸化物膜と第1の金属酸化物膜の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタの閾値電圧等の電気的特性のばらつきを、低減することができる。

【0157】

また、金属酸化物膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないように、複数の金属酸化物膜を積層させることが望ましい。積層された金属酸化物膜の膜間に不純物が存在していると、金属酸化物膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の金属酸化物膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化するU字型の井戸構造を有している状態）が形成されやすくなる。

【0158】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ $5 \times 10^{-7} \text{ Pa} \sim 1 \times 10^{-4} \text{ Pa}$ 程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせることで排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【0159】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。

【0160】

例えば、第1の金属酸化物膜または第3の金属酸化物膜は、アルミニウム、シリコン、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、スズ、ランタン、セリウムまたはハフニウムを、第2の金属酸化物膜よりも高い原子数比で含む酸化物膜であればよい。具体的に、第1の金属酸化物膜または第3の金属酸化物膜として、第2の金属酸化物膜よりも上述の元素を1.5倍以上、好ましくは2倍以上、さらに好ましくは3倍以上高い原子数比で含む酸化物膜を用いると良い。前述の元素は酸素と強く結合するため、酸素欠損が酸化物膜に生じることを抑制する機能を有する。よって、上記構成により、第1の金属酸化物膜または第3の金属酸化物膜を、第2の金属酸化物膜よりも酸素欠損が生じにくい酸化物膜にすることができる。

【0161】

具体的に、第2の金属酸化物膜と、第1の金属酸化物膜または第3の金属酸化物膜とが、共に In-M-Zn 系酸化物である場合、第1の金属酸化物膜または第3の金属酸化物膜の原子数比を $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ 、第2の金属酸化物膜の原子数比を $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ とすると、 y_1 / x_1 が y_2 / x_2 よりも大きくなるように、その原子数比を設定すれば良い。なお、元素MはInよりも酸素との結合力が強い金属元素であり、例えばAl、Ti、Ga、Y、Zr、Sn、La、Ce、NdまたはHf等が挙げられる。好ましくは、 y_1 / x_1 が y_2 / x_2 よりも1.5倍以上大きくなるように、その原子数比を設定すれば良い。さらに好ましくは、 y_1 / x_1 が y_2 / x_2 よりも2倍以上大きくなるように、その原子数比を設定すれば良い。より好ましくは、 $y_1 /$

x_1 が y_2 / x_2 よりも 3 倍以上大きくなるように、その原子数比を設定すれば良い。さらに、第 2 の金属酸化物膜において、 y_2 が x_2 以上であると、トランジスタに安定した電気的特性を付与できるため好ましい。ただし、 y_2 が x_2 の 3 倍以上になると、トランジスタの電界効果移動度が低下してしまうため、 y_2 は x_2 の 3 倍未満であると好ましい。

【 0 1 6 2 】

なお、第 1 の金属酸化物膜及び第 3 の金属酸化物膜の厚さは、3 nm 以上 100 nm 以下、好ましくは 3 nm 以上 50 nm 以下とする。また、第 2 の金属酸化物膜の厚さは、3 nm 以上 200 nm 以下、好ましくは 3 nm 以上 100 nm 以下であり、さらに好ましくは 3 nm 以上 50 nm 以下である。

10

【 0 1 6 3 】

3 層構造の半導体膜において、第 1 の金属酸化物膜乃至第 3 の金属酸化物膜は、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される第 2 の金属酸化物膜が結晶質であることにより、トランジスタに安定した電気的特性を付与することができるため、第 2 の金属酸化物膜は結晶質であることが好ましい。

【 0 1 6 4 】

なお、チャネル形成領域とは、トランジスタの半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

【 0 1 6 5 】

例えば、第 1 の金属酸化物膜及び第 3 の金属酸化物膜として、スパッタリング法により形成した In - Ga - Zn 系酸化物膜を用いる場合、第 1 の金属酸化物膜及び第 3 の金属酸化物膜の成膜には、In - Ga - Zn 系酸化物 (In : Ga : Zn = 1 : 3 : 2 [原子数比]) であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 s c c m、酸素ガスを 15 s c c m 用い、圧力 0 . 4 P a とし、基板温度を 200 とし、D C 電力 0 . 5 k W とすればよい。

20

【 0 1 6 6 】

また、第 2 の金属酸化物膜を C A A C - O S 膜とする場合、第 2 の金属酸化物膜の成膜には、In - Ga - Zn 系酸化物 (In : Ga : Zn = 1 : 1 : 1 [原子数比]) であり、多結晶の In - Ga - Zn 系酸化物を含むターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを 30 s c c m、酸素ガスを 15 s c c m 用い、圧力を 0 . 4 P a とし、基板の温度 300 とし、D C 電力 0 . 5 k W とすることができる。

30

【 0 1 6 7 】

なお、トランジスタは、半導体膜の端部が傾斜している構造を有していても良いし、半導体膜の端部が丸みを帯びる構造を有していても良い。

【 0 1 6 8 】

また、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合においても、ソース電極及びドレイン電極に接する領域が、n 型化されていても良い。上記構成により、トランジスタの移動度及びオン電流を高め、半導体装置の高速動作を実現することができる。さらに、複数の積層された金属酸化物膜を有する半導体膜をトランジスタに用いる場合、n 型化される領域は、チャネル領域となる第 2 の金属酸化物膜にまで達していることが、トランジスタの移動度及びオン電流を高め、半導体装置のさらなる高速動作を実現する上で、より好ましい。

40

【 0 1 6 9 】

(実施の形態 7)

実施の形態 1 - 5 に示した半導体装置の一例について説明する。図 17 に、図 1 (B) に示した半導体装置 100 が有する、トランジスタ 101、トランジスタ 141、及び容量素子 108 の断面構造を、一例として示す。

【 0 1 7 0 】

50

トランジスタ 101 のチャネルは酸化物半導体層を有している。トランジスタ 101、容量素子 108 が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ 141 上に形成されている場合を例示している。

【0171】

なお、トランジスタ 141 は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜を活性層に用いることもできる。或いは、トランジスタ 141 は、酸化物半導体を活性層に用いていても良い。全てのトランジスタが酸化物半導体を活性層に用いている場合、トランジスタ 101 はトランジスタ 141 上に積層されていなくとも良く、トランジスタ 101 とトランジスタ 141 とは、同一の層に形成されていても良い。

10

【0172】

薄膜のシリコンを用いてトランジスタ 141 を形成する場合、プラズマ CVD 法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンにレーザー光を照射して結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0173】

トランジスタ 141 が形成される半導体基板 1400 は、例えば、n 型または p 型の導電性を有するシリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板、化合物半導体基板 (GaAs 基板、InP 基板、GaN 基板、SiC 基板、GaP 基板、GaInAsP 基板、ZnSe 基板等) 等を用いることができる。図 17 では、n 型の導電性を有する単結晶シリコン基板を用いた場合を例示している。

20

【0174】

また、トランジスタ 141 は、素子分離用絶縁膜 1401 により、他のトランジスタと、電氣的に分離されている。素子分離用絶縁膜 1401 の形成には、選択酸化法 (Local Oxidation of Silicon) 法) またはトレンチ分離法等を用いることができる。

【0175】

具体的に、トランジスタ 141 は、半導体基板 1400 に形成された、ソース領域またはドレイン領域として機能する不純物領域 1402 及び不純物領域 1403 と、ゲート電極 1404 と、半導体基板 1400 とゲート電極 1404 の間に設けられたゲート絶縁膜 1405 とを有する。ゲート電極 1404 は、ゲート絶縁膜 1405 を間に挟んで、不純物領域 1402 と不純物領域 1403 の間に形成されるチャネル形成領域と重なる。

30

【0176】

トランジスタ 141 上には、絶縁膜 1409 が設けられている。絶縁膜 1409 には開口部が形成されている。そして、上記開口部には、不純物領域 1402、不純物領域 1403 にそれぞれ接する配線 1410、配線 1411 と、ゲート電極 1404 に電氣的に接続されている配線 1412 とが、形成されている。

【0177】

そして、配線 1410 は、絶縁膜 1409 上に形成された配線 1415 に電氣的に接続されており、配線 1411 は、絶縁膜 1409 上に形成された配線 1416 に電氣的に接続されており、配線 1412 は、絶縁膜 1409 上に形成された配線 1417 に電氣的に接続されている。

40

【0178】

配線 1415 乃至配線 1417 上には、絶縁膜 1420 及び絶縁膜 1440 が順に積層するように形成されている。絶縁膜 1420 及び絶縁膜 1440 には開口部が形成されており、上記開口部に、配線 1417 に電氣的に接続された配線 1421 が形成されている。

【0179】

そして、図 17 では、絶縁膜 1440 上にトランジスタ 101 及び容量素子 108 が形成されている。

【0180】

50

トランジスタ１０１は、絶縁膜１４４０上に、酸化物半導体を含む半導体膜１４３０と、半導体膜１４３０上の、ソース電極またはドレイン電極として機能する導電膜１４３２及び導電膜１４３３と、半導体膜１４３０、導電膜１４３２及び導電膜１４３３上のゲート絶縁膜１４３１と、ゲート絶縁膜１４３１上に位置し、導電膜１４３２と導電膜１４３３の間において半導体膜１４３０と重なっているゲート電極１４３４と、を有する。なお、導電膜１４３３は、配線１４２１に電氣的に接続されている。

【０１８１】

また、ゲート絶縁膜１４３１上において導電膜１４３３と重なる位置に、導電膜１４３５が設けられている。ゲート絶縁膜１４３１を間に挟んで導電膜１４３３及び導電膜１４３５が重なっている部分が、容量素子１０８として機能する。

10

【０１８２】

なお、図１７では、容量素子１０８がトランジスタ１０１と共に絶縁膜１４４０の上に設けられている場合を例示しているが、容量素子１０８は、トランジスタ１４１と共に、絶縁膜１４４０の下に設けられていても良い。

【０１８３】

そして、トランジスタ１０１、容量素子１０８上に、絶縁膜１４４１及び絶縁膜１４４２が順に積層するように設けられている。絶縁膜１４４１及び絶縁膜１４４２には開口部が設けられており、上記開口部においてゲート電極１４３４に接する導電膜１４４３が、絶縁膜１４４１上に設けられている。

【０１８４】

20

なお、図１７において、トランジスタ１０１は、ゲート電極１４３４を半導体膜１４３０の片側において少なくとも有していれば良いが、半導体膜１４３０を間に挟んで存在する一対のゲート電極を有していても良い。

【０１８５】

トランジスタ１０１が、半導体膜１４３０を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

30

【０１８６】

また、図１７では、トランジスタ１０１が、一のゲート電極１４３４に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ１０１は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【０１８７】

（実施の形態８）

本実施の形態では、本発明の一態様に係る半導体装置の一つである、ＣＰＵの構成について説明する。

【０１８８】

40

図１８に、本実施の形態のＣＰＵの構成を示す。図１８に示すＣＰＵは、基板９００上に、演算回路（ＡＬＵ：Ａｒｉｔｈｍｅｔｉｃ ｌｏｇｉｃ ｕｎｉｔ）９０１、ＡＬＵ Ｃｏｎｔｒｏｌｌｅｒ ９０２、Ｉｎｓｔｒｕｃｔｉｏｎ Ｄｅｃｏｄｅｒ ９０３、Ｉｎｔｅｒｒｕｐｔ Ｃｏｎｔｒｏｌｌｅｒ ９０４、Ｔｉｍｉｎｇ Ｃｏｎｔｒｏｌｌｅｒ ９０５、Ｒｅｇｉｓｔｅｒ ９０６、Ｒｅｇｉｓｔｅｒ Ｃｏｎｔｒｏｌｌｅｒ ９０７、バスインターフェース（Ｂｕｓ Ｉ／Ｆ）９０８、書き換え可能なＲＯＭ ９０９、ＲＯＭインターフェース（ＲＯＭ Ｉ／Ｆ）９２０を主に有している。ＲＯＭ ９０９及びＲＯＭ Ｉ／Ｆ ９２０は、別チップに設けても良い。勿論、図１８に示すＣＰＵは、その構成を簡略化して示した一例にすぎず、実際のＣＰＵはその用途によって多種多様な構成を有している。

50

【0189】

Bus I/F 908を介してCPUに入力された命令は、Instruction Decoder 903に入力され、デコードされた後、ALU Controller 902、Interrupt Controller 904、Register Controller 907、Timing Controller 905に入力される。

【0190】

ALU Controller 902、Interrupt Controller 904、Register Controller 907、Timing Controller 905は、デコードされた命令に基づき、各種制御を行なう。具体的にALU Controller 902は、ALU 901の動作を制御するための信号を生成する。また、Interrupt Controller 904は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。Register Controller 907は、Register 906のアドレスを生成し、CPUの状態に応じてRegister 906の読み出しや書き込みを行なう。

10

【0191】

またTiming Controller 905は、ALU 901、ALU Controller 902、Instruction Decoder 903、Interrupt Controller 904、Register Controller 907の動作のタイミングを制御する信号を生成する。例えばTiming Controller 905は、基準クロック信号Clk1を元に、内部クロック信号Clk2を生成する内部クロック生成部を備えており、クロック信号Clk2を上記各種回路に供給する。

20

【0192】

本実施の形態のCPUでは、Clk1とClk2のタイミングが異なってもClk2のタイミングを調節することができる。

【0193】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0194】

(実施の形態9)

上記実施の形態で開示された、導電膜や半導体膜はスパッタ法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

30

【0195】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

【0196】

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

40

【0197】

また、ALD法は、チャンバー内を大気圧または減圧下とし、反応のための原料ガスが順次にチャンバーに導入され、そのガス導入の順序を繰り返すことで成膜を行ってもよい。例えば、それぞれのスイッチングバルブ(高速バルブとも呼ぶ)を切り替えて2種類以上の原料ガスを順番にチャンバーに供給し、複数種の原料ガスが混ざらないように第1の原料ガスと同時またはその後不活性ガス(アルゴン、或いは窒素など)などを導入し、第2の原料ガスを導入する。なお、同時に不活性ガスを導入する場合には、不活性ガスはキャリアガスとなり、また、第2の原料ガスの導入時にも同時に不活性ガスを導入してもよい。また、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後

50

、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着して第1の層を成膜し、後から導入される第2の原料ガスと反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入順序を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

【0198】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム、トリメチルガリウム、及びジエチル亜鉛を用いる。なお、トリメチルインジウムの化学式は、 $\text{In}(\text{CH}_3)_3$ である。また、トリメチルガリウムの化学式は、 $\text{Ga}(\text{CH}_3)_3$ である。また、ジメチル亜鉛の化学式は、 $\text{Zn}(\text{CH}_3)_2$ である。また、これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム(化学式 $\text{Ga}(\text{C}_2\text{H}_5)_3$)を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛(化学式 $\text{Zn}(\text{C}_2\text{H}_5)_2$)を用いることもできる。

【0199】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを同時に導入してタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

【0200】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次繰り返し導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを同時に導入してGaO層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを同時に導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合化合物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでパブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Ga}(\text{CH}_3)_3$ ガスにかえて、 $\text{Ga}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{In}(\text{CH}_3)_3$ ガスにかえて、 $\text{In}(\text{C}_2\text{H}_5)_3$ ガスを用いても良い。また、 $\text{Zn}(\text{CH}_3)_2$ ガスを用いても良い。

【0201】

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0202】

(実施の形態10)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレーヤー等)、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図19に示す。

【0203】

図19(A)は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロフォン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。なお、図19(A)に示した携帯型ゲーム機は、2つの表

示部 5 0 0 3 と表示部 5 0 0 4 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【 0 2 0 4 】

図 1 9 (B) は携帯情報端末であり、第 1 筐体 5 6 0 1、第 2 筐体 5 6 0 2、第 1 表示部 5 6 0 3、第 2 表示部 5 6 0 4、接続部 5 6 0 5、操作キー 5 6 0 6 等を有する。第 1 表示部 5 6 0 3 は第 1 筐体 5 6 0 1 に設けられており、第 2 表示部 5 6 0 4 は第 2 筐体 5 6 0 2 に設けられている。そして、第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 とは、接続部 5 6 0 5 により接続されており、第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 の間の角度は、接続部 5 6 0 5 により変更が可能である。第 1 表示部 5 6 0 3 における映像を、接続部 5 6 0 5 における第 1 筐体 5 6 0 1 と第 2 筐体 5 6 0 2 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 5 6 0 3 及び第 2 表示部 5 6 0 4 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

10

【 0 2 0 5 】

図 1 9 (C) はノート型パーソナルコンピュータであり、筐体 5 4 0 1、表示部 5 4 0 2、キーボード 5 4 0 3、ポインティングデバイス 5 4 0 4 等を有する。

【 0 2 0 6 】

図 1 9 (D) は電気冷凍冷蔵庫であり、筐体 5 3 0 1、冷蔵室用扉 5 3 0 2、冷凍室用扉 5 3 0 3 等を有する。

20

【 0 2 0 7 】

図 1 9 (E) はビデオカメラであり、第 1 筐体 5 8 0 1、第 2 筐体 5 8 0 2、表示部 5 8 0 3、操作キー 5 8 0 4、レンズ 5 8 0 5、接続部 5 8 0 6 等を有する。操作キー 5 8 0 4 及びレンズ 5 8 0 5 は第 1 筐体 5 8 0 1 に設けられており、表示部 5 8 0 3 は第 2 筐体 5 8 0 2 に設けられている。そして、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 とは、接続部 5 8 0 6 により接続されており、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 の間の角度は、接続部 5 8 0 6 により変更が可能である。表示部 5 8 0 3 における映像を、接続部 5 8 0 6 における第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 との間の角度に従って切り替える構成としても良い。

30

【 0 2 0 8 】

図 1 9 (F) は普通自動車であり、車体 5 1 0 1、車輪 5 1 0 2、ダッシュボード 5 1 0 3、ライト 5 1 0 4 等を有する。

【 符号の説明 】

【 0 2 0 9 】

1	クロック信号
2	クロック信号
1 0 0	半導体装置
1 0 1	トランジスタ
1 0 2	回路
1 0 3	信号
1 0 4	ノード
1 0 5	信号
1 0 6	クロック信号
1 0 7	クロック信号
1 0 8	容量素子
1 0 9	トランジスタ
1 1 0	組合せ回路
1 1 1	フリップフロップ
1 1 2	組合せ回路

40

50

1 1 3	フリップフロップ	
1 1 4	組合せ回路	
1 1 5	半導体装置	
1 1 6	半導体装置	
1 2 0	半導体装置	
1 2 5	半導体装置	
1 3 0	トランジスタ	
1 3 1	回路	
1 3 3	信号	
1 3 4	信号	10
1 3 5	トランジスタ	
1 3 6	回路	
1 3 7	信号	
1 3 8	信号	
1 4 1	トランジスタ	
1 4 2	トランジスタ	
1 4 3	トランジスタ	
1 5 0	クロック信号	
1 5 1	クロック信号	
2 0 0	半導体装置	20
2 0 1	トランジスタ	
2 0 3	信号	
2 0 4	ノード	
2 0 5	信号	
2 0 6	クロック信号	
2 0 7	クロック信号	
2 0 8	容量素子	
2 1 0	組合せ回路	
2 1 1	フリップフロップ	
2 1 2	組合せ回路	30
2 1 3	フリップフロップ	
2 1 4	組合せ回路	
2 3 0	トランジスタ	
2 3 9	トランジスタ	
2 4 0	半導体装置	
2 4 1	半導体装置	
2 4 2	半導体装置	
2 5 0	トランジスタ	
2 5 1	トランジスタ	
2 5 2	信号	40
2 5 3	信号	
2 5 4	トランジスタ	
2 5 5	トランジスタ	
2 5 6	信号	
2 5 7	信号	
2 6 0	クロック信号	
2 6 1	クロック信号	
3 0 0	半導体装置	
3 0 1	トランジスタ	
3 0 3	信号	50

3 0 4	ノード	
3 0 5	信号	
3 0 6	クロック信号	
3 0 7	クロック信号	
3 0 8	容量素子	
3 1 1	フリップフロップ	
3 1 2	クロック信号	
3 1 3	インバータ	
3 1 4	インバータ	
3 2 0	半導体装置	10
3 2 1	インバータ	
3 3 0	トランジスタ	
4 0 0	半導体装置	
4 0 1	トランジスタ	
4 0 3	信号	
4 0 4	ノード	
4 0 5	信号	
4 0 6	クロック信号	
4 0 7	クロック信号	
4 0 8	容量素子	20
4 1 1	フリップフロップ	
4 1 3	インバータ	
4 1 4	インバータ	
4 1 5	クロック信号	
4 1 8	容量素子	
4 2 0	半導体装置	
4 2 1	インバータ	
4 3 0	トランジスタ	
5 0 0	半導体装置	
5 0 1	半導体装置	30
5 1 0	組合せ回路	
5 1 1	フリップフロップ	
5 1 2	組合せ回路	
5 1 3	フリップフロップ	
5 1 4	組合せ回路	
5 1 5	半導体装置	
5 1 6	半導体装置	
5 3 0	トランジスタ	
5 3 1	半導体装置	
5 3 4	信号	40
5 3 5	トランジスタ	
5 3 6	半導体装置	
5 4 2	トランジスタ	
5 4 3	トランジスタ	
5 5 0	信号	
5 5 1	論理回路	
5 5 2	論理回路	
5 5 3	信号	
5 5 4	信号	
5 5 6	信号	50

5 5 5	信号	
5 5 7	クロック信号	
5 5 8	クロック信号	
9 0 0	基板	
9 0 1	A L U	
9 0 2	A L U C o n t r o l l e r	
9 0 3	I n s t r u c t i o n D e c o d e r	
9 0 4	I n t e r r u p t C o n t r o l l e r	
9 0 5	T i m i n g C o n t r o l l e r	
9 0 6	R e g i s t e r	10
9 0 7	R e g i s t e r C o n t r o l l e r	
9 0 8	B u s I / F	
9 0 9	R O M	
9 2 0	R O M I / F	
1 4 0 0	半導体基板	
1 4 0 1	素子分離用絶縁膜	
1 4 0 2	不純物領域	
1 4 0 3	不純物領域	
1 4 0 4	ゲート電極	
1 4 0 5	ゲート絶縁膜	20
1 4 0 9	絶縁膜	
1 4 1 0	配線	
1 4 1 1	配線	
1 4 1 2	配線	
1 4 1 5	配線	
1 4 1 6	配線	
1 4 1 7	配線	
1 4 2 0	絶縁膜	
1 4 2 1	配線	
1 4 3 0	半導体膜	30
1 4 3 1	ゲート絶縁膜	
1 4 3 2	導電膜	
1 4 3 3	導電膜	
1 4 3 4	ゲート電極	
1 4 3 5	導電膜	
1 4 4 0	絶縁膜	
1 4 4 1	絶縁膜	
1 4 4 2	絶縁膜	
1 4 4 3	導電膜	
5 0 0 1	筐体	40
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロフォン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	50

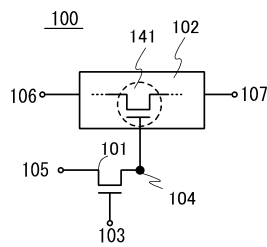
5 1 0 4	ライト
5 3 0 1	筐体
5 3 0 2	冷蔵室用扉
5 3 0 3	冷凍室用扉
5 4 0 1	筐体
5 4 0 2	表示部
5 4 0 3	キーボード
5 4 0 4	ポインティングデバイス
5 6 0 1	筐体
5 6 0 2	筐体
5 6 0 3	表示部
5 6 0 4	表示部
5 6 0 5	接続部
5 6 0 6	操作キー
5 8 0 1	筐体
5 8 0 2	筐体
5 8 0 3	表示部
5 8 0 4	操作キー
5 8 0 5	レンズ
5 8 0 6	接続部

10

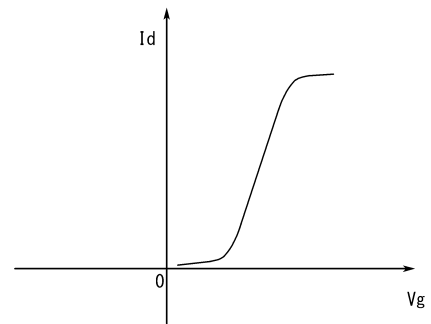
20

【図 1】

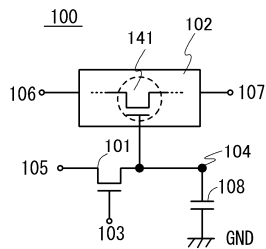
(A)



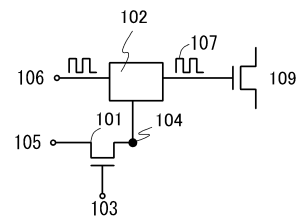
【図 2】



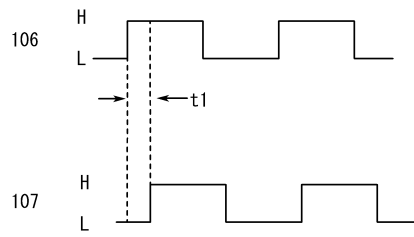
(B)



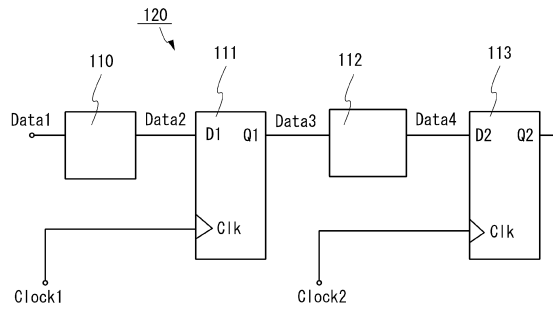
【図 3】



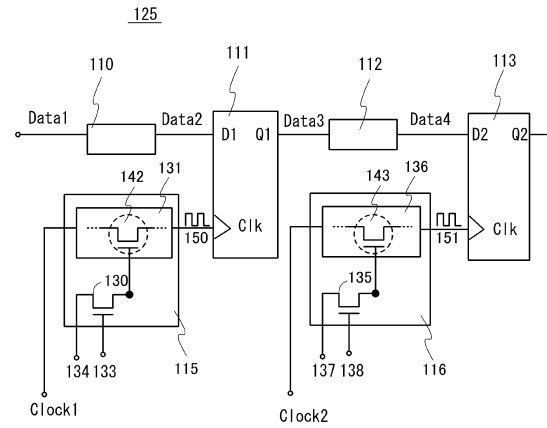
【図 4】



【図 5】

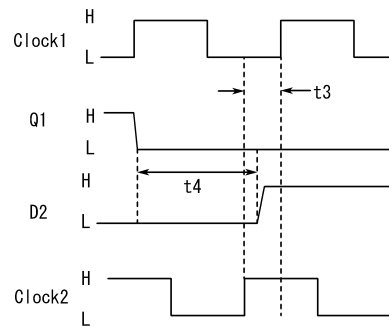


【図 6】

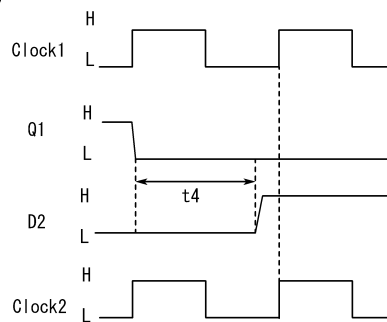


【図 7】

(A)

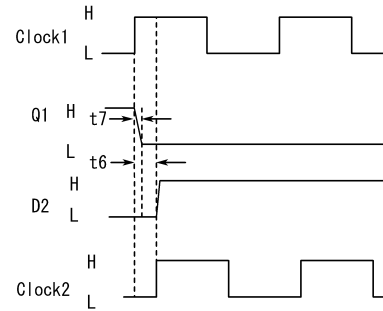


(B)

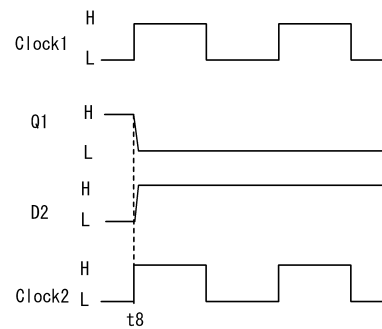


【図 8】

(A)

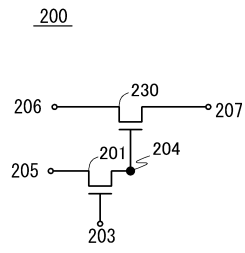


(B)

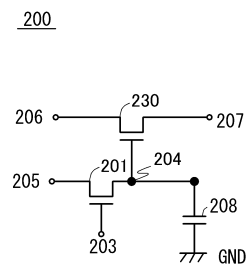


【図 9】

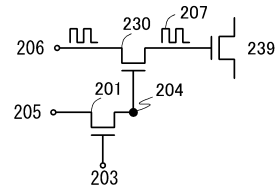
(A)



(B)

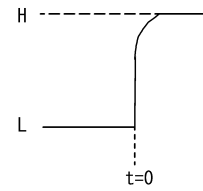


【図 10】

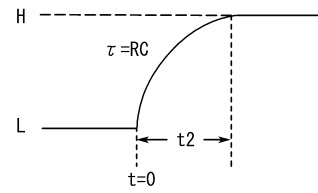


【図 11】

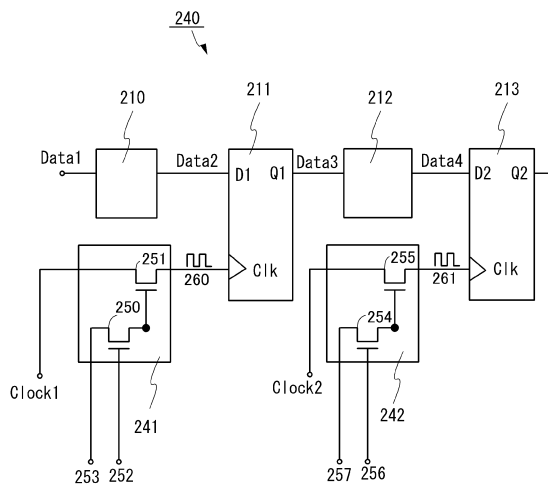
(A)



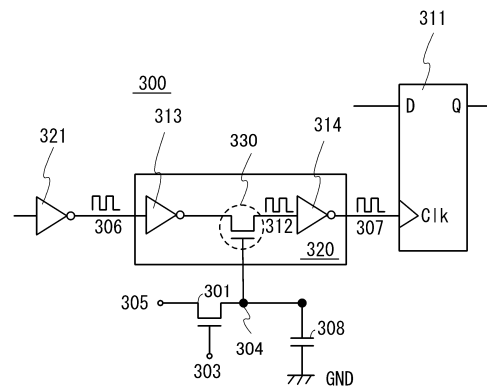
(B)



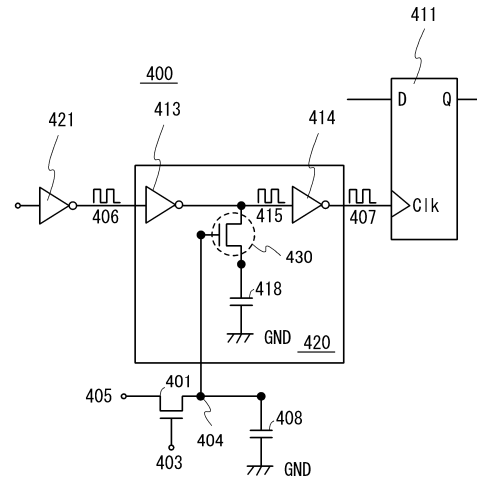
【図 12】



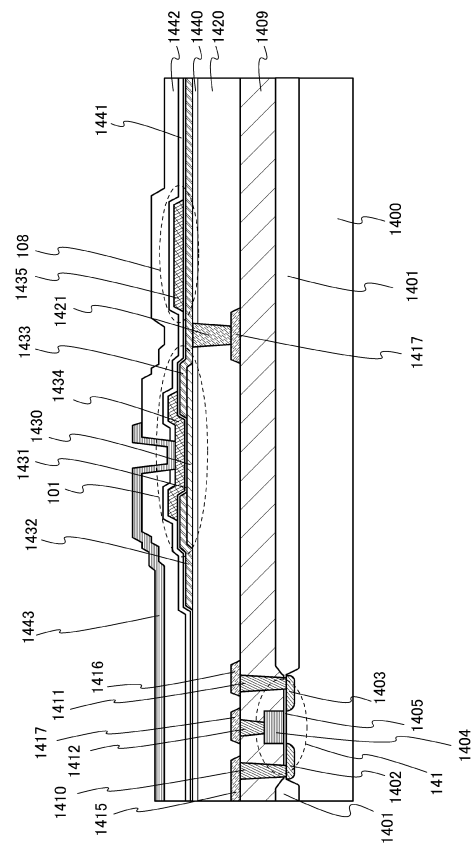
【図 13】



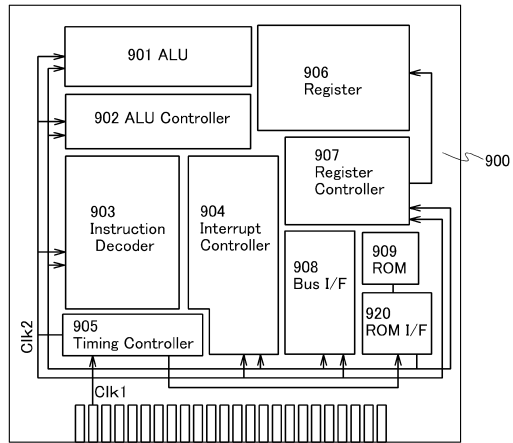
【 図 1 5 】



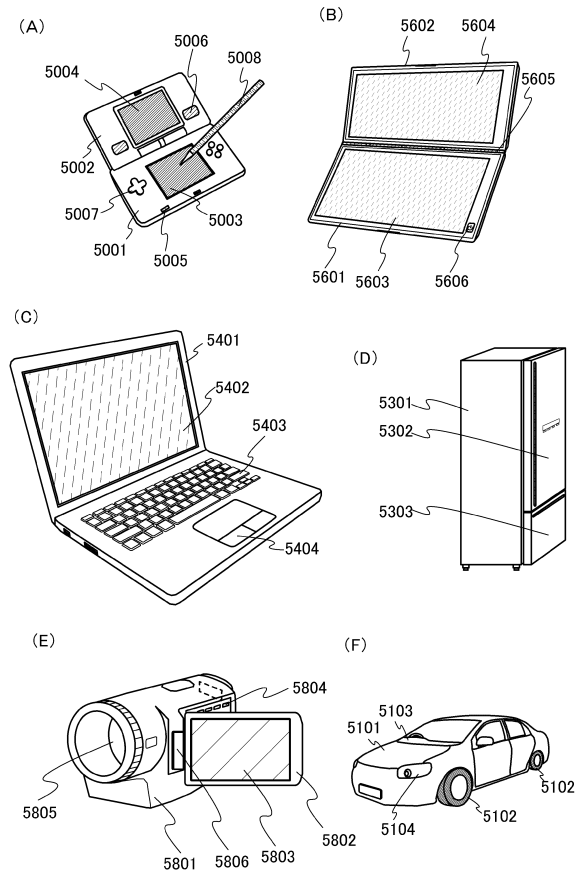
【 図 1 7 】



【図 18】



【図 19】



 フロントページの続き

(51)Int.Cl. F I
 H 0 1 L 21/822 (2006.01) H 0 1 L 27/04 C
 H 0 1 L 27/04 (2006.01)

(56)参考文献 特開 2 0 1 2 - 2 5 2 7 6 5 (J P , A)
 特開 2 0 1 2 - 2 5 6 4 0 4 (J P , A)
 特開 2 0 0 3 - 2 5 6 4 8 8 (J P , A)
 特開平 0 3 - 1 3 3 2 1 0 (J P , A)
 米国特許出願公開第 2 0 0 4 / 0 1 0 8 8 7 8 (U S , A 1)
 米国特許出願公開第 2 0 0 5 / 0 2 8 0 4 4 2 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

H 0 3 K 5 / 1 3
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 1 / 8 2 3 4
 H 0 1 L 2 7 / 0 4
 H 0 1 L 2 7 / 0 6
 H 0 1 L 2 7 / 0 8
 H 0 1 L 2 9 / 7 8 6