

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年8月8日(08.08.2024)



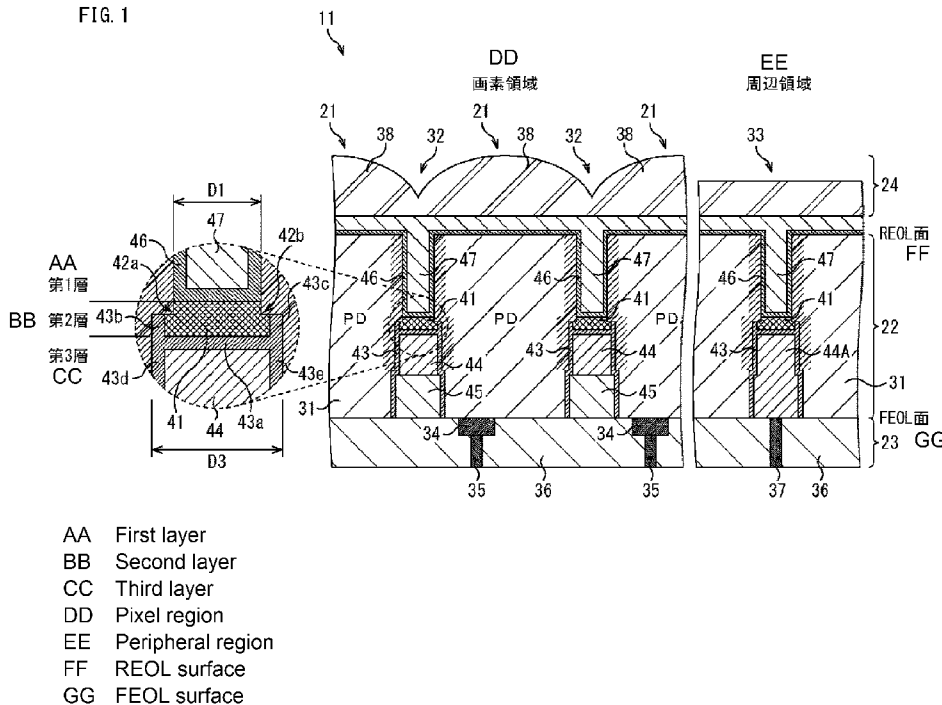
(10) 国際公開番号

WO 2024/162013 A1

- (51) 国際特許分類:
H01L 27/146 (2006.01) H01L 21/76 (2006.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2024/001197 (72) 発明者: 上原 睦雄 (UEHARA Mutsuo); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2024年1月18日(18.01.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-012038 2023年1月30日(30.01.2023) JP
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,

(54) Title: SOLID-STATE IMAGING ELEMENT, MANUFACTURING METHOD, AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像素子および製造方法、並びに電子機器



(57) Abstract: The present disclosure relates to a solid-state imaging element, a manufacturing method, and an electronic apparatus that make it possible to improve pixel characteristics. This solid-state imaging element comprises a semiconductor substrate having a first surface that is a light incidence surface and a second surface that is on the opposite side from the first surface, a first photoelectric conversion unit provided within the semiconductor substrate, a second photoelectric conversion unit provided adjacent to the first photoelectric conversion unit, and a pixel separation unit provided

HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

between the first photoelectric conversion unit and the second photoelectric conversion unit. The pixel separation unit has a stacked structure in which a first layer, a second layer, and a third layer are stacked in the stated order from the first-surface side in cross-section view, the second layer having a shape in which the first-layer side and the third-layer side have different widths in cross-section view. The second layer is formed in a self-aligned manner at a prescribed positions in the in-plane direction and the depth direction of the semiconductor substrate using a step part that is formed in the middle of a trench provided to the semiconductor substrate. The present technology is applicable to stacked-type CMOS image sensors, for example.

(57) 要約: 本開示は、画素の特性の向上を図ることができるようにする固体撮像素子および製造方法、並びに電子機器に関する。固体撮像素子は、光入射面となる第1面と、第1面とは反対側となる第2面とを有する半導体基板と、半導体基板内に設けられた第1光電変換部と、第1光電変換部に隣接して設けられた第2光電変換部と、第1光電変換部と第2光電変換部との間に設けられた画素分離部とを備える。そして、画素分離部は、断面視で第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、第2層は、断面視で第1層側と第3層側とで幅が異なる形状である。また、第2層は、半導体基板に設けられたトレンチの中間に形成される段差部を利用して、半導体基板の面内方向および深さ方向の所定位置に自己整合的に形成される。本技術は、例えば、積層型のCMOSイメージセンサに適用できる。

明 細 書

発明の名称： 固体撮像素子および製造方法、並びに電子機器

技術分野

[0001] 本開示は、固体撮像素子および製造方法、並びに電子機器に関し、特に、画素の特性の向上を図ることができるようにした固体撮像素子および製造方法、並びに電子機器に関する。

背景技術

[0002] 従来、積層型のCMOS (Complementary Metal-Oxide-Semiconductor) イメージセンサなどの固体撮像素子では、隣接する画素どうしの混色を抑制するために、それぞれの画素の間に分離部を設ける構造が採用されている。例えば、半導体層の表面側から加工されたトレンチの全体にポリシリコンを埋め込んだ構造の分離部や、半導体層の表面側から加工されたトレンチの表面側からポリシリコンを埋め込み、半導体層の裏面側から絶縁物（例えば、SiO₂などの酸化物）を埋め込んだ2層構造の分離部などが提案されている。

[0003] また、特許文献1には、半導体層の表面側から加工されたトレンチに基づき形成されたFDTI (Front Deep Trench Isolation) と、半導体層の裏面側から加工されたトレンチに基づき形成されたRDTI (Rear Deep Trench Isolation) とが直接接するように構成された分離部の構造が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2021-166304号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、特許文献1で開示されている分離部の構造では、FDTIおよびRDTIが設けられる位置の面内方向にズレが発生することがあった。また、上述したようなポリシリコンと絶縁物との2層構造では、それらの層の境界の深さ方向にバラつきが発生することがあった。このように、分離部に発生

するズレやバラつきが、画素の特性に悪影響を及ぼすことが懸念される。

[0006] 本開示は、このような状況に鑑みてなされたものであり、画素の特性の向上を図ることができるようにするものである。

課題を解決するための手段

[0007] 本開示の一側面の固体撮像素子は、光入射面となる第1面と、前記第1面とは反対側となる第2面とを有する半導体基板と、前記半導体基板内に設けられた第1光電変換部と、前記第1光電変換部に隣接して設けられた第2光電変換部と、前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部とを備え、前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である。

[0008] 本開示の一側面の製造方法は、光入射面となる第1面と、前記第1面とは反対側となる第2面とを有する半導体基板と、前記半導体基板内に設けられた第1光電変換部と、前記第1光電変換部に隣接して設けられた第2光電変換部と、前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部とを備え、前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である固体撮像素子の製造方法であって、前記第2層を、前記半導体基板に設けられたトレンチの中間に形成される段差部を利用して、前記半導体基板の面内方向および深さ方向の所定位置に自己整合的に形成することを含む。

[0009] 本開示の一側面の電子機器は、光入射面となる第1面と、前記第1面とは反対側となる第2面とを有する半導体基板と、前記半導体基板内に設けられた第1光電変換部と、前記第1光電変換部に隣接して設けられた第2光電変換部と、前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部とを有し、前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である固体撮像

素子を備える。

[0010] 本開示の一側面においては、半導体基板は、光入射面となる第1面と、第1面とは反対側となる第2面とを有し、第1光電変換部が半導体基板内に設けられ、第2光電変換部が第1光電変換部に隣接して設けられ、画素分離部が第1光電変換部と第2光電変換部との間に設けられる。そして、画素分離部は、断面視で第1面側から順に第1層、第2層、および第3層が積層された積層構造とされ、第2層は、断面視で第1層側と第3層側とで幅が異なる形状とされる。また、第2層は、半導体基板に設けられたトレンチの中間に形成される段差部を利用して、半導体基板の面内方向および深さ方向の所定位置に自己整合的に形成される。

図面の簡単な説明

[0011] [図1]本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

[図2]画素の平面的な構成例を示す図である。

[図3]撮像素子の製造方法の第1乃至第3の工程を説明する図である。

[図4]撮像素子の製造方法の第4乃至第6の工程を説明する図である。

[図5]撮像素子の製造方法の第7乃至第9の工程を説明する図である。

[図6]撮像素子の製造方法の第10乃至第12の工程を説明する図である。

[図7]撮像素子の製造方法の第13乃至第15の工程を説明する図である。

[図8]撮像素子の製造方法の第16乃至第18の工程を説明する図である。

[図9]撮像装置の構成例を示すブロック図である。

[図10]イメージセンサを使用する使用例を示す図である。

発明を実施するための形態

[0012] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0013] <撮像素子の構成例>

図1は、本技術を適用した撮像素子の一実施の形態の構成例を示す図である。

[0014] 図1に示すように、撮像素子11は、複数の画素21がアレイ状に配置されている画素領域、および、画素領域の周辺を囲うように周辺領域が設けられて構成される。また、撮像素子11は、画素21ごとに光電変換部PDが設けられるセンサ層22の表面（以下、FEOL面と称する）に対して配線層23が積層され、センサ層22の裏面（以下、REOL面と称する）側にオンチップレンズ層24が積層されて構成される。なお、REOL面は、半導体基板31の光入射面となる第1面であり、FEOL面は、REOL面とは反対側となる半導体基板31の第2面である。

[0015] センサ層22は、例えば、P型のウェルが設けられた半導体基板31に対してN型の不純物をイオン注入することによって光電変換部PDが形成されて構成される。そして、半導体基板31には、それぞれの光電変換部PDを囲って画素21どうしを分離するように、光電変換部PDの間に画素分離部32が設けられる。また、センサ層22の周辺領域となる半導体基板31にも、分離部33が設けられている。なお、図1に示す半導体基板31において、画素分離部32および分離部33の側面に接するように施されているピッチが狭いハッチングの領域は、例えば、ホウ素（B）などの不純物を添加することによってトレンチの側面がドーピングされていることを表している。

[0016] 配線層23は、画素21を駆動するトランジスタのゲート電極34や、ゲート電極34と電氣的に接続されるコンタクト電極35、図示しない配線などが絶縁膜36内に設けられて構成される。また、配線層23の周辺領域には、分離部33のポリシリコン層44Aと電氣的に接続されるコンタクト電極37が絶縁膜36内に設けられている。

[0017] オンチップレンズ層24は、半導体基板31のREOL面に対して高誘電率膜46および第2の絶縁層47を介して積層されており、画素領域には、画素21ごとに光を集光するマイクロレンズ38が配置されて構成される。また、オンチップレンズ層24の周辺領域には、マイクロレンズ38を構成する透明材料が平坦に設けられている。

[0018] 画素分離部 3 2 は、半導体基板 3 1 を貫通するように設けられたトレンチの中間に、そのトレンチの両側の半導体基板 3 1 を接続する半導体からなる接続層 4 1 が設けられて構成される。例えば、接続層 4 1 は、画素分離部 3 2 により分離される一方の半導体基板 3 1 との接続部分 4 2 a、および、画素分離部 3 2 により分離される他方の半導体基板 3 1 との接続部分 4 2 b の両方からエピタキシャル成長させた半導体（画素 2 1 のウェルと同一の P 型の単結晶シリコン）によって形成され、接続部分 4 2 a と接続部分 4 2 b とを電氣的に接続する。なお、接続層 4 1 は、一方の画素 2 1 のウェルと他方の画素 2 1 のウェルとを電氣的に接続することができ、接続部分 4 2 a および接続部分 4 2 b を利用してセルフアラインで形成可能な材料で形成することができれば、エピタキシャル成長により形成されることに限定されることはない。

[0019] また、画素分離部 3 2 は、接続層 4 1 のFEOL面側の表面、並びに、接続部分 4 2 a および接続部分 4 2 b よりもFEOL面側となるトレンチの両側面を覆うように絶縁膜 4 3 が設けられ、トレンチの内部に絶縁膜 4 3 を介してポリシリコン層 4 4 および第 1 の絶縁層 4 5 が埋め込まれて構成される。つまり、接続層 4 1 のFEOL面側に絶縁膜 4 3 を介してポリシリコン層 4 4 が設けられ、ポリシリコン層 4 4 のFEOL面側に第 1 の絶縁層 4 5 が設けられている。また、絶縁膜 4 3 は、図 1 の左側に拡大して示すように、接続層 4 1 とポリシリコン層 4 4 との間に絶縁膜 4 3 a が設けられ、接続層 4 1 の両側面に絶縁膜 4 3 b および絶縁膜 4 3 c が設けられ、ポリシリコン層 4 4 の両側面に絶縁膜 4 3 c および絶縁膜 4 3 d が設けられるように成膜される。

[0020] また、画素分離部 3 2 は、接続層 4 1 のREOL面側の表面、および、接続層 4 1 よりもREOL面側となるトレンチの両側面を覆うように高誘電率膜 4 6 が設けられ、トレンチの内部に高誘電率膜 4 6 を介して第 2 の絶縁層 4 7 が埋め込まれて構成される。さらに、高誘電率膜 4 6 は、半導体基板 3 1 のREOL面に積層されており、第 2 の絶縁層 4 7 は、高誘電率膜 4 6 を介して半導体基板 3 1 のREOL面に積層されている。

- [0021] ここで、画素分離部 3 2 は、図 1 の左側に示すように、接続層 4 1 が設けられている領域を第 2 層として、接続層 4 1 より REOL 面側を第 1 層とし、接続層 4 1 より FEOL 面側を第 3 層とした積層構造となっている。そして、画素分離部 3 2 は、第 2 層において接続層 4 1 の幅に段差が設けられる形状となっており、断面視で第 1 層側と第 3 層側とで幅が異なる形状に形成される。即ち、画素分離部 3 2 は、接続層 4 1 の REOL 面側が幅狭となり、かつ、接続層 4 1 の FEOL 面側が幅広となるように、断面形状が凸形状となるように形成されている。これに応じて、画素分離部 3 2 は、REOL 面側となる第 1 層の幅 D 1 が狭く、かつ、FEOL 面側となる第 3 層の幅 D 3 が広くなるように構成される。
- [0022] また、半導体基板 3 1 は、 $6\ \mu\text{m}$ までの厚みに形成することが可能であり、画素分離部 3 2 は、第 1 層が、FEOL 面からの深さが $0.2\sim 6\ \mu\text{m}$ の範囲に設けられ、第 2 層が、FEOL 面からの深さが $0.1\sim 6\ \mu\text{m}$ の範囲いずれかの位置に $0.1\ \mu\text{m}$ 以上の幅で設けられ、第 3 層が、FEOL 面からの深さが $0.1\sim 1\ \mu\text{m}$ の範囲に設けられるように形成することができる。
- [0023] 分離部 3 3 は、画素分離部 3 2 と同様に構成されているが、画素分離部 3 2 において第 1 の絶縁層 4 5 およびポリシリコン層 4 4 が埋め込まれている領域に、ポリシリコン層 4 4 A が埋め込まれている点で、画素分離部 3 2 と異なる構成となっている。そして、ポリシリコン層 4 4 A には、コンタクト電極 3 7 が接続されており、コンタクト電極 3 7 を介してバイアス電圧を印加することができる。
- [0024] 以上のように、撮像素子 1 1 は構成されており、半導体基板 3 1 であるシリコン基板を貫通するように設けられたトレンチの中間の両側面にある接続部分 4 2 a および接続部分 4 2 b に基づいてセルフアラインで形成可能な材料（例えば、エピタキシャル成長により形成される単結晶シリコン）で接続層 4 1 を形成することによって、より精度良く画素分離部 3 2 を形成することができる。つまり、接続層 4 1 を形成するための位置合わせが不要で、トレンチの中間に形成される段差部（図 5 の 2 段目参照）を利用して、接続層

4 1 は、半導体基板 3 1 の面内方向および深さ方向の所定位置に自己整合的に形成される。

[0025] 例えば、上述したような従来の分離部では、ズレやバラつきが発生する構造であることによって画素の特性が低下することが懸念されていた。これに対して、撮像素子 1 1 では、半導体基板 3 1 の REOL 面側から埋め込まれる第 2 の絶縁層 4 7 により構成される第 1 層と、半導体基板 3 1 の FEOL 面側から埋め込まれる第 1 の絶縁層 4 5 およびポリシリコン層 4 4 により構成される第 3 層とが面内方向にズレが発生することがなく、第 1 層と第 3 層との間に設けられる第 2 層の深さ方向にバラつきが発生することもないため、画素分離部 3 2 を高精度に形成することができる。従って、撮像素子 1 1 は、画素の特性に悪影響を及ぼすようなズレやバラつきの発生を回避することができる結果、画素 2 1 の特性の向上を図ることができる。

[0026] また、撮像素子 1 1 は、FEOL 面側の一部分にポリシリコン層 4 4 を設けるとともに、REOL 面側に高誘電率膜 4 6 を介して第 2 の絶縁層 4 7 を埋め込む構成によって、例えば、分離部の全体にポリシリコンが埋め込まれた構成と比較して、光吸収による量子効率 Q_e の低下を回避したり、暗電流の悪化を抑制したりすることができる。

[0027] また、撮像素子 1 1 は、導電性のある接続層 4 1 によって隣接する画素 2 1 のウェルどうしを電氣的に接続するように画素分離部 3 2 を構成することによって、例えば、それらのウェルを接続するために設けられていたウェルタップを不要な構成とすることができる。

[0028] 図 2 には、 2×2 で配置された 4 つの画素 2 1 の平面的な構成例が示されている。

[0029] 図 2 の A に示すように、画素 2 1 は、平面視して、矩形形状となるように構成することができる。そして、画素分離部 3 2 は、それぞれの画素 2 1 を囲うように設けられる。

[0030] 図 2 の B に示すように、画素 2 1 は、平面視して、矩形形状の向かい合う 2 辺（図示する例では、上側の辺および下側の辺）において内側に向かうよ

うな切り込み部が設けられる形状となるように構成することができる。そして、画素分離部32は、それぞれの画素21を囲うように設けられるとともに、各画素21の切り込み部にも設けられる。

[0031] もちろん、画素21は、図2に示すような形状以外の平面的な形状を採用してもよい。

[0032] <撮像素子の製造方法>

図3乃至図8を参照して、撮像素子11の製造方法のうち、画素分離部32を形成する工程について説明する。

[0033] 第1の工程において、図3の1段目に示すように、所定の厚み（例えば、 $6\mu\text{m}$ ）以上となるように加工された半導体基板31が用意される。

[0034] 第2の工程において、図3の2段目に示すように、半導体基板31の表面に対して、ハードマスクとして利用されるSiN膜51、SiO層52、およびポリシリコン膜53が積層される。

[0035] 第3の工程において、図3の3段目に示すように、画素分離部32が形成される領域が開口するようにSiN膜51およびSiO層52を加工し、SiN膜51およびSiO層52をハードマスクとして半導体基板31を浅く掘り込むことによりトレンチ61を形成する加工が行われる。例えば、第3の工程では、トレンチ61の深さは、図1に示した第1の絶縁層45が埋め込まれる領域のFEOL面からの距離に応じて設定される。

[0036] 第4の工程において、図4の1段目に示すように、SiN膜54が成膜される。図示するように、SiN膜54は、トレンチ61の底面および側面、並びに、SiO層52の表面を覆うように設けられる。

[0037] 第5の工程において、図4の2段目に示すように、トレンチ61の底面のSiN膜54が除去され、その底面の半導体基板31が掘り込まれて、トレンチ61の深さを深くする加工が行われる。例えば、第5の工程では、トレンチ61の深さは、図1に示したポリシリコン層44が埋め込まれる領域のFEOL面からの距離に応じて設定される。

[0038] 第6の工程において、図4の3段目に示すように、SiO膜55が成膜さ

れる。図示するように、S i O膜55は、トレンチ61の底面および側面、並びに、S i N膜54を介してS i O層52の表面を覆うように設けられる。

[0039] 第7の工程において、図5の1段目に示すように、トレンチ61の底面のS i O膜55が除去され、その底面の半導体基板31が掘り込まれて、トレンチ61の深さを深くする加工が行われる。例えば、第7の工程では、トレンチ61の深さは、図1に示したセンサ層22の厚み以上の深さになるように設定される。

[0040] 第8の工程において、図5の2段目に示すように、S i O膜55が除去される。これにより、トレンチ61の中間に段差が設けられた形状の段差部が形成される。

[0041] 第9の工程において、図5の3段目に示すように、トレンチ61の側面のうちのS i N膜54が成膜されていない領域における半導体基板31の側面に対して、例えば、ホウ素をイオン注入することによって、トレンチ61の側面をドーピングする加工が行われる。

[0042] 第10の工程において、図6の1段目に示すように、S i O膜56が成膜される。図示するように、S i O膜56は、トレンチ61の底面および側面を覆うとともに、S i N膜54を介してS i O層52の表面を覆うように設けられる。

[0043] 第11の工程において、図6の2段目に示すように、S i O膜56に対するエッチバックが行われる。これにより、トレンチ61の中間に形成されている段差部に積層されていたS i O膜56が除去されて、接続部分42aおよび42b（図1参照）となる部分において半導体基板31が露出する。同時に、トレンチ61の底面に積層されていたS i O膜56が除去されて半導体基板31が露出するとともに、S i O層52の表面に積層されていたS i O膜56も除去される。

[0044] 第12の工程において、図6の3段目に示すように、トレンチ61の段差部および底面において半導体基板31が露出している個所から半導体をエピ

タキシャル成長させる。これにより、トレンチ 6 1 の中間に形成されている段差部において接続層 4 1 が形成されるとともに、トレンチ 6 1 の底面において底面層 5 7 が形成される。このとき、接続層 4 1 および底面層 5 7 によって挟まれた空間は、何も埋め込まれていない空洞 6 2 となっている。

[0045] 第 1 3 の工程において、図 7 の 1 段目に示すように、空洞 6 2 以外の領域にある S i O 膜 5 6 が除去され、S i N 膜 5 4 が除去される。

[0046] 第 1 4 の工程において、図 7 の 2 段目に示すように、トレンチ 6 1 の側面および接続層 4 1 の表面に対して絶縁膜 4 3 を成膜して、トレンチ 6 1 の内部にポリシリコン層 4 4 および第 1 の絶縁層 4 5 が埋め込まれる。また、ハードマスクとして利用していた S i N 膜 5 1 および S i O 層 5 2 が除去される。

[0047] 第 1 5 の工程において、図 7 の 3 段目に示すように、半導体基板 3 1 の表面に対して配線層 2 3 を積層し、さらに配線層 2 3 を介して、ロジック回路が設けられたロジック基板 2 5 を張り合わせた後、半導体基板 3 1 の裏面側に対する工程を行うために反転させる。

[0048] 第 1 6 の工程において、図 8 の 1 段目に示すように、センサ層 2 2 の厚みとなるまで半導体基板 3 1 を薄膜化する加工が行われる。これにより、底面層 5 7 が除去されて空洞 6 2 の裏面側が開放されることによってトレンチ 6 3 が設けられる。

[0049] 第 1 7 の工程において、図 8 の 2 段目に示すように、トレンチ 6 3 の側面の S i O 膜 5 6 が除去された後、例えば、酸化アルミニウム (AlO) や酸化ハフニウム (HfO) などを用いて高誘電率膜 4 6 が成膜される。図示するように、高誘電率膜 4 6 は、トレンチ 6 3 の底面および側面、並びに、半導体基板 3 1 の裏面を覆うように設けられる。

[0050] 第 1 8 の工程において、図 8 の 3 段目に示すように、第 2 の絶縁層 4 7 が形成される。図示するように、第 2 の絶縁層 4 7 は、高誘電率膜 4 6 を介してトレンチ 6 3 の内部に埋め込まれるとともに、高誘電率膜 4 6 を介して半導体基板 3 1 の裏面を覆うように設けられる。

[0051] 以上のような工程によって、画素分離部 3 2 にセンサ層 2 2 を形成することができる。例えば、画素分離部 3 2 では、半導体基板 3 1 に設けられたトレンチ 6 1 の中間に形成される段差部（図 5 の 2 段目参照）を利用して、半導体基板 3 1 の面内方向および深さ方向の所定位置に自己整合的に接続層 4 1 を形成（図 6 の 3 段目参照）することができる。これにより、画素分離部 3 2 を高精度に形成することができる結果、画素 2 1 の特性の向上を図ることができる。

[0052] なお、画素分離部 3 2 は、高誘電率膜 4 6 に替えて、タングステンや、アルミニウム、銀などの金属を成膜した構成を採用したり、ポリシリコン層 4 4 に替えて、タングステンや銅などの金属を埋め込んだ構成を採用したりすることができる。

[0053] <電子機器の構成例>

上述したような撮像素子 1 1 は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0054] 図 9 は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0055] 図 9 に示すように、撮像装置 1 0 1 は、光学系 1 0 2、撮像素子 1 0 3、信号処理回路 1 0 4、モニタ 1 0 5、およびメモリ 1 0 6 を備えて構成され、静止画像および動画を撮像可能である。

[0056] 光学系 1 0 2 は、1 枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子 1 0 3 に導き、撮像素子 1 0 3 の受光面（センサ部）に結像させる。

[0057] 撮像素子 1 0 3 としては、上述した撮像素子 1 1 が適用される。撮像素子 1 0 3 には、光学系 1 0 2 を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子 1 0 3 に蓄積された電子に応じた信号が信号処理回路 1 0 4 に供給される。

[0058] 信号処理回路 104 は、撮像素子 103 から出力された画素信号に対して各種の信号処理を施す。信号処理回路 104 が信号処理を施すことにより得られた画像（画像データ）は、モニタ 105 に供給されて表示されたり、メモリ 106 に供給されて記憶（記録）されたりする。

[0059] このように構成されている撮像装置 101 では、上述した撮像素子 11 を適用することで、例えば、より高画質な画像を撮像することができる。

[0060] <イメージセンサの使用例>

図 10 は、上述のイメージセンサ（撮像素子）を使用する使用例を示す図である。

[0061] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0062] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0063] <構成の組み合わせ例>

なお、本技術は以下のような構成も取ることができる。

(1)

光入射面となる第1面と、前記第1面とは反対側となる第2面とを有する半導体基板と、

前記半導体基板内に設けられた第1光電変換部と、

前記第1光電変換部に隣接して設けられた第2光電変換部と、

前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部と

を備え、

前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、

前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である

固体撮像素子。

(2)

前記第2層は、前記半導体基板に設けられたトレンチの中間に形成される段差部を利用して、前記半導体基板の面内方向および深さ方向の所定位置に自己整合的に形成される

上記(1)に記載の固体撮像素子。

(3)

前記第2層は、前記半導体基板のウェルと同一の導電型の半導体によって構成され、

断面視で前記第2層の両側面には、前記半導体基板と電氣的に接続される接続部が設けられる

上記(1)または(2)に記載の固体撮像素子。

(4)

前記第2層は、前記半導体基板であるシリコン基板に設けられたトレンチ

の中間において、そのトレンチの両側面にある前記接続部からエピタキシャル成長により形成される単結晶シリコンにより構成される

上記（３）に記載の固体撮像素子。

（５）

前記第２層は、前記第１層側が幅狭となり、かつ、前記第３層側が幅広となる断面形状となっており、その幅広となる個所の両側面に絶縁膜が設けられる

上記（１）から（４）までのいずれかに記載の固体撮像素子。

（６）

前記絶縁膜は、前記第２層と前記第３層との間にも設けられるとともに、前記第３層の両側面にも設けられ、

前記絶縁膜を介してポリシリコン層および第１の絶縁層が積層されて前記第３層が構成される

上記（５）に記載の固体撮像素子。

（７）

前記第１層と前記第２層との間、および、前記第１層の両側面に高誘電率膜が設けられ、

前記高誘電率膜を介して第２の絶縁層が積層されて前記第１層が構成される

上記（６）に記載の固体撮像素子。

（８）

前記画素分離部の側面となる前記半導体基板のうち、前記第１層および前記第２層の領域、並びに、前記第３層の前記ポリシリコン層が設けられている領域における側面が不純物によってドーピングされている

上記（７）に記載の固体撮像素子。

（９）

光入射面となる第１面と、前記第１面とは反対側となる第２面とを有する半導体基板と、

前記半導体基板内に設けられた第1光電変換部と、
前記第1光電変換部に隣接して設けられた第2光電変換部と、
前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部
と
を備え、

前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、

前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である

固体撮像素子の製造方法であって、

前記第2層を、前記半導体基板に設けられたトレンチの中間に形成される段差部を利用して、前記半導体基板の面内方向および深さ方向の所定位置に自己整合的に形成すること

を含む製造方法。

(10)

光入射面となる第1面と、前記第1面とは反対側となる第2面とを有する半導体基板と、

前記半導体基板内に設けられた第1光電変換部と、

前記第1光電変換部に隣接して設けられた第2光電変換部と、

前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部
と

を有し、

前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、

前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である

固体撮像素子を備える電子機器。

[0064] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、

本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0065] 11 撮像素子, 21 画素, 22 センサ層, 23 配線層,
24 オンチップレンズ層, 25 ロジック基板, 31 半導体基板,
32 画素分離部, 33 分離部, 34 ゲート電極, 35 コン
タクト電極, 36 絶縁膜, 37 コンタクト電極, 38 マイクロ
レンズ, 41 接続層, 42 接続部分, 43 絶縁膜, 44 ポ
リシリコン層, 45 第1の絶縁層, 46 高誘電率膜, 47 第2
の絶縁層, 51 SiN膜, 52 SiO膜, 53 ポリシリコン膜
, 54 SiN膜, 55および56 SiO膜, 57 底面層, 6
1 トレンチ, 62 空洞, 63 トレンチ

請求の範囲

- [請求項1] 光入射面となる第1面と、前記第1面とは反対側となる第2面とを有する半導体基板と、
前記半導体基板内に設けられた第1光電変換部と、
前記第1光電変換部に隣接して設けられた第2光電変換部と、
前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部と
を備え、
前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、
前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である
固体撮像素子。
- [請求項2] 前記第2層は、前記半導体基板に設けられたトレンチの中間に形成される段差部を利用して、前記半導体基板の面内方向および深さ方向の所定位置に自己整合的に形成される
請求項1に記載の固体撮像素子。
- [請求項3] 前記第2層は、前記半導体基板のウェルと同一の導電型の半導体によって構成され、
断面視で前記第2層の両側面には、前記半導体基板と電氣的に接続される接続部が設けられる
請求項1に記載の固体撮像素子。
- [請求項4] 前記第2層は、前記半導体基板であるシリコン基板に設けられたトレンチの中間において、そのトレンチの両側面にある前記接続部からエピタキシャル成長により形成される単結晶シリコンにより構成される
請求項3に記載の固体撮像素子。
- [請求項5] 前記第2層は、前記第1層側が幅狭となり、かつ、前記第3層側が

幅広となる断面形状となっており、その幅広となる個所の両側面に絶縁膜が設けられる

請求項 1 に記載の固体撮像素子。

[請求項6] 前記絶縁膜は、前記第 2 層と前記第 3 層との間にも設けられるとともに、前記第 3 層の両側面にも設けられ、

前記絶縁膜を介してポリシリコン層および第 1 の絶縁層が積層されて前記第 3 層が構成される

請求項 5 に記載の固体撮像素子。

[請求項7] 前記第 1 層と前記第 2 層との間、および、前記第 1 層の両側面に高誘電率膜が設けられ、

前記高誘電率膜を介して第 2 の絶縁層が積層されて前記第 1 層が構成される

請求項 6 に記載の固体撮像素子。

[請求項8] 前記画素分離部の側面となる前記半導体基板のうち、前記第 1 層および前記第 2 層の領域、並びに、前記第 3 層の前記ポリシリコン層が設けられている領域における側面が不純物によってドーピングされている

請求項 7 に記載の固体撮像素子。

[請求項9] 光入射面となる第 1 面と、前記第 1 面とは反対側となる第 2 面とを有する半導体基板と、

前記半導体基板内に設けられた第 1 光電変換部と、

前記第 1 光電変換部に隣接して設けられた第 2 光電変換部と、

前記第 1 光電変換部と前記第 2 光電変換部との間に設けられた画素分離部と

を備え、

前記画素分離部は、断面視で前記第 1 面側から順に第 1 層、第 2 層、および第 3 層が積層された積層構造となっており、

前記第 2 層は、断面視で前記第 1 層側と前記第 3 層側とで幅が異な

る形状である

固体撮像素子の製造方法であって、

前記第2層を、前記半導体基板に設けられたトレンチの中間に形成される段差部を利用して、前記半導体基板の面内方向および深さ方向の所定位置に自己整合的に形成すること

を含む製造方法。

[請求項10]

光入射面となる第1面と、前記第1面とは反対側となる第2面とを有する半導体基板と、

前記半導体基板内に設けられた第1光電変換部と、

前記第1光電変換部に隣接して設けられた第2光電変換部と、

前記第1光電変換部と前記第2光電変換部との間に設けられた画素分離部と

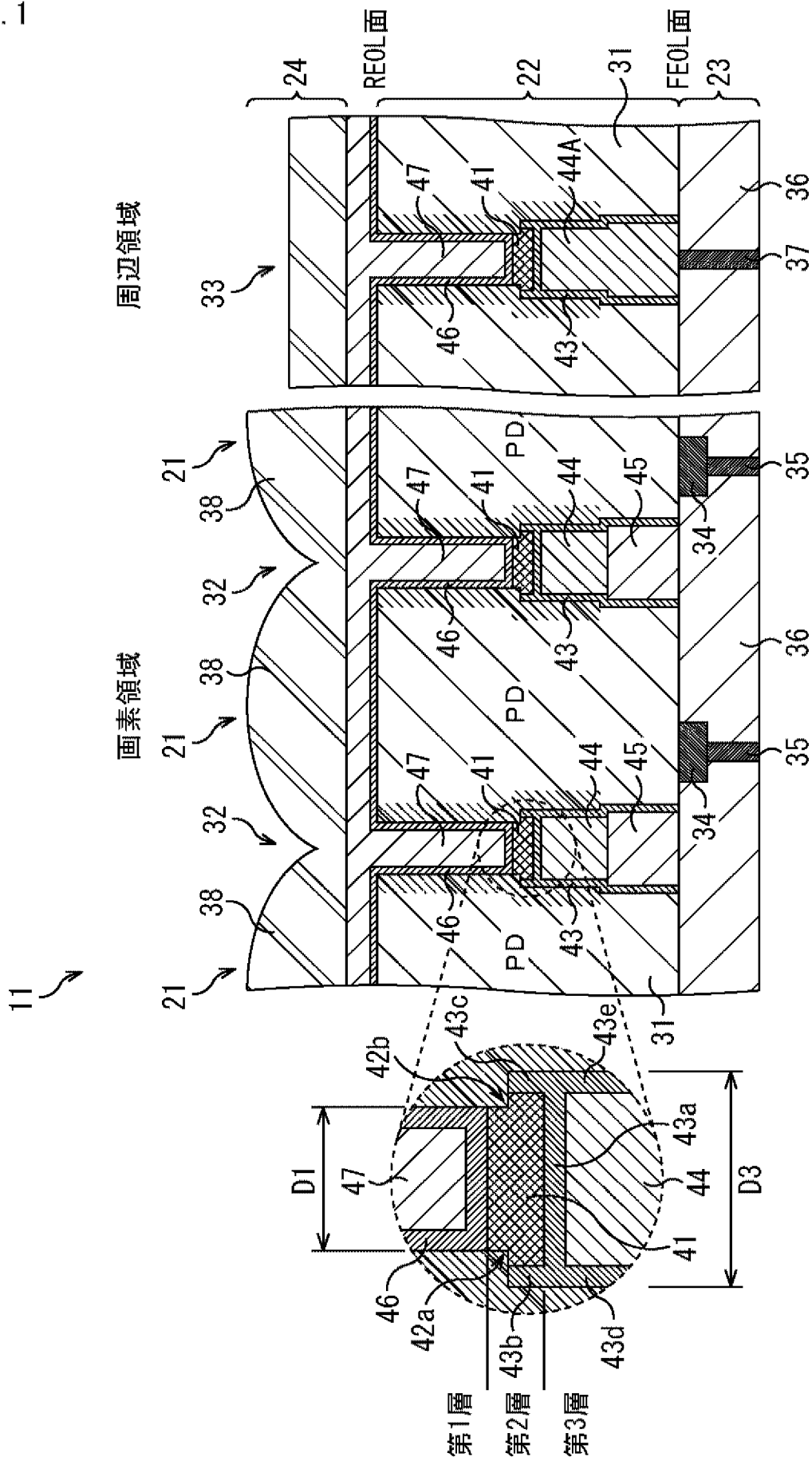
を有し、

前記画素分離部は、断面視で前記第1面側から順に第1層、第2層、および第3層が積層された積層構造となっており、

前記第2層は、断面視で前記第1層側と前記第3層側とで幅が異なる形状である

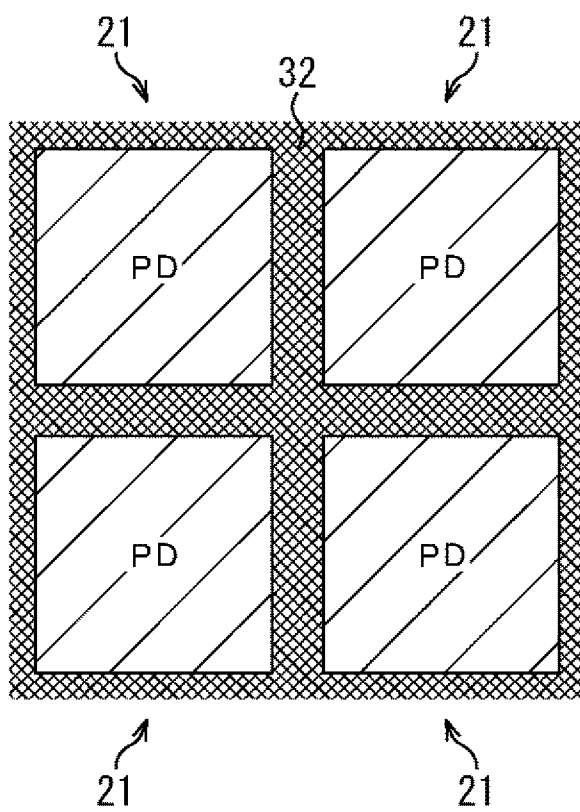
固体撮像素子を備える電子機器。

[図1]
FIG. 1

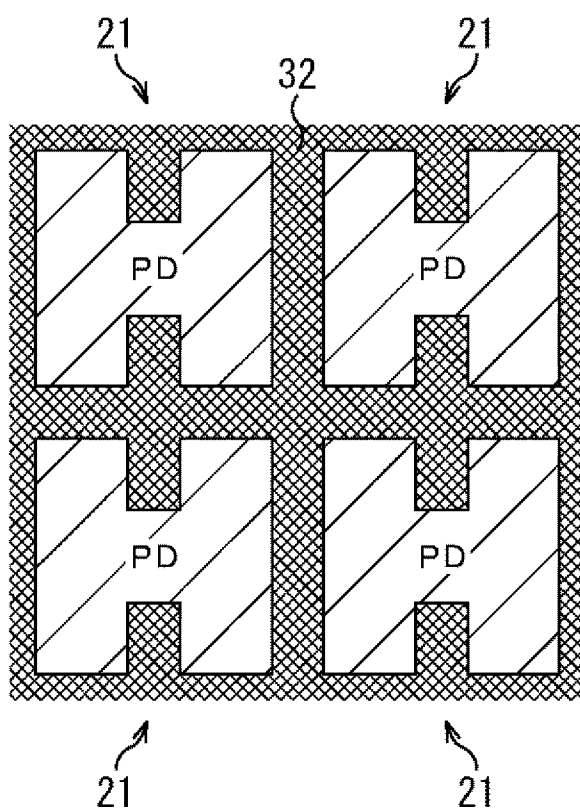


[図2]
FIG. 2

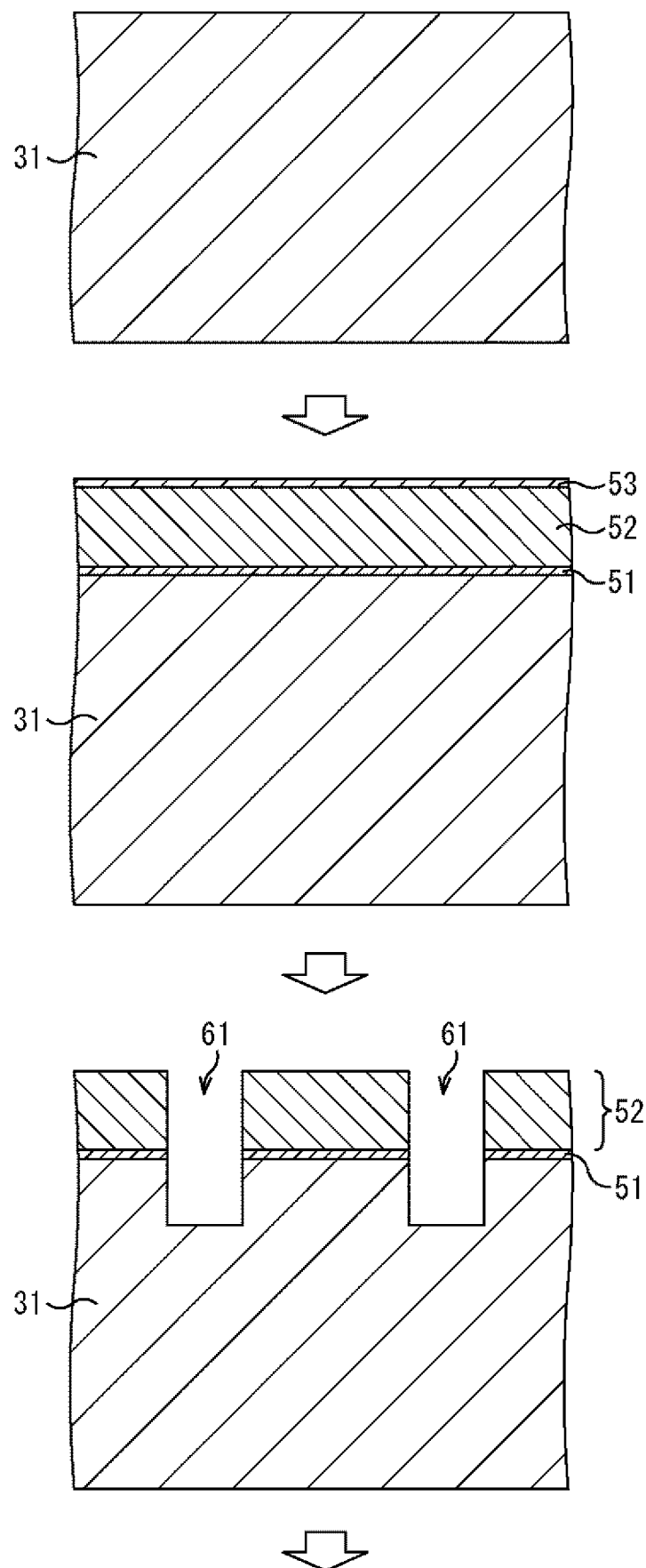
A



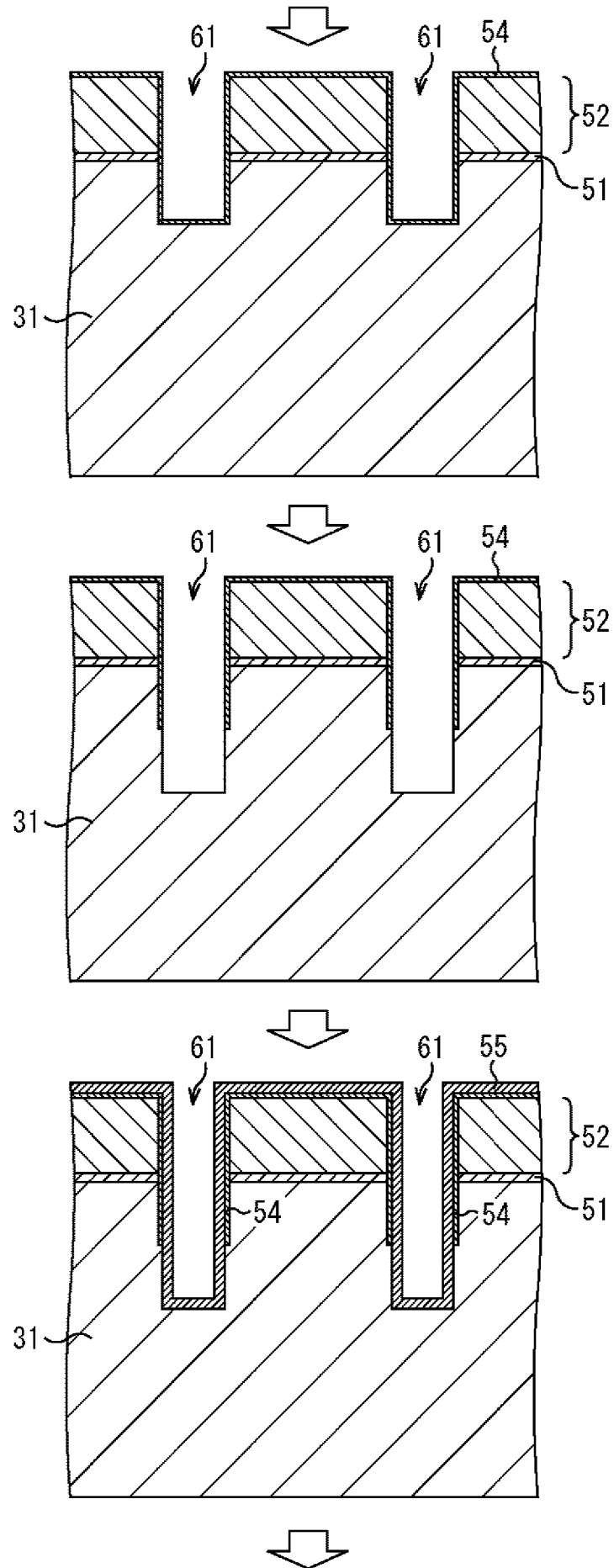
B



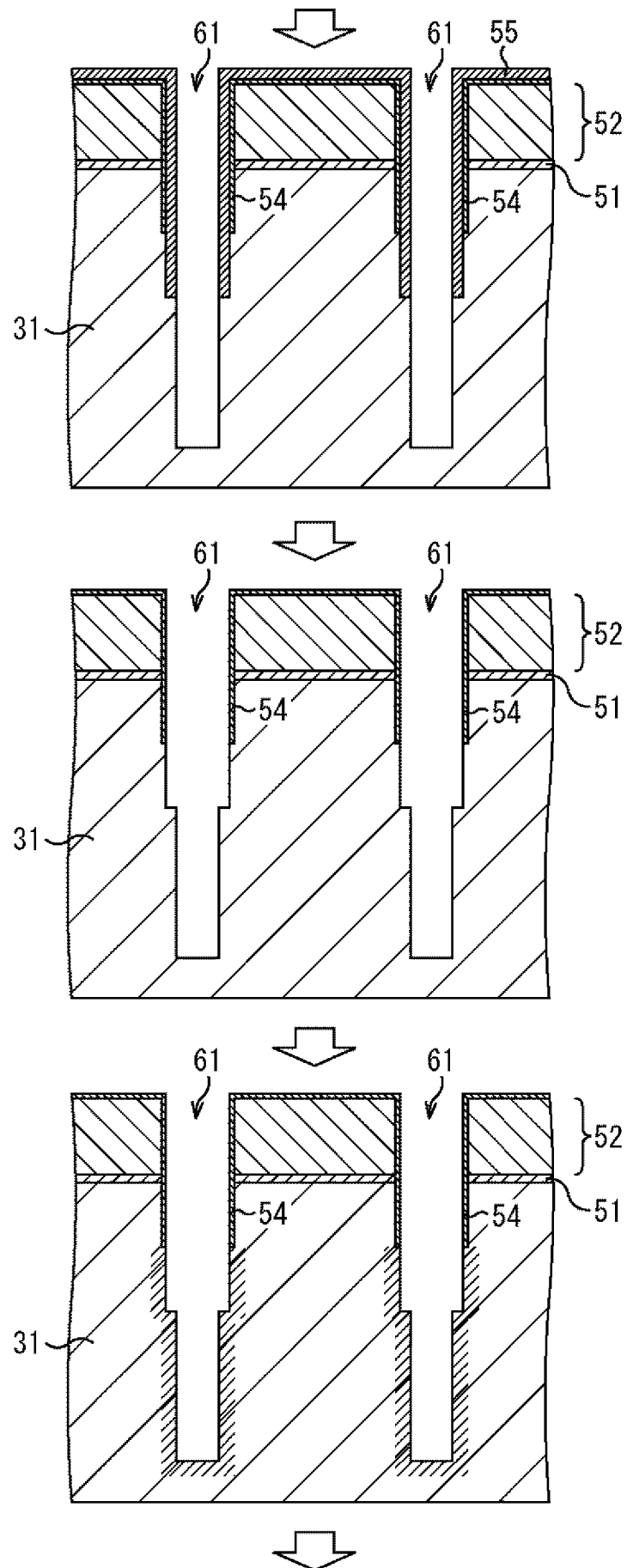
[図3]
FIG. 3



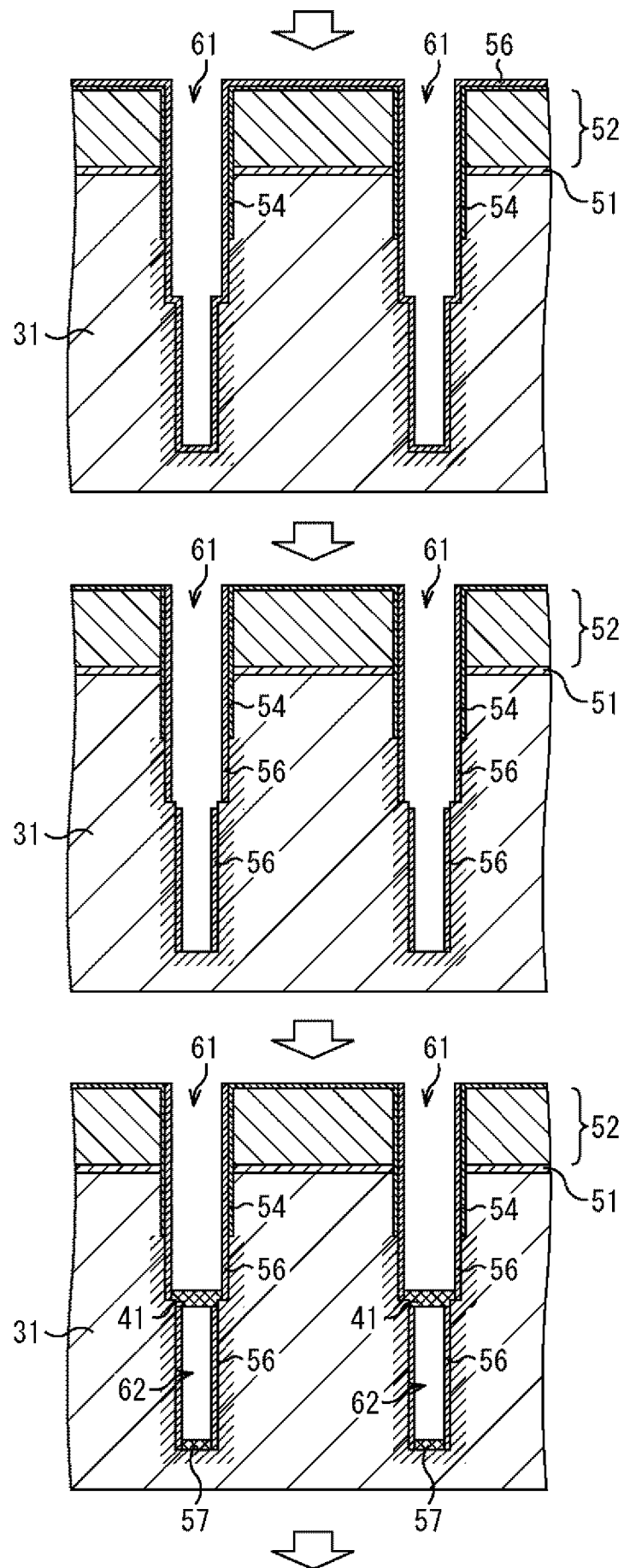
[図4]
FIG. 4



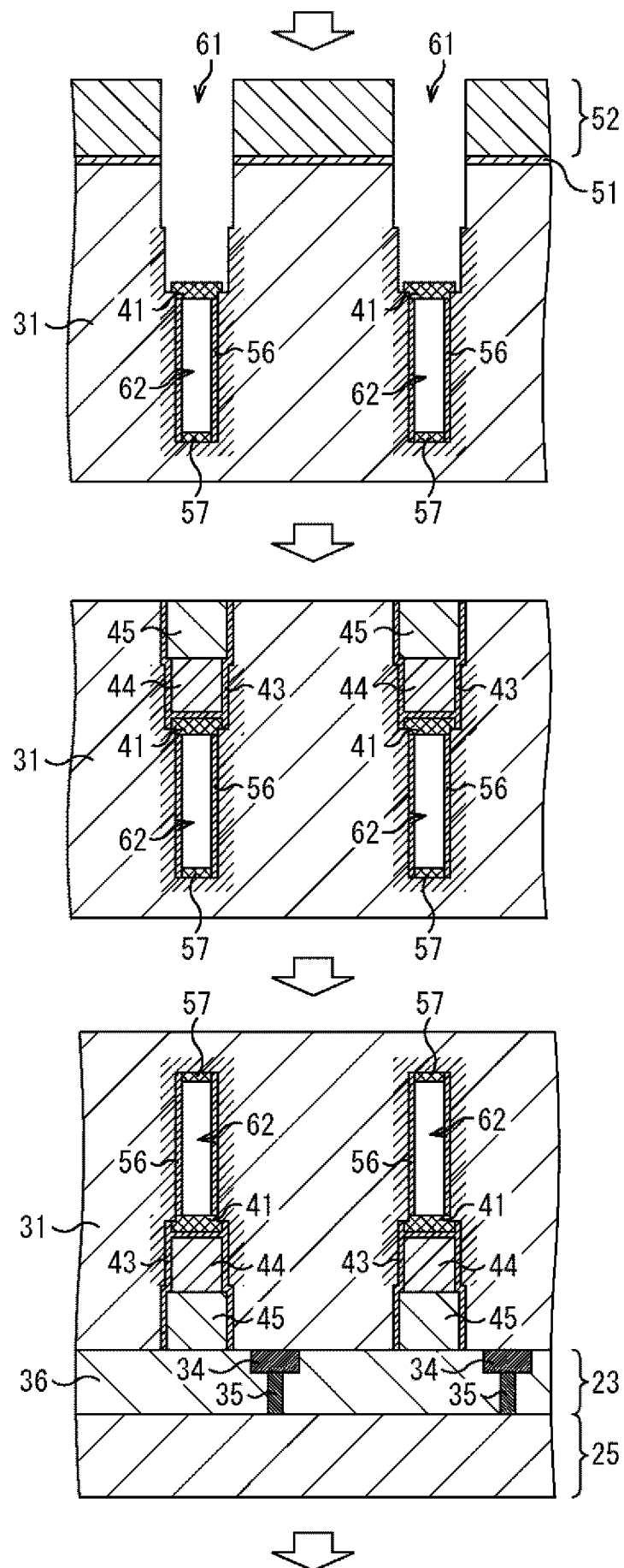
[図5]
FIG. 5

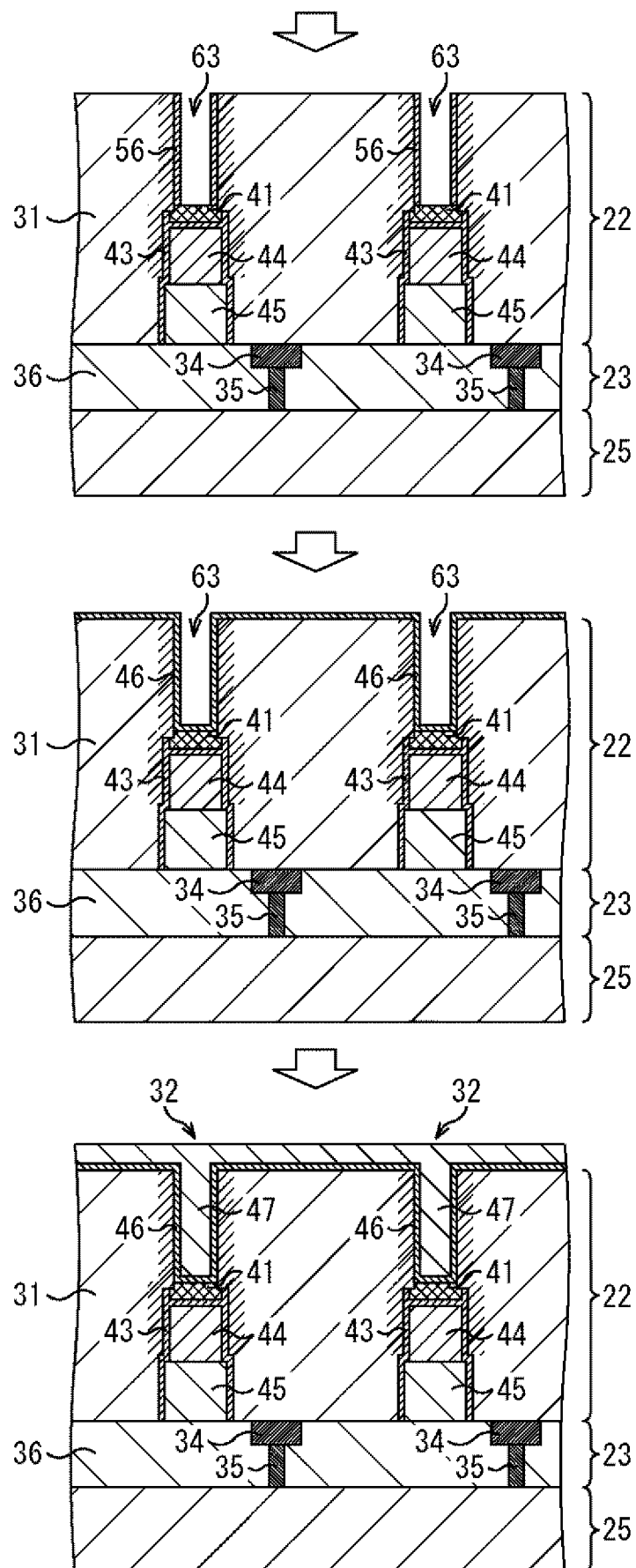


[図6]
FIG. 6

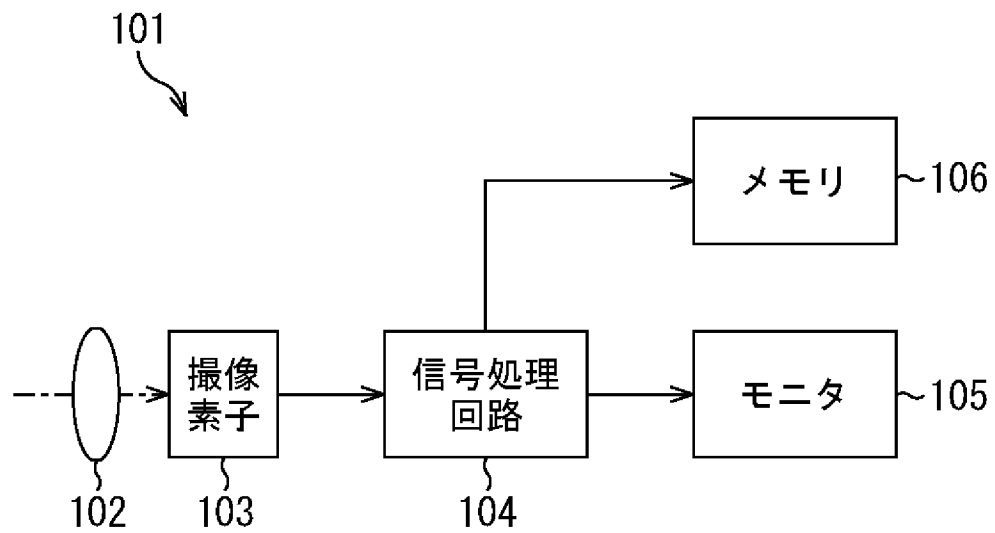


[図7]
FIG. 7

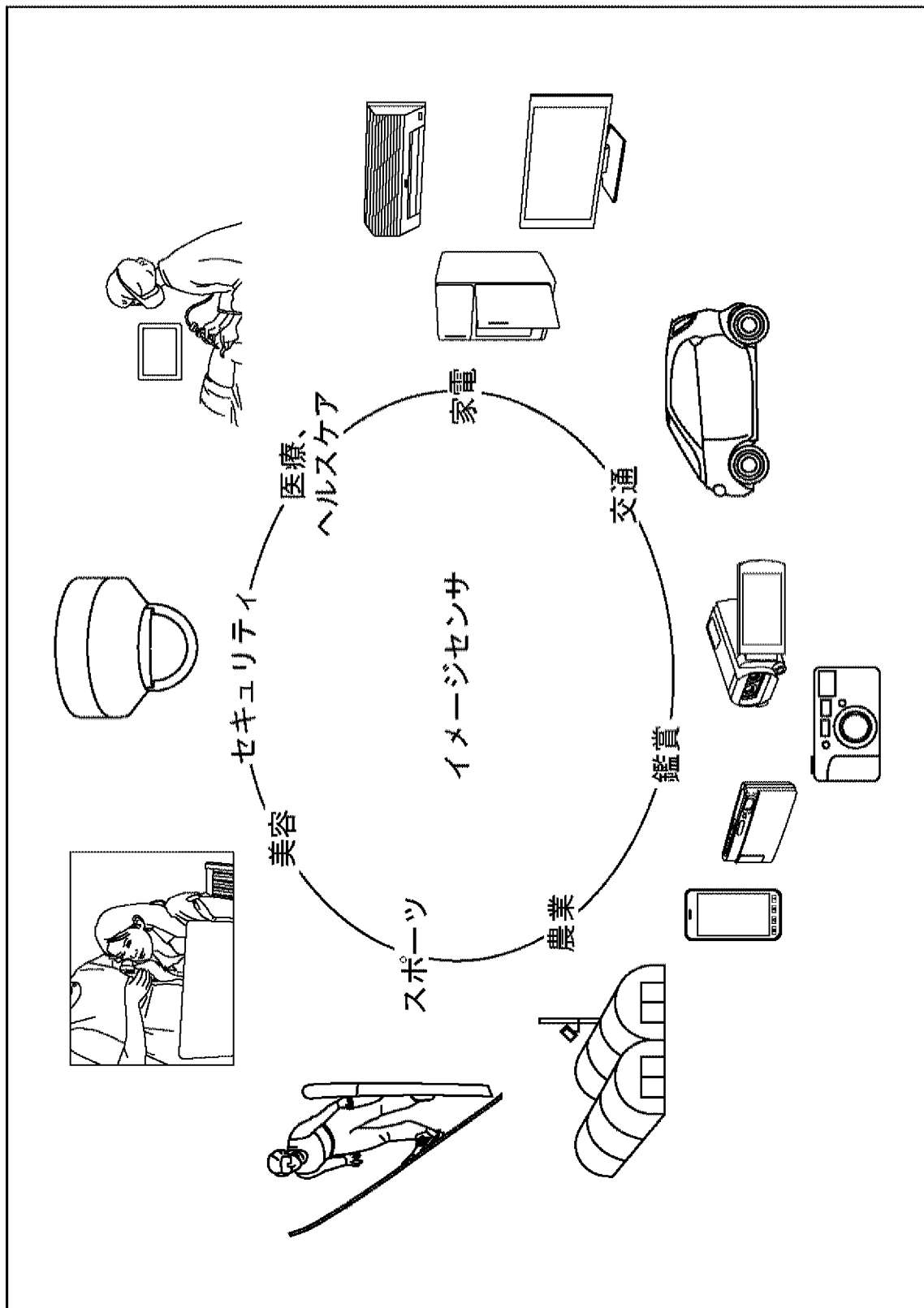


[図8]
FIG. 8

[図9]
FIG. 9



[図10]
FIG. 10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/001197

A. CLASSIFICATION OF SUBJECT MATTER H01L 27/146 (2006.01)i; H01L 21/76 (2006.01)i FI: H01L27/146 A; H01L21/76 L According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H01L21/76 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2019-140219 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 22 August 2019 (2019-08-22) paragraphs [0034]-[0036], [0040], [0086], fig. 5, 11b, left figure, 19	1, 5, 10
A		2-4, 6-9
X	US 2017/0170229 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15 June 2017 (2017-06-15) paragraphs [0003], [0040]-[0041], [0049], [0076]-[0078], [0177], fig. 8A, 26	1, 3, 10
A		2, 4-9
A	JP 2022-112240 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 02 August 2022 (2022-08-02) entire text, all drawings	1-10
A	JP 2020-188267 A (CANON KABUSHIKI KAISHA) 19 November 2020 (2020-11-19) entire text, all drawings	1-10
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 14 March 2024		Date of mailing of the international search report 26 March 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/001197

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2019-140219	A	22 August 2019	WO	2019/155782	A1	
US	2017/0170229	A1	15 June 2017	US	2020/0343294	A1	
				KR	10-2017-0068310	A	
				CN	106856201	A	
JP	2022-112240	A	02 August 2022	WO	2022/158236	A1	
JP	2020-188267	A	19 November 2020	(Family: none)			

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 27/146(2006.01)i; H01L 21/76(2006.01)i

FI: H01L27/146 A; H01L21/76 L

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L27/146; H01L21/76

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2019-140219 A（ソニーセミコンダクタソリューションズ株式会社）22.08.2019 (2019 - 08 - 22)	1, 5, 10
A	[0034] - [0036], [0040], [0086], 図5, 11bの左図, 19	2-4, 6-9
X	US 2017/0170229 A1 (SAMSUNG ELECTRONICS CO., LTD.) 15.06.2017 (2017 - 06 - 15)	1, 3, 10
A	[0003], [0040] - [0041], [0049], [0076] - [0078], [0177], 図8A, 26	2, 4-9
A	JP 2022-112240 A（ソニーセミコンダクタソリューションズ株式会社）02.08.2022 (2022 - 08 - 02)	1-10
	全文, 全図	
A	JP 2020-188267 A（キャノン株式会社）19.11.2020 (2020 - 11 - 19)	1-10
	全文, 全図	

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

14. 03. 2024

国際調査報告の発送日

26. 03. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

宮本 博司 5F 6313

電話番号 03-3581-1101 内線 3516

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/001197

引用文献			公表日	パテントファミリー文献			公表日
JP	2019-140219	A	22.08.2019	WO	2019/155782	A1	
US	2017/0170229	A1	15.06.2017	US	2020/0343294	A1	
				KR	10-2017-0068310	A	
				CN	106856201	A	
JP	2022-112240	A	02.08.2022	WO	2022/158236	A1	
JP	2020-188267	A	19.11.2020	(ファミリーなし)			