

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3550163号
(P3550163)

(45) 発行日 平成16年8月4日(2004.8.4)

(24) 登録日 平成16年4月30日(2004.4.30)

(51) Int.Cl.⁷

G06G 7/60

G06N 3/02

F I

G06G 7/60

G06N 3/02

請求項の数 6 (全 7 頁)

(21) 出願番号	特願平5-123855	(73) 特許権者	591049365
(22) 出願日	平成5年5月26日(1993.5.26)		ゴールド、スター、エレクトロン、カンパ
(65) 公開番号	特開平6-52340		ニー、リミテッド
(43) 公開日	平成6年2月25日(1994.2.25)		COLD STAR ELECTRON
審査請求日	平成12年5月24日(2000.5.24)		COMPANY LIMITED
(31) 優先権主張番号	9480/1992		大韓民国、チュングチェオンブグド、チ
(32) 優先日	平成4年5月30日(1992.5.30)		ェオンギュージ、ヒャンギェオンードン
(33) 優先権主張国	韓国(KR)		50
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(72) 発明者	鄭 鎬 宣
			大韓民国大邱直轄市壽城區泛魚洞320番
			地 慶南タウンアパート6棟803號
			最終頁に続く

(54) 【発明の名称】 プログラムの可能な多層神経回路網

(57) 【特許請求の範囲】

【請求項1】

望む機能を遂行させる各々のシナプスの加重値を貯蔵する加重値貯蔵手段と、
前記貯蔵手段に貯蔵された値をそれぞれのシナプスに伝達するためのインタフェース手段と、

前記加重値貯蔵手段からの加重値を有するようプログラムし望む出力を出力するための多層神経回路網手段を備えることを特徴とするプログラムの可能な多層神経回路網。

【請求項2】

前記貯蔵手段は、

前記貯蔵手段のアドレスを指定するためのアドレス指定計数器と、

前記計数器により指定されたアドレスに外部から入力される加重値を入力するための読み取り及び書き込みの可能なメモリを具備することを特徴とする請求項1記載の多層神経回路網。

【請求項3】

前記インタフェース手段は、

前記多層神経回路網の各々の該当する行アドレスを指定するための行アドレス指定デコーダーと、

前記多層神経回路網の各々の該当する列アドレスを指定するための列アドレス指定デコーダーを具備することを特徴とする請求項1記載の多層神経回路網。

【請求項4】

10

20

前記多層神経回路網の各々のアドレスに該当するセルは、加重値の値ををポジティブにする複数個のPMOSトランジスタから構成されたシナプスPMOSトランジスタと、加重値の値をネガティブにする複数個のNMOSトランジスタから構成されたシナプスNMOSトランジスタと、

前記インタフェース手段の出力信号に応答するクロックが印加され前記メモリに貯蔵された加重値データを入力するラッチ回路。

外部からのイネーブル信号と入力データ信号に応答し前記ラッチ回路に貯蔵された加重値を前記シナプスPMOSトランジスタや前記シナプスNMOSトランジスタに伝達するためのゲート回路を具備することを特徴とする請求項3記載のプログラムの可能な多層神経回路網。

10

【請求項5】

前記シナプスPMOSトランジスタは長さの異なる複数個のゲートの一つのトランジスタに形成することを特徴とする請求項4記載のプログラムの可能な多層神経回路網。

【請求項6】

前記シナプスNMOSトランジスタは長さの異なる複数個のゲートの一つのトランジスタに形成することを特徴とする請求項4記載のプログラムの可能な多層神経回路網。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は神経回路網に係り、特に多層神経回路網に関する。

20

【0002】

【従来の技術】

一般的に多層神経回路網は学習により得られたシナプス加重値をそれぞれのシナプスが有するよう設計することにより望む機能を遂行させる。即ち、一つの製造された多層神経回路網は一つの機能のみを遂行することができた。それで、多層神経回路網を利用して認識システムを具現するのには限界があった。

【0003】

【発明が解決しようとする課題】

本発明の目的は一つの多層神経回路網が使用者により多数の機能の遂行できるプログラム可能な多層神経回路網を提供することである。

30

【0004】

【課題を解決するための手段】

前記の目的を達成するために本発明によるプログラムの可能な多層神経回路網は望む機能を遂行させるそれぞれのシナプスの加重値を貯蔵する加重値貯蔵手段と、前記貯蔵手段に貯蔵された値を各々のシナプスに伝達するためのインタフェース手段と、前記加重値貯蔵手段からの加重値を有するようプログラムし望む出力を出力するための多層神経回路網手段を具備することを特徴とする。

【0005】

【作用】

多層神経回路のシナプス加重値を調節し、入力に対する望む出力を出すようプログラムできる。

40

【0006】

【実施例】

以下、添付した図面に基づき本発明を詳細に説明する。

図1は本発明の一実施例によるプログラム可能な多層神経回路網のブロック図である。

図1において、学習された結果の加重値を貯蔵し前記貯蔵された加重値をそれぞれのシナプスに伝達するためのメモリ10、前記メモリ10の該当するアドレスを発生するためのアドレス発生回路20、前記アドレス発生回路20の出力信号を入力しデコードして列アドレス信号を発生するための6対64列アドレスデコーダー30、前記アドレス発生回路20の出力信号を入力しデコードして行アドレス信号を発生するための5対32行アドレ

50

スデコーダー４０と、前記列アドレスデコーダー３０と行アドレスデコーダー４０により選択され前記メモリ１０に貯蔵された加重値を有するシナプスからなる多層神経回路網５０、前記各シナプスの値を出力するためのニューロン６０から構成されている。

【０００７】

そして前記各シナプスは６対６４列アドレスデコーダー３０と５対３２行アドレスデコーダー４０からの出力信号を入力する NORゲート７０、前記 NORゲート７０の出力信号にตอบสนองして動作し前記メモリ１０に貯蔵された加重値を貯蔵するＤラッチ８０（前記Ｄラッチ回路８０の最上位ビットは符号を貯蔵するための符号ビットであり、残りのビットは大きさビットを表す）。入力データとイネーブル信号及び前記符号ビット信号が０である場合にตอบสนองし前記Ｄラッチ回路８０に貯蔵された信号を出力するためのNANDゲート９０、入力データとイネーブル信号及び前記符号ビット信号が１である場合にตอบสนองし前記Ｄラッチ回路８０に貯蔵された信号を出力するための ANDゲート１００、前記NANDゲート９０の出力信号によってイネーブルされるシナプスPMOSTランジスタ１１０、前記 ANDゲート１００の出力信号によりイネーブルされるシナプスNMOSTランジスタ１２０から構成されている。前記構成で前記８ビットで構成された多層神経回路網を一つでなく複数個連結し構成することも可能である。又、回路が一つのチップに集積化される時前記多層神経回路網を除いた他の回路構成は外部に別に構成しても関係ない。

【０００８】

前記構成は次のように動作する。

第１段階；学習により得られた加重値をチップ選択信号とライトイネーブル信号にตอบสนองしアドレス発生回路２０によって選択されたアドレスに該当するメモリ１０に貯蔵する。

第２段階；リードイネーブル信号にตอบสนองし前記アドレス発生回路２０の出力信号により選択されたアドレスに該当するメモリ１０に貯蔵されたデータをＤラッチ回路８０にラッチさせる。同時に前記アドレス発生回路２０の出力信号を前記行アドレスデコーダー４０と前記列アドレスデコーダー３０に入力しデコードして一つのシナプスを選択する。

【０００９】

第３段階；前記行アドレスデコーダー４０と前記列アドレスデコーダー３０の出力があれば前記Ｄラッチ回路８０に貯蔵されたデータが出力される。同時にNANDゲート９０や ANDゲート１００は入力データとイネーブル信号を入力しその出力をイネーブルして前記シナプスPMOSTランジスタ１１０やシナプスNMOSTランジスタ１２０が適切な加重値が持てる。このようにしてプログラム可能な多層神経回路網が具現できる。

【００１０】

図２は図１のシナプス MOSトランジスタを具現した回路を示す。

図２において、各々大きさが１、２、４、８、１６、３２、６４、１２８であるシナプスPMOSTランジスタとシナプスNMOSTランジスタのドレイン電極を共通接続し前記シナプスPMOSTランジスタのソース電極は電源電圧に連結しゲート電極で第１入力信号（ $I_1 \sim I_8$ ）を入力し前記シナプスNMOSTランジスタのソース電極は接地電圧に連結しゲート電極で第２入力信号（ $I_1' \sim I_8'$ ）を入力し前記ドレイン共通点を通じた出力信号をニューロン１５０を通じて出力する。

【００１１】

図３は図１に使用される８ビット３入力NANDゲートを表す。図３において入力信号 I_N とイネーブル信号 E_N にตอบสนองし８ビットのデータを各々入力するための八つのNANDゲートから構成されている。図３に示した回路は入力信号 I_N とイネーブル信号 E_N が“ロー”レベルである場合にNANDゲートに入力されるデータが“ロー”レベルなら“ハイ”レベルが出力され“ハイ”レベルなら“ロー”レベルが出力される。

【００１２】

図４は８ビットＤラッチ回路の構成を示す。

図４において、８ビットラッチ回路のそれぞれのビットは制御信号を反転するためのインバーター２００、前記インバーター２００の反転された信号を入力して反転するためのインバーター２０１、前記インバーター２００とインバーター２０１の出力信号に制御され

10

20

30

40

50

入力信号を伝送するためのCMOS伝送ゲート202、前記CMOS伝送ゲート202の出力信号とリセット信号CDを入力するNANDゲート203、前記NANDゲート203の出力信号を反転するインバーター204、前記インバーター200とインバーター201の出力信号に応答し前記CMOS伝送ゲート202の出力信号を伝送するためのCMOS伝送ゲート205から構成されている。それで前記入力されるデータをラッチして出力する。

【0013】

図5は図1の回路の5対32列アドレスデコーダーを示す。

図5において、五つのアドレス信号と反転されたアドレス信号を入力しその中の一つの出力のみをイネーブルさせる5入力NANDゲートから構成されている。

図6は図1の回路の6対64行アドレスデコーダーを示す。

10

図6において、六つのアドレス信号と反転されたアドレス信号を入力しその中の一つの出力のみをイネーブルさせる6入力NANDゲートから構成されている。

【0014】

前記ラッチ回路やデコーダー回路は一般に使用されるどんな回路を用いても関係ない。

従って、本発明は次のような長所がある。

第1、音声や文字を認識する認識回路に使用すれば望ましい。

第2、入力と出力に対するどんな機能でも満足させ得るようプログラムが可能である。即ち、様々な機能が遂行できる。

【図面の簡単な説明】

【図1】本発明による一実施例の8ビットシナプス値のための使用者によりプログラム可能な多層神経回路網のブロック図である。

20

【図2】図1に示した多層神経回路網に使用される8ビット神経大きさの比較器を示す図である。

【図3】図1に示した多層神経回路網に使用される8ビット3入力NANDゲートを示す図である。

【図4】図1に示した多層神経回路網に使用される8ビットDラッチを示す図である。

【図5】図1に示した多層神経回路網に使用される5対32列デコーダーを示す図である。

【図6】図1に示した多層神経回路網に使用される6対64行デコーダーを示す図である。

30

【符号の説明】

10 メモリ

20 アドレス発生回路

30, 40 アドレスデコーダー

50 多層関係回路網

60 ニューロン

70 NOR ゲート

80 Dラッチ回路

90, 203 NANDゲート

100 AND ゲート

40

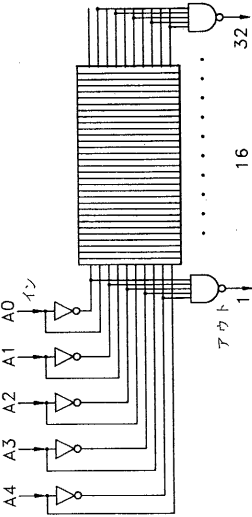
110 シナプスPMOSトランジスタ

120 シナプスNMOSトランジスタ

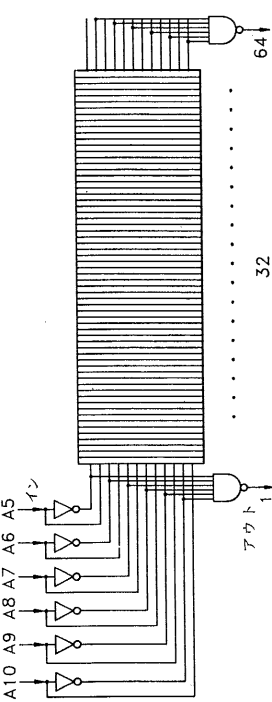
200, 201, 204 インバーター

202, 205 CMOS伝送ゲート

【図 5】



【図 6】



フロントページの続き

(72)発明者 李 景 勳

大韓民国慶尚北道迎日郡烏川邑文徳4里186番地

審査官 田中 友章

(56)参考文献 特開平04-000548 (JP, A)

特開平04-153895 (JP, A)

特開平02-226492 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G06G 7/60

G06N 3/02