

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5262402号  
(P5262402)

(45) 発行日 平成25年8月14日(2013.8.14)

(24) 登録日 平成25年5月10日(2013.5.10)

(51) Int.Cl.

F I

**G 1 1 C 13/00 (2006.01)**

G 1 1 C 13/00 1 8 0

G 1 1 C 13/00 1 5 0

G 1 1 C 13/00 1 1 0 R

請求項の数 4 (全 22 頁)

(21) 出願番号 特願2008-200518 (P2008-200518)  
 (22) 出願日 平成20年8月4日(2008.8.4)  
 (65) 公開番号 特開2010-40090 (P2010-40090A)  
 (43) 公開日 平成22年2月18日(2010.2.18)  
 審査請求日 平成23年5月13日(2011.5.13)

(73) 特許権者 000005223  
 富士通株式会社  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号  
 (74) 代理人 100113608  
 弁理士 平川 明  
 (74) 代理人 100105407  
 弁理士 高田 大輔  
 (74) 代理人 100089244  
 弁理士 遠山 勉  
 (72) 発明者 青木 正樹  
 神奈川県川崎市中原区上小田中4丁目1番  
 1号 富士通株式会社内

審査官 後藤 彰

最終頁に続く

(54) 【発明の名称】 記憶装置及びデータ保持方法

(57) 【特許請求の範囲】

【請求項1】

抵抗状態が高抵抗と低抵抗との間で可逆的に変化する抵抗素子を含むメモリセルと、前記メモリセルへのデータの書き込み及び読み出しを行う入出力部と、前記メモリセルへのデータの書き込みが行われてからの経過時間を計測する計測部と、前記計測部からの指示信号に応じて、前記メモリセルに書き込まれているデータを読み出し、抵抗状態が低抵抗である抵抗素子を含む前記メモリセルに対して前記読み出したデータと同一のデータの書き込みを前記入出力部に指示し、抵抗状態が高抵抗である抵抗素子を含む前記メモリセルに対して前記読み出したデータと反対のデータを書き込んだ後に、前記読み出したデータと同一のデータの書き込みを前記入出力部に指示する再書き込み制御部と、

を備える記憶装置。

【請求項2】

複数の前記メモリセルを有するメモリセルアレイ、前記入出力部及び前記再書き込み制御部への電源供給を制御する電源制御部を、更に備え、

前記再書き込み制御部は、前記メモリセルへのデータの書き込みが完了した場合、前記電源制御部に停止信号を送信し、

前記電源制御部は、前記再書き込み制御部からの前記停止信号に応じて前記メモリセルアレイ、前記入出力部及び前記再書き込み制御部への電源供給を停止するとともに、前記計測部からの開始信号に応じて前記メモリセルアレイ、前記入出力部及び前記再書き込み

制御部への電源供給を開始する請求項 1 に記載の記憶装置。

【請求項 3】

抵抗状態が高抵抗と低抵抗との間で可逆的に変化する抵抗素子を有するメモリセルへのデータの書き込みが行われてからの経過時間を計測する計測ステップと、

前記計測に基づき、所定のタイミングで前記メモリセルに書き込まれているデータを読み出し、抵抗状態が低抵抗である抵抗素子を含む前記メモリセルに対して前記読み出したデータと同一のデータを書き込み、抵抗状態が高抵抗である抵抗素子を含む前記メモリセルに対して前記読み出したデータと反対のデータを書き込んだ後に、前記読み出したデータと同一のデータを書き込む再書き込みステップと、

を備えるデータ保持方法。

10

【請求項 4】

前記再書き込みステップによる書き込みが完了した場合、複数の前記メモリセルを有するメモリセルアレイへの電源供給を停止するとともに、所定のタイミングで前記メモリセルアレイへの電源供給を開始する電源制御ステップ、を更に備える請求項 3 に記載のデータ保持方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、不揮発性半導体記憶装置及びデータ保持方法に関する。

【背景技術】

20

【0002】

高速動作可能な不揮発性半導体記憶装置としてResistance Random Access Memory (抵抗性ランダムアクセスメモリ、ReRAM)がある。ReRAMは、外部から印加される電圧に応じて抵抗状態が変化する抵抗素子を有するメモリセルを備えている。抵抗素子は、電圧の印加により抵抗状態が変化する抵抗記憶材料膜と、抵抗記憶材料膜の上下に設けられた一对の電極を有する。ReRAMは、抵抗素子の抵抗状態の変化を利用して、メモリセルへのデータの書き込みを行っている。

【特許文献 1】特表 2005 - 518665 号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0003】

ReRAMは、抵抗素子の抵抗状態の変化を利用して、メモリセルへのデータの書き込みを行うが、抵抗素子に電圧を印加していないにもかかわらず、抵抗素子の抵抗状態が自発的に変化する場合がある。抵抗素子の抵抗状態が自発的に変化したと、ReRAMが備えるメモリセルに書き込まれているデータが消失する場合がある。

【0004】

本開示は、メモリセルに書き込まれているデータの消失を抑制する技術を提供することを目的とする。

【課題を解決するための手段】

【0005】

40

前記課題を解決するために、以下の手段を採用した。すなわち、本開示の記憶装置は、抵抗状態が高抵抗と低抵抗との間で可逆的に変化する抵抗素子を含むメモリセルと、メモリセルへのデータの書き込み及び読み出しを行う入出力部と、メモリセルへのデータの書き込みが行われてからの経過時間を計測する計測部と、計測部からの指示信号に応じてメモリセルに書き込まれているデータを読み出し、メモリセルに対して読み出したデータと同一のデータの書き込みを入出力部に指示する再書き込み制御部と、を備える。

【0006】

本開示の記憶装置によれば、計測部によってメモリセルへのデータの書き込みが行われてからの経過時間が計測される。再書き込み制御部は、計測部からの指示信号に応じてメモリセルに書き込まれているデータを読み出し、メモリセルに対して読み出したデータと

50

同一のデータを書き込む。メモリセルに対して読み出したデータと同一のデータを書き込むことで、メモリセルに書き込まれているデータが保持される期間が伸びるため、メモリセルに書き込まれているデータの消失を抑制することが可能となる。

【発明の効果】

【0007】

本開示によれば、メモリセルに書き込まれているデータの消失を抑制することができる。

【発明を実施するための最良の形態】

【0008】

以下、図面を参照して本発明を実施するための最良の形態（以下、実施形態という）に係る不揮発性半導体記憶装置及び不揮発性半導体記憶装置のデータ保持方法について説明する。以下の実施形態の構成は例示であり、開示の装置及び方法は実施形態の構成に限定されない。

【0009】

図1から図17を参照して、本実施形態に係る不揮発性半導体記憶装置1及び不揮発性半導体記憶装置1のデータ保持方法について説明する。

【0010】

図1は、本実施形態に係る不揮発性半導体記憶装置1が備えるメモリセル2の断面図である。メモリセル2は、ビット線(BL)3とワード線(WL)4とが交差する位置に設けられている。ビット線3は、コンタクトプラグ5を介して抵抗素子6の上端と接続されている。抵抗素子6は、上部電極7、遷移金属酸化物8及び下部電極9を有している。遷移金属酸化物8は、上部電極7と下部電極9との間に設けられる。

【0011】

抵抗素子6の下端は、コンタクトプラグ10、メタル配線11及びコンタクトプラグ12を介して、シリコン(Si)基板13に形成されているトランジスタ14が有するドレイン拡散領域15に接続されている。また、シリコン基板13には、素子分離領域16がドレイン拡散領域15と隣接して形成されている。トランジスタ14は、ドレイン拡散領域15を有するとともに、ワード線4として機能するゲート電極、ソース拡散領域17及びサイドウォール18を有する。ソース拡散領域17には、コンタクトプラグ19を介してGND線20が接続されている。

【0012】

また、シリコン基板13上には層間絶縁膜21が形成されている。そして、層間絶縁膜21上には層間絶縁膜22が形成されている。さらに、層間絶縁膜22上には層間絶縁膜23が形成されている。ビット線3は層間絶縁膜23上に形成されている。図1では図示していないが、GND線20の一端は、接地されている。図1に示すように、GND線20は、隣接するメモリセル2で共用されている。尚、GND線20が、隣接する二つのメモリセル2で共用されることは本発明に必須の形態ではない。

【0013】

図2は、本実施形態に係る不揮発性半導体記憶装置1が備えるメモリセルアレイ30の平面図である。図3は、本実施形態に係る不揮発性半導体記憶装置1が備えるメモリセルアレイ30の等価回路図であり、図2に平面的に示したメモリセルアレイ30に対応する回路を等価的に示したものである。

【0014】

メモリセルアレイ30は、メモリセル2を格子状に並べたものである。図2又は図3に示すように、メモリセルアレイ30は、複数のビット線3が並行して配置され、複数のワード線4が並行に配置されており、ビット線3とワード線4とが交わるように配置されている。図2に示すように、GND線20の一端は接地されている。また、図3では図示していないが、図3に示すGND線20の一端は接地されている。図2及び図3に示すように、ビット線3、ワード線4及びGND線20は、複数のメモリセル2で共用されている。

10

20

30

40

50

## 【 0 0 1 5 】

次に、図 4 から図 9 を参照して、本実施形態に係るメモリセル 2 の製造方法について説明する。本実施形態に係るメモリセル 2 の製造方法においては、まず、シリコン基板 1 3 にトランジスタ 1 4 及び素子分離領域 1 6 を形成する。そして、シリコン基板 1 3 上に層間絶縁膜 2 1 を形成する。層間絶縁膜 2 1 は、例えば、シリコン酸化膜である。層間絶縁膜 2 1 の形成は、例えば、Chemical Vapor Deposition ( C V D、化学気相成長 ) 法又はスピノングラス法を用いる。層間絶縁膜 2 1 の形成後、Chemical Mechanical Polishing ( C M P、化学機械研磨 ) により層間絶縁膜 2 1 を平坦化してもよい。図 4 は、層間絶縁膜 2 1 を平坦化した場合のシリコン基板 1 3 の断面図である。

## 【 0 0 1 6 】

次に、抵抗素子 6 とドレイン拡散領域 1 5 とを接続するためのコンタクトプラグ 1 2 を層間絶縁膜 2 1 に形成する。そして、ソース拡散領域 1 7 と G N D 線 2 0 とを接続するためのコンタクトプラグ 1 9 を層間絶縁膜 2 1 に形成する。この場合、例えば、フォトリソグラフィ及びドライエッチングにより層間絶縁膜 2 1 にコンタクトホールを開口する。そして、タングステン ( W ) を堆積した後、C M P によりタングステンを研磨することでコンタクトプラグ 1 2 及び 1 9 を形成してもよい。また、銅 ( C u ) を堆積した後、C M P により銅を研磨することでコンタクトプラグ 1 2 及び 1 9 を形成してもよい。図 5 は、層間絶縁膜 2 1 にコンタクトプラグ 1 2 及び 1 9 を形成した場合のシリコン基板 1 3 の断面図である。

## 【 0 0 1 7 】

次に、コンタクトプラグ 1 2 及び 1 9 が形成された層間絶縁膜 2 1 上にアルミニウム ( A l ) をスパッタ法により堆積し、フォトリソグラフィ及びドライエッチングにより、配線パターンを形成する。この場合、抵抗素子 6 とドレイン拡散領域 1 5 とを接続するためのメタル配線 1 1 の配線パターンを形成するとともに、G N D 線 2 0 の配線パターンを形成する。図 6 は、配線パターンを形成した場合のシリコン基板 1 3 の断面図である。

## 【 0 0 1 8 】

そして、メタル配線 1 1 上、G N D 線 2 0 上及び層間絶縁膜 2 1 上に層間絶縁膜 2 2 を形成する。層間絶縁膜 2 2 は、例えば、シリコン酸化膜である。層間絶縁膜 2 2 の形成は、例えば、C V D 法又はスピノングラス法を用いる。層間絶縁膜 2 2 の形成後、C M P により層間絶縁膜 2 2 を平坦化してもよい。

## 【 0 0 1 9 】

次に、抵抗素子 6 とドレイン拡散領域 1 5 とを接続するためのコンタクトプラグ 1 0 を層間絶縁膜 2 2 に形成する。この場合、例えば、フォトリソグラフィ及びドライエッチングにより層間絶縁膜 2 2 にコンタクトホールを開口する。そして、タングステンを堆積させた後、C M P によりタングステンを研磨することでコンタクトプラグ 1 0 を形成してもよい。また、銅を堆積させた後、C M P により銅を研磨することでコンタクトプラグ 1 0 を形成してもよい。図 7 は、層間絶縁膜 2 2 にコンタクトプラグ 1 0 を形成した場合のシリコン基板 1 3 の断面図である。

## 【 0 0 2 0 】

そして、コンタクトプラグ 1 0 が形成された層間絶縁膜 2 2 上に、下部電極 9 を形成するための金属膜 ( 下部電極金属膜 ) をスパッタ法により堆積する。下部電極金属膜は、例えば、P t や T i N 等である。次に、下部電極金属膜上に遷移金属酸化膜をスパッタ法により堆積する。遷移金属酸化膜は、例えば、N i O、T i O<sub>2</sub>、Y O<sub>x</sub>、C e O<sub>x</sub>、M g O<sub>x</sub>、Z n O<sub>x</sub>、Z r O<sub>x</sub>、H f O<sub>x</sub>、W O<sub>x</sub>、N b O<sub>x</sub>、T a O<sub>x</sub>、C r O<sub>x</sub>、M n O<sub>x</sub>、A l O<sub>x</sub>、V O<sub>x</sub>、S i O<sub>x</sub> 等である。そして、遷移金属酸化膜上に、上部電極 7 を形成するための金属膜 ( 上部電極金属膜 ) をスパッタ法により堆積する。上部電極金属膜は、例えば、P t や T i N 等である。

## 【 0 0 2 1 】

次に、フォトリソグラフィ及びドライエッチングにより、上部電極金属膜、遷移金属酸化膜及び下部電極金属膜をパターンニングする。図 8 は、上部電極金属膜、遷移金属酸化膜

10

20

30

40

50

及び下部電極金属膜をパターンニングした状態の断面図である。図8に示すように、上部電極金属膜、遷移金属酸化膜及び下部電極金属膜からなる積層膜がパターンニングされることにより、上部電極7、遷移金属酸化物8及び下部電極9を有する抵抗素子6が形成される。

#### 【0022】

そして、抵抗素子6上及び層間絶縁膜22上に、層間絶縁膜23を形成する。層間絶縁膜23は、例えば、シリコン酸化膜である。層間絶縁膜23の形成は、例えば、CVD法又はスピニング法を用いる。層間絶縁膜23の形成後、CMPにより層間絶縁膜23を平坦化してもよい。

#### 【0023】

次に、抵抗素子6の上部電極7とビット線3とを接続するためのコンタクトプラグ5を層間絶縁膜23に形成する。この場合、例えば、フォトリソグラフィ及びドライエッチングにより層間絶縁膜23にコンタクトホールを開口する。そして、タングステンを堆積させた後、CMPによりタングステンを研磨することでコンタクトプラグ5を形成してもよい。また、銅を堆積させた後、CMPにより銅を研磨することでコンタクトプラグ5を形成してもよい。図9は、層間絶縁膜23にコンタクトプラグ5を形成した状態の断面図である。

#### 【0024】

そして、コンタクトプラグ5が形成された層間絶縁膜23上に例えばアルミニウム(A1)をスパッタ法により堆積し、フォトリソグラフィ及びドライエッチングにより、ビット線3の配線パターンを形成する。コンタクトプラグ5が形成された層間絶縁膜23上にビット線3を形成することにより、図1に示すように、ビット線3とワード線4とが交差する位置にメモリセル2が設けられる。

#### 【0025】

ここで、図10及び図11を参照して、抵抗素子6の電流電圧(I-V)特性について説明する。図10は、高抵抗状態である抵抗素子6に所定の電圧を印加した場合のI-V特性を示した図である。図11は、低抵抗状態である抵抗素子6に所定の電圧を印加した場合のI-V特性を示した図である。図10及び図11の縦軸は、抵抗素子6に流れる電流(A)を示しており、図10及び図11の横軸は、抵抗素子6に印加する電圧(V)を示している。

#### 【0026】

図10について説明する。図10は、抵抗素子6に印加する電圧を0Vから2.5Vまで上昇させた後、0Vまで下降させた場合における抵抗素子6に流れる電流の変化を示している。

#### 【0027】

図10に示すように、抵抗素子6に印加する電圧を大きくしていくと、2.0Vの手前で電流が急に流れ出す。すなわち、高抵抗状態である抵抗素子6に電圧を徐々に印加していくと、印加する電圧が所定の電圧閾値V1を超えた所で抵抗素子6の抵抗が急激に減少する。この場合、抵抗素子6に電流が流れすぎることによる抵抗素子6の破壊を防ぐため、電流制限を行う必要がある。この測定では、測定器で電流コンプライアンスを設けて、電流制限を行っている。

#### 【0028】

このように、抵抗素子6の抵抗状態が、高抵抗状態から低抵抗状態に遷移する動作をSET動作という。また、抵抗素子6にSET動作を行わせるための電圧をSET電圧という。なお、所定の電圧閾値V1は、抵抗素子6の材料によって変動する値である。

#### 【0029】

図11について説明する。図11は、抵抗素子6に印加する電圧を0Vから1.0Vまで上昇させた後、0Vまで下降させた場合における抵抗素子6に流れる電流の変化を示している。ここでは、測定器による電流制限なしに測定を行っている。

#### 【0030】

図 1 1 に示すように、抵抗素子 6 に印加する電圧を大きくしていくと、1.0 V の手前で電流が減少する。すなわち、低抵抗状態である抵抗素子 6 に電圧を徐々に印加していくと、印加する電圧が所定の電圧閾値  $V_2$  を超えた所で抵抗素子 6 の抵抗が急激に増加する。

【 0 0 3 1 】

このように、抵抗素子 6 の抵抗状態が、低抵抗状態から高抵抗状態に遷移する動作を R E S E T 動作という。また、抵抗素子 6 に R E S E T 動作を行わせるための電圧を R E S E T 電圧という。なお、所定の電圧閾値  $V_2$  は、抵抗素子 6 の材料によって変動する値である。

【 0 0 3 2 】

本実施形態では、抵抗素子 6 が高抵抗状態である場合をデータ “ 0 ” と定義し、抵抗素子 6 が低抵抗状態である場合をデータ “ 1 ” と定義する。このように定義することにより、高抵抗状態の抵抗素子 6 を有するメモリセル 2 は、データ “ 0 ” が書き込まれているメモリセル 2 となり、低抵抗状態の抵抗素子 6 を有するメモリセル 2 は、データ “ 1 ” が書き込まれているメモリセル 2 となる。また、これとは逆に、抵抗素子 6 が高抵抗状態である場合をデータ “ 1 ” と定義し、抵抗素子 6 が低抵抗状態である場合をデータ “ 0 ” と定義してもよい。

【 0 0 3 3 】

抵抗素子 6 を低抵抗状態にする（メモリセル 2 にデータ “ 1 ” を書き込む）には、S E T 電圧より高い電圧パルス抵抗素子 6 に印加する。具体的には、選択対象の抵抗素子 6 を有するメモリセル 2 のワード線 4 の電位を上げてトランジスタ 1 4 をオンする。次に、選択対象の抵抗素子 6 を有するメモリセル 2 のビット線 3 に S E T 電圧より高い電圧パルスを印加する。例えば、S E T 電圧が 1.8 V の場合、2.5 V の電圧パルスを抵抗素子 6 に印加することで、抵抗素子 6 を低抵抗状態にすることが可能である。

【 0 0 3 4 】

抵抗素子 6 が高抵抗状態である場合、S E T 電圧より高い電圧パルスを抵抗素子 6 に印加することで、抵抗素子 6 は S E T 動作して低抵抗状態になる。したがって、メモリセル 2 にはデータ “ 1 ” が書き込まれることになる。

【 0 0 3 5 】

一方、抵抗素子 6 が低抵抗状態である場合、S E T 電圧より高い電圧パルスを抵抗素子 6 に印加することで、抵抗素子 6 は、一旦、R E S E T 動作して高抵抗状態になる。S E T 電圧より高い電圧パルスが抵抗素子 6 に印加されているので、抵抗素子 6 は、更に S E T 動作して低抵抗状態になる。したがって、メモリセル 2 にはデータ “ 1 ” が書き込まれることになる。

【 0 0 3 6 】

このように、S E T 電圧より高い電圧パルスを抵抗素子 6 に印加すれば、抵抗素子 6 が高抵抗状態又は低抵抗状態のいずれの状態であっても、抵抗素子 6 を低抵抗状態にすることが可能である。

【 0 0 3 7 】

抵抗素子 6 を高抵抗状態にする（メモリセル 2 にデータ “ 0 ” を書き込む）には、R E S E T 電圧より高いが S E T 電圧より低い電圧パルスを抵抗素子 6 に印加する。具体的には、選択対象の抵抗素子 6 を有するメモリセル 2 のワード線 4 の電位を上げてトランジスタ 1 4 をオンする。次に、選択対象の抵抗素子 6 を有するメモリセル 2 のビット線 3 に R E S E T 電圧より高いが S E T 電圧より低い電圧パルスを印加する。例えば、R E S E T 電圧が 0.8 V、S E T 電圧が 1.8 V の場合、1.5 V の電圧パルスを抵抗素子 6 に印加することで、抵抗素子 6 を高抵抗状態にすることが可能である。

【 0 0 3 8 】

抵抗素子 6 が低抵抗状態である場合、R E S E T 電圧より高い電圧パルスを抵抗素子 6 に印加することで、抵抗素子 6 は R E S E T 動作して高抵抗状態になる。したがって、メモリセル 2 にはデータ “ 0 ” が書き込まれることになる。

10

20

30

40

50

## 【 0 0 3 9 】

一方、抵抗素子 6 が高抵抗状態である場合、SET 電圧よりも低い電圧パルスを抵抗素子 6 に印加しても、SET 動作しないので抵抗素子 6 は高抵抗状態のままである。したがって、メモリセル 2 にはデータ “ 0 ” が書き込まれている状態が保持される。

## 【 0 0 4 0 】

このように、RESET 電圧より高いが SET 電圧より低い電圧パルスを抵抗素子 6 に印加すれば、抵抗素子 6 を高抵抗状態にすること又は抵抗素子 6 を高抵抗状態に保持することが可能である。

## 【 0 0 4 1 】

なお、抵抗素子 6 に電流が流れすぎることによる抵抗素子 6 の破壊を抑制するため、トランジスタ 1 4 のオン抵抗を上げるようにしてもよい。また、メモリセル 2 からのデータの読み出しは、RESET 電圧より低い電圧パルスを抵抗素子 6 に印加することにより行われる。抵抗素子 6 に流れる電流の大きさから抵抗素子 6 が低抵抗状態又は高抵抗状態にあるかを判定することにより、メモリセル 2 からのデータの読み出しが行われる。

## 【 0 0 4 2 】

次に、抵抗素子 6 のデータ保持特性について説明する。図 1 2 は、抵抗素子 6 の抵抗状態の変化を示した図である。ここでは、装置内温度が約 1 5 0 °C に保持された熱処理装置内に高抵抗状態及び低抵抗状態の抵抗素子 6 を複数設置して、抵抗素子 6 の抵抗を測定している。

## 【 0 0 4 3 】

図 1 2 の縦軸は、抵抗素子 6 の抵抗 ( Ω ) を示しており、図 1 2 の横軸は、経過時間 ( H ) を示している。また、抵抗が  $10^6$  Ω 付近である抵抗素子 6 を高抵抗状態の抵抗素子 6 とし、抵抗が  $10^3$  Ω 付近である抵抗素子 6 を低抵抗状態の抵抗素子 6 とする。図 1 2 に示すように、時間経過により抵抗素子 6 の抵抗状態が自発的に変化する場合がある。このように、抵抗素子 6 の抵抗状態が自発的に変化すると、書き込んでいたデータが消失することになる。

## 【 0 0 4 4 】

図 1 3 は、高抵抗状態から低抵抗状態に変化した抵抗素子 6 に対して RESET 動作を行わせた場合の抵抗素子 6 の抵抗状態を示した図である。図 1 3 に示すように、高抵抗状態から低抵抗状態に変化した抵抗素子 6 に対して RESET 動作を行わせることにより、抵抗素子 6 の抵抗状態を再び高抵抗状態に遷移させることが可能であることが分かった。

## 【 0 0 4 5 】

すなわち、高抵抗状態の抵抗素子 6 の抵抗状態の変化は、素子の破壊による非可逆的变化ではなく、可逆的变化である。

## 【 0 0 4 6 】

したがって、高抵抗状態から低抵抗状態に自発的に変化した抵抗素子 6 であっても、RESET 動作を行わせることで、再び高抵抗状態に戻すことが可能である。

## 【 0 0 4 7 】

この特性を利用し、一定時間が経過した抵抗素子 6 に対して、保存されていたデータを再度書き込む動作を行うことにより、自発的にデータが書き換わるというエラーを抑制することができる。例えば、データを書き込んでからの経過時間を測定し、自発的な抵抗状態変化が生じる前に、書き込まれているデータを読み出し、再度同じデータを書き込む動作を行うことにより、データが書き換わるというエラーを抑制する。

## 【 0 0 4 8 】

次に、本実施形態に係る不揮発性半導体記憶装置 1 の概要を説明する。図 1 4 は、本実施形態に係る不揮発性半導体記憶装置 1 の構成図である。本実施形態に係る不揮発性半導体記憶装置 1 は、単体メモリとして機能する ReRAM 回路であってもよい。不揮発性半導体記憶装置 1 は、メモリセルアレイ 3 0、I/O 制御回路 4 0、行デコーダ 4 1、列デコーダ 4 2、入出力インターフェース回路 4 3、再書き込み制御回路 4 4、タイマー回路 4 5 及び電源制御回路 4 6 を備える。

10

20

30

40

50

## 【 0 0 4 9 】

入出力インターフェース回路 4 3 は、アドレス線 5 0 に入力されるアドレス信号、データ線 5 1 に入力されるデータ信号及び制御信号線 5 3 に入力される制御信号に基づいて、行デコーダ 4 1、列デコーダ 4 2 及び I O 制御回路 4 0 を制御する。入出力インターフェース回路 4 3 は、メモリセルアレイ 3 0 から読み出したデータをデータ線 5 2 に出力する。

## 【 0 0 5 0 】

行デコーダ 4 1 には、アドレス線 5 0 に入力されたアドレス信号が入出力インターフェース回路 4 3 を介して入力される。行デコーダ 4 1 は、アドレス線 5 0 に入力されたアドレス信号に対応するメモリセルアレイ 3 0 のワード線 4 を選択する。

10

## 【 0 0 5 1 】

列デコーダ 4 2 には、アドレス線 5 0 に入力されたアドレス信号が入出力インターフェース回路 4 3 を介して入力される。列デコーダ 4 2 は、アドレス線 5 0 に入力されたアドレス信号に対応するメモリセルアレイ 3 0 のビット線 3 を選択する。

## 【 0 0 5 2 】

I O 制御回路 4 0 は、メモリセルアレイ 3 0 へのデータの書き込み及び読み出しを行う。I O 制御回路 4 0 は、入出力インターフェース回路 4 3 を介して入力されたデータを、行デコーダ 4 1 及び列デコーダ 4 2 により選択されたメモリセル 2 に書き込む。また、I O 制御回路 4 0 は、行デコーダ 4 1 及び列デコーダ 4 2 により選択されたメモリセル 2 からデータを読み出し、読み出したデータを入出力インターフェース回路 4 3 に出力する。

20

## 【 0 0 5 3 】

再書き込み制御回路 4 4 は、再書き込み処理プログラムを内部メモリに保持しており、再書き込み処理プログラムに従い、メモリセルアレイ 3 0 に書き込まれている全データを順番に読み出し、メモリセルアレイ 3 0 にデータの再書き込みを行う。具体的には、再書き込み制御回路 4 4 は、入出力インターフェース回路 4 3 を制御することにより再書き込み処理を行う。本実施形態では、メモリセルアレイ 3 0 に書き込まれている全データを順番に読み出し、メモリセルアレイ 3 0 にデータの再書き込みを行うことを再書き込み処理という。

## 【 0 0 5 4 】

ここで、再書き込み処理について説明する。再書き込み制御回路 4 4 は、メモリセルアレイ 3 0 に書き込まれている全データを読み出すが、メモリセルアレイ 3 0 へのデータの再書き込みについては以下の方法により行う。

30

## 【 0 0 5 5 】

( 1 ) データの再書き込みにおける第 1 の方法について説明する。再書き込み制御回路 4 4 は、メモリセルアレイ 3 0 に書き込まれている元データと反対のデータを書き込み、その後に元データと同一のデータを書き込む。すなわち、再書き込み制御回路 4 4 は、メモリセルアレイ 3 0 が有する各メモリセル 2 に対して、元データと反対のデータを書き込み、その後に元データと同一のデータを書き込む。

## 【 0 0 5 6 】

メモリセル 2 に元データとしてデータ “ 0 ” が書き込まれている場合、一旦、データ “ 1 ” をメモリセル 2 に書き込んだ後に、データ “ 0 ” をメモリセル 2 に書き込む。具体的には、高抵抗状態の抵抗素子 6 に対して、S E T 電圧より高い電圧パルスを印加し、その後、R E S E T 電圧より高いが S E T 電圧より低い電圧パルスを印加する。

40

## 【 0 0 5 7 】

メモリセル 2 に元データとしてデータ “ 1 ” が書き込まれている場合、一旦、データ “ 0 ” をメモリセル 2 に書き込んだ後に、データ “ 1 ” をメモリセル 2 に書き込む。具体的には、低抵抗状態の抵抗素子 6 に対して、R E S E T 電圧より高いが S E T 電圧より低い電圧パルスを印加し、その後、S E T 電圧より高い電圧パルスを印加する。

## 【 0 0 5 8 】

( 2 ) データの再書き込みにおける第 2 の方法について説明する。再書き込み制御回路

50



44は、メモリセルアレイ30の記憶領域の一部に対して、書き込まれている元データと反対のデータを書き込み、その後元データと同一のデータを書き込む。そして、再書き込み制御回路44は、メモリセルアレイ30の記憶領域の他の部分に対して、書き込まれている元データと同一のデータを書き込む。

【0059】

すなわち、再書き込み制御回路44は、メモリセルアレイ30が有する一部のメモリセル2に対して、元データと反対のデータを書き込み、その後元データと同一のデータを書き込む。そして、再書き込み制御回路44は、メモリセルアレイ30が有する他のメモリセル2に対して、書き込まれている元データと同一のデータを書き込む。

【0060】

メモリセル2に元データとしてデータ“0”が書き込まれている場合、一旦、データ“1”をメモリセル2に書き込んだ後に、データ“0”をメモリセル2に書き込む。具体的には、高抵抗状態の抵抗素子6に対して、SET電圧より高い電圧パルスを加し、その後、RESET電圧より高いがSET電圧より低い電圧パルスを加する。

【0061】

メモリセル2に元データとしてデータ“1”が書き込まれている場合、データ“1”をメモリセル2に書き込む。具体的には、低抵抗状態の抵抗素子6に対して、SET電圧より高い電圧パルスを加する。低抵抗状態の抵抗素子6に対しては、SET電圧より高い電圧パルスを加することで、RESET動作及びSET動作が一度の電圧パルスの加により行われる。そのため、データの再書き込みにおける第2の方法によれば、データの再書き込みにおける第1の方法よりも高速にデータの再書き込みを行うことが可能となる。

【0062】

(3)データの再書き込みにおける第3の方法について説明する。再書き込み制御回路44は、メモリセルアレイ30の記憶領域の一部に対して、書き込まれている元データと反対のデータを書き込み、その後元データと同一のデータを書き込む。再書き込み制御回路44は、メモリセルアレイ30の記憶領域の他の部分に対して、データの再書き込みを行わない。

【0063】

すなわち、再書き込み制御回路44は、メモリセルアレイ30が有する一部のメモリセル2に対して、元データと反対のデータを書き込み、その後元データと同一のデータを書き込む。再書き込み制御回路44は、メモリセルアレイ30が有する他のメモリセル2に対して、データの再書き込みを行わない。

【0064】

元データとしてデータ“0”が書き込まれているメモリセル2に対して、一旦、データ“1”をメモリセル2に書き込んだ後に、データ“0”をメモリセル2に書き込む。具体的には、高抵抗状態の抵抗素子6に対して、SET電圧より高い電圧パルスを加し、その後、RESET電圧より高いがSET電圧より低い電圧パルスを加する。元データとしてデータ“1”が書き込まれているメモリセル2に対してはデータの再書き込みを行わない。

【0065】

図12に示すように、所定条件下においては、抵抗素子6の抵抗状態は、高抵抗状態から低抵抗状態に変化する可能性が高いが、低抵抗状態から高抵抗状態に変化する可能性は低い。抵抗素子6が実際に使用される温度は150以下であることを考慮すると、高抵抗状態の抵抗素子6を有するメモリセル2に対してのみデータの再書き込みを行ってもよい。

【0066】

そこで、データの再書き込みにおける第3の方法では、メモリセルアレイ30の記憶領域の一部に対してデータの再書き込みを行い、メモリセルアレイ30の記憶領域の他の部分に対してはデータの再書き込みを行わないようにする。そのため、データの再書き込

10

20

30

40

50

みにおける第3の方法によれば、データの再書き込みにおける第1の方法よりも高速にデータの再書き込みを行うことが可能となる。

【0067】

電源制御回路46は、メモリセルアレイ30、I/O制御回路40、行デコーダ41、列デコーダ42、入出力インターフェース回路43及び再書き込み制御回路44を含む回路ブロック60への電力供給を制御する。すなわち、電源制御回路46は、電源VDD1から回路ブロック60への電力供給を開始し、電源VDD1から回路ブロック60への電力供給を停止する。電源制御回路46は、初期状態として、回路ブロック60への電力供給を停止しておいてもよい。

【0068】

回路ブロック60への電力供給が停止している際に、メモリセルアレイ30に対してデータの書き込みが行われる場合がある。すなわち、回路ブロック60への電力供給が停止している際に、アドレス線50にアドレス信号が入力され、データ線51にデータ信号が入力され、制御信号線53に制御信号が入力される場合がある。

【0069】

この場合、制御信号は制御線53を介して電源制御回路46にも入力されることになる。電源制御回路46に制御信号が入力されることにより、電源制御回路46は電源VDD1から回路ブロック60への電力供給を開始する。電源VDD1から回路ブロック60への電力供給が開始された後、入出力インターフェース回路43は、メモリセルアレイ30に対してデータの書き込みを行う。

【0070】

入出力インターフェース回路43は、メモリセルアレイ30が有するメモリセル2の全部に対してデータの書き込みを行った場合、電力供給停止の信号を電源制御回路46に送る。なお、入出力インターフェース回路43によるメモリセルアレイ30が有するメモリセル2の全部に対するデータの書き込みは、再書き込み制御回路44によるデータの再書き込みと同様の方法で行ってもよい。すなわち、上述したデータの再書き込みにおける第1の方法又は第2の方法のいずれかを使用して、入出力インターフェース回路43は、メモリセルアレイ30へのデータの書き込みを行ってもよい。

【0071】

電源制御回路46は、入出力インターフェース回路43から電力供給停止の信号を受け取った場合、回路ブロック60への電力供給を停止する。また、入出力インターフェース回路43は、メモリセルアレイ30が有するメモリセル2の全部に対してデータの書き込みを行った場合、タイマー回路45にタイマー開始信号を送る。

【0072】

再書き込み制御回路44は、再書き込み処理が完了した場合、電力供給停止の信号を電源制御回路46に送る。電源制御回路46は、再書き込み制御回路44から電力供給停止の信号を受け取った場合、回路ブロック60への電力供給を停止する。また、再書き込み制御回路44は、再書き込み処理が完了した場合、タイマー回路45にタイマー開始信号を送る。

【0073】

タイマー回路45は、入出力インターフェース回路43からタイマー開始信号を受け取ることによりタイマーカウントを開始し、時間を計測する。したがって、タイマー回路45は、入出力インターフェース回路43によるメモリセルアレイ30へのデータの書き込みが行われてからの経過時間を計測する。

【0074】

また、タイマー回路45は、再書き込み制御回路44からタイマー開始信号を受け取ることによりタイマーカウントを開始する。したがって、タイマー回路45は、再書き込み制御回路44によるメモリセルアレイ30へのデータの再書き込みが行われてからの経過時間を計測する。

【0075】

10

20

30

40

50

タイマー回路 4 5 は、所定のタイミングで、電力供給開始の信号を電源制御回路 4 6 に送るとともに、再書き込み制御回路 4 4 に再書き込み処理を開始する信号を送る。例えば、タイマー回路 4 5 は、計測時間が所定の閾値を超えた場合、電力供給開始の信号を電源制御回路 4 6 に送るとともに、再書き込み制御回路 4 4 に再書き込み処理を開始する信号を送ってもよい。

【 0 0 7 6 】

電源制御回路 4 6 は、タイマー回路 4 5 から電力供給開始の信号を受け取った場合、回路ブロック 6 0 への電力供給を開始する。再書き込み制御回路 4 4 は、タイマー回路 4 5 から再書き込み処理を開始する信号を受け取った場合、再書き込み処理を行う。

【 0 0 7 7 】

また、図 1 4 に示すように、タイマー回路 4 5 は、電源 V D D 2 から電力が供給されている。このように、電源制御回路 4 6 及び回路ブロック 6 0 は電源 V D D 1 から電力が供給され、タイマー回路 4 5 は電源 V D D 2 から電力が供給されており、電源系が 2 系統に分けて構成されている。そのため、メモリセルアレイ 3 0 へのデータの書き込みが行われていない間は、回路ブロック 6 0 に対する電力供給を停止することで、電力消費を抑制することが可能となる。

【 0 0 7 8 】

なお、本実施形態では、入出力インターフェース回路 4 3 と再書き込み制御回路 4 4 とを別回路で構成する例を示したが、入出力インターフェース回路 4 3 と再書き込み制御回路 4 4 とを一つの回路として構成してもよい。

【 0 0 7 9 】

図 1 5 は、再書き込み処理の流れを示すフローチャートである。メモリセルアレイ 3 0 にデータが書き込まれる場合、図 1 5 に示す処理が実行される。例えば、アドレス線 5 0 にアドレス信号が入力され、データ線 5 1 にデータ信号が入力され、制御信号線 5 3 に制御信号が入力された場合、図 1 5 に示す処理が実行される。

【 0 0 8 0 】

回路ブロック 6 0 への電力供給が停止している際に、メモリセルアレイ 3 0 へのデータ書き込みが行われる場合がある。この場合には、電源制御回路 4 6 に制御信号が入力されることにより、電源制御回路 4 6 は電源 V D D 1 から回路ブロック 6 0 への電力供給を開始することになる。電源 V D D 1 から回路ブロック 6 0 への電力供給が開始された後、図 1 5 に示す処理が実行される。

【 0 0 8 1 】

入出力インターフェース回路 4 3 は、メモリセルアレイ 3 0 へのデータ書き込みが、初めてのデータ書き込みであるか否かを判定する ( S 1 0 1 )。例えば、メモリセルアレイ 3 0 へのデータ書き込みが一度も行われていない状態でメモリセルアレイ 3 0 へデータを書き込む場合は、初めてのデータ書き込みに該当する。また、例えば、メモリセルアレイ 3 0 に書き込まれているデータの全部を消去した状態でメモリセルアレイ 3 0 へデータを書き込む場合も、初めてのデータ書き込みに該当する。

【 0 0 8 2 】

メモリセルアレイ 3 0 へのデータ書き込みが、初めてのデータ書き込みである場合 ( S 1 0 1 の処理で Y E S )、入出力インターフェース回路 4 3 は、メモリセルアレイ 3 0 へのデータ書き込みが完了した後、タイマー開始信号をタイマー回路 4 5 に送る。なお、入出力インターフェース回路 4 3 は、メモリセルアレイ 3 0 へのデータ書き込みを開始するとともに、タイマー開始信号をタイマー回路 4 5 に送ってもよい。

【 0 0 8 3 】

そして、入出力インターフェース回路 4 3 は、電力供給停止の信号を電源制御回路 4 6 に送る。電源制御回路 4 6 は、入出力インターフェース回路 4 3 から電力供給停止の信号を受け取った場合、回路ブロック 6 0 への電力供給を停止する。

【 0 0 8 4 】

タイマー回路 4 5 は、入出力インターフェース回路 4 3 からタイマー開始信号を受け取

10

20

30

40

50

った場合、タイマーカウントを開始する（S102）。メモリセル2に書き込まれているデータの消失を抑制するため、メモリセルアレイ30へのデータ書き込みが完了した時点からタイマー回路45はタイマーカウントを開始する。

【0085】

なお、入出力インターフェース回路43が、メモリセルアレイ30へのデータ書き込みを開始するとともに、タイマー開始信号をタイマー回路45に送る場合がある。この場合には、メモリセルアレイ30へのデータ書き込みが開始された時点からタイマー回路45はタイマーカウントを開始する。

【0086】

一方、メモリセルアレイ30へのデータ書き込みが、初めてのデータ書き込みでない場合（S101の処理でNO）、入出力インターフェース回路43は、メモリセルアレイ30へのデータ書き込みを行う。そして、入出力インターフェース回路43は、メモリセルアレイ30へのデータ書き込みが全データの書き込みであるか否かを判定する（S103）。すなわち、メモリセルアレイ30へのデータ書き込みが、メモリセルアレイ30が有するメモリセル2の全部に対するデータ書き込みであるか否かを、入出力インターフェース回路43は判定する。

【0087】

メモリセルアレイ30へのデータ書き込みが、全データの書き込みである場合（S103の処理でYES）、入出力インターフェース回路43は、タイマー開始信号をタイマー回路45に送る。そして、入出力インターフェース回路43は、電力供給停止の信号を電源制御回路46に送る。電源制御回路46は、入出力インターフェース回路43から電力供給停止の信号を受け取った場合、回路ブロック60への電力供給を停止する。

【0088】

タイマー回路45は、入出力インターフェース回路43からタイマー開始信号を受け取った場合、既に開始しているタイマーカウントを初期状態に戻して、タイマーカウントを再び開始する（S104）。メモリセル2に書き込まれているデータの消失を抑制するため、メモリセルアレイ30へのデータの書き込みが完了した時点からタイマー回路45はタイマーカウントを開始する。

【0089】

一方、メモリセルアレイ30へのデータ書き込みが全データの書き込みでない場合（S103の処理でNO）、入出力インターフェース回路43は、電力供給停止の信号を電源制御回路46に送る。電源制御回路46は、入出力インターフェース回路43から電力供給停止の信号を受け取った場合、回路ブロック60への電力供給を停止する。

【0090】

タイマー回路45は、所定のタイミングで、電力供給開始の信号を電源制御回路46に送るとともに、再書き込み処理を開始する信号を再書き込み制御回路44に送る（S105）。例えば、タイマー回路45は、タイマーカウントが所定の閾値を超えた場合、電力供給開始の信号を電源制御回路46に送るとともに、再書き込み処理を開始する信号を再書き込み制御回路44に送ってもよい。ここで、所定の閾値は、工場出荷時に設定される値、不揮発性半導体記憶装置1を販売する販売店にて設定される値、あるいは、ユーザによって設定される値等である。例えば、100時間、200時間等の時間単位で設定してもよいし、10日、100日等の日単位で設定してもよいし、1ヶ月、2ヶ月等の月単位で設定してもよい。

【0091】

次に、電源制御回路46は、タイマー回路45から電力供給開始の信号を受け取ることにより、回路ブロック60への電力供給を開始する（S106）。そして、再書き込み制御回路44は、タイマー回路45から再書き込み処理を開始する信号を受け取ることにより、メモリセルアレイ30の全データを順番に読み出す（S107）。

【0092】

再書き込み制御回路44は、メモリセルアレイ30に対してデータの再書き込みを行う

10

20

30

40

50

(S108)。再書き込み制御回路44は、メモリセルアレイ30に対してデータの再書き込みが完了した後、タイマー開始信号をタイマー回路45に送る。なお、再書き込み制御回路44は、メモリセルアレイ30に対してデータの再書き込みを開始するとともに、タイマー開始信号をタイマー回路45に送ってもよい。

【0093】

そして、再書き込み制御回路44は、電力供給停止の信号を電源制御回路46に送る。電源制御回路46は、再書き込み制御回路44から電力供給停止の信号を受け取った場合、回路ブロック60への電力供給を停止する。

【0094】

タイマー回路45は、再書き込み制御回路44からタイマー開始信号を受け取った場合、既に開始しているタイマーカウントを初期状態に戻して、タイマーカウントを再び開始する(S109)。メモリセル2に書き込まれているデータの消失を抑制するため、メモリセルアレイ30に対してデータの再書き込みが完了した時点からタイマー回路45はタイマーカウントを開始する。

10

【0095】

なお、再書き込み制御回路44が、メモリセルアレイ30に対してデータの再書き込みを開始するとともに、タイマー開始信号をタイマー回路45に送る場合がある。この場合には、メモリセルアレイ30へのデータ再書き込みが開始された時点からタイマー回路45はタイマーカウントを開始する。

【0096】

20

また、本実施形態に係る不揮発性半導体記憶装置1は、複数のタイマー回路45を備えてもよい。そして、メモリセルアレイ30の記憶領域を区分けし、区分けされた記憶領域ごとにデータの再書き込みを行うようにしてもよい。区分けされた記憶領域の数に応じたタイマー回路45を不揮発性半導体記憶装置1に設けることにより、区分けされた記憶領域ごとにデータの再書き込みが行われてからの経過時間を計測することができる。

【0097】

本実施形態によれば、タイマー回路45は、所定のタイミングで、再書き込み処理を開始する信号を再書き込み制御回路44に送る。そして、再書き込み制御回路44は、タイマー回路45から再書き込み処理を開始する信号を受け取ることにより再書き込み処理を行う。したがって、再書き込み制御回路44は、所定のタイミングで、再書き込み処理を行う。再書き込み処理が行われた場合、抵抗素子6の抵抗状態の再設定が行われる。

30

【0098】

したがって、本実施形態によれば、抵抗素子6の抵抗状態の再設定を行うことにより、抵抗素子6の抵抗状態が自発的に変化することを抑制することが可能となる。これにより、メモリセル2に書き込まれているデータが保持される期間が伸びるため、メモリセル2に書き込まれているデータが消失することを抑制することが可能となる。

【0099】

本実施形態によれば、再書き込み処理が完了した場合又は再書き込み処理が開始された場合、再書き込み制御回路44は、タイマー開始信号をタイマー回路45に送る。タイマー回路45は、既に開始しているタイマーカウントを初期状態に戻して、タイマーカウントを再び開始する。そして、タイマー回路45は、所定のタイミングで、再書き込み処理を開始する信号を再書き込み制御回路44に送る。

40

【0100】

したがって、本実施形態によれば、抵抗素子6の抵抗状態の再設定を所定間隔で行いながら、メモリセル2に書き込まれているデータを保持することにより、データの消失を抑制することが可能となる。

【0101】

<変形例1>

図14に示す不揮発性半導体記憶装置1は、内部にタイマー回路45を備えているが、本開示はこのような構成に限られない。図16において、変形例1に係る不揮発性半導体

50

記憶装置 1 の構成図を示す。変形例 1 に係る不揮発性半導体記憶装置 1 は、単体メモリ又はロジック混載メモリとして機能する R e R A M 回路である。図 1 6 に示すように、タイマー回路 7 0 を外部に設けるようにしてもよい。Central Processing Unit ( C P U ) 7 1 は、タイマー回路 7 0、主記憶装置 7 2、入出力装置 7 3 及び処理装置 7 4 を備えている。タイマー回路 7 0 は、上記実施形態におけるタイマー回路 4 5 と同様の機能を有する。C P U 7 1 は、不揮発性半導体記憶装置 1 と接続されている。入出力装置 7 3 は、アドレス線 5 0 にアドレス信号を入力し、データ線 5 1 にデータ信号を入力し、制御信号線 5 3 及び 7 5 に制御信号を入力する。また、入出力装置 7 3 は、データ線 5 2 を介して、入出力インターフェース回路 4 3 から出力されるデータ信号を受け取る。

【 0 1 0 2 】

入出力インターフェース回路 4 3 は、信号線 7 6 を介してタイマー開始信号を入出力装置 7 3 に送る。タイマー回路 7 0 は、入出力装置 7 3 及び処理装置 7 4 を介して、入出力インターフェース回路 4 3 からタイマー開始信号を受け取ることによりタイマーカウントを開始する。

【 0 1 0 3 】

再書き込み制御回路 4 4 は、信号線 7 7 を介してタイマー開始信号を入出力装置 7 3 に送る。タイマー回路 7 0 は、信号線 7 7、入出力装置 7 3 及び処理装置 7 4 を介して、再書き込み制御回路 4 4 からタイマー開始信号を受け取ることによりタイマーカウントを開始する。タイマー回路 7 0 は、所定のタイミングで、電力供給開始の信号を電源制御回路 4 6 に送るとともに、再書き込み処理を開始する信号を再書き込み制御回路 4 4 に送る。例えば、タイマー回路 7 0 は、計測時間が所定の閾値を超えた場合、電力供給開始の信号を電源制御回路 4 6 に送るとともに、再書き込み処理を開始する信号を再書き込み制御回路 4 4 に送ってもよい。電力供給開始の信号は、処理装置 7 4、入出力装置 7 3 及び信号線 7 5 を介して電源制御回路 4 6 に送られる。再書き込み処理を開始する信号は、処理装置 7 4、入出力装置 7 3 及び信号線 7 8 を介して再書き込み制御回路 4 4 に送られる。

【 0 1 0 4 】

図 1 4 に示す不揮発性半導体記憶装置 1 では、電源 V D D 2 から電力が供給されてタイマー回路 4 5 が動作するが、図 1 6 に示す不揮発性半導体記憶装置 1 では、C P U 7 1 に供給される電力によって C P U 7 1 内のタイマー回路 7 0 が動作する。他の点については、図 1 4 に示す不揮発性半導体記憶装置 1 と同様である。

【 0 1 0 5 】

< 変形例 2 >

図 1 4 に示す不揮発性半導体記憶装置 1 は、内部にタイマー回路 4 5 を備えているが、本開示はこのような構成に限られない。図 1 7 において、変形例 2 に係る不揮発性半導体記憶装置 1 の構成図を示す。変形例 2 に係る不揮発性半導体記憶装置 1 は、単体メモリ又はロジック混載メモリとして機能する R e R A M 回路である。図 1 7 に示すように、タイマー回路 8 0 を外部に設けるようにしてもよい。メモリコントローラ 8 1 は、タイマー回路 8 0 を備えている。タイマー回路 8 0 は、上記実施形態におけるタイマー回路 4 5 と同様の機能を有する。メモリコントローラ 8 1 は、不揮発性半導体記憶装置 1 と C P U 8 2 との間に設けられ、不揮発性半導体記憶装置 1 及び C P U 8 2 にそれぞれ接続されている。

【 0 1 0 6 】

メモリコントローラ 8 1 は、アドレス線 5 0 にアドレス信号を入力し、データ線 5 1 にデータ信号を入力し、制御信号線 5 3 及び 8 3 に制御信号を入力する。また、メモリコントローラ 8 1 は、データ線 5 2 を介して、入出力インターフェース回路 4 3 から出力されるデータ信号を受け取る。

【 0 1 0 7 】

タイマー回路 8 0 は、信号線 8 4 を介して、入出力インターフェース回路 4 3 からタイマー開始信号を受け取ることによりタイマーカウントを開始する。また、タイマー回路 8 0 は、信号線 8 5 を介して、再書き込み制御回路 4 4 からタイマー開始信号を受け取るこ

10

20

30

40

50

とによりタイマーカウントを開始する。タイマー回路 80 は、所定のタイミングで、電力供給開始の信号を、信号線 83 を介して、電源制御回路 46 に送るとともに、再書き込み処理を開始する信号を、信号線 86 を介して、再書き込み制御回路 44 に送る。例えば、タイマー回路 80 は、計測時間が所定の閾値を超えた場合、電力供給開始の信号を、信号線 83 を介して、電源制御回路 46 に送るとともに、再書き込み処理を開始する信号を、信号線 86 を介して、再書き込み制御回路 44 に送ってもよい。

【0108】

図 14 に示す不揮発性半導体記憶装置 1 では、電源 VDD2 から電力が供給されてタイマー回路 45 が動作するが、図 17 に示す不揮発性半導体記憶装置 1 では、メモリコントローラ 81 に供給される電力によってメモリコントローラ 81 内のタイマー回路 80 が動作する。他の点については、図 14 に示す不揮発性半導体記憶装置 1 と同様である。

10

【0109】

以上の実施形態に関し、更に以下の付記を開示する。

(付記 1)

抵抗状態が高抵抗と低抵抗との間で可逆的に変化する抵抗素子を有するメモリセルと、前記メモリセルへのデータの書き込み及び読み出しを行う入出力部と、前記メモリセルへのデータの書き込みが行われてからの経過時間を計測する計測部と、前記計測部からの指示信号に応じて、前記メモリセルに書き込まれているデータを読み出し、前記メモリセルに対して前記読み出したデータと同一のデータの書き込みを前記入出力部に指示する再書き込み制御部と、を備える記憶装置。

20

【0110】

(付記 2)

複数の前記メモリセルを有するメモリセルアレイ、前記入出力部及び前記再書き込み部への電源供給を制御する電源制御部を、更に備え、

前記再書き込み制御部は、前記メモリセルへのデータの書き込みが完了した場合、前記電源制御部に停止信号を送信し、

前記電源制御部は、前記再書き込み制御部からの前記停止信号に応じて前記メモリセルアレイ、前記入出力部及び前記再書き込み制御部への電源供給を停止するとともに、前記計測部からの開始信号に応じて前記メモリセルアレイ、前記入出力部及び前記再書き込み制御部への電源供給を開始する付記 1 に記載の記憶装置。

30

【0111】

(付記 3)

前記再書き込み制御部は指示信号に応じて、前記入出力部が、前記メモリセルに書き込まれているデータを読み出し、前記読み出したデータと同一のデータを抵抗状態が高抵抗である抵抗素子を含む前記メモリセルに書き込むよう制御する付記 1 又は 2 に記載の記憶装置。

【0112】

(付記 4)

前記再書き込み制御部は指示信号に応じて、前記入出力部が、前記メモリセルに書き込まれているデータを読み出し、前記読み出したデータと反対のデータを抵抗状態が高抵抗である抵抗素子を含む前記メモリセルに書き込んだ後に、前記読み出したデータと同一のデータを抵抗状態が高抵抗である抵抗素子を含む前記メモリセルに書き込むよう制御する付記 1 又は 2 に記載の記憶装置。

40

【0113】

(付記 5)

前記計測部は、所定のタイミングで前記再書き込み部に前記指示信号を送る付記 2 から 4 のいずれか一項に記載の記憶装置。

【0114】

(付記 6)

前記計測部は、所定のタイミングで前記電源制御部に前記開始信号を送る付記 2 から 5

50

のいずれか一項に記載の記憶装置。

【0115】

(付記7)

抵抗状態が高抵抗と低抵抗との間で可逆的に変化する抵抗素子を有するメモリセルへのデータの書き込みが行われてからの経過時間を計測する計測ステップと、

前記計測に基づき、所定のタイミングで前記メモリセルに書き込まれているデータを読み出し、前記メモリセルに対して前記読み出したデータと同一のデータを書き込む再書き込みステップと、を備えるデータ保持方法。

【0116】

(付記8)

前記再書き込みステップでは、所定のタイミングで前記メモリセルに書き込まれているデータを読み出し、前記メモリセルに対して前記読み出したデータと反対のデータを書き込んだ後に、前記読み出したデータと同一のデータを書き込む付記7に記載のデータ保持方法。

【0117】

(付記9)

前記再書き込みステップでは、所定のタイミングで前記メモリセルに書き込まれているデータを読み出し、前記読み出したデータと同一のデータを抵抗状態が高抵抗である抵抗素子を含む前記メモリセルに書き込む付記7に記載のデータ保持方法。

【0118】

(付記10)

前記再書き込みステップによる書き込みが完了した場合、複数の前記メモリセルを有するメモリセルアレイへの電源供給を停止するとともに、所定のタイミングで前記メモリセルアレイへの電源供給を開始する電源制御ステップ、を更に備える付記7から9のいずれか一項に記載のデータ保持方法。

【図面の簡単な説明】

【0119】

【図1】本実施形態に係る不揮発性半導体記憶装置1が備えるメモリセル2の断面図である。

【図2】本実施形態に係る不揮発性半導体記憶装置1が備えるメモリセルアレイ30の平面図である。

【図3】本実施形態に係る不揮発性半導体記憶装置1が備えるメモリセルアレイ30の等価回路図である。

【図4】層間絶縁膜21を平坦化した場合のシリコン基板13の断面図である。

【図5】層間絶縁膜21にコンタクトプラグ12及び19を形成した場合のシリコン基板13の断面図である。

【図6】配線パターンを形成した場合のシリコン基板13の断面図である。

【図7】層間絶縁膜22にコンタクトプラグ10を形成した場合のシリコン基板13の断面図である。

【図8】上部電極金属膜、遷移金属酸化膜及び下部電極金属膜をパターンニングした状態の断面図である。

【図9】層間絶縁膜23にコンタクトプラグ5を形成した状態の断面図である。

【図10】抵抗素子6のIV特性を示した図である。

【図11】抵抗素子6のIV特性を示した図である。

【図12】抵抗素子6の抵抗状態の変化を示した図である。

【図13】高抵抗状態から低抵抗状態に変化した抵抗素子6に対してRESET動作を行なった場合の抵抗素子6の抵抗状態を示した図である。

【図14】本実施形態に係る不揮発性半導体記憶装置1の構成図である。

【図15】再書き込み処理の流れを示すフローチャートである。

【図16】変形例1に係る不揮発性半導体記憶装置1の構成図である。

10

20

30

40

50



【図17】変形例2に係る不揮発性半導体記憶装置1の構成図である。

【符号の説明】

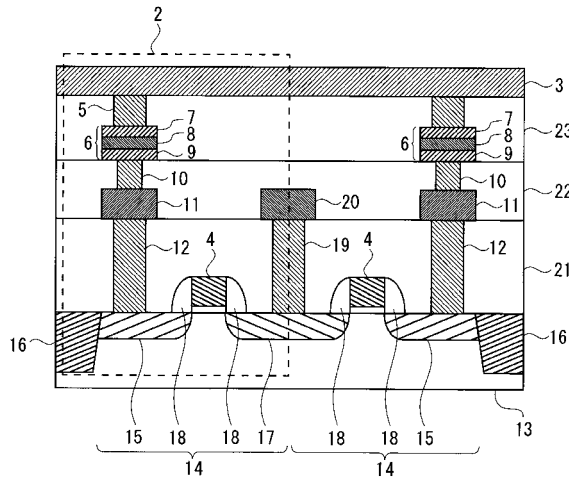
【0120】

- 1 不揮発性半導体記憶装置
- 2 メモリセル
- 3 ビット線 (BL)
- 4 ワード線 (WL)
- 6 抵抗素子
- 20 GND線
- 30 メモリセルアレイ
- 40 IO制御回路
- 41 行デコーダ
- 42 列デコーダ
- 43 入出力インターフェース回路
- 44 再書き込み制御回路
- 45、70、80 タイマー回路
- 46 電源制御回路
- 60 回路ブロック
- 71、82 CPU
- 81 メモリコントローラ

10

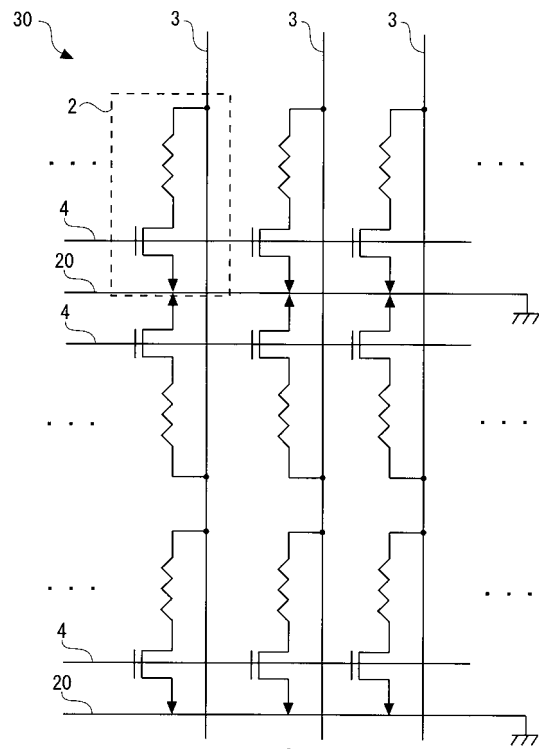
20

【図1】



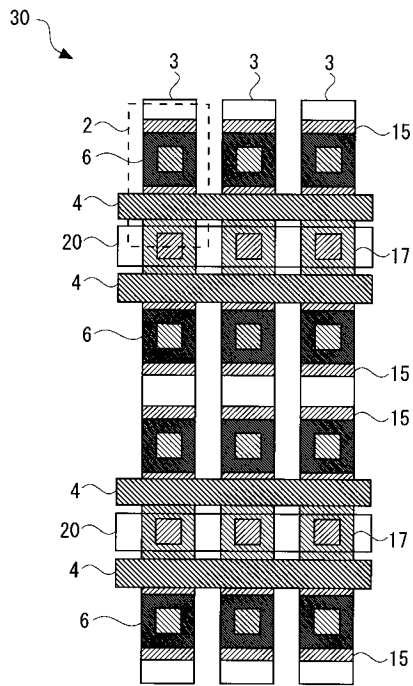
メモリセルの断面図

【図2】



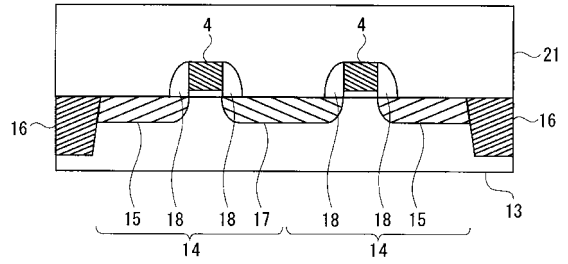
メモリセルアレイの平面図

【図3】



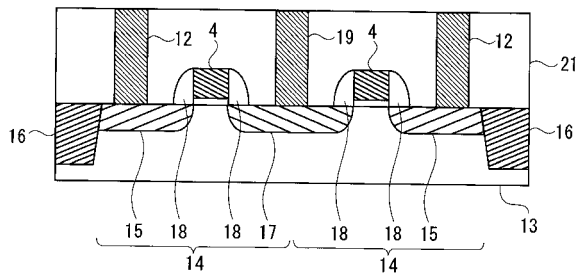
メモリスルアレイの等価回路図

【図4】



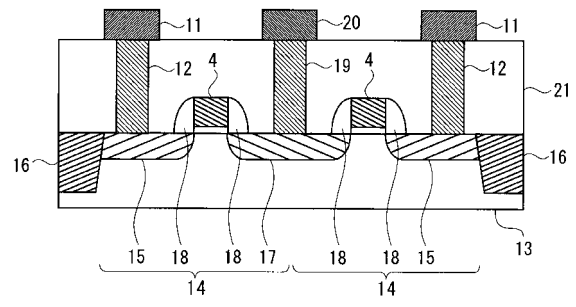
シリコン基板の断面図

【図5】



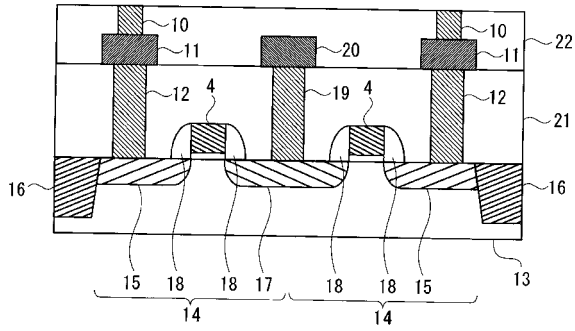
シリコン基板の断面図

【図6】



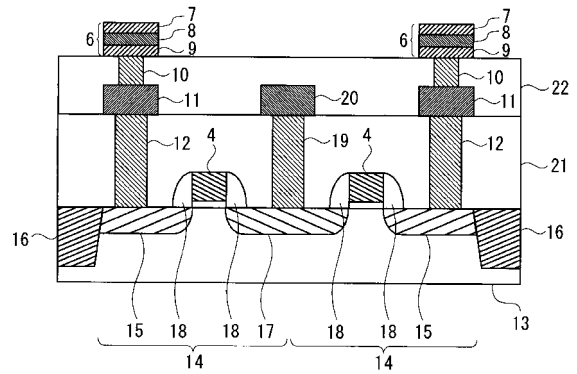
シリコン基板の断面図

【図7】



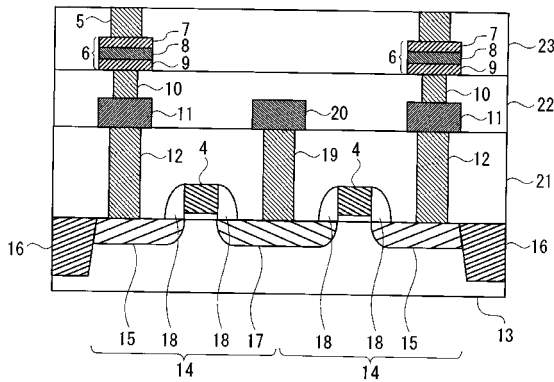
シリコン基板の断面図

【図8】



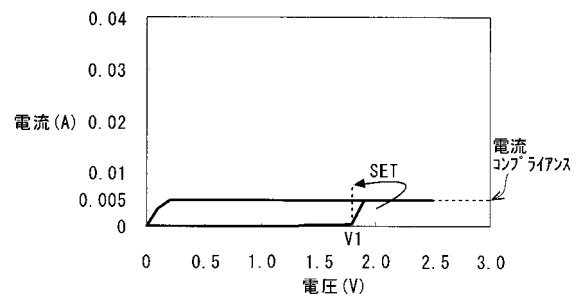
シリコン基板の断面図

【図9】



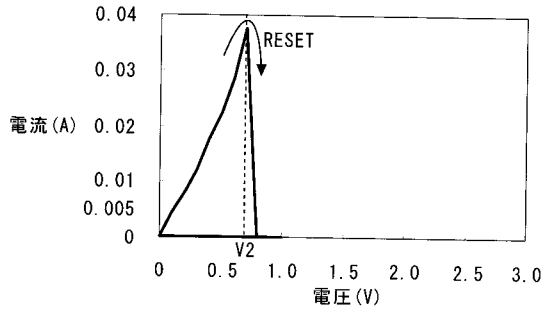
シリコン基板の断面図

【図10】



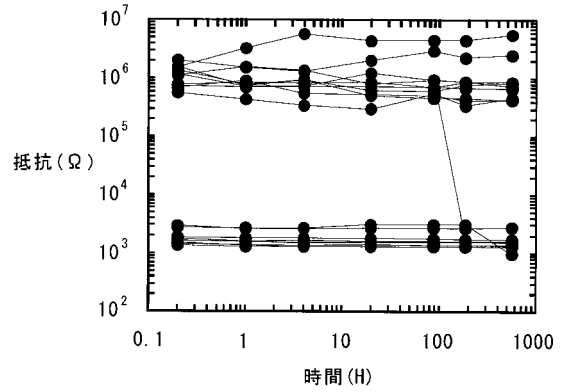
抵抗素子のI-V特性を示した図

【図11】



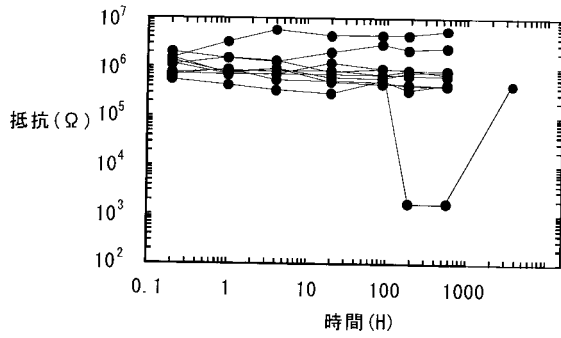
抵抗素子のIV特性を示した図

【図12】



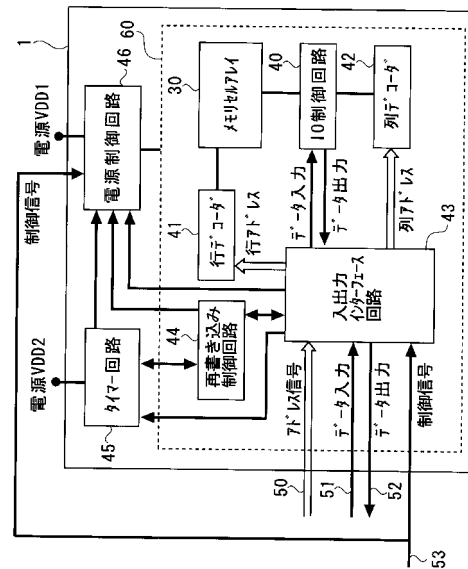
抵抗素子の抵抗状態の変化を示した図

【図13】



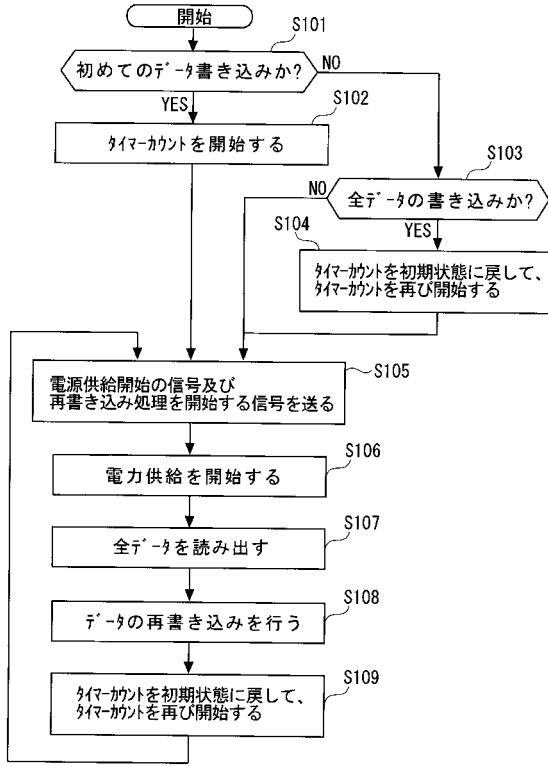
抵抗素子の抵抗状態を示した図

【図14】



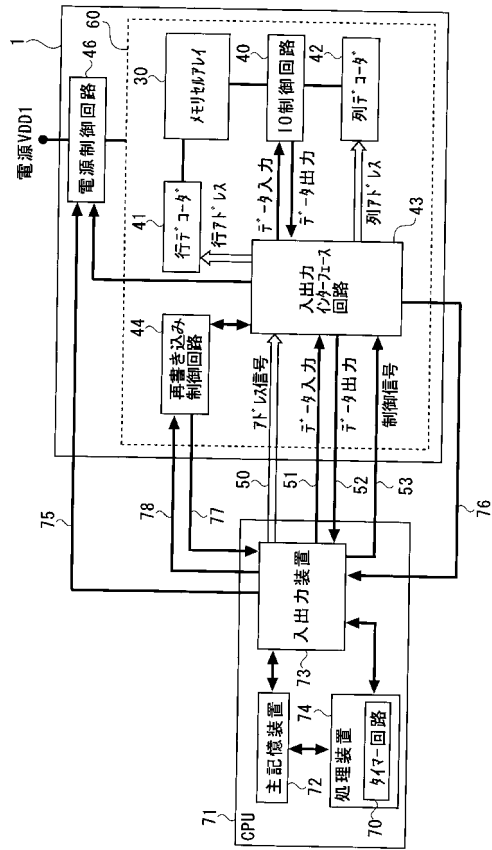
不揮発性半導体記憶装置の構成図

【図15】



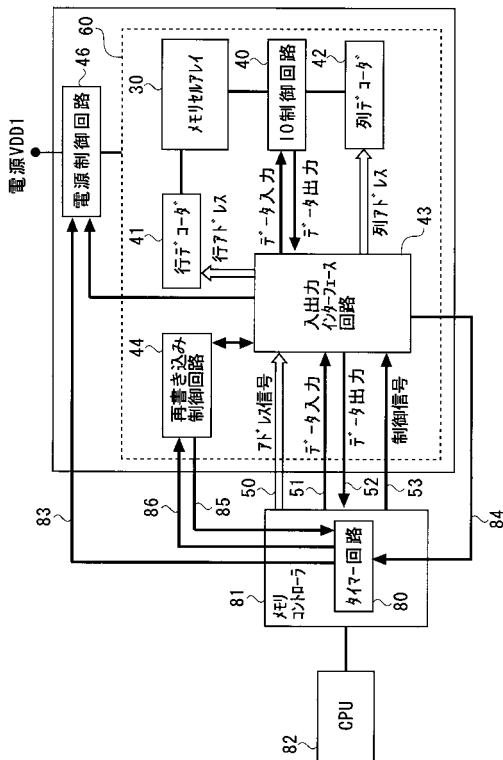
再書き込み処理の流れを示すフローチャート

【図16】



不揮発性半導体記憶装置の構成図

【図17】



不揮発性半導体記憶装置の構成図

---

フロントページの続き

- (56)参考文献 特表2005-537598(JP,A)  
特開2004-280971(JP,A)  
特開2007-004935(JP,A)  
米国特許出願公開第2008/0117704(US,A1)  
特開2008-192278(JP,A)  
特表2007-525785(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 13/00