

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-529296
(P2008-529296A)

(43) 公表日 平成20年7月31日(2008.7.31)

(51) Int.Cl.

H01L 21/768 (2006.01)
H01L 21/316 (2006.01)

F 1

H01L 21/90
H01L 21/316

テーマコード(参考)

P 5FO33
P 5FO58

審査請求 未請求 予備審査請求 未請求 (全 16 頁)

(21) 出願番号 特願2007-552788 (P2007-552788)
 (86) (22) 出願日 平成18年1月25日 (2006.1.25)
 (85) 翻訳文提出日 平成19年9月19日 (2007.9.19)
 (86) 國際出願番号 PCT/IB2006/050269
 (87) 國際公開番号 WO2006/079979
 (87) 國際公開日 平成18年8月3日 (2006.8.3)
 (31) 優先権主張番号 60/647,991
 (32) 優先日 平成17年1月27日 (2005.1.27)
 (33) 優先権主張国 米国(US)

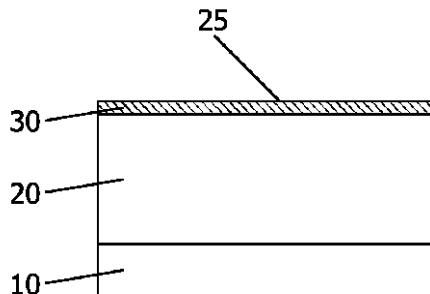
(71) 出願人 590000248
 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
 オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ
 1
 (74) 代理人 100147485
 弁理士 杉村 憲司
 (74) 代理人 100072051
 弁理士 杉村 興作
 (74) 代理人 100114292
 弁理士 来間 清志
 (74) 代理人 100107227
 弁理士 藤谷 史朗

最終頁に続く

(54) 【発明の名称】半導体デバイスの製造方法

(57) 【要約】

本発明は、半導体デバイスの製造方法に関するものである。この方法では、半導体デバイスは、基板(10)を具え、この基板(10)は、表面(25)を有する低-kの前駆物質層(20)で覆われている。この工程の後、部分硬化工程が行われ、前記低-kの前駆物質層(20)の表面(25)またはその近くに緻密層(30)が形成される。この緻密層(30)は、保護層(30)として作用することができる。前記低-kの前駆物質層(20)は、未硬化、または部分的に硬化された状態で適用できる特性を有する材料の群から選択される。この方法の主な利点は、前記緻密層(30)が、前記低-kの前駆物質層(20)自体から形成されるため、別個の保護層(30)を低-kの前駆物質層(20)に設ける必要がない点である。したがって、前記緻密層(30)は、前記低-kの前駆物質層(20)に対して良好な接着性を有する。



【特許請求の範囲】**【請求項 1】**

基板を設ける工程と、

硬化された状態で低い誘電率を有する群から選択される、未硬化、または部分的にのみ硬化された誘電材料からなる、露出表面を有する誘電体層を、前記基板に適用する工程と、

前記誘電材料を硬化する工程と

を具え、

前記硬化工程は、

前記露出表面またはその付近の前記誘電材料内に、少なくとも一のさらなる製造工程中に、保護層として作用する緻密層を形成するための第一の部分硬化と、前記誘電材料であるバルク材料を硬化するための第二の硬化とからなることを特徴とする半導体デバイスの製造方法。

【請求項 2】

少なくとも一の製造工程が、前記第一の部分硬化と前記第二の硬化との間で行われる請求項 1 に記載の半導体デバイスの製造方法。

【請求項 3】

前記製造工程は、前記誘電材料によって少なくとも部分的に画定される壁部を有する、凹部または形成部を、前記誘電体層の中に形成する工程を含む請求項 2 に記載の半導体デバイスの製造方法。

【請求項 4】

前記凹部または形成部は、エッティング工程により形成される請求項 3 に記載の半導体デバイスの製造方法。

【請求項 5】

前記緻密層は、前記エッティング工程用マスクを形成するためにプレエッティングされる請求項 4 に記載の半導体デバイスの製造方法。

【請求項 6】

前記第二の硬化は、前記凹部または形成部の形成後に行われる請求項 3、4 または 5 に記載の半導体デバイスの製造方法。

【請求項 7】

前記第二の硬化後、前記凹部または形成部内に導電材料を堆積する請求項 6 に記載の半導体デバイスの製造方法。

【請求項 8】

前記方法は、前記半導体デバイスの、凹部または形成部の少なくとも側壁部上に、バリア層を適用する工程をさらに具えることを特徴とする請求項 3 ~ 7 のいずれか一項に記載の半導体デバイスの製造方法。

【請求項 9】

前記方法は、少なくとも前記導電材料上に、キャッピング層を形成する工程をさらに具えることを特徴とする請求項 7 または 8 に記載の半導体デバイスの製造方法。

【請求項 10】

前記誘電材料は、硬化により多孔質になることができ、かつ、前記第二の硬化によって多孔質になる材料である請求項 1 ~ 9 のいずれか一項に記載の半導体デバイスの製造方法。

【請求項 11】

前記誘電材料は、CVD 技術を用いて適用される SiCO:H 型材料を有することを特徴とする請求項 1 ~ 10 のいずれか一項に記載の半導体デバイスの製造方法。

【請求項 12】

前記誘電材料に、低誘電率の低-k 前駆物質材料が適用され、該低-k 前駆物質材料は、Orion (登録商標) の前駆物質材料を有することを特徴とする請求項 11 に記載の半導体デバイスの製造方法。

10

20

30

40

50

【請求項 1 3】

前記誘電材料に、低誘電率の低-k前駆物質材料が適用され、該低-k前駆物質材料は、Low-K Flowfill(登録商標)の前駆物質材料を有することを特徴とする請求項11に記載の半導体デバイスの製造方法。

【請求項 1 4】

前記適用されるCVD技術は、PECVD、LTCVD、APCVDおよびRT-CVDのうちの一であることを特徴とする請求項11、12または13に記載の半導体デバイスの製造方法。

【請求項 1 5】

前記第一の部分硬化は、CVD法で行われることを特徴とする請求項1~14のいずれか一項に記載の半導体デバイスの製造方法。 10

【請求項 1 6】

前記第一の部分硬化は、下記処理条件の下、CVD法で行われることを特徴とする請求項15に記載の半導体デバイスの製造方法。

記

H ₂ 流量	10~10000 sccm
プロセスチャンバ圧力	1~10 Torr
R F電力	10~10 kW
R F周波数	100 kHz~100 MHz
プラテン温度	300~600 °C
電極間距離	5~500 mm
プラズマ時間	1秒間~3分間

10

20

30

【請求項 1 7】

前記第一の部分硬化は、下記処理条件の下、CVD法で行われることを特徴とする請求項16に記載の半導体デバイスの製造方法。

記

H ₂ 流量	1600 sccm
プロセスチャンバ圧力	4 Torr
R F電力	2 kW
R F周波数	13.56 MHz
プラテン温度	400 °C
電極間距離	20 mm
プラズマ時間	15秒間

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体デバイスの製造方法に関するものである。 40

【背景技術】**【0002】**

半導体デバイスの製造において、誘電材料からなる複数の層を設けることは普通であり、これら層を貫通して、複数の、溝および/またはビア(ホール)が、半導体ウェーハ基板に形成される能動素子間に相互接続部を設けるためにエッチングができる。半導体デバイスの寸法が小さくなるにつれて、誘電層を形成する誘電材料の誘電率を低減させることは重要な傾向であり、これら誘電材料は、前記寸法の低減と共に多くの問題をもたらしてきた。例えば、選択性に関する問題は、エッチング中に生じるおそれがあり、さらに、このような材料から多くの場合放出される水素は、その後に設けられる他の層に

50

損傷を与える。従来技術でよく知られた、これらの、および他の問題を解決するために、慣行的に、前記誘電材料上に「ハードマスク」層が設けられてきた。しかしながら、特に、前記誘電層形成材料の硬化前に、前記ハードマスク層を設ける必要があるかもしれない、本出願人らは、多くの場合、このようなハードマスクと誘電層との間での接着性の問題があることを究明した。

【0003】

他の問題は、改良された低誘電率材料が多孔質化することによってそれらの低誘電率を達成することである。エッティングが多孔質材料を通じて生じると、エッティング形成部の側壁部で、キャビティが露出されたり、または発生したりしうる。特許文献1は、ハードマスクを未硬化誘電材料の上に堆積させた後、未硬化の状態でこの誘電材料を貫通してエッティングし、結果として生じる凹部に導電材料を充填し、その後、前記誘電材料を十分に硬化させることによって、この問題を解決する試みを示す。このようなプロセスは、上記で説明した接着性に関する問題を導き、さらに、硬化において、誘電材料に寸法変化がないことを必要とする。これは、一般的に実情ではないであろう。

10

【特許文献1】米国特許第6528409号公報

【0004】

特許文献2は、基板上の多孔質材料の堆積について説明する。この多孔質材料はベーキングされ、その後、保護層がその上に堆積される。その後、エッティングが行われ、結果として生じる凹部または形成部の側壁部は、前記材料の多孔性に起因する微小空洞を除去するため処理される。

20

【特許文献2】米国特許第6531755号公報

【発明の開示】

【課題を解決するための手段】

【0005】

本発明は、基板を設ける工程と、硬化された状態で低い誘電率を有する群から選択される、未硬化、または部分的にのみ硬化された誘電材料からなる、露出表面を有する層を、前記基板に適用する工程と、前記誘電材料を硬化する工程とを具え、前記硬化工程は、前記露出表面またはその付近の前記誘電材料内に、少なくとも一のさらなる製造工程中に、保護層として作用する緻密層を形成するための第一の部分硬化と、前記誘電材料であるバルク材料を硬化するための第二の硬化とからなることを特徴とする半導体デバイスの製造方法を具える。

30

【0006】

前記緻密層を形成するために第一の部分硬化を用いることは、上記で説明した接着性の問題を解決する。前記第一の部分硬化を用いることは、前記誘電材料の未硬化部分の処理も可能にし、少なくとも特定の実施形態において、選択性や、多孔性の欠乏に関して利点を提供する。また、前記第一の部分硬化を用いることはまた、多くの場合、上述した従来技術で必要とされるような付加的な層を形成するための別個の前駆物質またはスピノン材料を設けるための必要性を少なくとも取り除く。

【0007】

少なくともいくつかの実施形態では、少なくとも一の製造工程が、前記第一の部分硬化と前記第二の硬化との間で行われることができる。例えば、前記製造工程は、前記誘電体層の誘電材料によって、少なくとも部分的に画定される壁部を有する、凹部または形成部を、前記誘電体層内に形成することを含むことができる。典型的には、前記凹部または形成部は、エッティング工程により形成され、この場合、前記緻密層は、前記エッティング工程のためのマスクを形成するためにプレエッティングされることができる。前記第二の硬化は、前記凹部または形成部の形成後に行われるのが好ましい。前記第二の硬化後に、導電材料を前記凹部または形成部に堆積させるのが好ましいが、硬化中に、前記誘電材料の層の寸法に大きな変化がない場合には、前記第二の硬化前に導電材料を堆積させることができる。

40

【0008】

50

前記誘電材料は、硬化により多孔質になることができ、かつ前記第二の硬化によって多孔質になる材料であることができる。

【0009】

前記誘電材料は、CVD技術を用いて適用されることができる、SiCO:H型材料を有することができる。このような材料の例としては、以下に示すOrion(登録商標)またはLow-k Flowfill(登録商標)などが挙げられる。以下に示すように、これらの材料は、堆積させるのが比較的容易であり、CVD法でプラズマの適切な適用によって、通常、硬化されることがある。

【0010】

適用されるCVD技術は、PE-CVD、LT-CVD、AP-CVDおよびRT-CVDから選択することができる。

【0011】

前記第一の部分硬化は、下記のプロセス条件の下、CVD法で行われる。

記

H ₂ 流量	10～10000 sccm
プロセスチャンバ圧力	1～10 Torr
R F電力	10～10 kW
R F周波数	100 kHz～100 MHz
プラテン温度	300～600°C
電極間距離	5～500 mm
プラズマ時間	1秒間～3分間

特定の好ましい実施形態においては、前記工程は、下記プロセス条件の下、CVD法で行われる。

記

H ₂ 流量	1600 sccm
プロセスチャンバ圧力	4 Torr
R F電力	2 kW
R F周波数	13.56 MHz
プラテン温度	400°C
電極間距離	20 mm
プラズマ時間	15秒間

【0012】

凹部または形成部が形成される場合、前記凹部または形成部の少なくとも側壁部上に、バリア層を適用することができ、また、このような凹部または形成部が導電材料で充填される場合、少なくとも前記導電材料上に、キャッピング層を適用することができる。

【0013】

本発明に従う方法の、これらのおよび他の態様は、図面を参照して、さらに明らかになり、かつ、明瞭となるであろう。

【発明を実施するための最良の形態】

【0014】

図面に関連して、本発明の実施形態は、後で詳細に説明される。しかしながら、当業者が、その他のいくつかの均等な実施形態(、もしくはこの明細書で明示的に与えられた実施形態の組み合わせ)、または、本発明を実施する他の方法を想定することができ、本発明の精神及び範囲が、特許請求の範囲の用語によってのみ限定されることは明らかであろう。すべての図面は、本発明のいくつかの態様および実施形態を説明する目的で用いる。多くの態様は、明確さの理由のため簡略化した方法で示される。代案およびオプションの

10

20

30

40

50

すべてが示されるわけではなく、したがって、本発明は、所定の図面の内容には限定されない。

【0015】

図1は、本発明に従う半導体デバイスの製造方法の一実施形態における予備的な工程を示したものである。この工程では、前記半導体デバイスは、表面25を有する前駆物質層20で覆われる基板10を具える。前記層20の材料は、硬化された時に低誘電率(低-k)を有するタイプからなる。前記層20は、前駆物質、すなわち未硬化の形態で、多くの場合、高誘電率(高-k)を有するであろう。低誘電率「低-k」という用語は、誘電率、すなわちk値が、好ましくは3.0未満であることを意味する。前記基板10は、複数の能動素子(トランジスタ、ダイオードなど)、および/または、複数の導体構造(相互接続部、コンタクトおよびビアなど)を順次具えることができる他の層もまたもつウェーハを有することができる。前記ウェーハは、シリコン、ゲルマニウム、歪シリコン、埋め込み酸化物層、ガラスなどを具えることができる。低-kの前記前駆物質層20は、PECVD、LT-CVD、AP-CVDおよびRT-CVDのような化学気相蒸着(CVD)技術を用いて形成することができる。PECVDは、プラズマ励起(Plasma Enhanced)CVDの略語である。LT-CVDは、低温(Low-Temperature)CVDの略語である。AP-CVDは、大気圧(Atmospheric Pressure)CVDの略語である。そして、RT-CVDは、急速温度(Rapid-Temperature)CVDの略語である。種々の会社が、様々なタイプのCVD技術に関する種々の呼称を用いることができることに留意しなければならない。また、低-kの前記前駆物質層の堆積において適当に用いられることがある、より多くのCVD技術の変形例が存在するかもしれない。低-kの前記前駆物質層20は、非硬化、または部分硬化のみの状態で適用され、特に、多孔質ではない。

10

20

30

30

40

【0016】

図2は、本発明に従う半導体装置の製造方法のさらなる工程を示したものである。この工程では、部分的な硬化工程が行われ、この工程では、前記表面25の近くに、緻密層30が低-kの前記前駆物質層20から形成される。この緻密層30は、フォトレジストと化学的に相互作用せず、その真下にある層20とフォトレジストとの間のバリアとなることができる。そのうえ、前記緻密層30は、その真下の層20の前駆物質材料よりもゆっくりエッチングされ、したがって、保護層30として作用することができる。一の実施形態では、水素プラズマ処理の結果として、これらの特性は、炭素および/または窒素の減少をもたらす。

【0017】

それ故に、前記層の材料が未硬化状態で適用されるという事実は、本方法のこの工程における部分硬化によって、前記表面25で、低-kをもつ前記前駆物質材料の緻密層30への変換を可能にする。特定のCVD-SiCO:H型の低-kをもつ前駆物質層の材料は、上記した要件を満たす。特に、以下に示す一以上の低-kをもつ誘電体を形成するために用いられる低-kをもつ前駆物質層の材料に、Orion(登録商標)、Flowfill(登録商標)およびlow-k Flowfill(登録商標)を適用可能であることが見出され、これらの各々は、Trion Technologies社のプロセスに従って堆積可能な誘電材料であり、これらプロセスは、以下の文献でそれぞれ規定される。

ORION：英国特許第2355992号明細書

FLOWFILL：英国特許第731928号明細書

米国特許第5874367号明細書

米国特許第6287989号明細書

LOW-K FLOWFILL：英国特許第2331626号明細書

米国特許第6242366号明細書

【0018】

これらのケースの内容は、参照文献によって盛り込まれる。

50

【0019】

未硬化状態における、これらの、または他のSiCo:H型材料のためのこのような前駆物質の適用は、自動的には得られず、かつ、これらの、または他の低-kをもつ誘電体を得る方法の教示と矛盾するおそれがあるが、いずれにしても、これらの誘電体を得るために用いられるプロセスに、有利に取り入れられることができる。例えば、本発明に適するOrion(登録商標)を形成するための、低-kをもつ前駆物質の堆積のためのCVD手段における好適なプロセス条件は、以下の通りである。

すなわち、(200mmウェーハに対し、) 13.56MHzのRF周波数と、500WのRF電力とともに、400sccmのO₂流量、700sccmのテトラメチルシラン流量および2400sccmのN₂流量が、20mmで位置する対向するシャワーヘッドに、チャンバ圧力：2Torr、ウェーハプラテン温度：35°の条件下で適用される。
10

【0020】

これらの処理条件は、この開示による教示の範囲内で実験によって変化させることができるということは理解されるべきである。

【0021】

いずれかの適した前駆物質の単一ガス、複数のガスまたは気相が、この開示による教示の手法によって処理されることができる前駆物質層20を堆積させるために用いることができる。上記の例では、低-kをもつ前駆物質層20が、シラノールを含んで形成され、これは、オルガノシラン(、例えば、メチルシラン、テトラアルキルシラン、トリメチルシランまたはテトラメチルシランのようなアルキルシラン)の酸化またはオルガノシロキサン(、例えば、テトラメチルジシロキサン)によって得ることができる。
20

【0022】

少なくとも一のさらなる製造工程の間中、保護層として作用する緻密層30を形成するための部分硬化は、従来技術として知られていない。前記部分硬化は、完全硬化工程と比較して、(単純に時間以外の)異なる条件を必要とするかもしれない。Orion(登録商標)の部分硬化は、例えば、以下の処理条件を用いて行われることができる。

<処理条件>

13.56MHzのRF周波数で500WのRF電力が、(供給される水素流量：1600scm、)小容積単一ウェーハプロセスチャンバ(水素圧：4Torr)内で、400で15秒間、対向する基板プラテンに密着する(close-coupled)シャワーヘッドに適用される。
30

【0023】

この部分硬化は、前記表面に、フォトレジストとの相互作用を避けるため、化学的に安定にするのに充分であり、かつ、前記表面に、その後のパターニングの間中、前記表面以外のバルク(未硬化の)低-k誘電体材料の部分よりもゆっくりとしたエッチング速度を与えるよう、前記表面が、前記フォトレジストと前記緻密層30の真下の前駆物質層との間でバリアとして作用することを可能にするということは理解されるべきである。したがって、この部分硬化処理は、好適には、これら特性を達成するのに必要な最小限の処理であるだろう。
40

【0024】

部分硬化によるメカニズムは、次の通りである。部分硬化の間中、H₂プラズマは、非硬化CVD低-k誘電体材料の表面で炭素および窒素を減少させ、表面を緻密にする。これにより、前記表面でSiO₂のような材料を生じるであろう。したがって、この工程中に形成される前記緻密層30は、SiO₂のような材料を具える。

【0025】

図3は、本発明に従う半導体デバイスの製造方法のその後の工程を示したものである。この工程では、パターニングされたフォトレジスト層40が、前記半導体デバイスの緻密層30の上に適用される。前記緻密層(保護層)30は、前記フォトレジスト層40と前記低-kの前駆物質層20の前記表面以外のバルク部分との間の化学反応を防止するため
50

に、前記フォトレジスト層40用の反射防止層として一般に必要とされ、また、前記レジスト／マスクに対してエッチング選択性を得るためにも用いることができる。この反射防止層は、製造された半導体デバイスの下側層からの光（、好ましくはUV光）の反射に対し、前記フォトレジスト層40を保護する。反射光は、光源から来る光と干渉するおそれがあり、結果として、前記フォトレジスト層のパターンの劣化を引き起こす。

【0026】

図4は、本発明に従う半導体デバイスの製造方法のさらに後の工程を示したものである。この工程では、凹部50は、パターニングされたフォトレジスト層40を用いて形成され、前記凹部50は、前記緻密層30を貫通して前記低-kの前駆物質層20内に延在する。前記凹部50は、例えばツールとしてプラズマ100を用いたドライエッチングによって形成されることがある。前記プラズマ100は、Ar / C_xH_yF_z / O₂ (x、y、z > 0)のような化学的性質を具えるが、他の化学的性質をえることもできる。

10

【0027】

図5は、本発明に従う半導体デバイスの製造方法の他の工程を示したものである。この工程では、前記フォトレジスト層40は除去される。従来技術では、この除去は、「アッシング」とも称される。前記除去は、化学的性質を具えるプラズマを用いて行うことができる。レジスト除去は、当業者によく知られた技術である。レジスト除去に関する詳細な情報は、「Dry etching for VLSI」 by A. J. van Rosmalen, J.A.G. Baggerman, S.J.H. Brader, Plenum press, New York (1991) ISBN 0 306 43835 6, p125 - 128」で見つけることができる。

20

【0028】

図6は、本発明に従う半導体デバイスの製造方法の他の工程を示したものである。この工程では、半導体デバイスは、さらに硬化される。従来技術では、種々の硬化方法が知られている。前記硬化方法の中の一の種類は、加熱処理を用い、別の種類は、熱に関連してプラズマ処理を用いる。電子ビームなどの他の硬化手法は、知られている。ここで開示される本発明のためのプラズマ処理に対する最もよく知られた処理条件は、下記の通りである。

30

<処理条件>

H₂流量：1600sccm、チャンバー圧：4 Torr、RF電力：1 kWで180秒間後、2.5 kWで70秒間、RF周波数：13.56 MHz、プラテン温度：400

30

【0029】

プラズマ硬化のさらに重要な特性は、適用されるプラズマ電力が、前記低-kの前駆物質層20を低-kの誘電体21に変換を生じさせるのに充分であるということである。例えば、ORION（登録商標）の場合、国際公開第03/044843号パンフレットで説明されるように、前記前駆物質層が十分に硬化されると、非常に低いk値が、気孔を生じることによって得ることができる。適した材料の全てが、最終的な硬化で多孔質になるとは限らない。例えば、低-kのLOWFILL（登録商標）は、多孔性ではないが、低いk値を付与する。部分硬化または完全な硬化のいずれかの間で、不十分な電力が適用されるならば、前記誘電体は完全硬化の間、多孔性にならないかもしれない。電力レベルは、実験的に導くことができ、また、チャンバ構造、電極サイズなどの関数となるであろう。非常に低い電力を適用するか、または、前記プラズマの前にウェーハ加熱を適用するならば、その後、実質的に熱硬化が行われることもまた、自明である。

40

【0030】

十分に高いプラズマ電力が適用されるならば、部分的に硬化された低-kの前駆物質材料は、より低い低-kの誘電体材料を形成するために硬化するであろう。この場合、200mm以上のウェーハサイズに対しては、密着型（close-coupled）単一ウェーハ・リアクタ内で、観察されるべき実際の電力の最小値は2 kWである。

【0031】

好適な硬化技術および必要とされる処理条件のより詳細については、参考のため、本明

50

細書に挿入された米国特許第 6 6 5 3 2 4 7 号公報に記載がある。

【 0 0 3 2 】

本方法の異なる工程、（例えば、バリア堆積の後、および／または化学機械的研磨の後の工程）で、前記完全硬化を行うこともまた可能であるかも知れない。しかしながら、前記完全硬化が前記層 20 内で寸法変化を生じるならば、他の層間剥離が生じるかも知れないため、前記凹部 50 のメタライズ化の前に、硬化させることが必要であるかも知れない。硬化プロセスの例では、前記低 - k の前駆物質層 20 中に含有するシラノールは、水を放出するが、有機物質もまた放出される可能性がある。さらにまた、Si - CH₃ 結合は、Si - CH₂ - Si 結合に変換され、包括的な構造を作り出す。これは、前記低 - k の前駆物質層 20 に複数の気孔 80 を作り出し、前記層 20 を多孔質（低 - k）の誘電層 21 に変えるであろう。これらの気孔は小さいほうが好ましく、例えば 10 未満が好ましい。特に、SiCO:H 型材料は、前記サイズを有する気孔を付与する。

10

【 0 0 3 3 】

図 7 は、本発明に従う半導体デバイスの製造方法の他の工程を示したものである。この工程では、バリア層 85 は、凹部 50 内に少なくとも適用されることができる。前記バリア層 85 の材料は、PVD または金属有機 CVD の手段によって適用される、タンタル（Ta）、もしくはチタン（Ti）または窒化チタン（TiN）のような材料を有することができる。代案の材料は、ALD 技術によって適用されるタンゲステン炭窒化物（WCN）である。しかしながら、前記バリア層 85 は、タンタルの層とともに窒化タンタルの層（両層は、PVD 技術を用いて適用してもよい。）のような積層体を有することもできる。

20

【 0 0 3 4 】

前記バリア層 85 が適用された後（図 8）、導電材料からなる導体 90 が、前記凹部 50 内に少なくとも適用される。前記導体 90 は、例えば銅またはアルミニウムのような材料を有することができる。前記バリア層の主な機能は、前記導体 90 を封入することである。この導体 90 は、前記誘電体を通じて半導体デバイスの回路に拡散させるべきではない。なぜなら、前記導体 90 の導電材料は、半導体デバイスの信頼性を害するためである。このような導電材料として知られた例は、銅である。例えばアルミニウムのような他の材料が用いられる場合、前記バリア層 85 は省略されてもよい。

30

【 0 0 3 5 】

図 9 は、本発明に従う半導体デバイスの製造方法の他の工程を示したものである。この工程では、半導体デバイスは、例えば（CMP としても知られている）化学機械研磨工程を用いて平坦化される。この特定の例では、CMP プロセスが緻密層 30 で停止し、この緻密層 30 が良好な CMP 停止層であることは、前記緻密層 30 の望ましい特性であり、したがって、付加的な CMP 停止層は必要とされないかも知れない。しかしながら、前記緻密層 30 を除去することもまた選択可能である。

30

【 0 0 3 6 】

図 10 は、本発明に従う半導体デバイスの製造方法の他の工程を示したものである。この工程では、任意のキャッピング層 95 が、前記半導体デバイス上に設けられる。これは、広い領域を覆うキャッピング層 95 であるか、または、前記広い領域のうち導体 90 が位置する領域のみを覆うパターニングされたキャッピング層であることができる。前記キャッピング層 95 は、前記バリア層 85 による前記導体 90 の封入を完了するために必要とされるかも知れない。上方から前記導体 90 にコンタクトを接続すべき場合には、前記キャッピング層は、前記導体 90 を露出するようパターニングされることができ、これにより、電気コンタクトを上方から形成することが可能になる。前記キャッピング層は、窒化ケイ素（Si₃N₄）および炭化ケイ素（SiC）を有することができるが、他の材料もまた可能である。

40

【 0 0 3 7 】

この特定の実施例では、前記導体 90 は、図 9 の断面に対し直交して延びる導電線（前記凹部は溝である。）に似ているけれども、コンタクトまたはビア（ホール）であっても

50

よいことに、さらに留意されなければならない。その場合、前記凹部 50 は、低 - k の前記前駆物質層 20 (図 5) 内の穴でなければならない。

【 0 0 3 8 】

更にまた、導電線およびコンタクトが同時に形成されるような方法を実施することもまた可能性である。これは、様々な方法で達成することができる。一の方法は、異なるマスクを用いて異なる二つの工程 (、例えば二つの誘電体層を形成した後) において、低 - k の前記前駆物質層 20 内の前記凹部を形成する工程を行い、かかる方法の他の工程は同様に行う方法である。当業者は、これら工程が行われる順序の変更を容易に考え出すことができる。

【 0 0 3 9 】

図 10 に示された工程の後、半導体デバイスは、その後のメタライズ層、および / またはコンタクト / ピア (ホール) 層、パッケージングなどを形成するような、さらなる処理のための準備ができている。これらすべての工程は、当業者に知られている。

【 0 0 4 0 】

図 11 は、前記半導体デバイスの第一実施形態を示す。この半導体デバイス 1 は、基板 10 、およびこの基板 10 に適用される誘電層 21 を有え、この誘電層 21 は凹部 50 を有し、この凹部 50 は、前記誘電層 21 によって画定される壁部を有し、前記凹部 50 には導体 90 が充填され、この導体 90 は、その少なくとも側壁部上の (任意の) バリア層 85 内に埋設されている。この実施形態では、さらに緻密層 30 を有える。この緻密層 30 は、SiO₂ 型材料を有することができる。この特定の例では、前記導体 90 (、例えば銅線) に、キャッピング層 95 が設けられる。いくつかの実施形態では、このキャッピング層 95 は、(コンタクトがある線と電気的に接続するのを可能にするため、) 存在しないか、または、部分的に除去されていてもよい。この特定の例では、層 15 および 35 は導体を有していないが、他の実施形態では、これら層が導体を有することは可能である。

【 0 0 4 1 】

図 12 は、半導体デバイスの第二実施形態を示す。この半導体デバイス 2 は、前記半導体デバイス 1 の第一実施形態の全ての構成要素を有えるが、前記誘電層 21 は、前記凹部 50 から所定の間隔でさらなる凹部 50' を付加的に有え、このさらなる凹部 50' は、前記導電層 21 によって画定されたさらなる壁部を有し、前記さらなる凹部 50' が、さらなる導体 90' で充填され、前記さらなる導体 90' が、その少なくとも側壁部上のさらなるバリア層 85' 内に埋設されている。

【 0 0 4 2 】

本明細書の記載は、特許請求の範囲を限定するよりはむしろサポートすることを意図していることに留意すべきである。本発明を明瞭かつ簡潔にしておくため、議論には含めなかつたが、例示された具体例に対する多くの変更が可能である。

【 図面の簡単な説明 】

【 0 0 4 3 】

【 図 1 】 図 1 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの一の工程を示す図である。

【 図 2 】 図 2 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの別の工程を示す図である。

【 図 3 】 図 3 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

【 図 4 】 図 4 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

【 図 5 】 図 5 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

【 図 6 】 図 6 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

10

20

30

40

50

【図 7】図 7 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

【図 8】図 8 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

【図 9】図 9 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

【図 10】図 10 は、本発明に従う半導体デバイスの製造方法の種々の工程のうちの他の工程を示す図である。

【図 11】図 11 は、本発明に従う半導体デバイスの第一実施形態を示す図である。

【図 12】図 12 は、本発明に従う半導体デバイスの第二実施形態を示す図である。

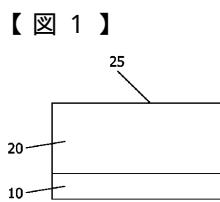


FIG.1

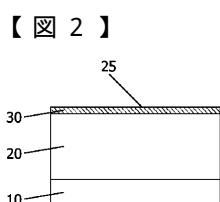


FIG.2

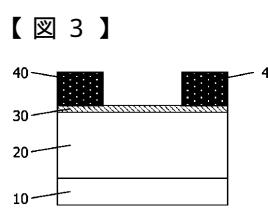


FIG.3

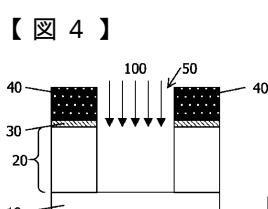


FIG.4

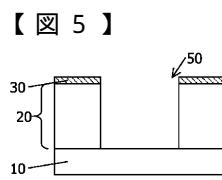


FIG.5

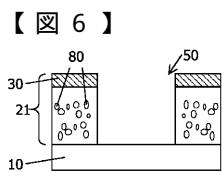


FIG.6

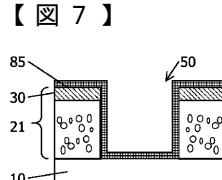


FIG.7

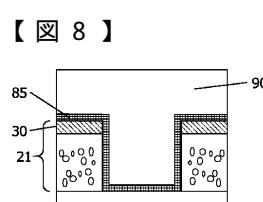


FIG.8

【図9】

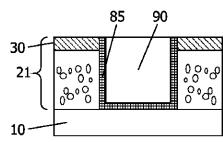


FIG.9

【図10】

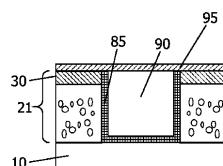


FIG.10

【図11】

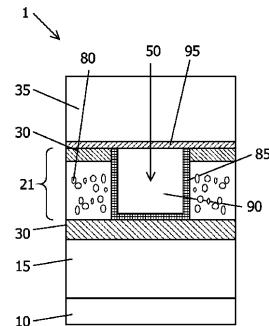


FIG.11

【図12】

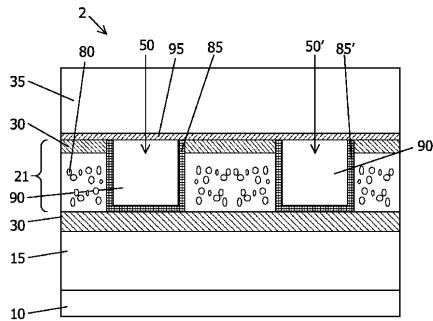


FIG.12

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/IB2006/050269

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L21/316 H01L21/308 H01L21/3105

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/074659 A1 (DALTON TIMOTHY JOSEPH [US] ET AL) 20 June 2002 (2002-06-20) paragraphs [0013], [0034] - [0037]	1-11,13
X	US 2002/030297 A1 (GALLAGHER MICHAEL K [US] ET AL) 14 March 2002 (2002-03-14) paragraphs [0022], [0027], [0028], [0045] - [0049], [0054], [0057]	1-6,8, 10,11,13
X	EP 1 037 276 A1 (CANON SALES CO INC [JP]; SEMICONDUCTOR PROCESS LAB CO [JP]) 20 September 2000 (2000-09-20) paragraphs [0046], [0050] - [0052]	1-9,11, 14
A	US 2003/124870 A1 (MACNEIL JOHN [GB] ET AL) 3 July 2003 (2003-07-03) paragraphs [0006] - [0015], [0043], [0051], [0058], [0060] - [0064], [0066]	16,17
		-/-

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the International filing date
- *L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the International filing date but later than the priority date claimed

- *T* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
9 February 2007	20/02/2007
Name and mailing address of the ISA/Office	Authorized officer
European Patent Office, P.O. Box 5018 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: 31 651 epo nl, Fax: (+31-70) 340-3016	Kenevey, Kester

INTERNATIONAL SEARCH REPORT

International application No PCT/IB2006/050269

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 03/009364 A2 (TRIKON HOLDINGS LTD [GB]; GILES KATHRINE [GB]) 30 January 2003 (2003-01-30) the whole document	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/IB2006/050269

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
US 2002074659	A1 20-06-2002	CN 1427456 A		02-07-2003
		HK 1055641 A1		13-04-2006
		KR 20020048861 A		24-06-2002
		SG 106653 A1		29-10-2004
		TW 513764 B		11-12-2002
		US 2003057414 A1		27-03-2003
US 2002030297	A1 14-03-2002	US 2003059723 A1		27-03-2003
		US 2003186168 A1		02-10-2003
		US 2003186169 A1		02-10-2003
EP 1037276	A1 20-09-2000	DE 60005875 D1		20-11-2003
		DE 60005875 T2		19-05-2004
		JP 3827056 B2		27-09-2006
		JP 2000332011 A		30-11-2000
		KR 20020072259 A		14-09-2002
		TW 552639 B		11-09-2003
		US 6524972 B1		25-02-2003
US 2003124870	A1 03-07-2003	NONE		
WO 03009364	A2 30-01-2003	GB 2393577 A		31-03-2004
		JP 2005504433 T		10-02-2005
		TW 578258 B		01-03-2004
		US 2004207083 A1		21-10-2004

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(74)代理人 100134005

弁理士 澤田 達也

(72)発明者 古川 有紀子

オランダ国 5 6 5 6 アーアー アインドーフェン プロフ ホルストラーン 6

(72)発明者 ジョン マクニール

イギリス国 ニューポート サウス ウエ・ルズ エヌピー 1 8 2 ティーエー リングランド
ウェイ

F ターム(参考) 5F033 GG00 GG04 HH08 HH11 HH18 HH21 HH32 HH33 HH34 HH36
MM01 MM12 MM13 NN06 NN07 PP11 PP14 QQ09 QQ12 QQ28
QQ37 QQ48 QQ74 RR01 RR06 RR29 SS11 SS12 SS15 WW00
WW01 WW03 WW05 WW06 WW07 XX03 XX12 XX24
5F058 AC03 AG07 AH02 BC05 BD07 BH16 BJ02