(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年3 月2 日 (02.03.2006)

PCT

(10) 国際公開番号
WO 2006/022152 A1

(51) 国際特許分類:
H01L 23/52 (2006.01) *G02F 1/1345* (2006.01)
H01L 27/12 (2006.01) *H01L 21/768* (2006.01)
H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2005/014762

(22) 国際出願日: 2005 年8 月11 日 (11.08.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-249097 2004 年8 月27 日 (27.08.2004) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 森脇弘幸 (MORIWAKI, Hiroyuki) [JP/JP]; 〒6391024 奈良県大和郡山市南井町１９－８８ Nara (JP).

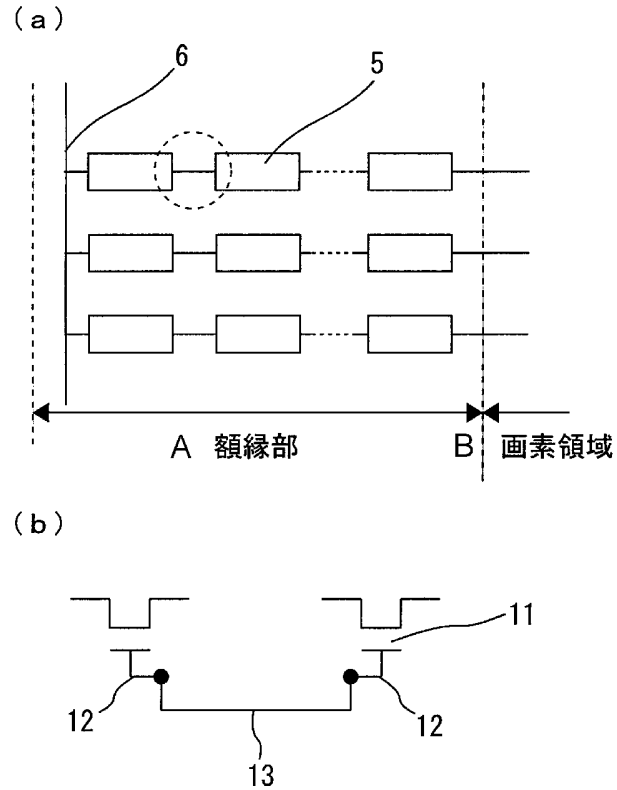
(74) 代理人: 安富康男， 外(YASUTOMI, Yasuo et al.); 〒5320011 大阪府大阪市淀川区西中島５丁目４番２０号 中央ビル Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX,

/続葉有/

(54) Title: DRIVING CIRCUIT BOARD, METHOD FOR MANUFACTURING THE SAME, LIQUID CRYSTAL DISPLAY PANEL AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 発明の名称: 駆動回路基板、その製造方法、液晶表示パネル及び液晶表示装置



(57) Abstract: A driving circuit board is provided with a stack structure wherein two or more layers are formed on a board, and a structure to which two or more circuit elements such as a thin film transistor are connected by wiring. At least one of the wiring has a path formed on two or more layers, such as a layer whereupon a gate electrode is arranged and a layer whereupon a source electrode is arranged.

(57) 要約: 本発明は、基板上に２以上の層が形成された積層構造を有するとともに、薄膜トランジスタ等の２以上の回路素子が配線により接続された構造を有する駆動回路基板であって、上記配線の少なくとも１つは、ゲート電極が配置される層やソース電極が配置される層等の２以上の層に経路が形成された構成からなる駆動回路基板である。

WO 2006/022152 A1

MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

駆動回路基板、その製造方法、液晶表示パネル及び液晶表示装置

技術分野

[0001] 本発明は、駆動回路基板、その製造方法、液晶表示パネル及び液晶表示装置に関する。より詳しくは、システム液晶パネル用基板として好適な駆動回路基板及びその製造方法、並びに、上記駆動回路基板を備えてなる液晶表示パネル及び液晶表示装置に関するものである。

背景技術

[0002] 液晶表示装置は、薄型・軽量・低消費電力といった特徴を活かし、幅広い分野で利用されている。特に、画素駆動用の回路素子として薄膜トランジスタ(TFT)等の能動素子を画素毎に設けたアクティブマトリクス駆動方式の液晶表示装置は、クロストークが少ない鮮明な画像表示を実現することができることから、パーソナルコンピュータ(PC)、携帯電話や携帯情報端末(PDA)等のモバイル情報機器及びカーナビゲーション等のディスプレイ装置として多用されている。

[0003] アクティブマトリクス駆動方式の液晶表示装置の製造工程においては、ゲート配線に電荷が蓄積され、静電気放電破壊(ESD)によって画素駆動用の回路素子が破壊されてしまうことがあり、これを防止する手段が必要である。

具体的には、ゲート配線は、スパッタ法や真空蒸着法で形成された金属薄膜に対し、ドライエッチングを施すことにより形成される。ここでいうドライエッチングとは、気相中で行う反応性イオンエッチング(RIE)のことであり、プラズマにより生成させたイオン(又はラジカル)を被エッチング領域の金属薄膜に衝突させることによってイオンと金属原子とを化学反応させ、反応生成物を真空排気系により外部に除去するというプロセスからなる。このエッチングプロセスにおいて、イオン(又はラジカル)が金属薄膜に衝突するときに、ゲート配線に電荷が蓄積されてしまい、この蓄積された電荷が、画素内に設けられたトランジスタ等の回路素子を静電破壊する原因となる。

[0004] これに対し、従来では、ガードリング(短絡線)という配線を設けることにより、製造工程における回路素子の静電破壊を防止していた(例えば、特許文献1参照。)。この

静電破壊防止方法について、図4を参照しながら説明する。なお、図4は、従来のアクティブマトリクス基板の製造途中の構成を示す正面模式図である。

図4に示すアクティブマトリクス基板は、画素領域と額縁部とを備える。画素領域には、画素電極50及び画素駆動用の回路素子51がそれぞれマトリクス状に配置されており、各画素の間には、行方向に伸びるゲート配線52及び列方向に伸びるソース配線53がそれぞれ配置されている。一方、画素領域の端(図4では左端)に位置する額縁部(非表示領域)には、ガードリング54が配置されており、ガードリング54には各ゲート配線52が接続されている。

[0005] 図4に示すアクティブマトリクス基板の製造においては、各画素内に画素駆動用の回路素子51を形成した後、ドライエッチング等の工程により、ゲート配線52及びガードリング54を形成する。この配線のエッチング工程において、ゲート配線52には電荷が蓄積されるが、図4の形態のアクティブマトリクス基板によれば、ゲート配線52に蓄積された電荷の一部は、ガードリング54に移動するため、ゲート配線52には、回路素子51を静電破壊するほどの大きな電荷が蓄積されなくなる。なお、ガードリング54を含む額縁部は、基板完成までに切り取られる。このようにして、従来では、画素駆動用の回路素子51が製造中に静電破壊されることを防止していた。

[0006] ところで、近年、いわゆるモノリシック技術が適用された液晶表示装置が増加の傾向にある。ここでいうモノリシック技術とは、図5に示すような、画素を形成するガラス基板上に、ドライバ等の液晶駆動に必要な周辺回路を形成する技術のことである。

図6(a)は、モノリシック技術が適用された液晶パネル基板の額縁部に形成されたゲートドライバの様子を示す正面模式図であり、(b)は、(a)に示す液晶パネル基板の額縁部のうち、丸で囲まれた部分を拡大した模式図である。モノリシック技術が適用された液晶表示装置によれば、図6(a)に示すように、液晶パネル基板の額縁部の基板上に直接駆動回路55が形成されるため、基板に対して駆動回路55が外付けされた形態の液晶表示装置に比べて、部材や工程数の削減、ファインピッチ化、薄型軽量化等が可能となる。しかしながら、このような液晶表示装置では、駆動回路で一続きの配線が分断されるため、額縁部にガードリングを形成することで電荷をガードリングへ逃がすことができない。従って、モノリシック技術が適用された液晶表示装置に

おいては、画素駆動用の回路素子51の製造中における静電破壊を防止するための新たな技術の開発が待たれていた。

[0007] また、基板上に形成されるドライバ等の駆動回路にも、トランジスタ等の多数の回路素子が含まれている。そして、駆動回路の回路素子51同士を接続する配線52もまた、製造中に蓄積された電荷の逃げ道がなく、図6(b)に示すように、電荷が蓄積されてしまう。従って、モノリシック技術が適用された液晶表示装置は、基板上に形成されたドライバ等の駆動回路の回路素子もまた、製造中に静電破壊されるおそれがあり、これについても防止することができる技術の開発が待たれていた。

特許文献1:特開平10－268794号公報(第1, 8頁、第1図)

発明の開示

発明が解決しようとする課題

[0008] 本発明は、上記現状に鑑みてなされたものであり、モノリシック技術が適用された液晶表示装置において、回路素子同士を接続する配線に電荷が蓄積されることを原因として生じる回路素子の静電破壊等の特性劣化を防止することができる駆動回路基板及びその製造方法、並びに、上記駆動回路基板を備えてなる液晶表示パネル及び液晶表示装置を提供することを目的とするものである。

課題を解決するための手段

[0009] 本発明者は、2以上の回路素子及び回路素子同士を接続する配線を備えてなる駆動回路基板について種々検討したところ、回路素子同士を接続する配線の形成工程に着目した。そして、従来の配線形成工程では、ゲート配線と同じ階層の配線のみを用いて、回路素子同士を接続していたため、ドライエッチング工程で配線に蓄積された電荷により、回路素子が静電破壊されることを見出した。そこで、配線の形成工程を2以上に分割して、回路素子同士を接続する配線の少なくとも1つを、2以上の層に経路が形成された構成や異なる材料により形成された2以上の配線部位を含む構成とすることにより、各形成工程の間に電荷が一旦放電されて当該配線に蓄積される最大の電荷量を小さくすることができ、製造中の静電破壊等による回路素子の特性劣化を防止することができることを見いだし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

[0010] すなわち、本発明は、基板上に2以上の層が形成された積層構造を有するとともに、2以上の回路素子が配線により接続された構造を有する駆動回路基板であって、上記配線の少なくとも1つは、2以上の層に経路が形成された構成からなる駆動回路基板である。

本発明はまた、2以上の回路素子が配線により接続された構造を基板上に有する駆動回路基板であって、上記配線の少なくとも1つは、異なる材料により形成された2以上の配線部位を含む構成からなる駆動回路基板でもある。

本発明は更に、基板上に2以上の回路素子及び配線を備える駆動回路基板の製造方法であって、上記駆動回路基板の製造方法は、回路素子同士を接続する少なくとも1つの配線を2以上のドライエッチング工程により形成する駆動回路基板の製造方法でもある。

以下に本発明を詳述する。

[0011] 本発明の駆動回路基板は、基板上に2以上の層が形成された積層構造を有するとともに、2以上の回路素子が配線により接続された構造を有するものである。なお、本願明細書における「以上」、「以下」は、当該数値を含むものである。

上記基板としては、液晶表示パネル、液晶表示装置に用いられる場合、透明なガラス基板が好ましい。上記回路素子としては特に限定されないが、本発明の作用効果を奏するためには、トランジスタ、ダイオード等の能動素子や、抵抗器、コンデンサ、インダクタンス、変圧器等の受動素子等が好適であり、中でも、薄膜トランジスタ(TFT)が特に好適である。上記配線としては、例えば、銅(Cu)配線、アルミニウム(Al)配線等の単層配線や、タングステン(W)／窒化タンタル(TaN)、チタン(Ti)／アルミニウム－ケイ素(Al－Si)系合金／チタン(Ti)等の積層配線等が好適に用いられる。上記配線の形成方法としては、例えば、配線材料をスパッタ法や真空蒸着法にて成膜した後、ドライエッチングを施す方法が好適に用いられる。ドライエッチングによれば、ウエットエッチング等のパターニング方法に比べ、電荷の蓄積が生じやすいが、より高精細なパターニングが可能である。

本発明の駆動回路基板としては、このような構成要素を必須として構成されるものである限り、その他の構成要素を含んでいても含んでいなくてもよく、特に限定されるも

のではない。なお、本発明の駆動回路基板は、液晶表示装置に用いられるもの(液晶表示装置用駆動回路基板)であることが好ましい。

[0012] 上記配線の少なくとも1つは、2以上の層に経路が形成された構成からなるものである。これにより、回路素子同士を接続する配線の形成工程が2以上に分割され、従来では1度のドライエッチング工程により蓄積されていた電荷を複数回に分けて蓄積させることが可能となる。従って、各形成工程の間に電荷が一旦放電され、回路素子同士を接続する配線に蓄積される最大の電荷量が小さくなるため、回路素子が製造中に静電破壊されるのを防止することができる。また、配線の形成工程が2以上に分割されることから、配線形成におけるエッチング工程をドライエッチング工程とウエットエッチング工程との組み合わせにしてもよい。このようにウエットエッチング工程により配線の一部を形成した場合、ドライエッチング工程を繰り返し行って配線形成する場合に比べ、電荷の蓄積が生じにくく、より効果的に回路素子の製造工程における静電破壊を防止することができる。本発明のより好ましい形態は、実質的に全ての配線が、2以上の層に経路が形成された構成からなる形態である。なお、上記2以上の層に経路が形成された構成とは、2以上の層にそれぞれ配線の一部が形成(分割形成)されるとともに、各層に形成された配線が接続されることにより回路素子同士が接続された構造を意味する。配線が分割形成される層の数としては、2層以上であれば特に限定されないが、本発明の作用効果を得るとともに、配線の形成工程を簡略なものとするためには、2層が好適である。また、本発明においては、配線が2以上の層に分割形成された部分を配線中に少なくとも1箇所有していればよいが、本発明の作用効果を効果的に奏するためには、配線が2以上の層に分割形成された部分を各回路素子間にそれぞれ有する形態が好ましい。配線の材質、形状、寸法(厚さ、幅等)及び形成方法は、各層で同一であってもよいし、異なっていてもよい。

[0013] 本発明の駆動回路基板は、少なくとも1つの駆動回路が基板上に形成されたものであればよく、その他の駆動回路が基板に対して外付けされていてもよい。基板上に形成される駆動回路としては、モノリシック形成が可能な回路であれば特に限定されないが、例えば、ソースドライバ、ゲートドライバ、タイミング発生回路(TG)、対向電極(Vcom)ドライバ、基準電圧(Vref)発生回路、バイアス電圧(Vbias)発生回路、DC

／DC回路（直流／直流コンバータ）、シリアルインターフェイス（I／F）等の液晶駆動用の回路等が好適である。液晶駆動用の回路が基板上に形成された駆動回路基板は、液晶パネル基板として好適に用いることができる。

[0014] 本発明の駆動回路基板の好ましい形態としては、上記回路素子は、薄膜トランジスタであり、上記配線の少なくとも1つは、ゲート電極配置層及びソース電極配置層に経路が形成された構成からなる形態が挙げられる。これによれば、回路素子同士を接続する配線を既存の配線の形成工程の組み合わせにより形成することができるため、低コストで回路素子の製造中の静電破壊を防止することができる。上記薄膜トランジスタ（TFT）としては、信頼性向上の観点から、オフセットゲート構造やLDD構造を有するものが好ましく、回路の安定動作、低消費電力等の観点から、相補型電界効果トランジスタ（CMOS－FET）であることが好ましい。また、融点が低いガラス基板等に形成されるTFTとしては、半導体層が連続粒界（CG）シリコン膜やポリシリコン膜等からなるものが好ましい。中でも、CGシリコン膜を用いたTFTは、CGシリコン膜が高い電子移動度を有することから、駆動回路を構成するTFTとして特に好適に用いられる。

[0015] 本発明はまた、2以上の回路素子が配線により接続された構造を基板上に有する駆動回路基板であって、上記配線の少なくとも1つは、異なる材料により形成された2以上の配線部位を含む構成からなる駆動回路基板でもある。このような場合においても、回路素子同士を接続する配線の形成工程が2以上に分割されることから、回路素子が配線の形成工程において静電破壊されることを防止することができる。

なお、本発明の駆動回路基板においては、配線の少なくとも1つが、（1）2以上の層に経路が形成された構成、（2）異なる材料により形成された2以上の配線部位を含む構成のうち、いずれか一方、又は、（1）及び（2）の組み合わせによって構成されることになる。

[0016] 本発明の駆動回路基板に用いられる基板は、ガラス材料からなることが好ましい。ガラス基板は、IC等に用いられる半導体のSi基板に比べ、絶縁性が高く、回路素子の静電気破壊を起こしやすいことから、このようなガラス基板に対して本発明を適用することで、本発明の作用効果を充分に得ることができる。

[0017] 本発明はまた、基板上に2以上の回路素子及び配線を備える駆動回路基板の製造方法であって、上記駆動回路基板の製造方法は、回路素子同士を接続する少なくとも1つの配線をドライエッチング工程を含む2以上のエッチング工程により形成する駆動回路基板の製造方法でもある。本発明の駆動回路基板の製造方法によれば、回路素子同士を接続する配線のエッチング工程が2以上に分割され、従来ではドライエッチング工程により1度に蓄積されていた電荷が2以上に分けて蓄積させることが可能となる。従って、各エッチング工程の間に電荷が一旦放電され、回路素子同士を接続する配線に蓄積される最大の電荷量が小さくなるため、回路素子が製造中に静電破壊されるのを防止することができ、その結果、高信頼性の駆動回路基板を製造することができる。

[0018] 上記ドライエッチング工程は、スパッタ法や真空蒸着法で成膜された配線材料をパターニングする工程であり、反応性イオンエッチング(RIE)等が好適に用いられる。上記反応性イオンエッチング(RIE)とは、プラズマにより生成させたイオン(又はラジカル)を被エッチング領域の金属薄膜に衝突させることによってイオンと金属原子とを化学反応させ、反応生成物を真空排気系により外部に除去するものである。

[0019] 本発明の駆動回路基板の製造方法では、ドライエッチング工程を含む2以上のエッチング工程により配線のパターン形成を行えば、回路素子同士を接続する配線を2以上の層に分割して形成してもよく、同一の層に形成してもよいが、2以上の層に分割して形成すれば、製造工程の簡略化を図ることができる。2以上の層に分割して形成する場合には、配線が分割形成される層の数としては、2層が好適である。同一の層に形成する場合には、配線材料の成膜工程をスパッタ法や真空蒸着法にて1回で行ってエッチング工程のみを2回以上に分けて行ってもよいし、配線材料の成膜工程及びエッチング工程を2回以上繰り返して行ってもよい。配線材料の成膜工程を2回以上に分けて行う場合には、配線材料、成膜条件等を変更することが可能である。本発明では、配線が分割形成される部分を配線中に少なくとも1箇所設ければよいが、本発明の作用効果を効果的に奏するためには、配線が分割形成される部分を各回路素子間にそれぞれ設けることが好ましい。

[0020] 上記2以上のエッチング工程は、ウエットエッチング工程を含むことが好ましい。すな

わち、本発明の駆動回路基板の製造方法では、配線のエッチング工程が2以上に分割されることから、配線の形成工程をドライエッチング工程とウエットエッチング工程との組み合わせにしてもよい。このようにウエットエッチング工程により配線の一部を形成した場合、ドライエッチング工程を繰り返し行って配線形成する場合に比べ、電荷の蓄積が生じにくく、より効果的に回路素子の製造工程における静電破壊を防止することができる。

[0021] 本発明の駆動回路基板の製造方法では、上記回路素子は、薄膜トランジスタであり、上記2以上のエッチング工程は、ゲート電極のパターニング工程及びソース電極のパターニング工程を含むことが好ましい。このようにエッチング工程がゲート電極のパターニング工程及びソース電極のパターニング工程を含むことにより、回路素子同士を接続する配線とゲート電極やソース電極とを既存の工程により一括して形成することができるので、安価な方法で回路素子が製造中に静電破壊されるのを防止することができる。

[0022] 本発明の駆動回路基板の製造方法で用いられる基板としては、ガラス材料からなることが好ましい。ガラス基板は、IC等に用いられる半導体のSi基板に比べ、絶縁性が高く、回路素子の静電気破壊を起こしやすいことから、このようなガラス基板に対して本発明を適用することで、本発明の作用効果を充分に得ることができる。

[0023] 本発明は更に、上記駆動回路基板、又は、上記駆動回路基板の製造方法により製造されてなる駆動回路基板を備える液晶表示パネル及び液晶表示装置でもある。本発明の液晶表示パネル及び液晶表示装置によれば、IC等に用いられる半導体のSi基板に比べ、絶縁性が高く、静電気破壊を起こしやすいガラス基板においても、回路素子における静電破壊等の特性劣化が防止された高信頼性の駆動回路基板を備えることから、高信頼性の液晶表示パネル及び液晶表示装置を提供することができる。本発明の液晶表示パネルの好ましい形態としては、上記駆動回路基板が液晶表示パネルを構成する液晶パネル基板として用いられた形態が挙げられる。このように、駆動回路（液晶駆動用の周辺回路）が液晶パネル基板上に形成された形態の液晶表示パネルは、別名システム液晶パネルとも呼ばれ、駆動回路基板が液晶パネル基板に対して外付けされた形態と比べ、部材や工程数の削減、ファインピッチ化及び薄

型軽量化等が可能となる。

発明の効果

[0024] 本発明の駆動回路基板によれば、配線の少なくとも1つが、2以上の層に経路が形成された構成や異なる材料により形成された2以上の配線部位を含む構成を有することから、配線の形成工程が2以上に分割されており、配線パターン形成時のドライエッチングにより配線に蓄積された電荷が各層形成工程の間に一旦放電され、回路素子同士を接続する配線に蓄積される最大の電荷量を小さくすることができ、回路素子が製造中に静電破壊されるのを防止することができる。また、配線の形成工程が2以上に分割されることから、配線形成におけるエッチング工程をドライエッチング工程とウエットエッチング工程との組み合わせにすることも可能であり、このような場合には、ドライエッチング工程を繰り返し行って配線形成する場合に比べ、電荷の蓄積が生じにくく、より効果的に回路素子の製造工程における静電破壊を防止することができる。

発明を実施するための最良の形態

[0025] 以下に実施形態を掲げ、本発明について図面を参照しながら更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

[0026] (実施形態1)

図1(a)は、本発明の実施形態であるモノリシック技術が適用された液晶パネル基板(駆動回路基板)の額縁部の回路配置を示す正面模式図であり、(b)は、(a)に示す液晶パネル基板の額縁部のうち、丸で囲まれた部分の回路配置を拡大した模式図である。

本実施形態の液晶パネル基板(駆動回路基板)では、回路素子11同士を接続する配線の一部にソース配線と同じ階層の配線13を用いている。具体的には、図1(b)に示すように、回路素子11同士を接続する配線のうち、回路素子11との接続部分(回路素子同士を接続する配線の両端部分)には、ゲート配線と同じ階層の配線12が用いられ、それ以外の部分(回路素子同士を接続する配線の中間部分)には、ソース配線と同じ階層の配線13が用いられている。このような構成の配線を形成するには、2つの工程、すなわちゲート配線と同じ階層の配線12を形成する工程と、ソース

配線と同じ階層の配線13を形成する工程とが必要となる。このように、配線の形成工程が2回に分けられることにより、従来、配線パターニング時のドライエッチングにより1度に蓄積されていた電荷が2度に分けて蓄積させることが可能となる。そして、この形成工程の間に、電荷が一旦放電されるので、回路素子11同士を接続する配線に蓄積される最大の電荷量は、従来よりも小さくなる。その結果、回路素子11が製造中に静電破壊されるのを防止することができる。また、ソース配線と同じ階層の配線13の形成工程におけるエッチングプロセスをウエットエッチングで行えば、配線13に電荷の蓄積が起こりにくく、回路素子が製造中に静電破壊されるのをより効果的に防止することができる。

[0027] 本実施形態においては、回路素子11としてトップゲート型薄膜トランジスタを用いた。図2(a)は、実施形態1の駆動回路基板において、基板上に形成された駆動回路の配線部の構造を示す断面模式図であり、(b)は、(a)に示す駆動回路基板において、基板上に形成された駆動回路のTFT部の構造を示す断面模式図である。

以下、本実施形態のトップゲート型薄膜トランジスタを有する駆動回路基板の製造方法について説明する。

[0028] (1)Si層の形成

まず、原料ガスとしてシランガスを用いたプラズマ化学気相成長法(PECVD)により、ガラス基板21上にアンダーコート(SiO_2／SiNO)28とアモルファスシリコン(a－Si)層を形成した。アンダーコート28は、他に(SiN／SiO_2)等でもよい。通常のPECVDにより形成したa－Siには約10%の水素が含まれることから、そのままレーザー・アニールを行うと、水素が突沸して層が荒れるおそれがあるため、次いで、約500℃でa－Si層中の水素濃度を低減する処理(脱水素処理)を行う。脱水素処理に関し、500℃程度までの昇温はガラス基板の特性上特に問題ないが、時間を延長すればより低温で行うことも可能であり、例えば、430℃で2時間程度行ってもよい。このような脱水素処理により水素含有率を1%前後まで落とすことができると考えられる。

また、この後、金属触媒を塗布して、CG－シリコン化するための前処理を行ってもよい。

次に、a－Si層に対してチャネルドープを行った。チャネルドープでは、NMOSの場

合には、a－Si層に対してボロン等の3価の原子、PMOSの場合には、リン等の5価の原子を注入する。

また、このチャネルドープは、下記に示すゲート絶縁膜23の形成後に行うことも可能である。

次に、レーザー・アニールを行って、a－Siを溶融、冷却、固化させることによりポリ(多結晶)シリコン(p－Si)にした。本実施形態では、出力200W前後のエキシマレーザを用いた。

また、レーザー・アニールの前処理として、固相結晶化の熱処理を行ってもよい。

次に、フォトリソと四フッ化炭素(CF_4)ガスによるドライエッチングを行い、トランジスタ部分以外のp－Si層を除去し、薄膜トランジスタ領域24を形成した。

[0029] (2)ゲート絶縁膜の形成

続いて、原料ガスとしてテトラエチルオルトシリケート(TEOS)ガスを用いたPECVDにより二酸化ケイ素(SiO_2)膜からなるゲート絶縁膜23を形成した。ゲート絶縁膜材料としては、その他、SiNx、SiON等を用いることができる。

(3)チャネルドープ

次に、Nch、Pchのトランジスタのしきい値を制御するため、リンをNchにチャネルドープした。

(4)ゲートメタルの形成

続いて、スパッタ法により抵抗1Ω／□のタングステン(W)膜、及び、抵抗500Ω／□の窒化タンタル(TaN)膜をこの順で形成した。ゲートメタルに用いられる金属としては、その他、MoW、Al等の低抵抗金属、表面が平坦で特性の安定した高融点金属等が用いられる。次に、フォトリソと原料ガスとしてAr、SF_6、CF_4、O_2、Cl_2等の混合ガス分量を調整したドライエッチングを行い、2層構造のゲートメタル(配線)22を形成した。ゲートメタル(配線)22は、TFT部のゲート電極パターンと配線部の配線パターンの一部とから構成されるものである。

[0030] (5)イオンドーピング

続いて、イオン注入したくない場所をフォトレジストで覆って保護した(マスキング)。その後、トランジスタのソース・ドレイン領域にイオン注入を行った(イオンドーピング)。

このとき、P型半導体とするには、ボロン等が注入され、N型半導体とするには、リン等が注入される。次に、イオン注入によりp－Si薄膜表面近傍に存在しているイオンをp－Si層内に取り込んで活性化させるために、エキシマレーザを照射した。この活性化処理により電気伝導性を向上することができる。

また、活性化処理としては、高温焼成する方法もある。

(6)層間絶縁膜の形成

続いて、PECVDにより層間絶縁膜27を形成した。層間絶縁膜材料としては、SiNx、SiON等を用いることができる。

[0031] (7)水素アニーリング処理

特性安定化のための水素アニーリング処理を行った。

(8)コンタクト部の形成

続いて、フォトリソ後、フッ酸系のウエットエッチング液を用いてコンタクトホール(コンタクト部)26の穴開けを行った。p－Siの厚さが薄いため、ドライエッチングよりもエッチング精度は劣るが、選択比が高いウエットエッチング法を採用した。

(9)ソースメタルの形成

続いて、スパッタリング法でチタン(Ti)膜、アルミニウム－ケイ素(Al－Si)系合金膜、Ti膜の順で金属薄膜を形成した。次に、フォトリソ後、Tiについては、フッ酸溶液、Alについては、リン酸、硝酸、酢酸の混合溶液を用いたウエットエッチングを行い、3層構造の抵抗1Ω／□のソース(ドレイン)メタル(配線)25を形成するとともに、コンタクト部26を完成させた。このとき、ソース(ドレイン)メタル(配線)25としては、TFTのソース電極に接続された配線部分と、TFTのドレイン電極に接続された配線部分と、配線部のコンタクト部26を介してゲートメタル22に接続された配線部分とが形成された。そして、ソース(ドレイン)メタル25のパターンの一部と、ゲートメタル22のパターンとが接続されたことにより、TFTのゲート電極同士が接続され、駆動回路が完成した。

本実施形態では、ソースメタルの形成後、PECVDによる保護膜(層間絶縁膜の1種)の形成、樹脂膜塗布、透明電極(ITO)の形成等を行って低温P－Si製造工程を完了した。

[0032] 本実施形態により製造された駆動回路基板によれば、TFT同士を接続する配線の形成工程がゲートメタル22を形成する工程とソースメタル23を形成する工程とに分割されている。また、ソースメタル23を形成する工程におけるエッチングプロセスは、ウエットエッチングで行った。その結果、回路素子同士を接続する配線に蓄積される最大の電荷量を小さくすることができため、回路素子が製造中に静電破壊されるのを効果的に防止することができた。

[0033] (実施形態2)

図3(a)は、実施形態2の駆動回路基板において、基板上に形成された駆動回路の配線部の構造を示す断面模式図であり、(b)は、(a)に示す駆動回路基板において、基板上に形成された駆動回路のTFT部の構造を示す断面模式図である。

本実施形態では、実施形態1に対し、製造工程順を、(4)ゲートメタルの形成、(2)ゲート絶縁膜の形成、(1)Si層の形成、(5)イオンドーピング、(7)水素アニーリング処理、(8)コンタクト部の形成、(9)ソースメタルの形成の順に変更することで、ボトムゲート型薄膜トランジスタを有する駆動回路基板の製造を行った。なお、工程順を変更したことに伴い、脱水素処理の処理温度等を適宜変更した。

本実施形態により製造された駆動回路基板においても、実施形態1と同様の作用効果を得ることができた。

[0034] なお、本願は、2004年8月27日に出願された日本国特許出願第2004－249097号を基礎として、(合衆国法典35巻第119条に基づく)優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

図面の簡単な説明

[0035] [図1](a)は、本発明の実施形態に係るモノリシック技術が適用された液晶パネル基板(駆動回路基板)の額縁部の回路配置を示す正面模式図であり、(b)は、(a)に示す液晶パネル基板の額縁部のうち、丸で囲まれた部分の回路配置を拡大した模式図である。

[図2](a)は、実施形態1の駆動回路基板において、基板上に形成された駆動回路の配線部の構造を示す断面模式図であり、(b)は、(a)に示す駆動回路基板において、基板上に形成された駆動回路のTFT部の構造を示す断面模式図である。

[図3](a)は、実施形態2の駆動回路基板において、基板上に形成された駆動回路の配線部の構造を示す断面模式図であり、(b)は、(a)に示す駆動回路基板において、基板上に形成された駆動回路のTFT部の構造を示す断面模式図である。

[図4]従来の液晶表示装置に搭載されるアクティブマトリクス基板の製造途中の構成を示す正面模式図である。

[図5]モノリシック技術が適用された液晶パネル基板(駆動回路基板)の構成を示す正面模式図である。

[図6](a)は、従来のモノリシック技術が適用された液晶パネル基板(駆動回路基板)の額縁部に形成されたゲートドライバの様子を示す正面模式図であり、(b)は、(a)に示す液晶パネル基板の額縁部のうち、丸で囲まれた部分を拡大した模式図である。

符号の説明

[0036] 5, 55:駆動回路

6, 56:配線

11, 51:薄膜トランジスタ(回路素子)

12, 22, 52:ゲートメタル(配線)

13, 25, 53:ソース(ドレイン)メタル(配線)

21:ガラス基板

23:ゲート絶縁膜

24:チャネル領域

26:コンタクト部

27:層間絶縁膜

28:アンダーコート

50:画素電極

54:ガードリング

61:画素領域

62:ゲートドライバ

63:ソースドライバ

64:基準電圧(Vref)発生回路

65：バイアス電圧（Vbias）発生回路

66：タイミング発生回路（TG）

67：対向電極（Vcom）ドライバ

68：DC／DC回路

請求の範囲

[1] 基板上に2以上の層が形成された積層構造を有するとともに、2以上の回路素子が配線により接続された構造を有する駆動回路基板であって、
該配線の少なくとも1つは、2以上の層に経路が形成された構成からなる
ことを特徴とする駆動回路基板。

[2] 前記回路素子は、薄膜トランジスタであり、
前記配線の少なくとも1つは、ゲート電極配置層及びソース電極配置層に経路が形成された構成からなる
ことを特徴とする請求項1記載の駆動回路基板。

[3] 前記基板は、ガラス材料からなることを特徴とする請求項1記載の駆動回路基板。

[4] 2以上の回路素子が配線により接続された構造を基板上に有する駆動回路基板であって、
該配線の少なくとも1つは、異なる材料により形成された2以上の配線部位を含む構成からなる
ことを特徴とする駆動回路基板。

[5] 前記基板は、ガラス材料からなることを特徴とする請求項4記載の駆動回路基板。

[6] 基板上に2以上の回路素子及び配線を備える駆動回路基板の製造方法であって、
該駆動回路基板の製造方法は、回路素子同士を接続する少なくとも1つの配線をドライエッチング工程を含む2以上のエッチング工程により形成する
ことを特徴とする駆動回路基板の製造方法。

[7] 前記2以上のエッチング工程は、ウエットエッチング工程を含むことを特徴とする請求項6記載の駆動回路基板の製造方法。

[8] 前記回路素子は、薄膜トランジスタであり、
前記2以上のエッチング工程は、ゲート電極のパターニング工程及びソース電極のパターニング工程を含む
ことを特徴とする請求項6記載の駆動回路基板の製造方法。

[9] 前記基板は、ガラス材料からなることを特徴とする請求項6記載の駆動回路基板の製造方法。

[10] 請求項1記載の駆動回路基板を備えることを特徴とする液晶表示パネル。

[11] 請求項4記載の駆動回路基板を備えることを特徴とする液晶表示パネル。

[12] 請求項6記載の駆動回路基板の製造方法により製造されてなる駆動回路基板を備えることを特徴とする液晶表示パネル。

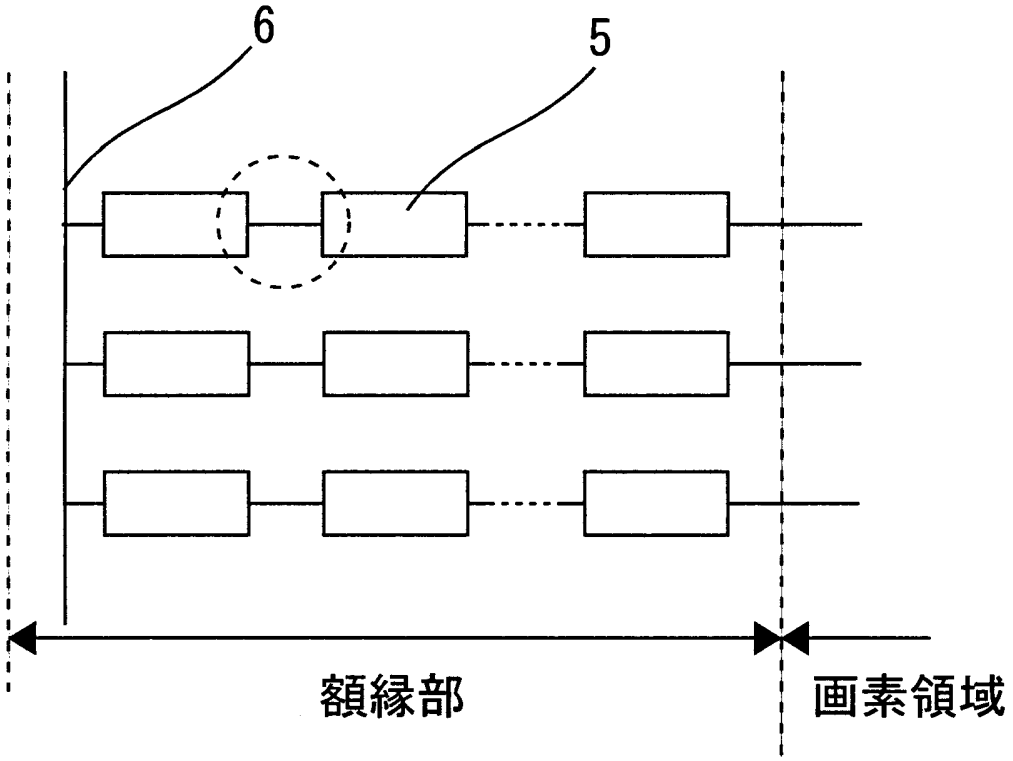
[13] 請求項1記載の駆動回路基板を備えることを特徴とする液晶表示装置。

[14] 請求項4記載の駆動回路基板を備えることを特徴とする液晶表示装置。

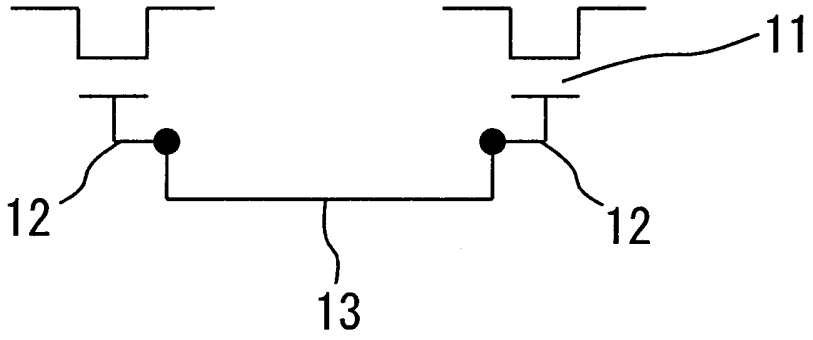
[15] 請求項6記載の駆動回路基板の製造方法により製造されてなる駆動回路基板を備えることを特徴とする液晶表示装置。

[図1]

（ａ）

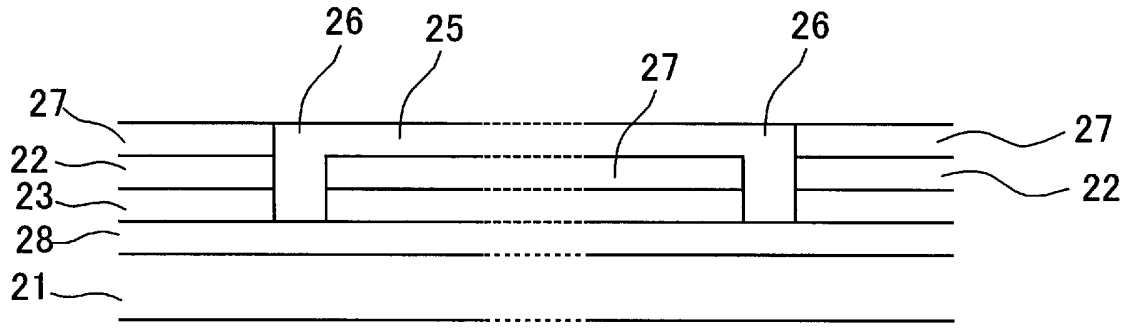


（ｂ）

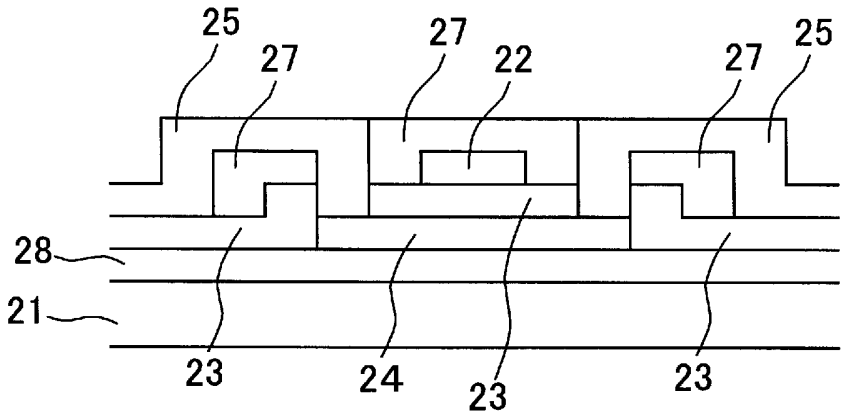


[図2]

(a)

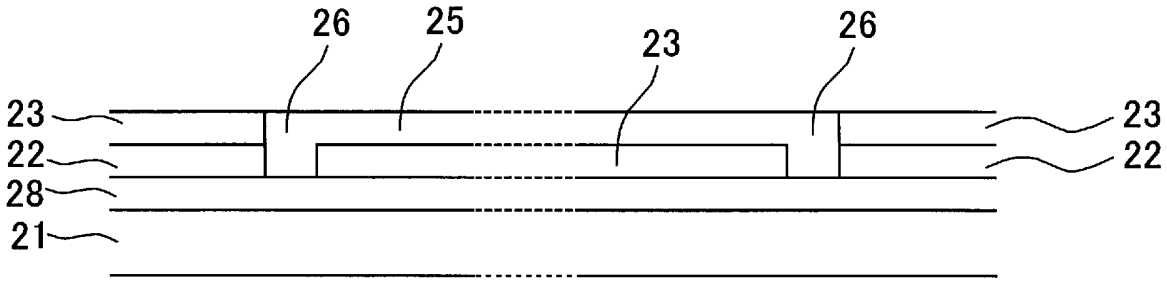

26
25
27
26
27
27
22
22
23
28
21

(b)

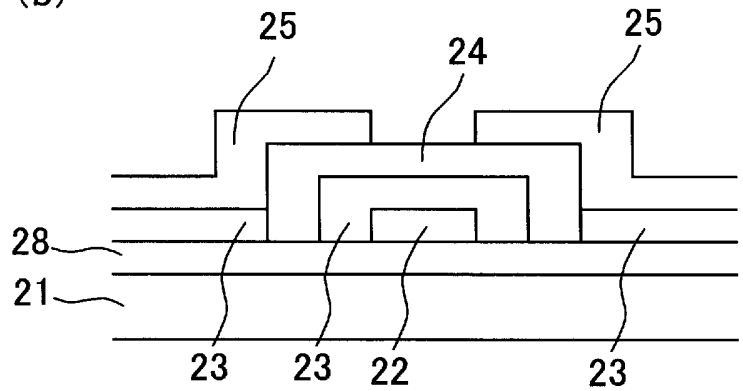

25
27
27
22
27
25
28
21
23
24
23
23

[図3]

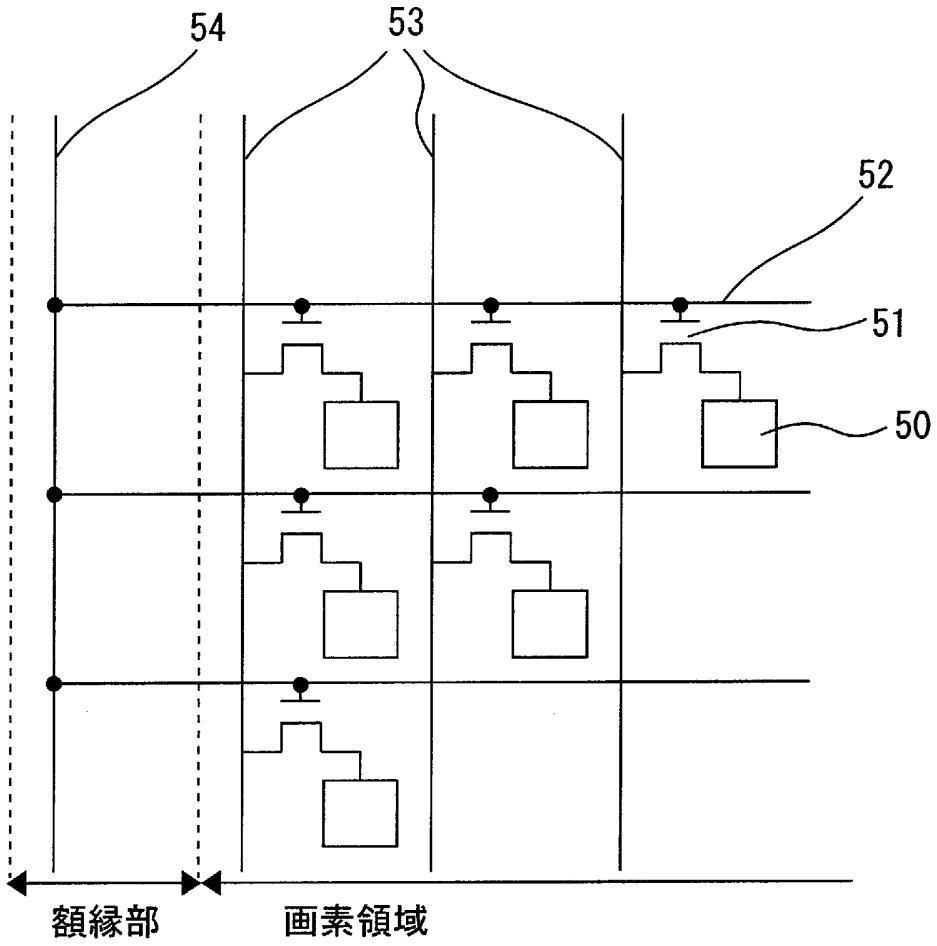
(a)


26
25
23
26
23
23
22
22
28
21

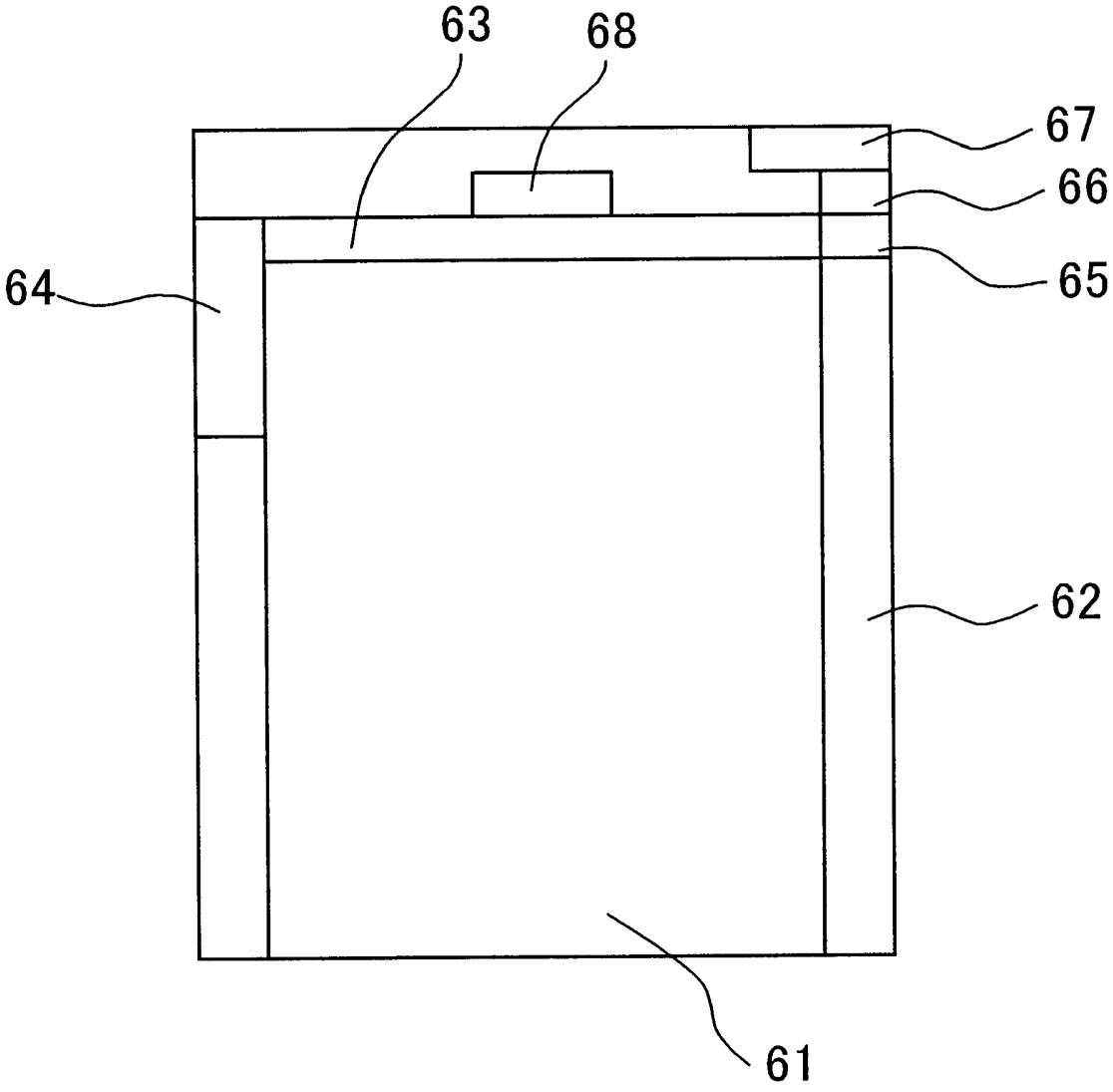
(b)


25
24
25
28
21
23
23
22
23

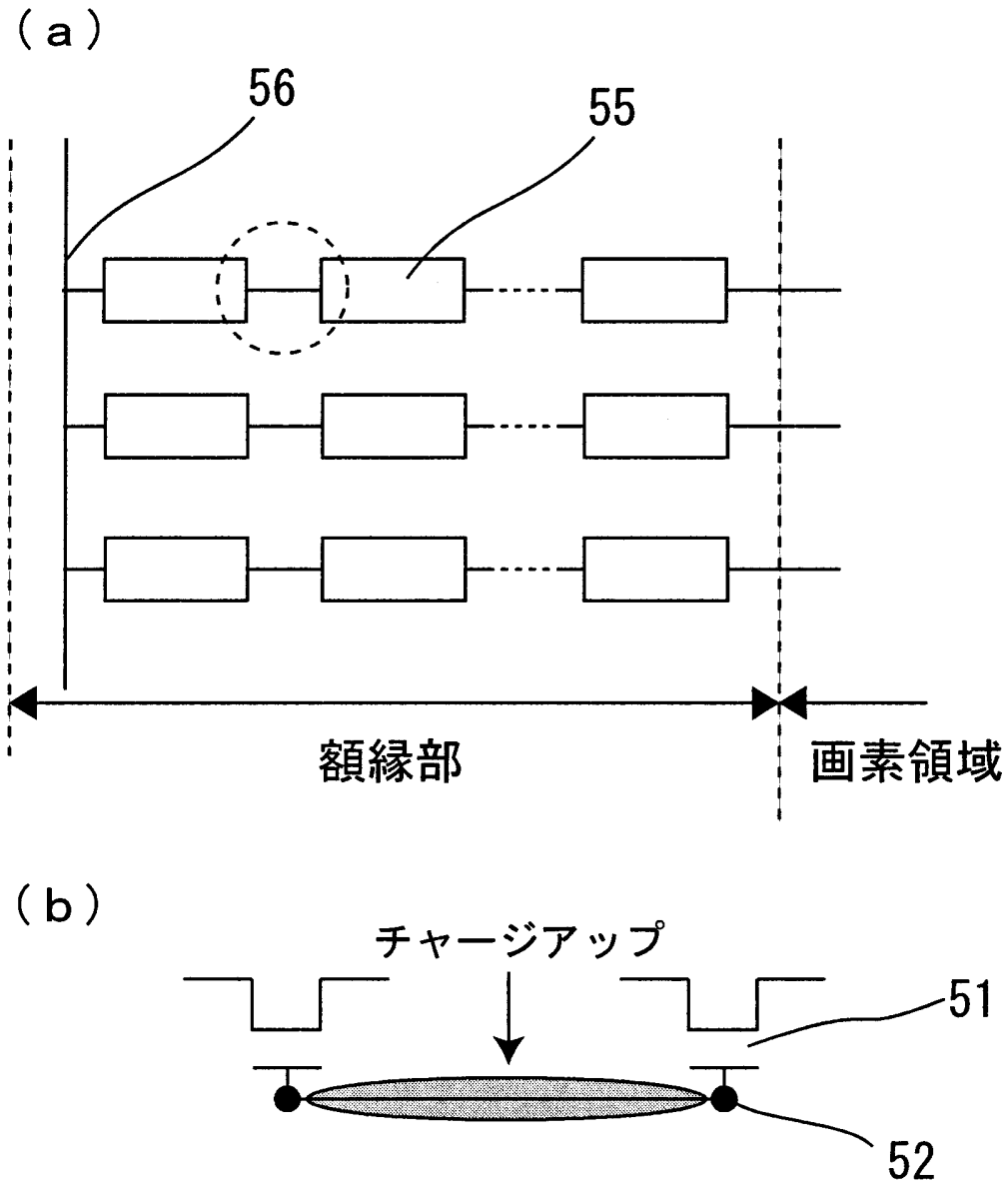
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/014762

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/52 (2006.01), ***H01L27/12*** (2006.01), ***H01L29/786*** (2006.01), ***G02F1/1345*** (2006.01), ***H01L21/768*** (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/52 (2006.01), ***H01L27/12*** (2006.01), ***H01L29/786*** (2006.01), ***G02F1/1345*** (2006.01), ***H01L21/768*** (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-107524 A (Matsushita Electric Industrial Co., Ltd.), 09 April, 2003 (09.04.03), Full text; all drawings (Family: none)	1-15
X	JP 2000-36604 A (Matsushita Electric Industrial Co., Ltd.), 02 February, 2000 (02.02.00), Full text; all drawings (Family: none)	1-15
X	JP 2004-163493 A (Sanyo Electric Co., Ltd.), 10 June, 2004 (10.06.04), Full text; all drawings & US 2004/0145694 A1	1-15

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 November, 2005 (01.11.05)	15 November, 2005 (15.11.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０１４７６２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.[7] ***H01L23/52*** (2006.01), ***H01L27/12*** (2006.01), ***H01L29/786*** (2006.01), ***G02F1/1345*** (2006.01), ***H01L21/768*** (2006.01)

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.[7] ***H01L23/52*** (2006.01), ***H01L27/12*** (2006.01), ***H01L29/786*** (2006.01), ***G02F1/1345*** (2006.01), ***H01L21/768*** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００５年
日本国実用新案登録公報	１９９６－２００５年
日本国登録実用新案公報	１９９４－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	JP 2003-107524 A（松下電器産業株式会社）2003.04.09, 全文、全図（ファミリーなし）	1-15
X	JP 2000-36604 A（松下電器産業株式会社）2000.02.02, 全文、全図（ファミリーなし）	1-15
X	JP 2004-163493 A（三洋電機株式会社）2004.06.10, 全文、全図　& US 2004/0145694 A1	1-15

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０１．１１．２００５	国際調査報告の発送日 １５．１１．２００５
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　4M　2934 綿引　隆 電話番号　０３－３５８１－１１０１　内線　３４６２