



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) DE 198 42 441 B4 2004.07.29

(12)

## Patentschrift

(21) Aktenzeichen: **198 42 441.8**  
(22) Anmelddatum: **16.09.1998**  
(43) Offenlegungstag: **09.09.1999**  
(45) Veröffentlichungstag  
der Patenterteilung: **29.07.2004**

(51) Int Cl.<sup>7</sup>: **H01L 27/12**  
**H01L 23/50**

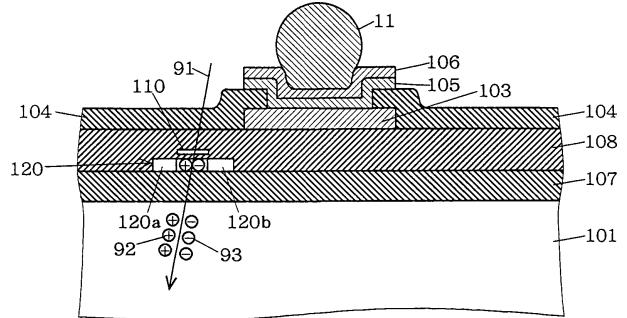
Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

(30) Unionspriorität:  
**P 10-45459** 26.02.1998 JP  
  
(71) Patentinhaber:  
**Mitsubishi Denki K.K., Tokio/Tokyo, JP**  
  
(74) Vertreter:  
**PRÜFER & PARTNER GbR, 81545 München**

(72) Erfinder:  
**Maeda, Shigenobu, Tokio/Tokyo, JP; Nishimura, Tadashi, Tokio/Tokyo, JP; Tsutsumi, Kazuhito, Tokio/Tokyo, JP; Maegawa, Shigeto, Tokio/Tokyo, JP; Hirano, Yuichi, Tokio/Tokyo, JP**  
  
(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:  
**US 53 29 423**  
**WO 94 17 553**  
**Flip Chip Technologies, J.H. Lau, 26-28, McGraw Hill, 1998;**

(54) Bezeichnung: **Halbleiterbauelement und Verfahren zu seiner Herstellung**

(57) Hauptanspruch: Halbleiterbauelement, mit einer ersten Isolierschicht (107), einer darauf ausgebildeten Halbleiterschicht (120), die einen darin ausgebildeten Transistor mit SOI-Struktur enthält, einer darauf ausgebildeten zweiten Isolierschicht (108), die die Halbleiterschicht bedeckt, einer Elektrode (103, 105, 106), die auf der zweiten Isolierschicht (108) vorgesehen ist, und einem elektrisch leitenden Höcker (11), der auf der Elektrode (103, 105, 106) vorgesehen ist, wobei der Transistor und die Elektrode (103, 105, 106) nicht direkt miteinander in Kontakt stehen.



## Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Halbleiterbauelement und insbesondere ein Halbleiterbauelement, das in CSP-Form (Chip Size Package = Chipgrößengehäuse) montiert ist.

[0002] **Fig.** 9 ist eine schematische Querschnittsansicht einer CSP-Montage. Ein Halbleiterbauelement 1 ist in Form eines Chips direkt auf einer Leiterplatte 2 montiert, um die für die Montage des Halbleiterbauelements 1 auf der Leiterplatte 2 erforderliche Fläche zu reduzieren. Das Halbleiterbauelement 1 in Chipform enthält Löthöcker 11, über die das Halbleiterbauelement 1 mit der Leiterplatte 2 verbunden ist.

[0003] **Fig.** 10 ist eine schematische Querschnittsansicht eines weiteren Typs einer CSP-Montage. Wie in **Fig.** 10 gezeigt ist, ist das Halbleiterbauelement 1 in Chipform manchmal von einem Gießharz 12 bedeckt, das die Exposition der Löthöcker 11 ermöglicht.

[0004] Die **Fig.** 11 bis 14 sind Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung eines Halbleiterbauelements in der Reihenfolge aufeinanderfolgender Prozeßschritte. Wie in **Fig.** 11 gezeigt ist, sind auf einer oberen Oberfläche eines Halbleitersubstrats 101 beispielsweise aus Silicium Diffusionsschichten 101a und 101b, die als Source und als Drain dienen, ausgebildet. Auf dem Halbleitersubstrat 101 ist ein Zwischenschicht-Isolierfilm 102 ausgebildet, der beispielsweise aus Siliciumoxid hergestellt ist. Gegenüber der oberen Oberfläche eines Abschnitts des Halbleitersubstrats 101, der zwischen den Diffusionsschichten 101a und 101b liegt, ist über einem Gate-Isolierfilm (der um der einfachen Darstellung willen mit dem Zwischenschicht-Isolierfilm 102 gleichgesetzt ist) ein Gate 109 ausgebildet. Mit der Diffusionsschicht 101b ist über einen nicht gezeigten Verbindungsmechanismus, beispielsweise ein Kontaktloch, eine Aluminiumanschlußfläche 103 verbunden.

[0005] Auf der in **Fig.** 11 gezeigten Struktur wird durch einen Plasma-CVD-Prozeß ein Siliciumnitridfilm 104 ausgebildet. Ein Teil des Siliciumnitridfilms 104, der über der Aluminiumanschlußfläche 103 liegt, wird durch Photolithographie und durch Ätzung selektiv entfernt, um die in **Fig.** 12 gezeigte Struktur zu schaffen.

[0006] Auf der in **Fig.** 12 gezeigten Struktur werden durch einen Zerstäubungsprozeß (Sputtern) eine Titanschicht 105 und eine Nickelschicht 106 aufgebracht (abgeschieden). Dann werden Photolithographie- und Ätzprozesse so ausgeführt, daß die Titanschicht 105 und die Nickelschicht 106 nur in einem Bereich zurückbleiben, der sich von der Aluminiumanschlußfläche 103 zu einem Ende des Siliciumnitridfilms 104 erstreckt, wodurch die in **Fig.** 13 gezeigte Struktur geschaffen wird.

[0007] Auf einer Mehrschichtstruktur, die in dem in **Fig.** 13 gezeigten Aufbau aus der Aluminiumanschlußfläche 103, der Titanschicht 105 und der

Nickelschicht 106 besteht, wird ein Löthöcker 11 angeordnet, um die in **Fig.** 14 gezeigte Struktur zu schaffen.

[0008] Wie im Stand der Technik wohlbekannt ist, bewirken bei einer Bestrahlung mit Alphateilchen 91 Elektronen 93 und Löcher 92, die im Halbleiter erzeugt werden, Betriebsfehler eines Halbleiterbauelements. Obwohl das Halbleiterbauelement von dem Gießharz 12 bedeckt ist und die Löthöcker 11 wie in **Fig.** 10 gezeigt freiliegen, ist es notwendig gewesen, beispielsweise ein Polyimidharz zu verwenden, das für Alphastrahlen weniger durchlässig als das Material des typischen Gießharzes 12 ist, um das Halbleiterbauelement vor den Alphateilchen abzuschirmen und zu schützen.

[0009] Leider kann das Polyimidharz das Halbleiterbauelement in Chipform, das bei der CSP-Montage verwendet wird, nur schwer vor Alphateilchen abschirmen und schützen. Die Herstellung eines Polyimids anstelle des Siliciumnitridfilms 104 oder auf dem Siliciumnitridfilm 104 könnte die Entfernung der Titanschicht 105 und der Nickelschicht 106 sowie die Erzeugung ungleichmäßiger oder rauher Oberflächen zur Folge haben.

[0010] Diese Probleme ergeben sich aus der Film-aufbringungstemperatur, die die Temperatur von 300 °C übersteigt, mit der die Titanschicht 105 und die Nickelschicht 106 durch den Zerstäubungsprozeß aufgebracht werden. Im allgemeinen wird ein Polyimid durch Dehydratation von Carboxyl-Polyamid in flüssigem Zustand durch Erhitzen auf eine Temperatur von 300 °C bis 350 °C, um eine Polymerisierung hervorzurufen, hergestellt. Es ist jedoch schwierig, die in dem Carboxyl-Polyamid enthaltene Feuchtigkeit vollständig zu entfernen. Die in dem Polyimid verbleibende Feuchtigkeit könnte während des Zerstäubens der Titanschicht 105 und der Nickelschicht 106 freigesetzt werden, wodurch Probleme der Entfernung der Feuchtigkeit sowie der Erzeugung unebener Oberflächen entstehen.

[0011] Weiterhin werden zwischen dem Halbleiterchip und der Leiterplatte mechanische Spannungen erzeugt, da die Leiterplatte im allgemeinen einen höheren Wärmeausdehnungskoeffizienten als der Halbleiterchip besitzt. Bei der CSP-Montage sind keine spannungsentlasteten Anschlußdrahtrahmen wie bei der Anschlußdrahtgehäuse-Montage vorhanden, was Schwierigkeiten bei der Entlastung von Spannungen nach der Gehäusemontage zur Folge hat. Die Schwierigkeiten der Spannungsentlastung ergeben eine gewisse Wahrscheinlichkeit für im Halbleitersubstrat 101 erzeugte Risse. Die Diffusionsschichten 101a und 101b sind im allgemeinen in einem Störstellendiffusionsbereich, der als Wanne bekannt ist, ausgebildet. Die Erzeugung von Rissen in der Wanne verschlechtert die Transistoreigenschaften erheblich.

## Stand der Technik

[0012] Aus der Druckschrift WO 94/17553 ist ein dreidimensionaler integrierter Schaltkreis und ein Verfahren zu dessen Herstellung bekannt. Der dreidimensionale Schaltkreis beinhaltet einen SOI-Wafer mit einem Transistor, der zwischen zwei isolierenden Schichten eingebettet ist, einer Elektrode in einem Kontaktloch, das bis zu einer Gateelektrode reicht und einen Indiumhöcker auf der Elektrode.

[0013] Aus der Druckschrift US 5 329 423 ist eine Halbleitervorrichtung bekannt mit einem Halbleiter-Schaltungs-Chip mit Elektroden, auf denen Indiumhöcker aufgebracht sind. Eine z.B. aus SiN bestehende Passivierungsschicht und eine z.B. aus Polyamid bestehende Verkapselungsschicht sind in dieser Reihenfolge mit Ausnahme der Stellen, an denen sich die Elektroden und die Indiumhöcker befinden, auf den Halbleiterschaltungsschip aufgebracht.

[0014] Aus "Flip Chip Technologies", John H. Lau, Seiten 26 bis 28, McGraw-Hill, 1996 ist die Beschreibung verschiedener Lot-Bump-Flip-Chip-Technologien bekannt, bei denen ein Halbleiter-Chip mit Löt-Bumps mit einem Substrat verbunden wird.

## Aufgabenstellung

[0015] Der Erfindung liegt daher die Aufgabe zu grunde, ein Halbleiterbauelement für die CSP-Montage und ein Verfahren zu seiner Herstellung zu schaffen, wobei in dem Halbleiterbauelement Fehler aufgrund von Alphastrahlung vermieden werden und das Halbleiterbauelement gegenüber Beanspruchungen hochgradig beständig ist.

[0016] Diese Aufgabe wird gelöst durch ein Halbleiterbauelement nach Anspruch 1 oder 5 oder 6. Weiterbildungen der Erfindung sind in den untergeordneten Ansprüchen angegeben.

[0017] Das Halbleiterbauelement nach Anspruch 1 oder nach Anspruch 3 kann in einer sogenannten CSP-Montage angebracht werden, bei der der leitende Höcker mit einer Leiterplatte verbunden wird. Weiterhin besitzt der Transistor die SOI-Struktur, wobei Elektronen und Löcher, die aufgrund einer Alphastrahlung in der Halbleiterschicht, in der der Transistor gebildet ist, erzeugt werden, in Mengen vorkommen, die die Funktionsweise des Transistors nicht beeinflussen. Ferner besteht eine geringe Wahrscheinlichkeit für die Erzeugung von Rissen in der Halbleiterschicht aufgrund der Beanspruchungen, die sich aus den unterschiedlichen Wärmeausdehnungskoeffizienten zwischen der Leiterplatte und dem Halbleiterbauelement ergeben und die bei der CSP-Montage ein Problem gewesen sind.

[0018] Bei dem Halbleiterbauelement nach Anspruch 5, ist das erste Element, das gegenüber Alphastrahlen hochgradig beständig ist, in dem Bereich ausgebildet, in dem die von dem Höcker stammenden Alphastrahlen nicht durch einen Film blockiert werden. Dadurch ist eine effektive Flächennutzung

möglich und werden 'nachteilige Wirkungen, die sich aus der Alphastrahlung ergeben, vermieden.

[0019] Bei dem Halbleiterbauelement nach Anspruch 5 liegt der Körper des MOS-Transistors, der als erstes Element dient, auf einem festen Potential. Dadurch werden parasitäre bipolare Effekte vermieden, wodurch die Beständigkeit gegenüber der Alphastrahlung weiter erhöht wird.

## Ausführungsbeispiel

[0020] Weitere Merkmale und Vorteile der Erfindung werden deutlich beim Lesen der folgenden Beschreibung bevorzugter Ausführungen, die auf die beigefügten Figuren Bezug nimmt. Von den Figuren zeigen:

[0021] **Fig. 1** eine Querschnittsansicht zur Erläuterung der Struktur eines Halbleiterbauelements gemäß einer ersten bevorzugten Ausführung der Erfindung;

[0022] **Fig. 2** eine Querschnittsansicht zur Erläuterung einer weiteren Struktur gemäß der ersten bevorzugten Ausführung;

[0023] **Fig. 3–5** Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung des Halbleiterbauelements in der Reihenfolge aufeinanderfolgender Prozeßschritte;

[0024] **Fig. 6** eine Querschnittsansicht zur Erläuterung eines weiteren Verfahrens zur Herstellung des Halbleiterbauelements

[0025] **Fig. 7** eine Querschnittsansicht zur Erläuterung einer Struktur des Halbleiterbauelements gemäß einer zweiten bevorzugten Ausführung der Erfindung;

[0026] **Fig. 8** eine Querschnittsansicht zur Erläuterung einer Struktur des Halbleiterbauelements gemäß einer dritten bevorzugten Ausführung der Erfindung;

[0027] **Fig. 9** die bereits erwähnte schematische Querschnittsansicht einer CSP-Montage;

[0028] **Fig. 10** die bereits erwähnte schematische Querschnittsansicht eines weiteren Typs einer CSP-Montage; und

[0029] **Fig. 11–14** die bereits erwähnten Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung eines Halbleiterbauelements in der Reihenfolge aufeinanderfolgender Prozeßschritte.

## Erste bevorzugte Ausführung

[0030] **Fig. 1** ist eine Querschnittsansicht zur Erläuterung der Struktur eines Halbleiterbauelements gemäß einer ersten bevorzugten Ausführung der Erfindung. Auf einem Halbleitersubstrat **101** beispielsweise aus Silicium ist ein vergrabenster Oxidfilm **107** ausgebildet. Auf dem vergrabenen Oxidfilm **107** ist ein MOS-Transistor mit einer SOI-Struktur (SOI = Semiconductor-on-Insulator = Halbleiter-auf-Isolator) ausgebildet. Der MOS-Transistor enthält Source- und Drain-Bereiche **120a** bzw. **120b**, die in einer Halblei-

terschicht **120** beispielsweise aus Silicium gebildet sind, sowie eine Gate-Elektrode **110**. Die Halbleiterschicht **120** und die Gate-Elektrode **110** sind mit einem Zwischenschicht-Isolierfilm **108** bedeckt, der beispielsweise aus BPTEOS (Bor-Phosphor-Tetraethyl-Orthosilikat) und/oder aus NSG (nichtdotiertes Silikatglas) hergestellt ist und auf dem vergraben Oxidfilm **107** ausgebildet ist.

[0031] Auf dem Zwischenschicht-Isolierfilm **108** ist eine Aluminiumanschlüssefläche **103**, die entweder mit dem Sourcebereich **120a** oder mit dem Drainbereich **120b** über nicht gezeigte Verbindungsmechanismen verbunden ist, sowie ein Siliciumnitridfilm **104** mit einer Öffnung auf der Oberseite der Aluminiumanschlüssefläche **103** ausgebildet. Lediglich in einem Bereich, der sich von der Aluminiumanschlüssefläche **103** zu einem Ende des Siliciumnitridfilms **104** erstreckt, sind eine Titanschicht **105** und eine Nickelschicht **106** ausgebildet. Auf der Nickelschicht **106** ist ein Löthöcker **11** angeordnet.

[0032] Ein unterer Teil (der das Halbleitersubstrat **101** enthält) einer solchen Struktur, der unter dem Zwischenschichtisolierfilm **108** liegt und diesen umfaßt, kann unter Verwendung einer Technik zur Bildung eines SOI-Transistors geschaffen werden. Ein oberer Teil (der den Löthöcker **11** enthält) einer solchen Struktur, der über dem Zwischenschicht-Isolierfilm **108** liegt, kann durch die in den **Fig. 11** bis **14** gezeigte Technik ausgebildet sein.

[0033] In der Halbleiterschicht **120** und in dem Halbleitersubstrat **101** werden Elektronen **93** und **92** erzeugt, wenn die Struktur nach **Fig. 1** mit Alphateilchen **91** bestrahlt wird. Da jedoch die Halbleiterschicht **120** für den SOI-Transistor vorgesehen ist, kann die Dicke der Halbleiterschicht **120** auf eine für die Bildung des Kanals erforderliche Dicke reduziert werden. Somit werden die Elektronen **93** und Löcher **92** in der Halbleiterschicht **120** in einer viel kleineren Anzahl als in dem Halbleitersubstrat **101** erzeugt. Aus diesem Grund wird der SOI-Transistor durch die Alphastrahlung weniger stark als bei einem sogenannten Bulk-Transistor, wie er in **Fig. 14** gezeigt ist, nachteilig beeinflußt.

[0034] Wenn ferner eine solche Struktur nach dem Erhitzen des Löthöckers **11** und der CSP-Montage gekühlt wird, werden Spannungen erzeugt, da die Leiterplatte, die einen höheren Wärmeausdehnungskoeffizienten als der Halbleiterchip besitzt, um einen größeren Betrag schrumpft. Da jedoch die Halbleiterschicht **120** eine geringe Dicke und eine geringe Länge besitzt, ist die Wahrscheinlichkeit für die Erzeugung von Rissen in der Halbleiterschicht **120** geringer als für jene Risse, die im Halbleitersubstrat **101** erzeugt würden. Dadurch wird ein Halbleiterchip mit einer größeren Beständigkeit gegenüber Beanspruchungen als bei der in **Fig. 14** gezeigten Struktur geschaffen, ohne daß die Größenreduzierung, die für die CSP-Montage charakteristisch ist, beeinträchtigt wird.

[0035] **Fig. 2** ist eine Querschnittsansicht zur Erläu-

terung einer weiteren Struktur des Halbleiterbauelements gemäß der ersten bevorzugten Ausführung der Erfindung. Die Halbleiterschicht **120** erstreckt sich senkrecht zur Längsrichtung eines nicht gezeigten Kanals (d. h. in Richtung der Kanalbreite). Für die FS-Isolation (FS = Field Shield Isolation = Feldabschirmung) mehrerer Transistoren sind FS-Gates **111** vorgesehen, die in Richtung der Kanalbreite angeordnet sind. Die Halbleiterschicht **120** ist, selbst wenn sie in dieser Weise verlängert ist, viel dünner als das Halbleitersubstrat **101**. Daher können Beanspruchungen leichter entlastet werden und es werden weiterhin in der Halbleiterschicht **120** weniger Risse erzeugt. Risse, sofern vorhanden, im Halbleitersubstrat **101** üben auf die Eigenschaften des in der Halbleiterschicht **120** gebildeten Transistors keinen Einfluß aus. Daher beeinträchtigt die Struktur nach **Fig. 2**, die die langgestreckte Halbleiterschicht **120** für die FS-Isolation enthält, die Wirkungen der Erfindung im Vergleich zu der Struktur nach **Fig. 1** nicht.

[0036] Die **Fig. 3** bis **5** sind Querschnittsansichten zur Erläuterung eines Verfahrens zur Herstellung des Halbleiterbauelements in der Reihenfolge aufeinanderfolgender Prozeßschritte.

[0037] Wie in **Fig. 3** gezeigt ist, wird auf dem Halbleitersubstrat **101** ein Zwischenschicht-Isolierfilm **102** ausgebildet, auf dem eine Mehrschichtstruktur, die die Aluminiumanschlüssefläche **103**, die Titanschicht **105** und die Nickelschicht **106** enthält, ausgebildet wird. Die Aluminiumanschlüssefläche **103** ist mit nicht gezeigten Source- und Drainbereichen elektrisch verbunden. Die lokale Dreifachmetallschichtstruktur, die in **Fig. 3** gezeigt ist, kann durch bekannte Halbleiterherstellungstechniken erhalten werden.

[0038] Danach werden der Siliciumnitridfilm **104** und eine Polyimidschicht **203** aufgebracht, ferner wird auf der Oberseite der Nickelschicht **106** eine Öffnung ausgebildet (**Fig. 4**). Ein Mehrschichtfilm **201**, der den Siliciumnitridfilm **104** und die Polyimidschicht **203** enthält, dient als Film zum Blockieren von Alphateilchen. Dann wird in der Öffnung der Löthöcker **11** ausgebildet, woraufhin das Halbleiterbauelement in Chipform fertiggestellt ist (**Fig. 5**). Diese Struktur, die die Polyimidschicht **203** enthält, die verhindert, daß Alphateilchen in das Halbleitersubstrat **101** eindringen, kann Fehler vermeiden, die sich aus den Alphateilchen ergeben, falls in dem Halbleitersubstrat **101** ein Bulk-Transistor ausgebildet ist. Alphateilchen, die von unterhalb des Halbleitersubstrats **101** ankommen (wo der Zwischenschicht-Isolierfilm **102** nicht vorgesehen ist), erreichen die Diffusionsschichten **101a** und **101b** unter normalen Bedingungen nicht und müssen daher im wesentlichen nicht berücksichtigt werden.

[0039] Die Polyimidschicht **203** wird ausgebildet, nachdem die Titanschicht **105** und die Nickelschicht **106** ausgebildet worden sind. Die Temperatur steigt während des Schrittes der Ausbildung des Löthöckers **11** auf ungefähr 200 °C an. Daher wird das Problem der von der bereits gebildeten Polyimidschicht

**203** freigegebenen Feuchtigkeit vermieden.

[0040] **Fig. 6** ist eine Querschnittsansicht zur Erläuterung eines weiteren Verfahrens zur Herstellung des Halbleiterbauelements. Auf die in **Fig. 14** gezeigte Struktur wird mit Ausnahme des Löthöckers **11** Carboxyl-Polyamid getropft. Danach wird die sich ergebende Struktur erhitzt, um die Polyimidschicht **203** mit Ausnahme des phateilchen blockiert, ohne die Verbindung zwischen dem Löthöcker **11** und der Leiterplatte zu stören.

[0041] Selbstverständlich ist das in der oben beschriebenen Technik verwendete Material nicht auf Carboxyl-Polyamid eingeschränkt, statt dessen kann irgendein Material verwendet werden, mit dem Alphateilchen blockiert werden und das herabtropfen kann.

#### Zweite bevorzugte Ausführung

[0042] **Fig. 7** ist eine Querschnittsansicht zur Erläuterung einer Struktur des Halbleiterbauelements gemäß einer zweiten bevorzugten Ausführung der Erfindung. In der oberen Fläche des Halbleitersubstrats **101** sind ein Isolieroxidfilm **400** mit einem Bereich AR sowie Diffusionsschichten **101a** und **101b**, die als Source- und Drainbereiche dienen, ausgebildet. Der Zwischenschicht-Isolierfilm **102**, der Gateelektroden **109** umgibt, ist auf dem Halbleitersubstrat **101** ausgebildet. Die Mehrschichtstruktur, die die Aluminiumanschlusfläche **103**, die Titanschicht **105** und die Nickelschicht **106** enthält, ist lokal auf dem Zwischenschicht-Isolierfilm **102** ausgebildet. Der Löthöcker **11** ist auf der Mehrschichtstruktur angeordnet. Der Film **201** ist auf dem Zwischenschicht-Isolierfilm **102** mit Ausnahme des Löthöckers **11** ausgebildet. Die Bildung des Films **201** kann unter Verwendung des oben beschriebenen Prozeßschrittes zur Bildung des Polyamidfilms **203** erfolgen.

[0043] Das Vorhandensein des Films **201** und des Löthöckers **11** schließt von vornherein Alphateilchen aus, die durch die Luft ankommen und in das Halbleitersubstrat **101** eindringen. Da jedoch das Lötmittel im allgemeinen Blei als Bestandteil und radioaktive Isotope als Verunreinigung in nicht geringen Mengen enthält, besteht eine gewisse Wahrscheinlichkeit, daß Alphateilchen vom Löthöcker **11** selbst in das Halbleitersubstrat **101** eindringen.

[0044] Um dies zu verhindern, wird auf der oberen Fläche des Halbleitersubstrats **101** die Fläche AR geschaffen, die vom Löthöcker **11** ohne Behinderung durch den Film **201** sichtbar ist (d. h. mit dem Löthöcker **11** durch gedachte Linien, die den Film **201** nicht berühren, verbindbar ist). Ein Element, dessen Funktionsweise durch einen geringen Anstieg der elektrischen Ladungen beeinflußt wird, etwa ein Transistor und ein Kondensator, wird in dem Bereich PR, in den vom Löthöcker **11** Alphateilchen eindringen könnten, nicht gebildet. Beispielsweise besitzt ein Kondensator, der in dem bei der CSP-Montage verwendeten Halbleiterbauelement gebildet wird, eine Kapazität

von einigen zehn Femto-Coulomb, wobei die Funktionsweise eines solchen Kondensators durch die Erzeugung geringer Mengen von Elektron-Loch-Paaren beeinflußt wird.

[0045] Der Isolieroxidfilm **400** ist beispielsweise im Bereich AR ausgebildet. Alternativ können in dem Bereich AR der SOI-Transistor, der gegenüber den Alphateilchen hochgradig beständig ist und in der ersten bevorzugten Ausführung gezeigt ist, oder ein Widerstandselement ausgebildet sein. Da der Film **201** verhindert, daß die vom Löthöcker **11** ankommenen Alphateilchen sowie die aus der Luft kommenden Alphateilchen den Transistor, der in dem vom Bereich AR verschiedenen Bereich ausgebildet ist, erreichen, können Fehler im Transistor aufgrund der Alphateilchen vermieden werden.

[0046] Insbesondere kann ein Element, das eine größere Beständigkeit gegenüber Alphastrahlung besitzt als das Element, das in dem vom Bereich AR verschiedenen Bereich ausgebildet ist, im Bereich AR ausgebildet sein, wodurch eine effektive Flächennutzung ermöglicht wird, ohne die Beständigkeit des gesamten Halbleiterbauelements gegenüber der Alphastrahlung nachteilig zu beeinflussen.

#### Dritte bevorzugte Ausführung

[0047] **Fig. 8** ist eine Querschnittsansicht zur Erläuterung einer Struktur eines Halbleiterbauelements gemäß einer dritten bevorzugten Ausführung der Erfindung. Wie in der ersten bevorzugten Ausführung enthält das Halbleiterbauelement der fünften bevorzugten Ausführung mehrere SOI-Transistoren **121** bis **123**. Der SOI-Transistor **121** enthält Source- und Drainbereiche **121a** und **121b**, einen Körperabschnitt **121c** und eine Gate-Elektrode **121d**. Der SOI-Transistor **122** enthält Source- und Drainbereiche **122a** und **122b**, einen Körperabschnitt **122c** und eine Gate-Elektrode **122d**. Der SOI-Transistor **123** enthält Source- und Drainbereiche **123a** und **123b**, einen Körperabschnitt **123c** und eine Gate-Elektrode **123d**. Die Körperabschnitte **121c** und **122c** liegen auf schwebendem Potential, d. h. sind nicht auf ein festes Potential gelegt, während der Körperabschnitt **123c** durch die nicht gezeigte bekannte Technik auf einem festen Potential liegt.

[0048] Für die Bildung eines MOS-SOI-Transistors im Bereich AR schließt die Festlegung des Potentials des Körperabschnitts des Transistors unter Verwendung der bekannten Technik parasitäre bipolare Effekte durch die Elektronen und Löcher, die durch Alphastrahlung erzeugt werden, von vornherein aus, ferner ist eine effektive Flächennutzung bei weiterer Erhöhung der Beständigkeit gegenüber der Alphastrahlung möglich.

#### Abwandlung

[0049] Um die Erzeugung von Alphastrahlung vom Löthöcker **11** zu vermeiden, kann ein Löthöcker ver-

wendet werden, der aus einer bleifreien Legierung aus Gold und Zinn hergestellt ist.

[0050] Obwohl die Erfindung oben im einzelnen beschrieben worden ist, ist die vorangehende Beschreibung in ihren sämtlichen Aspekten lediglich erläuternd und nicht einschränkend zu verstehen. Selbstverständlich können zahlreiche Abwandlungen und Veränderungen vorgenommen werden, ohne vom Umfang der Erfindung abzuweichen.

### Patentansprüche

1. Halbleiterbauelement, mit einer ersten Isolierschicht (107), einer darauf ausgebildeten Halbleiterschicht (120), die einen darin ausgebildeten Transistor mit SOI-Struktur enthält, einer darauf ausgebildeten zweiten Isolierschicht (108), die die Halbleiterschicht bedeckt, einer Elektrode (103, 105, 106), die auf der zweiten Isolierschicht (108) vorgesehen ist, und einem elektrisch leitenden Höcker (11), der auf der Elektrode (103, 105, 106) vorgesehen ist, wobei der Transistor und die Elektrode (103, 105, 106) nicht direkt miteinander in Kontakt stehen.

2. Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, dass der Transistor ein MOS-Transistor ist.

3. Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Transistor mehrere Transistorfeldabschirmungen (111) enthält, die voneinander isoliert sind und in der Halbleiterschicht (120) ausgebildet sind.

4. Halbleiterbauelement nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Elektrode eine Mehrschichtstruktur enthält, die eine Titanschicht (105) und eine Nickelschicht (106) enthält.

5. Halbleiterbauelement, mit einem Halbleitersubstrat (101, 107, 108), einer Elektrode (103, 105, 106), die auf dem Halbleitersubstrat (101, 107, 108) angeordnet ist, einem elektrisch leitenden Höcker (11), der auf der Elektrode (103, 105, 106) vorgesehen ist, einem Film (201), der das Halbleitersubstrat (101, 102) mit Ausnahme des Höckers (11) bedeckt und Alphastrahlen blockiert, einem MOS-Transistor (123) mit einem Körper auf einem festen Potential, der in dem Halbleitersubstrat (101, 107, 108) in einem Bereich (AR) angeordnet ist, in den vom Höcker (11) Alphastrahlen eindringen können, und einem zweiten Element (121, 122), das im Halbleitersubstrat (101, 107, 108) in einem von diesem Bereich (AR) verschiedenen Bereich angeordnet ist und gegenüber der Alphastrahlung weniger beständig ist als der MOS-Transistor (123).

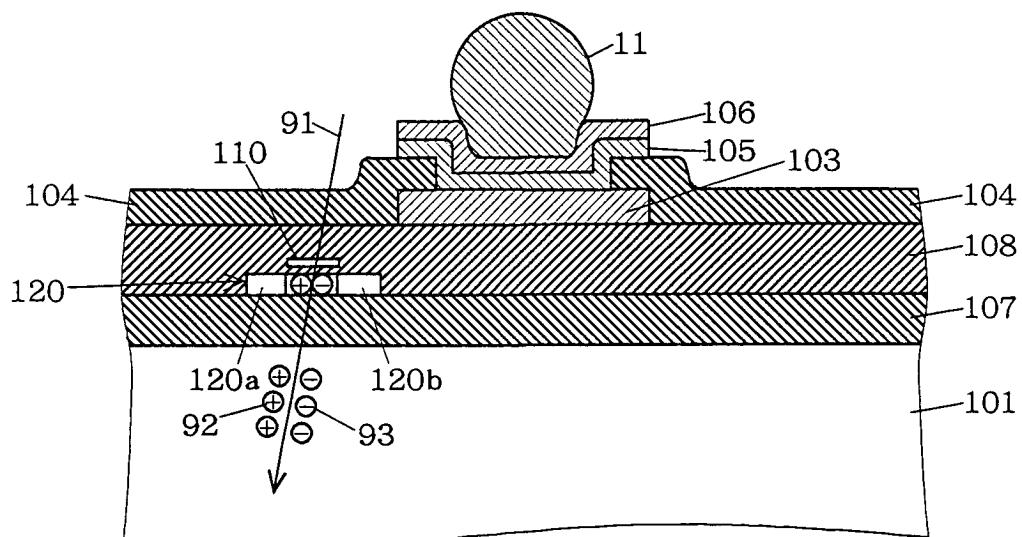
6. Halbleiterbauelement, mit einem Halbleitersubstrat (101, 102), einer Elektrode (103, 105, 106), die auf dem Halbleitersubstrat (101, 102) angeordnet ist, einem elektrisch leitenden Höcker (11), der auf der Elektrode (103, 105, 106) angeordnet ist, einem Film (201), der das Halbleitersubstrat (101, 102) mit Ausnahme des Höckers (11) bedeckt und Alphastrahlen blockiert, einem Isolieroxidfilm (400), der in dem Halbleitersubstrat (101, 102) in einem Bereich (AR), in den vom Höcker (11) Alphastrahlen eindringen können, angeordnet ist, und einem Element (101a, 101b, 109), das in dem Halbleitersubstrat (101, 102) in dem von dem Bereich (AR) verschiedenen Bereich angeordnet ist.

7. Halbleiterbauelement nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass die Elektrode eine Mehrschichtstruktur enthält, die eine Titanschicht (105) und eine Nickelschicht (106) umfasst, und der Film (201) aus Polyimid hergestellt ist.

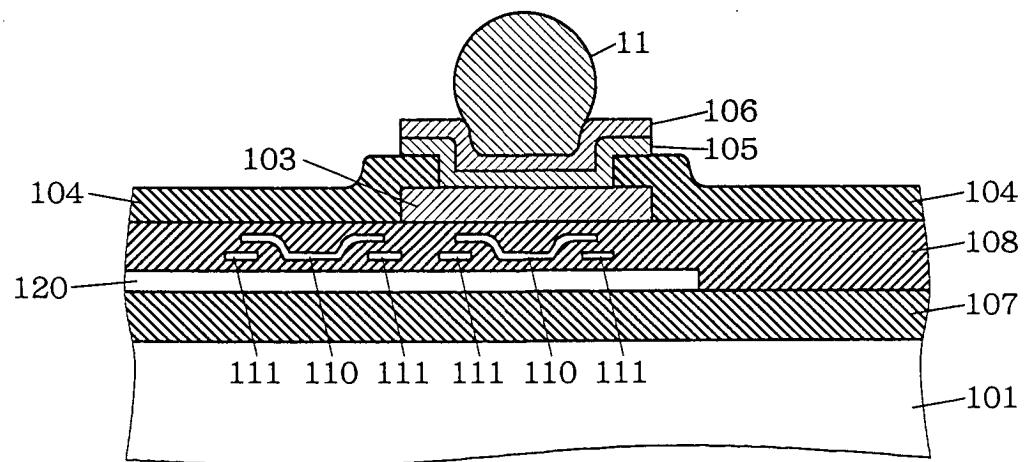
8. Halbleiterbauelement nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass der Höcker ein Löthöcker (11) ist.

Es folgen 7 Blatt Zeichnungen

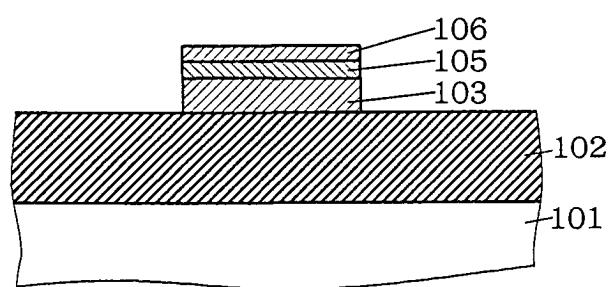
F I G. 1



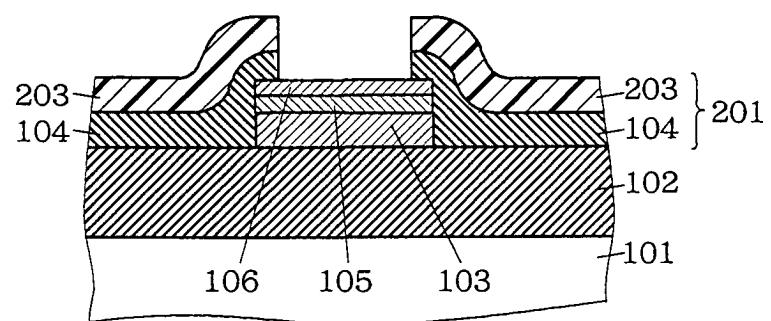
F I G. 2



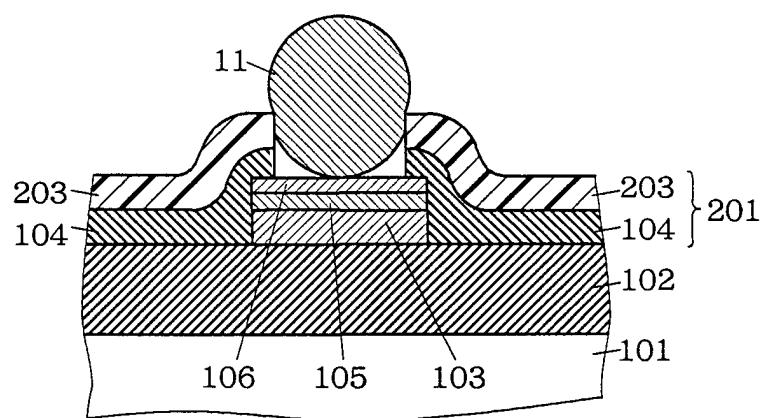
F I G . 3



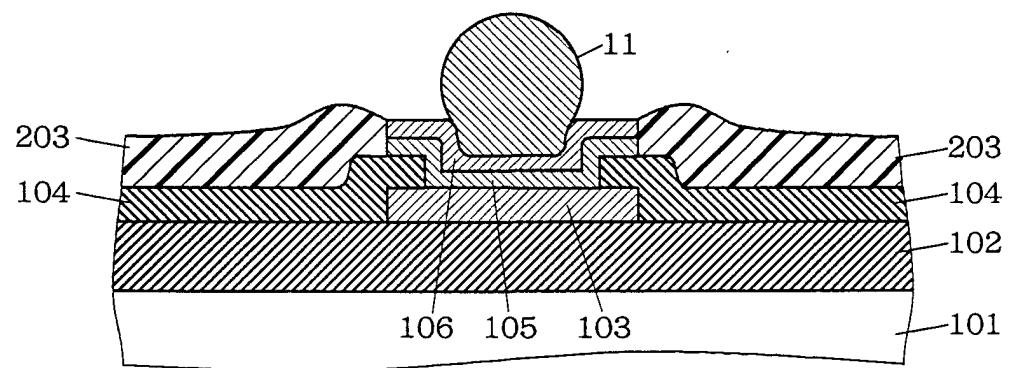
F I G . 4



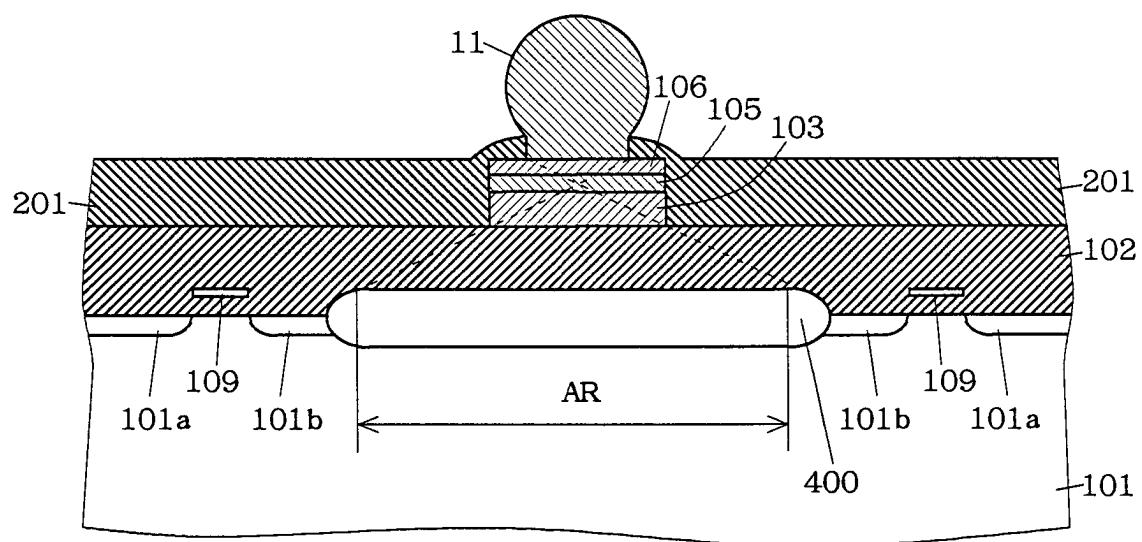
F I G. 5



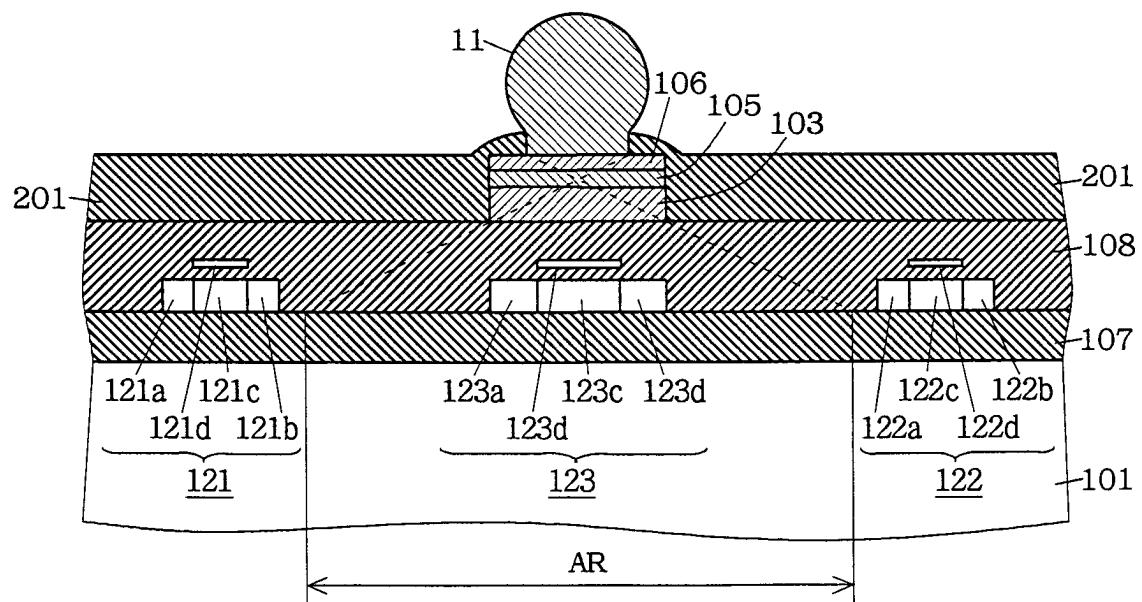
F I G. 6



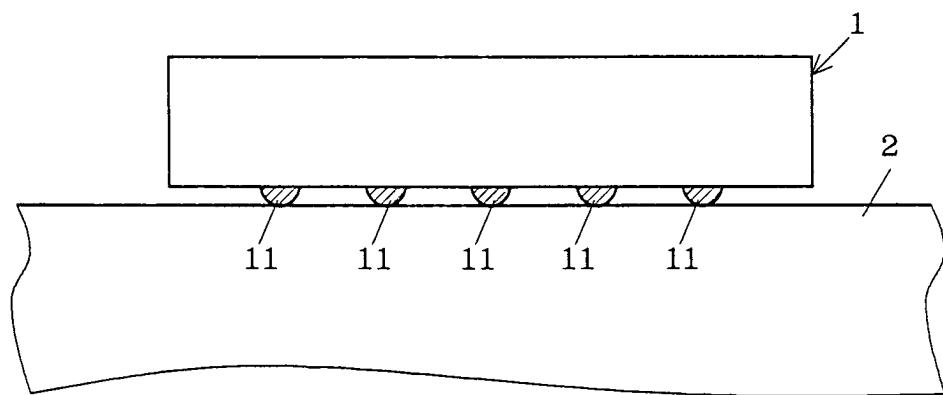
F I G . 7



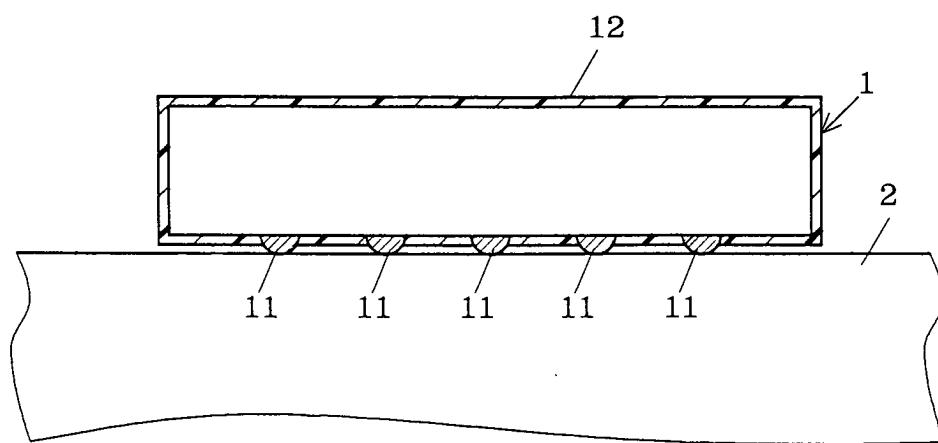
F I G . 8



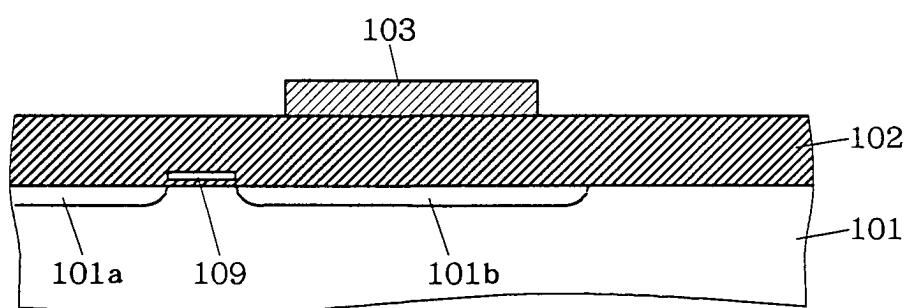
F I G. 9



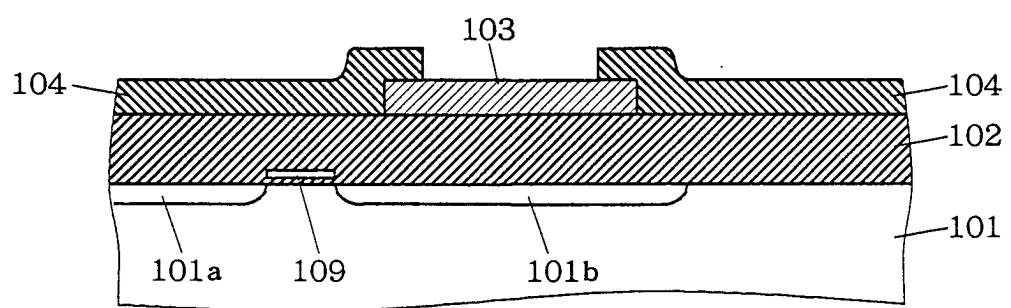
F I G. 10



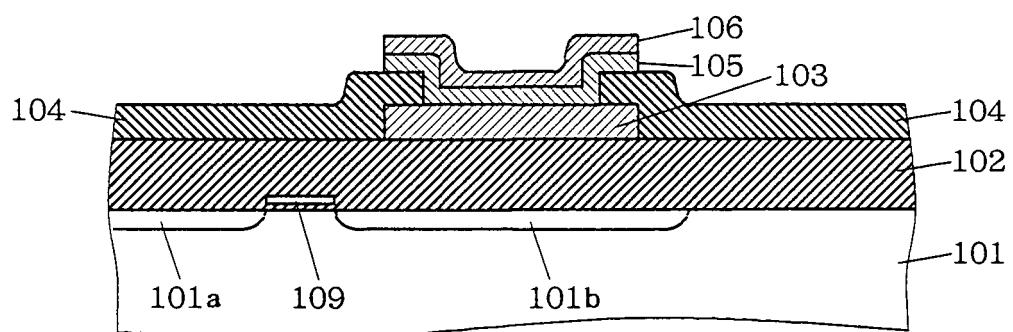
F I G. 1 1



F I G. 1 2



F I G. 1 3



F I G. 1 4

