

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G06F 13/16 (2006.01)

G06F 13/40 (2006.01)

G11C 5/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 01819005.7

[45] 授权公告日 2006年8月23日

[11] 授权公告号 CN 1271533C

[22] 申请日 2001.9.18 [21] 申请号 01819005.7

[30] 优先权

[32] 2000.9.18 [33] US [31] 09/665,196

[86] 国际申请 PCT/US2001/029383 2001.9.18

[87] 国际公布 WO2002/023550 英 2002.3.21

[85] 进入国家阶段日期 2003.5.16

[71] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 J·哈尔伯特 R·博内拉 C·林

J·多德

审查员 杨存吉

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 吴立明 陈 霁

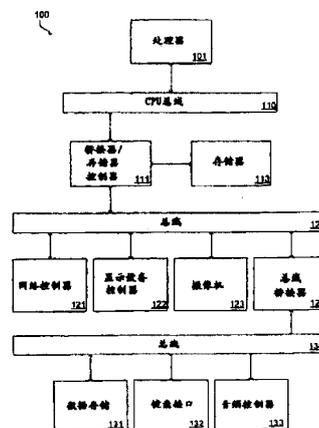
权利要求书 5 页 说明书 9 页 附图 5 页

[54] 发明名称

用于实现在存储器控制器和存储器模块之间的一个缓冲菊花链连接的装置

[57] 摘要

多个通过一个提供用于每个存储器模块的点对点连接的菊花链的存储器模块接口。在该菊花链中的第一和最后一个存储器模块每个都连接到一个分隔的存储器控制器端口以形成一个环形电路。一个不同组的信号沿每个方向连接该存储器模块。在每个存储器模块中的连接电路提供了线路隔离与在该菊花链中相邻存储器模块的连接，或者在该菊花链中第一和最后存储器模块的情况中，与一个存储器模块和存储器控制器、以及一个数据同步电路的连接。每个连接电路还提供了电压转换以便在一个存储器模块上的存储器设备以一个与该存储器控制器不同的电压进行操作，以及多路复用/解多路复用以便一个更少数量的线路与每个连接电路接口。



1. 一个第一存储器模块，包含：

至少一个存储器设备；

5 一个连接电路，具有第一端口与这样一条总线相连，该总线包含由至少一条存储器数据线和至少一条非存储器数据线中的至少一条表征的数据线；与至少一个存储器设备相连的第二端口；与一个第二存储器模块相连的一个第三端口，所述连接电路发送从第一端口接收的数据到第二端口和第三端口、以发送从第二端口接收的数据到第一端口、以及发送从第三端口接收的数据到第一端口，所述连接电路包
10 含一个隔离电路以提供一个到第一端口和第三端口的点对点连接，以及一个第一电压转换电路以把在第一端口输入和在第二端口输出的每条线的电压，从一个与通过存储器控制器的传输同量的电压范围提高到一个与所述至少一个存储器设备同量的电压范围，以及把在第二端口输入和在第一端口输出的每条线的电压从一个与所述至少一个
15 存储器设备同量的电压范围降低到一个与通过该存储器控制器的接收同量的电压范围，该电压转换电路与第一端口和第二端口电通信。

2. 在权利要求 1 中定义的存储器模块，其特征在于：该连接电路进一步包含：

与所述第一电压转换电路电通信的一个第二电压转换电路，所述
20 第二电压转换电路把在第三端口输出的每条线的电压从一个与该存储器设备同量的电压范围降低到一个与通过存储器控制器的传输同量的电压范围，该第二电压转换电路与第一电压转换电路和第三端口电通信。

3. 在权利要求 1 中定义的存储器模块，其特征在于：该连接电路
25 进一步包含：

一个与第一端口和第二端口电通信的解多路复用器电路，以把在
该存储器数据线上输入到第一端口、具有在 n 条每条输入线具有 m 比
特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有
在 n 撇条具有 m 撇比特率的线路上传输的第一带宽的数据信号，其中
30 n 小于 n 撇，而且 m 大于 m 撇；以及

一个与第一端口和第二端口电通信的多路复用器电路，以把在该
存储器数据线上输入到第二端口、具有在 n 撇条每条输入线都具有 m

撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 n 条具有 m 比特率的线路上传输的第一带宽的数据信号，其中 n 小于 n 撇，而且 m 大于 m 撇。

4. 在权利要求 1 中定义的存储器模块，其特征在于：该连接电路进一步包含：

5 一个与第一端口和第二端口电通信的解多路复用器电路，以把在该非存储器数据线上输入到第一端口、具有在 q 条每条输入线具有 p 比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 q 撇条具有 p 撇比特率的线路上传输的第一带宽的数据信号，其中 q 小于 q 撇且 p 大于 p 撇；以及

10 一个与第一端口和第二端口电通信的多路复用器电路，以把在该非存储器数据线上输入到第二端口、具有在 q 撇条每条输入线都具有 p 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 q 条具有 p 比特率的线路上传输的第一带宽的数据信号，其中 q 小于 q 撇且 p 大于 p 撇。

5. 一个存储器系统，包含：

(a) 一个第一存储器模块，包含

一个或多个第一存储器设备；以及

20 一个第一连接电路，具有第一端口与这样一条总线相连，该总线包含由至少一条存储器数据线和至少一条非存储器数据线中的至少一条表征的数据线；与第一存储器设备相连的第二端口；与一个第二存储器模块相连的一个第三端口，所述第一连接电路发送从第一端口接收的数据到第二端口和第三端口、以发送从第二端口接收的数据到第一端口、以及发送从第三端口接收的数据到第一端口，所述第一连接电路包含一个隔离电路以提供一个到第一端口和第三端口的点对点连接；以及一个第一电压转换电路，以把在第一端口输入和在第二端口输出的每条线的电压从一个与通过存储器控制器的传输同量的电压范围提高到一个与第一存储器设备同量的电压范围，以及把在第二端口输入和在第一端口输出的每条线的电压从一个与第一存储器设备同量的电压范围降低到一个与通过该存储器控制器的接收同量的电压范围，第一电压转换电路与第一端口、第二端口电通信；以及

(b) 第二存储器模块, 包含

一个或多个第二存储器设备; 以及

5 一个第二连接电路, 具有一个经由一条总线连接到第三端口的第四端口、一个第五端口, 与第二存储器设备相连以发送从第四端口接收的数据到第五端口以及发送从第五端口接收的数据到第四端口, 所述第二连接电路包括一个隔离电路, 以提供到第四端口的点对点连接, 以及一个第二电压转换电路, 以把在第四端口输入和在第五端口输出的每条线的电压从一个与通过存储器控制器的传输同量的电压范围提高到一个与第二存储器设备同量的电压范围, 以及把在第五端口
10 输入和在第四端口输出的每条线的电压从一个与第二存储器设备同量的电压范围降低到一个与通过该存储器控制器的接收同量的电压范围, 该第二电压转换电路与第四端口和第五端口电通信。

6. 在权利要求 5 中定义的存储器模块, 其特征在于: 所述第一连接电路进一步包含:

15 与所述第一电压转换电路电通信的一个第二电压转换电路, 把在第三端口输出的每条线的电压从一个与第一存储器设备同量的电压范围降低到一个与通过该存储器控制器的传输同量的电压范围, 该电压转换电路与第一电压转换电路和第三端口电通信; 以及

20 一个第三电压转换电路, 把在第四端口输入的每条线的电压从一个与通过一个存储器控制器的传输同量的电压范围提高到一个与该第二存储器设备同量的电压范围, 以及把在第五端口输入和在第四端口输出的每条线的电压从一个与第二存储器设备同量的电压范围降低到一个与通过该存储器控制器的接收同量的电压范围, 该第三电压转换电路与第四端口和第五端口电通信。

25 7. 在权利要求 5 中定义的存储器模块, 其特征在于: 第一连接电路进一步包含:

30 一个与第一端口和第二端口电通信的解多路复用器电路, 以把在该存储器数据线上输入到第一端口、具有在 n 条每条输入线都具有 m 比特率的输入线上传输的第一带宽的一个信号, 解多路复用为一个具有在 n 撇条具有 m 撇比特率的线路上传输的第一带宽的数据信号, 其中 n 小于 n 撇, 而且 m 大于 m 撇; 以及

一个与第一端口和第二端口电通信的多路复用器电路, 以把在该

存储器数据线上输入到第二端口、具有在 n 撇条每条输入线都具有 m 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 n 条具有 m 撇比特率的线路上传输的第一带宽的数据信号，其中 n 小于 n 撇，而且 m 大于 m 撇；而且其中第二连接电路进一步包含

5 一个与第四端口和第五端口电通信的解多路复用器电路，以把在该存储器数据线上输入到第四端口、具有在 n 撇条每条输入线都具有 m 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 n 撇条具有 m 撇比特率的线路上传输的第一带宽的数据信号，其中 n 小于 n 撇，而且 m 大于 m 撇；以及

10 一个与第四端口和第五端口电通信的多路复用器电路，以把在该存储器数据线上输入到第五端口、具有在 n 撇条每条输入线都具有 m 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 n 条具有 m 撇比特率的线路上传输的第一带宽的数据信号，其中 n 小于 n 撇，而且 m 大于 m 撇。

15 8. 在权利要求 5 中定义的存储器模块，其特征在于：第一连接电路进一步包含：

一个与第一端口和第二端口电通信的解多路复用器电路，以把在该非存储器数据线上输入到第一端口、具有在 q 撇条每条输入线都具有 p 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 q 撇条具有 p 撇比特率的线路上传输的第一带宽的数据信号，其中 q 小于 q 撇且 p 大于 p 撇；以及

20 一个与第一端口和第二端口电通信的多路复用器电路，以把在该非存储器数据线上输入到第二端口、具有在 q 撇条每条输入线都具有 p 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 q 撇条具有 p 撇比特率的线路上传输的第一带宽的数据信号，其中 q 小于 q 撇且 p 大于 p 撇；而且第二连接电路进一步包含

25 一个与第四端口和第五端口电通信的解多路复用器电路，以把在该非存储器数据线上输入到第四端口、具有在 q 撇条每条输入线都具有 p 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 q 撇条具有 p 撇比特率的线路上传输的第一带宽的数据信号，其中 q 小于 q 撇且 p 大于 p 撇；以及

30 一个与第四端口和第五端口电通信的多路复用器电路，以把在该

非存储器数据线上输入到第五端口、具有在 q 撇条每条输入线都具有 p 撇比特率的输入线上传输的第一带宽的一个信号，解多路复用为一个具有在 q 条具有 p 比特率的线路上传输的第一带宽的数据信号，其中 q 小于 q 撇且 p 大于 p 撇。

5

用于实现在存储器控制器和存储器模块之间
的一个缓冲菊花链连接的装置

5 发明领域

本发明涉及在计算机系统中的存储器系统。更具体地说，本发明涉及一个用于实现在一个存储器控制器和存储器模块之间的缓冲菊花链连接的装置。

发明背景技术

10 诸如双直列存储器模块 (DIMM) 的存储器模块已经变为一种流行的存储器封装设计。DIMM 是和多个存储器设备一起安装的小印刷电路板。DIMM 具有可经由一个印刷电路板的电连接器两侧访问的引线，这不同于它的前一代，单直列存储器模块 (SIMM)，其具有引线在该印刷电路板电连接器的仅仅一侧。DIMM 被插入到被焊接在一个大印刷电
15 路板，或者主板上小插座连接器中。多个数目的存储器模块一般通常经由到一条存储器总线的多点连接直接连接到一个存储器控制器，其中该存储器总线与存储器控制器的存储器侧相连。该存储器控制器经由该存储器总线发送与接收存储器数据。每一个存储器模块包含多个安装在
20 在该存储器模块上的存储器设备。该存储器设备一般是动态随机存取存储器 (DRAM)。

图 3 说明了在存储器控制器 111 和两个示例存储器模块 210-211 之间的一个传统多点路由的端视图。存储器总线 310 通过短线连接到存储器设备 210a 和 210b 中的每一个。短线 310a 把总线 310 连接到存储器设备 310a。短线 310b 把总线 310 连接到存储器设备 211b。短线
25 向由总线 310 带入到存储器设备 211a 和 211b 的信号引入了一个电容负载不连续性。此外，短线直接连接到该存储器设备而不用任何包含电压转换的中间信号调整。存储器模块经由多点连接直接连接到一条存储器总线的
30 一个缺点是在该存储器设备和存储器控制器之间没有电压电平隔离。缺少这个电压隔离一方面不允许在存储器设备输入和存储器控制器输出的电压电平之间的差别，另一方面也不允许在存储器设备输出和存储器控制器输入之间的差别。因此，在一个其中一个存储器控制器的信号电平低于存储器设备容许范围的系统中，该存储器

设备将不会识别输入，而且存储器设备的输出将超过该存储器控制器或者一个连接的 CPU 的安全工作电平。

5 另一个存储器模块直接经由多点连接连接到一条存储器总线的缺点是，在该多点总线和存储器设备之间没有电容负载隔离导致存储器设备操作比它在没有多点线路电容负载时更慢。

存储器模块经由多点连接与一条存储器总线相连的另一个缺点是在该存储器总线上每条线路的峰值数据速率比在不同情况下具有的数据速率要小，这是因为在一条多点总线上的不连续性具有一个随着频率增加的阻抗。这个更低的每条线路峰值数据速率为一个给定信号、
10 在连接到一个存储器模块的管脚数目上放置一个较高的下限，该给定信号在不同情况下用于一个点对点连接。

概述

依据一个实施例，一个存储器模块包含一个存储器设备和一个连接电路。该连接电路具有一个第一端口与一条总线相连，一个第二端
15 口与存储器设备相连，一个第三端口与第二存储器模块相连，以发送从第一端口接收的数据到第二端口和第三端口、发送从第二端口接收的数据到第一端口，以及发送从第三端口接收的数据到第一端口。该连接电路包含一个隔离电路以提供到第一端口和第三端口的点对点连接。

20 附图简要说明

本发明以附图进行举例说明，但不是用来限制，其中附图包含：

图 1 是一个实现了本发明的一个实施例的计算机系统的框图；

图 2 说明了依据本发明的一个实施例，一个安装在主板上的存储器系统；

25 图 3 说明了在存储器控制器和两个示例存储器模块之间的一个传统多点路由的端视图；

图 4 说明了依据本发明的一个实施例，用于一个存储器系统的总线路由和布线拓扑结构；

图 5 说明了依据本发明的一个实施例的连接电路。

30 详细说明

图 1 说明了在其上面能够实现本发明的一个实施例的计算机系统 100。参见图 1，计算机系统 100 包含一个处理数据信号的处理器 101。

处理器 101 可以是一个复杂指令集计算机 (CISC) 微处理器、精简指令集计算 (RISC) 微处理器、超长指令字 (VLIW) 微处理器、一个实现了指令集的组合的处理器, 或者其它的处理器设备。图 1 显示了在单个处理器计算机系统 100 上实现的本发明的一个示例。然而应当理解: 本发明可以在一个具有多处理器的计算机系统中实现。处理器 101 与一个中央处理单元 CPU 总线 110 相连, 该 CPU 总线 110 在处理器 101 和在该计算机系统 100 的其它组件之间传输数据信号。

计算机系统 100 包括一存储器系统 113。存储器系统 113 可以包含一个动态随机存取存储器 (DRAM) 设备、一个同步直接随机存取存储器 (SDRAM) 设备、一个两倍数据速率 (DDR) SDRAM、一个四倍数据速率 (QDR) SDRAM、一个 D³DR SDRAM、或者其它存储器设备 (没有显示)。存储器系统 113 可以存储由数据信号表示的指令和代码, 其中这些指令和代码可以由处理器 101 执行。依据计算机系统 100 的一个实施例, 存储器系统 113 包含被描绘为示例的三个存储器模块的多个存储器模块 210 - 212 (在图 2 中描绘)。每个印刷电路板通常作为一个可以插入到一个连接到计算机系统 100 的插座连接器中的子卡进行操作。

桥接存储器控制器 111 与 CPU 总线 110 和存储器 113 相连。桥接存储器控制器 111 引导在处理器 101、存储器系统 113、及在计算机系统 100 中的其它组件之间的数据信号并且桥接在 CPU 总线 110、存储器系统 113、和第一 I/O 总线 120 之间的数据信号。处理器 101、CPU 总线 110、桥接 / 存储器控制器 111、以及存储器系统 113 通常一起安装在一个通用的主板上并且被一起称为参考图 2 描绘的计算机芯片组 200。

第一 I/O 总线 120 可以是单条总线或者多条总线的一个组合。作为一个示例, 第一 I/O 总线 120 可以包含一条外围设备部件互连 (PCI) 总线、一条个人计算机存储器卡国际联合会 (PCMCIA) 总线、NuBus、或者其它总线。第一 I/O 总线 120 提供了在计算机系统 100 中的部件之间的通信链接。网络控制器 121 与第一 I/O 总线 120 相连。网络控制器 121 把计算机系统 100 链接到一个计算机网络 (没有在图 1 中表示) 并且支持在机器之间的通信。显示设备控制器 122 与第一 I/O 总线 120 相连。显示设备控制器 122 允许把一个显示设备(没

有显示)连接到计算机系统 100 并且作为在显示设备和计算机系统 100 之间的接口而作用。显示设备控制器 122 可以是一个单色显示适配器 (MDA) 卡、彩色图形适配器 (CGA) 卡、增强型图形适配器 (EGA) 卡、扩展图形阵列 (XGA) 卡或者其它显示设备控制器。显示设备可以是一台电视机、一个计算机监视器、一个平板显示器或者其它显示设备。显示设备通过显示设备控制器 122 从处理器 101 接收数据信号并且向计算机系统 100 的用户显示信息和数据信号。摄像机 123 与第一 I/O 总线 120 相连。

第二 I/O 总线 130 可以是单条总线或者多条总线的组合。作为一个示例, 第二 I/O 总线 130 可以包含一条 PCI 总线、一条 PCMCIA 总线、NuBus、一条工业标准结构 (ISA) 总线、或者其它总线。第二 I/O 总线 130 提供了在计算机系统 100 中的部件之间的通信链接。一个数据存储设备 131 与第二 I/O 总线 130 相连。数据存储设备 131 可以是一个硬盘驱动器、软盘驱动器、光盘设备、闪速存储器设备或者其它大容量存储器设备。一个键盘接口 132 与第二 I/O 总线 130 相连。该键盘接口 132 可以是一个键盘控制器或者其它键盘接口。键盘接口 132 可以是一个专用设备或者能够驻留在另一个诸如总线控制器或者其它控制器的设备中。键盘接口 132 允许把键盘 (没有显示) 连接计算机系统 100 并且从键盘传输数据信号到计算机系统 100。一个音频控制器 133 与第二 I/O 总线 130 相连。进行操作以协调声音的记录和播放的音频控制器 133 也与 I/O 总线 130 相连。总线桥接器 124 连接第一 I/O 总线 120 到第二 I/O 总线 130。该总线桥接器 124 进行操作以缓冲和桥接在第一 I/O 总线 120 和第二 I/O 总线 130 之间的数据信号。

图 2 说明了一个依据本发明的一个实施例的存储器系统 113。参见图 2, 存储器系统 113 通常驻留在计算机系统 100 的一个主板 200 上。主板 200 是一个互连计算机系统 100 中的部件, 诸如桥接存储器控制器 111、处理器 101 及其它部件的印刷电路板。存储器系统 113 包含多个存储器模块 210 - 212。每一存储器模块 210 - 212 都包含了一个安装了多个存储器设备 210b - 212b 的印刷电路板 210a - 212a。该存储器系统通常还包含多个安装在该主板 200 上的插座连接器 220 - 222。存储器模块 210 - 212 可以被插入到插座连接器 220 -

222 中。在该存储器模块上的电连接器与在该插座连接器中的电触点接口。该电连接器和电触点允许在主板 200 上的部件访问在存储器模块上的存储器设备。应当理解：任意数量的插座连接器可以被安装在主板上以接收任意数量的存储器模块。还应当理解：每个存储器模块上
5 可以安装任意数量的存储器设备。存储器系统 113 可以在一个与在图 1 中说明的那个不同地划分 I/O 结构的计算机系统中实现。

图 4 说明了用于本发明的一个总线路由和拓扑结构，其用于一个具有超过一个存储器模块的实施例，在这里该超过一个的存储器模块被描绘为菊花链接的存储器模块 310a、310b、...、310n，其中 n 能够是大于 1 的任何数字（而且其中当 n 为 2 时，存储器模块 310b 具有
10 存储器模块 310n 的拓扑和路由特征。）存储器控制器 111 与一条包含至少一个存储器数据信号和非存储器数据信号的总线 315 相连，其中该非存储器数据信号可以包含地址线、命令总线、和时钟线中的至少一个。

15 存储器模块 310a 包含连接电路 320a，其也称为缓冲器。总线 315 与连接电路 320a 的第一端口 321a 相连。连接电路 320a 通过一条从连接电路 320a 的端口 322a 到存储器设备 311a 的端口 312a 的总线与存储器设备 311a 相连，其中设备 311a 表示每一个填满存储器模块 310a 的单独存储器设备。连接电路 320a 进一步由总线 315a 连接在连接电
20 路 320a 的端口 323a 和连接电路 320b 的端口 321b 之间。从总线 315 输入到连接电路 320a 的数据由连接电路 320a 路由到端口 323a 并且通过总线 315a 传输到连接电路 320b。在端口 323a 上、从连接电路 320b 输入到连接电路 320a 的数据通过端口 321a 被路由到总线 315。

25 存储器模块 310b 包含连接电路 320b。连接电路 320b 由一条总线从端口 322b 连接到存储器设备 311b，其中设备 311b 表示每一个填满存储器模块 310b 的单独存储器设备。在端口 321b 处、从连接电路 320a 输入到连接电路 320b 的数据由连接电路 320b 路由到端口 323b，并且经由总线 315b 在端口 321n 处传输到连接电路 320n。在总线 315b 上从连接电路 320n 输入到连接电路 320b 的数据被输入，并且通过端口
30 321b 路由到总线 315a。存储器模块 310n 包含连接电路 320n。连接电路 320n 中的端口 322n 经由存储器设备 311n 中的端口 312n 连接到存储器设备 311n，其中端口 311n 表示每一个填满存储器模块 310n 的单

独存储器设备。往返于连接电路 320n 传输的数据被路由通过总线 315b 在端口 323b 处往返于连接电路 320b。

图 5 是一个依据本发明的一个实施例，也称为缓冲器的连接电路 500 的一个框图。参见图 5，应当理解：连接电路 500 包含在本技术众所周知的其它电路，诸如信号再生电路和信号同步电路。块 510、520、和 530 中的每一个都表示本发明中的一个单独电路功能。然而，应当理解：不止一个功能能够由同一个电路元件执行，诸如一个电压转换电路还能够提供对一条信号线的电容隔离。此外，应当理解：由块 510、520、和 530 表示的处理功能顺序可以改变。

应当理解：因为块 520 表示一个包含电压提高功能和电压降低功能的电压转换电路，该电压提高电路和电压降低电路包含每个都能够在该数据通路的不同位置中接入的单独电路。此外，应当理解：因为块 530 表示一个包含多路复用功能和解多路复用功能的多路复用/解多路复用功能，该多路复用电路和解多路复用电路包含每个都能够在该数据通路的不同位置中接入的单独电路。

更可取的是，由多路复用/解多路复用块 530 表示的解多路复用功能在由块 520 表示的电压转换功能之后执行，而且由块 530 表示的多路复用功能在由块 520 表示的电压转换功能之前执行。这是因为解多路复用功能把在一个给定数目线路上的输入信号转换为在一个更大数目线路上的输出信号，而且多路复用功能把在一个给定线路数目上的输入信号转换为在一个更少数目线路上的输出信号。因此，通过在该电压转换之后解多路复用导致一个较小数量的电路来执行电压转换功能，而通过在电压转换之前多路复用导致一个较小数量的电路来执行电压转换功能。

此外，由块 520 表示的、把该数据信号提高到一个依据存储器设备要求的级别的电压转换功能，能够在数据信号用端口输出到总线 503a 之前，通过执行由块 520 用该数据信号表示的电压提升功能，由总线 503a 携带的该数据信号执行，然后由总线 503a 携带的数据信号电压必须通过在总线 503a 数据通道中放置电压降低电路、被由块 520 表示的电压转换功能降低。更可取地是，由块 520 表示的电压转换电路没有在由总线 503a 携带的数据信号上执行。

存储器总线 550 在端口 501 处与连接电路 500 相连。存储器总线

550 包含多条线。该最佳实现包含存储器数据线和可以包含地址线、命令线、和时钟线的非存储器数据线，而且应当在此后被称为 ADD / CMD 线。这些线路与一个由块 510 表示的电容隔离电路相连以隔离输入总线 550 和连接电路 500，产生在连接电路 500 和与总线 550 另一端相
5 连的收发信机 / 接收器（没有显示）之间的一个点对点连接，而不是如参考图 3 描绘的那样、传统的用于一个具有多个存储器模块的电路的多点配置。从总线 570 传输到连接电路 500 的数据被路由到总线 503a 并且在总线 570 上被传输到一个菊花链连接电路的端口 501。来自该菊花链连接电路的数据由连接电路 500 在端口 503 处在总线 570 上接
10 收，并且被路由到端口 501 至总线 550。在图 4 中描绘的菊花链配置中，收发信机 / 接收器是一个用于连接电路 320a 的存储器控制器 111，和用于连接电路 320a+1 到连接电路 320n 的其它连接电路。电容隔离电路提供了一个用于总线 550 的终端并且由于在总线 550 上非常有限的阻抗不连续性，允许总线 550 实现非常高的频率。阻抗不连续性导致
15 在波形中的反射限制了在总线 550 上的最高频率。利用在总线上的较低不连续性，总线频率能够被增加到一个比现有的多点存储器总线更加高的值。此外，假定连接电路 500 缓冲包含所有的高速度接口，则存储器设备 560 就免于具有高速逻辑的负担而且能够使制造费用低些。隔离电路 510 经由总线 510a 与一个电压转换电路 520 相连，并且
20 经由总线 503a 和一个输出端口 503 这二者相连。如参考图 4 描述的那样，在一个连接电路处于一个菊花链连接电路的一条线路末端的情况下，在连接电路 320n 的情况中，连接电路可以不必包含一个端口 503 和连接的总线 503a。

用于这个实施例目的的总线 510a 传输数据到用于存储器设备 560
25 的电压转换电路 520，以及从存储器设备 560 传输数据到隔离电路 510。电压转换功能 520 包含一个电压提升电路，以便把从总线 550（取决于解多路复用电路的位置）输入到连接电路的每个单独信号的电压范围，从一个与来自存储器控制器或者 CPU 的传输同量的范围转换为一个与到存储器设备 560 的输入同量的范围。该电压转换功能 520 包
30 含一个电压降低电路，以便把从存储器设备（取决于多路复用电路位置）输出的每个单独信号的电压范围，从一个与来自存储器设备的传输同量的范围转换为一个与到存储器控制器或者 CPU 的输入同量的范

围。

用于这个实施例目的的总线 520a 从该电压转换功能 520 传输数据到该多路复用 / 解多路复用功能 530 的解多路复用电路, 以及从该多路复用 / 解多路复用功能 530 的多路复用电路传输数据到电压转换功能 520。该解多路复用电路处理一个具有 n 条线路的输入, 而且解多路复用该输入以便使输出具有 m 条线路, 其中 n 小于 m (其中 m 和 n 或者表示为 p 和 q)。因此, 在每条线路上的输入比特率被减少一个 n/m 的比值以保持在输入侧的带宽和在该解多路复用电路输出侧的带宽相同。因此, 本发明允许比存储器设备 560 所需要数量的更少的、到连接电路 500 的数据线输入, 由此允许一个更窄的连接总线 550。这降低了在该存储器模块上所需要的管脚数量。此外, 本发明允许在该输入总线 501 上的一个更低频率, 因此减少了损耗在电容负载上的功率。用于这个实施例目的的总线 530a 从连接电路端口 502 传输数据到该多路复用 / 解多路复用功能 530 的多路复用电路, 并且从该多路复用器 / 解多路复用器功能 530 的解多路复用电路传输数据到连接电路端口 502。该多路复用电路处理一个具有 m 条线路的输入, 并且解多路复用该输入以便使输出具有 n 条线路, 其中 n 小于 m 。因此, 在每条线路上的输出比特率被增加一个 m/n 的比值以保持在输入侧的带宽和在该多路复用器电路输出侧的带宽相同。因此, 本发明允许一个比存储器设备 560 所需要的数量更少的、到连接电路 500 的数据线输入。这降低了在该存储器模块上所需要的管脚数量。此外, 本发明允许在该输入总线 501 上的一个更低频率, 因此减少了损耗在电容负载上的功率。

从连接电路端口 502, 数据通过各条总线 560a - 560h 被输入和输出到存储器设备 560, 而且 ADD / CMD 数据通过总线 560i 被输入到存储器设备中。特别需要理解的是, 对各个 ADD / CMD 线路发条件信号的需要和对存储器数据线发条件信号的需要是不同的, 这是因为对于电压转换和多路复用 / 解多路复用可能有不同的要求。因此, 特别要考虑将对不同的多路复用器、解多路复用器、和电压转换电路中的每个分别使用。此外, 本发明的不同实施例可以不必应用隔离功能、电压转换功能、或者多路复用 / 解多路复用功能到存储器数据和 ADD / CMD 数据。此外, 本发明的一个实施例可以不必包含通过端口 501 从连接电路 500 传输过来的 CMD / ADD 数据, 而且因此将不要求隔离功能、

电压降低功能、和多路复用功能返回 ADD / CMD 信号。一个最佳实施例包含两个物理上隔开的存储器数据处理电路，每个存储器数据电路与该存储器设备 560 的一个排它子集相连，以及一个物理上分隔的 ADD / CMD 处理电路，每个电路依据该实施例包含电压转换、隔离、和多路复用 / 解多路复用电路。这两个分隔的存储器数据电路允许一个比在具有单个设备的情况中将有的数据线拓扑结构更直接的拓扑结构。

在上述说明中，已经结合其中的具体示例性实施例对本发明进行了描述。然而，显然可以在这里进行各种修改和变化，而没有背离由附加权利要求书所阐述的、本发明更为广泛的精神和范围。说明书和附图只作为一个示例说明，而不是起限制作用。

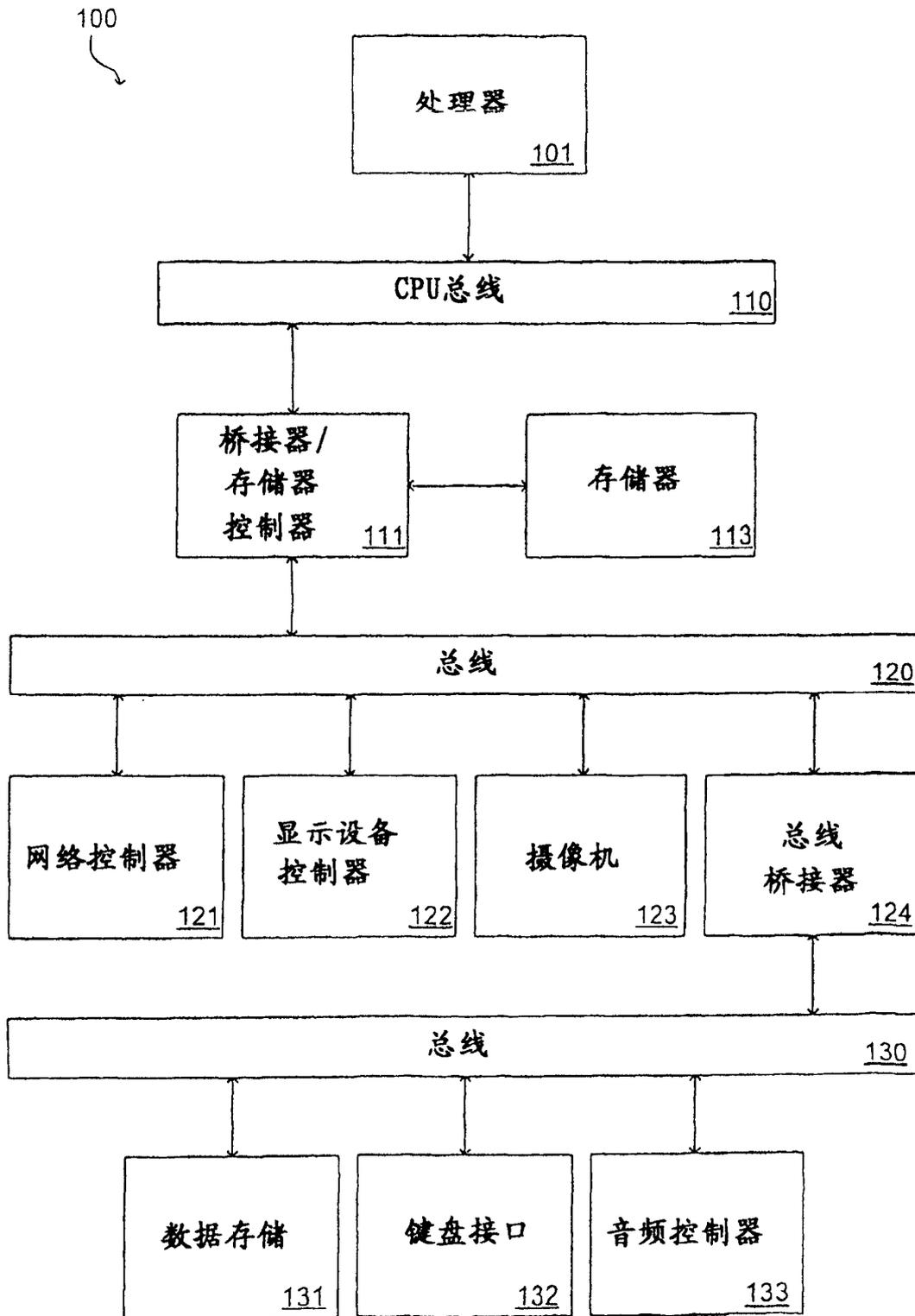


图 1

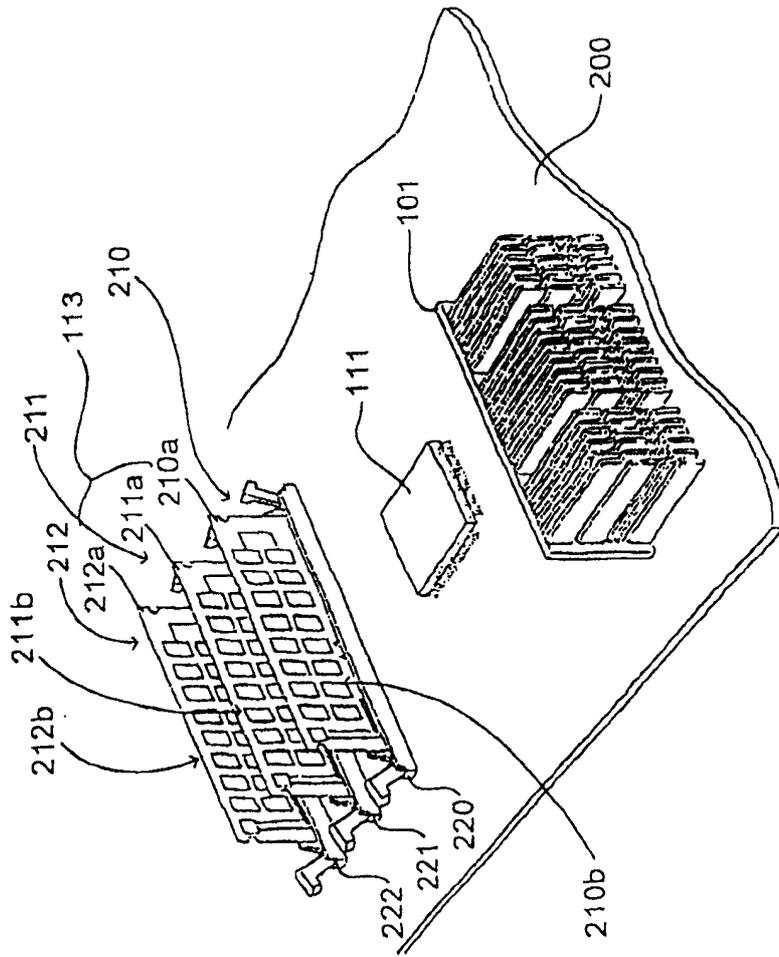


图 2

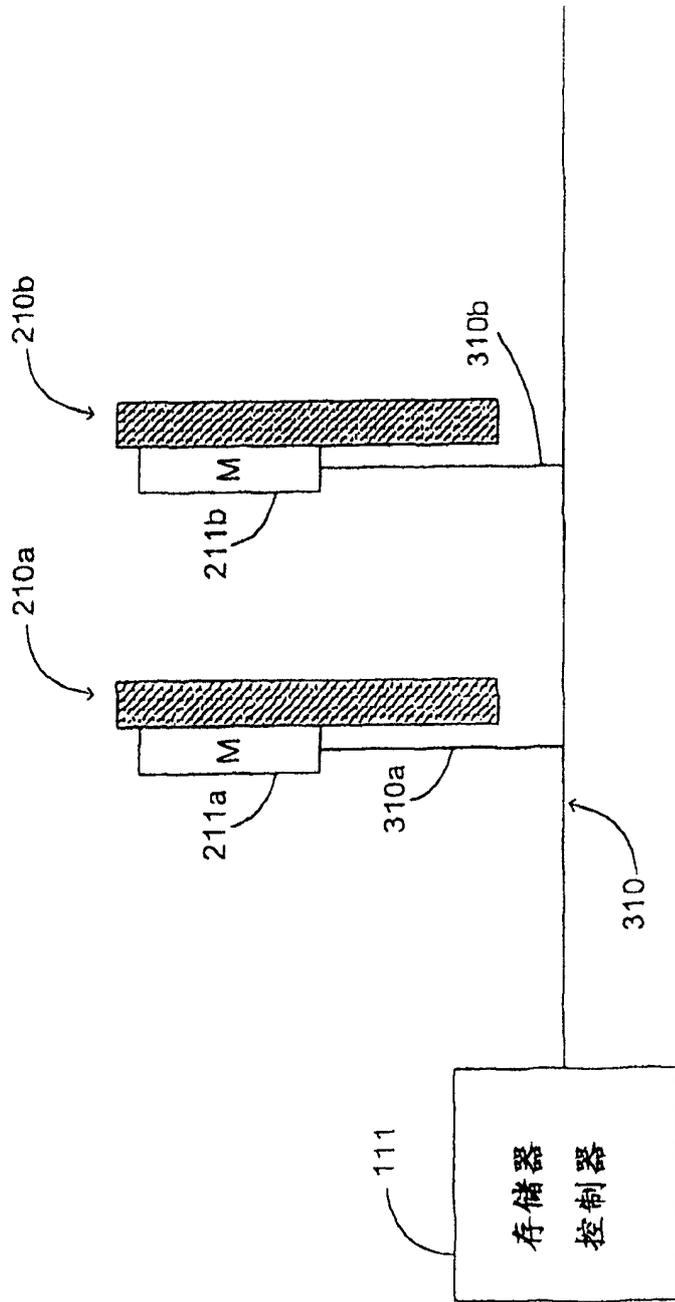


图 3

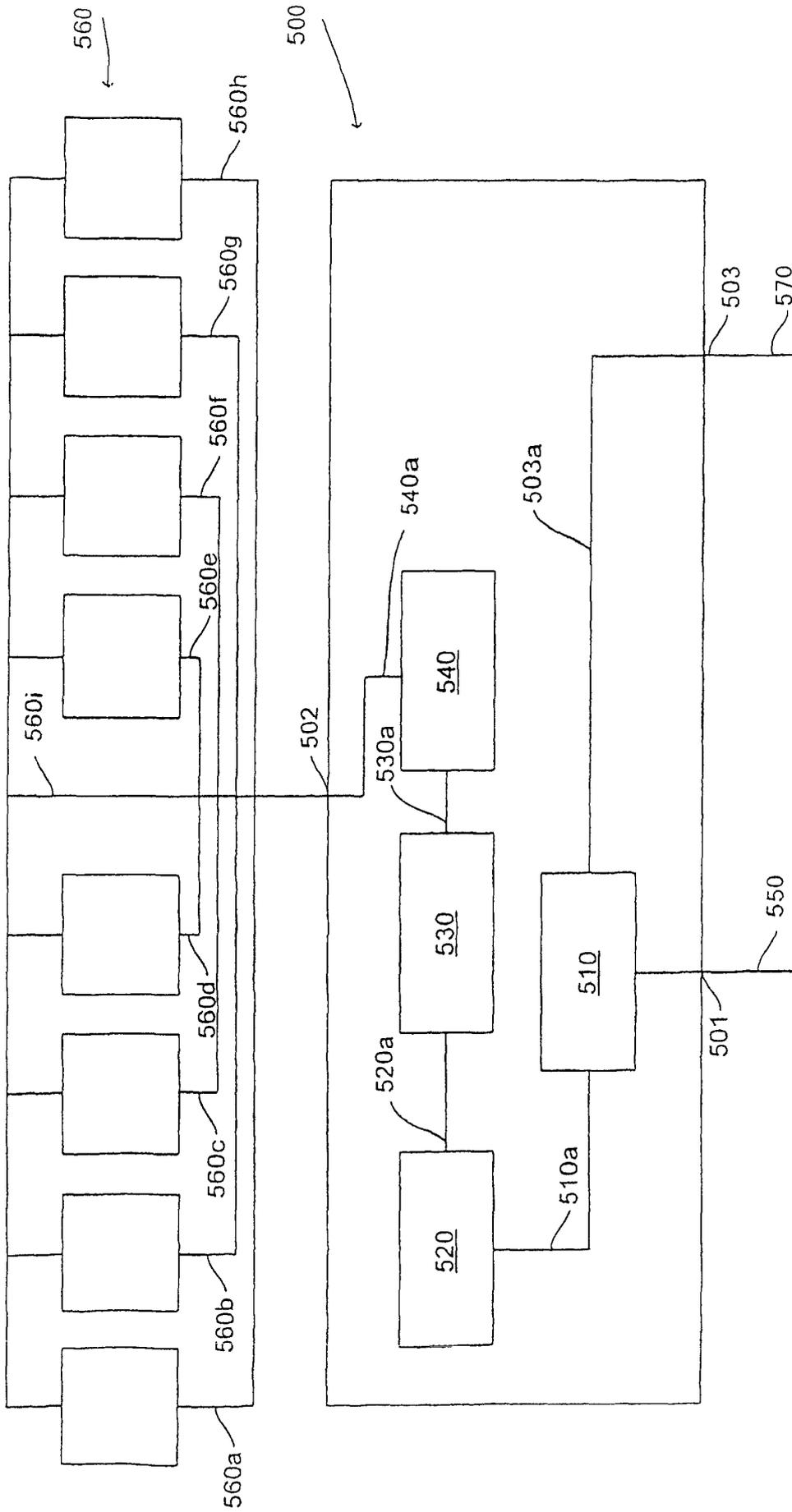


图 5