

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6149117号  
(P6149117)

(45) 発行日 平成29年6月14日 (2017.6.14)

(24) 登録日 平成29年5月26日 (2017.5.26)

(51) Int. Cl.	F I
<b>G 1 1 C 16/14 (2006.01)</b>	G 1 1 C 16/14 1 1 0
<b>G 1 1 C 16/10 (2006.01)</b>	G 1 1 C 16/10 1 4 3
	G 1 1 C 16/10 1 5 0

請求項の数 22 (全 25 頁)

(21) 出願番号 特願2015-539863 (P2015-539863)	(73) 特許権者 595168543 マイクロン テクノロジー, インク. アメリカ合衆国, アイダホ州 83716 -9632, ボイズ, サウス フェデ ラル ウェイ 8000
(86) (22) 出願日 平成25年10月25日 (2013.10.25)	(74) 代理人 100074099 弁理士 大菅 義之
(65) 公表番号 特表2015-536521 (P2015-536521A)	(74) 代理人 100106851 弁理士 野村 泰久
(43) 公表日 平成27年12月21日 (2015.12.21)	(72) 発明者 アブラハム, マイケル エム. アメリカ合衆国, アイダホ州 83642 , エイダ, メリディアン, サウス ゴール ドスミス アベニュー 1855
(86) 国際出願番号 PCT/US2013/066931	
(87) 国際公開番号 W02014/066829	
(87) 国際公開日 平成26年5月1日 (2014.5.1)	
審査請求日 平成28年10月20日 (2016.10.20)	
(31) 優先権主張番号 13/661, 321	
(32) 優先日 平成24年10月26日 (2012.10.26)	
(33) 優先権主張国 米国 (US)	
早期審査対象出願	

最終頁に続く

(54) 【発明の名称】 部分的なページメモリ動作

(57) 【特許請求の範囲】

【請求項 1】

メモリブロックを備える装置であって、前記メモリブロックが、  
複数のティアに形成された複数のメモリセルをそれぞれ含む複数のストリングと、  
前記複数のストリングによって共有される複数のアクセスラインであって、各アクセス  
ラインが、前記複数のティアのそれぞれのティアに対応する前記メモリセルに結合され、  
前記それぞれのティアの少なくとも一部に対応するメモリセルが、複数のページのうちの  
それぞれのページに対応する、アクセスラインと、

前記複数のストリングによって共有される複数のドレイン選択ラインおよび複数のソー  
ス選択ラインと、

前記複数のストリングによって共有される複数のデータラインであって、前記データラ  
インが、複数のサブセットのデータラインを備え、各サブセットのデータラインが、前記  
それぞれのページの複数の部分的なページのそれぞれの部分的なページにマッピングされ  
、各部分的なページが、前記それぞれのページ内の他の部分的なページから独立して選択  
可能である、複数のデータラインと、を備え、

前記複数のページのうちの特定のページは、第1の部分的なページと第2の部分的なペ  
ージとを含み、前記第1の部分的なページに対応するメモリセルを含むストリングは、第  
1のストリングドライバ群を介して、前記複数のアクセスラインのうちの特定のアクセ  
スライン、前記複数のドレイン選択ラインのうちの特定のドレイン選択ラインおよび前記複  
数のソース選択ラインのうちの特定のソース選択ラインと結合し、前記第2の部分的なペ

ージに対応するメモリセルを含むストリングは、第2のストリングドライバ群を介して、前記特定のアクセスライン、前記特定のドレイン選択ラインおよび前記特定のソース選択ラインに結合して、前記第1の部分的なページおよび前記第2の部分的なページは、互いに独立して、プログラムされ、読み取られ、消去され、検証されるように構成されている、装置。

【請求項2】

前記複数の部分的なページのそれぞれが、タイルを備える、請求項1に記載の装置。

【請求項3】

前記複数の部分的なページのそれぞれが、タイルグループを備え、各タイルグループが複数のタイルを含む、請求項1に記載の装置。

10

【請求項4】

前記複数の部分的なページのそれぞれが、タイルグループ集合を備え、各タイルグループ集合が、複数のタイルグループを含む、請求項1に記載の装置。

【請求項5】

前記タイルグループ集合に含まれる前記複数のタイルグループが、数値アドレスシーケンスに従って近接して関係している、請求項4に記載の装置。

【請求項6】

前記タイルグループ集合に含まれる前記複数のタイルグループの少なくとも1つが、数値アドレスシーケンスに従って近接して関係していない、請求項4に記載の装置。

【請求項7】

20

制御ユニットであって、前記制御ユニットにおいて書き込みデータを書き込むためのコマンドを受信するとすぐに、前記書き込みデータの第1の部分が、前記部分的なページの第1の部分的なページにプログラムされることになり、前記書き込みデータの第2の部分が、前記部分的なページの第2の部分的なページにプログラムされることになるように、前記書き込みデータを前記それぞれのティアの前記それぞれのページにマッピングするための制御ユニットを更に備える、請求項1に記載の装置。

【請求項8】

前記制御ユニットが、

前記ブロックと関連するページバッファが埋められる前に、前記それぞれのティアの前記それぞれのページにおいて前記書き込みデータのプログラミングをトリガするように構成される、請求項7に記載の装置。

30

【請求項9】

前記制御ユニットが、

前記第1の部分を前記第1の部分的なページにプログラムするように、および

前記第1の部分を前記第1の部分的なページにプログラミングした後に、かつ、前記メモリブロックを最初に消去すること無く、前記第2の部分を前記第2の部分的なページにプログラムするように、構成される、請求項7に記載の装置。

【請求項10】

メモリブロックを備える装置であって、前記メモリブロックが、

複数のティアに形成された複数のメモリセルをそれぞれ含む複数のストリングと、

40

前記複数のストリングによって共有される複数のアクセスラインであって、各アクセスラインが、前記複数のティアのそれぞれのティアに対応する前記メモリセルに結合され、前記それぞれのティアの少なくとも一部に対応するメモリセルが、複数のページのうちのそれぞれのページに対応する、アクセスラインと、

前記複数のストリングによって共有される複数のドレイン選択ラインおよび複数のソース選択ラインと、

前記複数のストリングによって共有される複数のデータラインであって、前記データラインが、第1および第2のサブセットのデータラインを備え、前記第1のサブセットのデータラインが、前記複数のページのうちの特定のページのなかの第1の部分的なページにマッピングされ、前記第2のサブセットのデータラインが、前記特定のページのなかの第

50

2の部分的なページにマッピングされている、複数のデータラインと、を備え、

前記第1の部分的なページに対応するメモリセルを含むストリングは、第1のストリングドライバ群を介して、前記複数のアクセスラインのうち特定のアクセスライン、前記複数のドレイン選択ラインのうち特定のドレイン選択ラインおよび前記複数のソース選択ラインのうち特定のソース選択ラインと結合し、前記第2の部分的なページに対応するメモリセルを含むストリングは、第2のストリングドライバ群を介して、前記特定のアクセスライン、前記特定のドレイン選択ラインおよび前記特定のソース選択ラインに結合して、前記第1の部分的なページおよび前記第2の部分的なページは、互いに独立して、プログラムされ、読み取られ、消去され、検証されるように構成されている、装置。

【請求項11】

前記単一メモリ動作のためにデータと関連する列アドレスに基づいて、前記第1の部分的なページまたは前記第2の部分的なページのうちの少なくとも一方を選択するための制御ユニットを更に備える、請求項10に記載の装置。

【請求項12】

複数のティアに形成された複数のメモリセルをそれぞれ含む複数のストリングと、前記複数のストリングによって共有される複数のアクセスラインであって、各アクセスラインが、前記複数のティアのそれぞれのティアに対応する前記メモリセルに結合され、前記それぞれのティアの少なくとも一部に対応するメモリセルが、複数のページのうちのそれぞれのページに対応する、アクセスラインと、

前記複数のストリングによって共有される複数のドレイン選択ラインおよび複数のソース選択ラインと、

前記複数のストリングによって共有されるデータラインであって、前記データラインが、複数のサブセットのデータラインを備え、各サブセットのデータラインが、前記それぞれのページの複数の部分的なページのそれぞれの部分的なページにマッピングされ、各部分的なページが、前記それぞれのページ内の他の部分的なページから独立して選択可能である、データラインと、を備え、

前記複数のページのうちの特定のページは、第1の部分的なページと第2の部分的なページとを含み、前記第1の部分的なページに対応するメモリセルを含むストリングは、第1のストリングドライバ群を介して、前記複数のアクセスラインのうち特定のアクセスライン、前記複数のドレイン選択ラインのうち特定のドレイン選択ラインおよび前記複数のソース選択ラインのうち特定のソース選択ラインと結合し、前記第2の部分的なページに対応するメモリセルを含むストリングは、第2のストリングドライバ群を介して、前記特定のアクセスライン、前記特定のドレイン選択ラインおよび前記特定のソース選択ラインに結合して、前記第1の部分的なページおよび前記第2の部分的なページは、互いに独立して、プログラムされ、読み取られ、消去され、検証されるように構成されている、メモリブロックを有するメモリデバイスに対する方法であって、

ホストから、前記特定のページにプログラムされるべきデータを受信することと、

前記データを前記特定のページにマッピングすることであって、前記データの第1の部分を前記第1の部分的なページに、前記データの第2の部分を前記第2の部分的なページに、それぞれマッピングすることと、

前記データの前記第1の部分を前記第1の部分的なページにプログラミングすることと、

前記データの前記第2の部分を、前記第1の部分的なページにおいてプログラムされる前記データの前記第1の部分とは独立して、前記第2の部分的なページにプログラミングすることと、を含む、方法。

【請求項13】

前記データを受信するページバッファが埋められる前に、前記第1の部分的なページのプログラミングを開始することを含む、請求項12に記載の方法。

【請求項14】

前記データの前記マッピングすることが、

10

20

30

40

50

前記ページのサイズおよび前記部分的なページの数に少なくとも部分的に基づいて、前記データを前記部分に分割することを含む、請求項 1 2 に記載の方法。

【請求項 1 5】

前記データの前記マッピングすることが、  
数値アドレスシーケンスに従って近接して関係している前記複数の部分的なページのうちの 2 つを、前記第 1 および第 2 の部分的なページとして、選択することを含む、請求項 1 2 に記載の方法。

【請求項 1 6】

前記データの前記マッピングすることが、  
数値アドレスシーケンスに従って近接して関係していない前記複数の部分的なページのうちの 2 つを、前記第 1 および第 2 の部分的なページとして、選択することを含む、請求項 1 2 に記載の方法。

10

【請求項 1 7】

前記第 1 の部分の前記プログラミングすることが、  
前記第 1 の部分的なページに対応する第 1 のセットのデータラインを作動することと、  
前記第 2 の部分的なページに対応する第 2 のセットのデータラインを含む他のデータラインを無効化することと、を含む、請求項 1 2 に記載の方法。

【請求項 1 8】

前記第 2 の部分の前記プログラミングすることが、  
前記第 2 のセットのデータラインを作動することと、  
前記第 1 のセットのデータラインを含む他のデータラインを無効化することと、を含む、請求項 1 7 に記載の方法。

20

【請求項 1 9】

前記データの前記第 2 の部分の前記プログラミングすることが、前記データの前記第 1 の部分をプログラミングした後に、前記選択されたページを最初に消去すること無く、前記データの前記第 2 の部分をプログラミングすることを含む、請求項 1 2 に記載の方法。

【請求項 2 0】

前記第 2 の部分の前記プログラミングすることが、  
前記第 1 の部分的なページのプログラミングをやめることを含む、請求項 1 2 に記載の方法。

30

【請求項 2 1】

前記データを受信することの前に、前記ページ内の列アドレスを前記ページに対応する前記複数の部分的なページにマッピングすることを含む、請求項 1 2 に記載の方法。

【請求項 2 2】

前記ホストに対して前記列アドレスと前記複数の部分的なページとの間のマッピング関係を報告することを含む、請求項 2 1 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先権出願

40

この出願は、2012年10月26日に出願された、米国出願第13/661,321号の優先権の利益を主張するものであり、その米国出願は、その全体が参照によって本明細書に組み込まれる。

【0002】

関連出願の相互参照

この出願は、2011年8月15日に出願され、「APPARATUS AND METHODS INCLUDING SOURCE GATES」と題された、米国特許出願第13/210,194号に関係し得る。この出願はまた、2012年8月1日に出願され、「PARTIAL BLOCK MEMORY OPERATIONS」と題された、米国特許出願第13/564,458号に関係し得る。

50

## 【背景技術】

## 【0003】

例えばNOT AND (NAND) またはNOT OR (NOR) メモリなどのような、メモリデバイスのメモリブロックは、同じ組のアクセスラインを共有するメモリセルのストリングのグループを備え得る。メモリブロックは、複数のページにグループ化され得、各ページは、例えば、メモリセルがシングルレベルセル (SLC) もしくはマルチレベルセル (MLC) であるかどうかによって、ストリングの各グループのそれぞれのティアの少なくとも一部に対応するメモリセルの全てまたはサブセットを備え得る。

## 【0004】

既存の半導体メモリ技法の下で、メモリ動作は、メモリブロック全体の上で (例えば、メモリ動作が消去である場合)、あるいはメモリブロック内の (選択された) ページ全体の上で (例えば、メモリ動作がプログラム、読み取りまたは検証である場合)、行われ得る。したがって、ページサイズが大きくなるにつれて、データラインスイングもしくはページバッファリップの間に使用される電力が増加し得、それ故、比較的小さな量のデータ、例えば四 (4) キロバイト (KB) などが読み取られ、プログラムされ、消去されまたは検証されるときに、比較的大きな量の電力が消費され得る。この傾向は、SBL (シールド・ビット・ライン) アーキテクチャと比較すると、ABL (オール・ビット・ライン) アーキテクチャが使用されるときに増大され得る。それ故、(単一)メモリブロックもしくはページのサイズが増加するにつれて、3次元 (3D) メモリデバイスの場合のように、メモリ動作がその上で行われるメモリブロックまたはページ内のメモリセルの数もまた同時に増加するので、電流消費または寄生漏れ電流は、メモリ動作が行われるときに増加する。これは、大きな電流消費もしくは寄生漏れを支えるために追加的または代替的な電源をメモリデバイスに供給する必要性を結果としてもたらし得る。

## 【0005】

加えて、例えばメモリコントローラによって、既存の技術に従って形成されたメモリデバイスと動作可能に通信するホストが、メモリデバイスのページサイズよりも小さな単位でデータを処理し得る。それ故、従来のメモリデバイスは、ページデータの全てが、プログラミングの前にページバッファ内に埋められることを要求し得る。

## 【0006】

例えば、メモリデバイスがNANDメモリを備えるとき、NANDメモリのページサイズが十六 (16) KBである間に、ホストは、四 (4) キロバイト (KB) 単位でデータを処理し得る。この場合において、メモリコントローラが、十六 (16) KB単位でNANDメモリにデータを伝送するまたはNANDメモリからデータを受信する間に、ホストは、ページバッファによって四 (4) KB単位でNANDメモリを制御するメモリコントローラにデータを伝送し得るあるいはそのメモリコントローラからデータを受信し得る。それ故、メモリコントローラは、(受信した) データの総サイズが、それをNANDメモリにプログラミングする前に十六 (16) KBになるまで、ホストから受信したデータを待つ必要がある。関連するページのいくつかの部分が埋められない場合には、埋められない部分は、ブロック内にプログラムされたデータの全てを除去するためにブロック全体をまず消去させることなく、後の時間にプログラムされることができない。これは、望ましくない性能、例えば、上記したように、遅いプログラミング速度および大きな電流消費または寄生漏れ電流などを結果としてもたらし得る。

## 【図面の簡単な説明】

## 【0007】

【図1】種々の実施形態に係る、メモリセルを備えるメモリアレイを有するメモリデバイスのブロック図を示す。

【図2】種々の実施形態に係る、3D NANDメモリデバイスの形態にある図1のメモリアレイの概略図を示す。

【図3】種々の実施形態に係る、X-X'方向における図2の3D NANDメモリデバイスの断面図を示す。

10

20

30

40

50

【図4】種々の実施形態に係る、Y - Y' 方向における図2の3D NANDメモリデバイスの断面図を示す。

【図5】種々の実施形態に係る、図2の3D NANDメモリデバイスの上面図を示す。

【図6】種々の実施形態に係る、列アドレスと、タイルグループの形態にある部分的なページとの間のマッピングのための回路例を示す。

【図7】種々の実施形態に係る、列アドレスと、タイルグループ集合の形態にある部分的なページとの間のマッピングのためのスキーム例を示す。

【図8】種々の実施形態に係る、ページ上でプログラム動作を行う方法を例示するフローチャートを示す。

【図9】種々の実施形態に係る、ページ上でメモリ動作を行う方法を例示するフローチャートを示す。

10

【図10】種々の実施形態に係る、ページ上でメモリ動作を行う方法を例示するフローチャートを示す。

【発明を実施するための形態】

【0008】

後に続く記載は、発明の主題を具体化する例示的な装置（回路、デバイス、構造、システム、および同様のもの）ならびに方法（例えば、プロセス、プロトコル、シーケンス、技法、および技術）を含む。以下の記載において、説明の目的のために、多数の具体的な詳細が、発明の主題の種々の実施形態の理解をもたらすために規定される。しかしながら、発明の主題の種々の実施形態が、これらの具体的な詳細を用いず実施され得ることは、当業者に明らかであろう。更に、周知の装置および方法は、種々の実施形態の記載を分かりにくくしないように詳細には示されていない。

20

【0009】

本明細書において使用される際、用語「または」は、包括的もしくは排他的な意味に解釈され得る。更に、以下に記述される種々の実施形態は、主として、マルチレベルのセルメモリデバイスに焦点を合わせ得るが、実施形態は、単に、開示の明確さのために与えられるものにすぎず、それ故、一般に、NANDまたはNORメモリデバイスの特定の形態における装置に、あるいはメモリデバイスさえにも限定されるものではない。主題への導入として、いくつかの実施形態が、以下の段落において簡潔におよび一般的に記載されることになり、次いで、より詳細な記載が、図面を参照にして、後に続くことになる。

30

【0010】

上記した問題のいくつか、ならびに他のことを解決するために、本明細書に記載される種々の実施形態は、メモリブロック内の各ページをその複数の部分的なページに分割すること（例えば、分解すること、分けること等）を提案する。単一ページにおける部分的なページは、選択された部分的なページに対応するメモリセル上でメモリ動作を行うために他の部分的なページから独立して選択され（例えば、制御され）得、一方で、選択されない部分的なページに対応するメモリセル上でメモリ動作を行うことをやめる。

【0011】

種々の実施形態において、例えば、本明細書において記載される装置は、メモリセルの複数のストリングであって、アクセスラインおよびデータラインがストリングによって共有される、複数のストリングを含むメモリブロックを備え得る。ストリングのそれぞれは、複数のティアに形成されたメモリセルを備え得る。

40

【0012】

アクセスラインのそれぞれは、複数のティアのそれぞれのティアに対応するメモリセルに結合され得る。それぞれのティアの少なくとも一部に対応するメモリセルは、メモリブロックの複数のページのそれぞれのページを備え得る。

【0013】

データラインは、複数のサブセットのデータラインを備え得る。各サブセットのデータラインは、それぞれのページの複数の部分的なページのそれぞれの部分的なページにマッピングされ得る。各部分的なページは、例えば、そのメモリセルに関してメモリ動作を

50

行うために、他の部分的なページから独立して選択可能であり得る。これらの機構を組み込む種々の実施形態に関するより多くの情報は、次に、図1～9に関して記載されることになる。

#### 【0014】

図1は、メモリデバイス100の形態にある装置のブロック図を示す。メモリデバイス100は、ある実施形態に係る複数のメモリセル103を有するメモリアレイ102を含む。メモリセル103は、アクセスライン104（例えば、信号WL0からWLmを伝えるためのワードライン）および第1のデータライン106（例えば、信号BL0からBLnを伝えるためのビットライン）と共に、行と列に配列され得る。メモリデバイス100は、アクセスライン104および第1のデータライン106を使用して、データをメモリセル103に転送することならびにメモリセル103から転送することができる。行デコーダ107および列デコーダ108は、アドレスライン109上でアドレス信号A0からAXを復号して、メモリセル103のうちのどれがアクセスされることになるかを決定する。

10

#### 【0015】

センス回路、例えばセンス増幅回路115などは、第1のデータライン106上の信号の形態にあるメモリセル103から読み取られたデータの値を決定するように動作する。センス増幅回路115はまた、第1のデータライン106上の信号を使用して、メモリセル103に書き込まれることになるデータの値を決定することができる。

#### 【0016】

メモリデバイス100は、メモリアレイ102とI/Oライン105との間のデータの値を転送するための回路、例えば入出力（I/O）回路117などを含むように更に図示される。I/Oライン105上の信号DQ0からDQNは、メモリセル103から読み取られたデータの値、またはメモリセル103に書き込まれることになるデータの値を表わすことができる。I/Oライン105は、メモリデバイス100が存在するパッケージ上で、メモリデバイス100内にノード（あるいは代替的に、ピン、半田ボール、もしくは他の相互接続技術、例えば、崩壊制御チップ接続（controlled collapse chip connection：C4）、またはフリップチップアタッチ（FCA）など）を含むことができる。メモリデバイス100の外部の他のデバイス（例えば、図1には示されないメモリコントローラもしくはプロセッサ）は、I/Oライン105、アドレスライン109、または制御ライン120を通してメモリデバイス100と通信することができる。

20

30

#### 【0017】

メモリデバイス100は、メモリ動作、例えば、メモリセル103の選択されたものからデータの値を読み取るための読み取り動作、およびメモリセル103の選択されたものにデータをプログラムするための（例えば、書き込むための）（書き込み動作としても呼ばれる）プログラミング動作などを行うことができる。メモリデバイス100はまた、メモリセル103のいくつかまたは全てからデータをクリアするためのメモリ消去動作を行うことができる。

#### 【0018】

メモリ制御ユニット118は、制御ライン120上の信号の電気状態上の信号に基づいて、メモリセル103上で行われることになるメモリ動作を制御する。制御ライン120上の信号の実施例は、メモリデバイス100が、どの動作（例えば、プログラミングまたは読み取り動作）を行うことができるかあるいは行うべきであることを示すための1つ以上のクロック信号および他の信号を含むことができる。メモリデバイス100の外部の他のデバイス（例えば、プロセッサまたは外部メモリコントローラ）は、制御ライン120上の制御信号の値を制御することができる。制御ライン120上の信号の値の特定の組み合わせは、対応するメモリ動作（例えば、プログラム、読み取り、もしくは消去動作）をメモリデバイス100に行わせ得るコマンド（例えば、プログラミングまたは読み取りコマンド）を作ることができる。

40

50

## 【 0 0 1 9 】

本明細書に記述される種々の実施形態は、理解の容易さのために、シングルビットメモリ記憶概念に関する実施例を使用するが、発明の主題は、多数のマルチビットスキームにも同様に適用され得る。例えば、メモリセル 1 0 3 のそれぞれが、例えば、小数ビットの値、単一ビットの値、または例えば 2、3、4、もしくはそれ以上の数のビットなどの複数ビットの値を表わすために、少なくとも 2 つのデータ状態の異なるものにプログラムされ得る。

## 【 0 0 2 0 】

例えば、メモリセル 1 0 3 のそれぞれが、単一ビットにある「0」または「1」の 2 進値を表わすために、2 つのデータ状態の 1 つにプログラムされ得る。そのようなセルは、

10

## 【 0 0 2 1 】

別の実施例では、メモリセル 1 0 3 のそれぞれが、例えば、複数ビットの値、例えば、2 ビットの場合の 4 つの可能な値「00」、「01」、「10」および「11」のうちの 1 つ、3 ビットの場合の 8 つの可能な値「000」、「001」、「010」、「011」、「100」、「101」、「110」および「111」のうちの 1 つ、またはより大きな数の複数ビットの場合の別の組の値のうちの 1 つなどを表わすために、3 つ以上のデータ状態のうちの 1 つにプログラムされ得る。3 つ以上のデータ状態の 1 つにプログラムされ得るセルは、マルチレベルセル (MLC) として呼ばれることがある。これらの種類のセル上の種々の動作が、下記により詳細に記述される。

20

## 【 0 0 2 2 】

メモリデバイス 1 0 0 は、第 1 の供給ライン 1 3 0 と第 2 の供給ライン 1 3 2 上で、それぞれ、供給電圧信号  $V_{cc}$  および  $V_{ss}$  を含む、供給電圧を受信することができる。供給電圧信号  $V_{ss}$  は、例えば、(例えば、約 0 ボルトの値を有する) 接地電位にあり得る。供給電圧信号  $V_{cc}$  は、例えばバッテリーまたは交流 - 直流 (AC - DC) コンバータ回路 (図 1 には示されない) などの外部電源からメモリデバイス 1 0 0 に供給される外部電圧を含むことができる。

## 【 0 0 2 3 】

メモリデバイス 1 0 0 は、セレクトラ (例えば、選択回路) 1 4 0、ページバッファ 1 4 2、および入出力 (I/O) 回路 1 1 7 を含むように更に示される。セレクトラ 1 4 0 は、

I/O 回路 1 1 7 経由で、信号  $CSEL_1$  から  $CSEL_n$  に応答して、メモリセル 1 0 3 から読み取られることになるまたはメモリセル 1 0 3 にプログラムされることになるデータの値を表わすことができる第 1 のデータライン 1 0 6 および第 2 のデータライン 1 1 3 上の信号を選択することができる。列デコーダ 1 0 8 は、アドレスライン 1 0 9 上のアドレス信号  $A_0$  から  $A_X$  に基づいて、信号  $CSEL_1$  から  $CSEL_n$  を選択的に作動することができる。セレクトラ 1 4 0 は、読み取りおよびプログラミング動作の間にメモリアレイ 1 0 2 と I/O 回路 1 1 7 との間の通信を提供するために、第 1 のデータライン 1 0 6 と第 2 のデータライン 1 1 3 上の信号を選択することができる。ページバッファ 1 4 2 は、

ホストなどの外部デバイスから受信されたデータを、それがメモリアレイ 1 0 2 の関連する部分 (例えば、メモリセル 1 0 3) にプログラムされる前に記憶し得るか、あるいは、

メモリアレイ 1 0 2 から読み取られたデータを、それが外部デバイス (例えば、ホスト) に伝送される前に記憶し得る。

30

40

## 【 0 0 2 4 】

電力 (例えば、 $V_{cc}$  1 3 0、 $V_{ss}$  1 3 2、またはその両方) がメモリデバイス 1 0 0 から遮断されるときに、メモリセル 1 0 3 がその中に記憶されたデータを保持することができるように、メモリデバイス 1 0 0 は不揮発性メモリデバイスを含み得、メモリセル 1 0 3 は不揮発性メモリセルを含むことができる。

## 【 0 0 2 5 】

メモリセル 1 0 3 のそれぞれは、材料を有するメモリ素子を含むことができ、その少なくとも一部は、(例えば、浮遊ゲートまたは電荷捕獲などのような電荷蓄積構造上の対

50



応する量の電荷を蓄積することによって、あるいは、対応する抵抗値にプログラムされることによって)、所望のデータ状態にプログラムされ得る。それ故、異なるデータ状態は、メモリセル103のそれぞれにプログラムされたデータの異なる値を表わすことができる。

**【0026】**

メモリデバイス100は、それが、メモリセル103の1つ以上の選択されたものにプログラムされることになるプログラミングコマンドおよびデータの値を(例えば、外部プロセッサまたはメモリコントローラから)受信するときに、プログラミング動作を行うことができる。データの値に基づいて、メモリデバイス100は、その中に記憶されることになるデータの値を表わすために、選択されたメモリセルを適切なデータ状態にプログラム

10

**【0027】**

当業者は、メモリデバイス100が、他の構成要素であって、それらのうちの少なくともいくつかが本明細書に記述される、他の構成要素を含み得ることを認識し得る。しかしながら、これらの構成要素のいくつかは、記載される種々の実施形態を分かりにくくしないように、必ずしも図面に示されない。メモリデバイス100は、デバイスとメモリセルを含み得、本明細書において記述される種々の他の図面や実施形態を参照にして以下に記載されるものに類似するまたはそれと同一であるメモリ動作(例えば、プログラミングおよび消去動作)を使用して動作し得る。

**【0028】**

20

図2は、種々の実施形態に係る、3D NANDメモリデバイス200の形態にあるメモリアレイ(例えば、メモリアレイ102)のブロック図を示す。図2を参照にすると、3D NANDメモリデバイス200は、メモリセルの複数のストリングを備え得る。種々の実施形態において、第1の(例えば、Z-Z')方向において、メモリセルの各ストリングは、例えば32個のティア(例えば、Tier0~Tier31)の1つに対応する各メモリセルと互いの上に積み重ねられた、例えば32個のメモリセルを備え得る。それぞれのストリングのメモリセルは、共通チャンネル領域、例えば、半導体材料(例えば、ポリシリコン)のそれぞれのピラーであって、それについてメモリセルのストリングが形成される、それぞれのピラーに形成されたものなどを共有し得る。

**【0029】**

30

種々の実施形態において、第2の(例えば、X-X')方向において、複数のストリングの、例えば16個の第1のグループの、各第1のグループは、複数(例えば、32個)のアクセスライン(WL)を共有する例えば8個のストリングを備え得る。(以下に「グローバル制御ゲート(CG)ライン」と交換可能に使用される)複数のアクセスラインのそれぞれは、第1のグループの対応する1つの各ストリングの複数のティアのそれぞれのティアに対応するメモリセルを結合(例えば、電氣的にまたはそうではない場合には動作可能に接続)し得る。同じアクセスラインに結合された(および、それ故、同じティアに対応する)メモリセルは、各メモリセルが、2ビットのデータを記憶することができるMLCを備えるときに、例えば2個のページ、例えばP0/P32、P1/P33、P2/P34などに、論理的にグループ化され得る。

40

**【0030】**

種々の実施形態において、第3の(例えば、Y-Y')方向において、複数のストリングの例えば8個の第2のグループの、各第2のグループは、例えば8個のデータライン(BL)の対応する1つに結合された16個のストリングを備え得る。一実施形態において、CGドライバのレイアウト制限に起因して、例えば、ストリングの各第2のグループの(例えば、16個の)ストリングのそれぞれのティアに対応する(例えば、16個の)メモリセルのCGは、図2において上部の(点線の)矩形によって示されるように、それぞれのプレートとして物理的に結合され得る。同様に、ストリングの各第2のグループの(例えば、16個の)ストリングのソース選択ゲート(SSG)は、図2において下部の(点線の)矩形によって示されるように、それぞれのプレートとして物理的に結合され得る

50

。そのようなシナリオにおいて、例えば、3D NANDメモリデバイス200のメモリアレイのサイズは、例えば、16個のメモリブロックを含み得、また、1,024ページおよび合計で約16MB（例えば、16WL×32ティア×2ビット=1,024ページ/ブロック、ブロックサイズ=1,024ページ×16KB/ページ=16MB）を備え得る。特定の数が、説明と明確さのために使用されるが、当業者に知られるように、ストリング、ティア、アクセスライン、データライン、第1のグループ、第2のグループまたはページの数は、図2に示されるものよりも大きくてもよいし、あるいは小さくてもよい。また、図2に概略的に示されたメモリセルの各ストリングは、種々の実施形態において、第2の（例えば、X-X'）または第3の（例えば、Y-Y'）方向における複数のストリングを表わし得ることに留意する。

10

**【0031】**

図3は、X-X'方向における図2の3D NANDメモリデバイス200の（選択された）メモリブロック300の断面図を示すが、この実施形態では、例えば、図2に関して記載したストリングの16個の第1のグループの1つにおけるメモリセルの15個のストリングを含む。メモリブロック300の複数のストリングは、複数（例えば、3個）の「サブセット」310、320、330に分割され得、各サブセットがメモリブロック300の「部分的なブロック」を備える。複数の（例えば、32個（32））のティアのそれぞれのティアに対応するメモリセルは、（少なくとも）ページ（例えば、ページ390）を備え得る。各ページ（例えば、ページ390）は、複数（例えば、3個）の部分的なページ（例えば、部分的なページ392~396）を備え得、各部分的なページが、複数の部分的なブロックのそれぞれの1つに対応するとともに複数のティアのそれぞれのティアに対応するメモリセルを備える。

20

**【0032】**

種々の実施形態において、各部分的なページ（例えば、部分的なページ392、394または396）は、タイルを備え得、および、他の部分的なページ（例えば、タイル）から独立して選択可能であり（例えば、バイアスされ）得る。そのような場合において、例えば、部分的なブロック310~330のそれぞれは、例えば、タイル列<sub>i</sub>、タイル列<sub>j</sub>およびタイル列<sub>k</sub>などのタイル列を備え得、各タイル列が、複数のティア（例えば、Tier0~Tier31）に対応するタイルの集合（例えば、組）を備える。種々の実施形態において、メモリ（例えば、プログラム、読み取り、読み取りもしくは検証）動作は、部分的なブロック（例えば、タイル列）または部分的なページ（例えば、単一タイル）上で行われ得る。図3は、メモリブロック300において3個の部分的なブロック（および所与のページにおける3個の部分的なページ）だけを有するように示されるが、より大きな（例えば、16個（16）以上の）またはより小さな（例えば、1個（1）のもしくは2個（2）の）数の部分的なブロック（および所与のページにおける部分的なページ）が、種々の実施形態に利用され得ることに留意する。

30

**【0033】**

種々の実施形態において、（図3には示されないが）各メモリブロック（例えば、メモリブロック300）、部分的なブロック（例えば、部分的なブロック310、320または330）、ページ（例えば、ページ390）、あるいは部分的なページ（例えば、部分的なページ392、394または396）は、第3の（例えば、Y-Y'）方向の方向においてメモリセルの複数のストリング（の少なくとも一部）を備え得る。

40

**【0034】**

種々の実施形態において、メモリブロック300（または3D NANDメモリデバイス200における任意の他のメモリブロック）は、部分的なページを含む、複数のより小さな単位に電氣的に分割され得る。

**【0035】**

例えば、一実施形態において、複数のストリングのSGDに結合され得るグローバルレイン選択ゲート（SGD）ライン340は、ローカルSGDドライバ332、334、336の複数（例えば、3個）の対応する1つによって、複数（例えば、3個）のローカ

50

ルSGDライン342、344、346であって、各ローカルSGDラインが、それぞれの部分的なブロック（例えば、タイル列）に対応する、複数のローカルSGDラインに結合され得る。ローカルSGDドライバ332～336のそれぞれは、例えば、対応する部分的なブロックが他の部分的なブロックから分離されるべきであるときに、他の部分的なブロックのものと独立して対応する部分的なブロック（例えば、タイル列）のストリングのSGDを同時に結合し得るか切断し得る。

【0036】

同様に、複数のストリングのSGSに結合され得るグローバルSGSライン360は、複数の（例えば、3個）のローカルSGSドライバ322、324、326の対応する1つによって、複数の（例えば、3個の）ローカルSGSライン362、364、366であって、各ローカルSGSラインが、それぞれのサブセット（例えば、タイル列）に対応する、複数のローカルSGSラインに結合され得る。ローカルSGSドライバ322～326のそれぞれは、例えば、他の部分的なブロックから対応する部分的なブロックを電氣的に分離するために、他の部分的なブロックのものと独立して対応する部分的なブロック（例えば、タイル列）のストリングのSGSを同時に結合し得るか切断し得る。

10

【0037】

種々の実施形態において、図2に示されるように、メモリブロック300のストリングの複数のティアのそれぞれのティアについて、グローバルアクセスライン（例えば、グローバルCGライン）350は、各複数のストリングのそれぞれのティアに対応するメモリセルに結合され得る。各グローバルCGライン（例えば、グローバルCGライン350）は、複数の（例えば、3個）のローカルストリングドライバ312、314および316の対応する1つによって、複数の（例えば、3個）のローカルアクセスライン（例えば、ローカルCGライン）352、354、356に結合され得る。ローカルストリングドライバのそれぞれは、例えば、対応する部分的なブロックおよび/またはティアを他の部分的なブロックおよび/またはティアから分離するために、他の部分的なブロックおよび/または他のティアのものと独立して、それぞれの部分的なブロックまたはティアに対応するメモリセルを同時に結合し得るか切断し得る。

20

【0038】

種々の実施形態において、ローカルストリングドライバ312～316のそれぞれは、電圧範囲、例えば、約20Vまでをサポートするための電圧トランジスタを備え得、そのチャンネル長が、約2 $\mu$ mであり得、一方、メモリセル（例えば、電荷蓄積デバイス）のそれが約20nmであり得る。種々の実施形態において、ローカルストリングドライバ312～316は、行デコーダに位置し得、行デコーダは、例えば、CUA技術を使用してメモリアレイ（例えば、メモリアレイ102）の下に置かれ得る。これは、回路に必要とされる面積を削減することを可能にする。

30

【0039】

種々の実施形態において、それぞれの部分的なブロックに対応するストリングは、ローカルソース372、374および376（例えば、「タイルソース」）であって、各ローカルソースが、それぞれの電源、例えばローカルソースドライバなど（図示しない）に結合される、ローカルソースの対応する1つに結合され得る。種々の実施形態において、部分的なブロックソースデコーダ（例えば、タイル列ソースデコーダ）および/または部分的なブロックドレインデコーダ（例えば、タイル列ドレインデコーダ）は、例えば外部プロセッサから、列アドレス（例えば、ストリングのためのアドレス）を受信するために、ならびに、列アドレスを使用して部分的なブロックのローカルソース（例えば、タイルソース）、ローカルSGSライン、および/またはローカルSGDラインを選択するために、使用され得る。ローカルソースドライバのそれぞれは、対応する部分的なブロックが、他の部分的なブロックから分離されるべきであるときに、対応する部分的なブロックのストリングのソースを、他の部分的なブロックのものと独立して、同時に結合し得るか切断し得る。

40

【0040】

50

図4は、種々の実施形態に係る、Y-Y'方向における図2の3D NANDメモリデバイス200のメモリブロック400の断面図を示す。図4を参照にすると、描写されたメモリブロックの断面400は、(ラインYY'として示される)同じデータラインに結合されるメモリセルであって、例えば、図2に関して記載したストリングの8個の第2のグループの1つに対応し得る、メモリセルの複数(例えば、16個)のストリングを備え得る。図2に関して記したように、種々の実施形態において、それぞれのティアの各メモリセルは、同じプレート(例えば、プレートCG0~CG31の1つ)に結合され得る。同様に、複数のストリングの(例えば、16個の)SGSは、同じSGSプレートに結合され得る。種々の実施形態において、複数のストリングのSGD(例えば、SGD0~SGD15)のそれぞれは、互いから分離され得る。種々の実施形態において、複数のスト

10

#### 【0041】

図5は、図2の3D NANDメモリデバイス200の上面図500を示すが、この実施形態では、ブロック0~ブロック2,047およびリザーブされたブロック「RSV」を含む、2,049個のブロック(例えば、それぞれが、メモリブロック、例えばメモリブロック300などに対応する)を含み、各ページ(例えば、ページ510)が、16個の部分的なページ(例えば、部分的なページ512~542)を含む。各ページは、例えば、約16,384バイト(例えば、約16KB)に対応するメモリセルを備え得る。上記したように、例えば、図3に関して、各部分的なページは、(単一)タイルに対応し得る、各タイルは、メモリ動作のために他のタイルから独立して選択可能であり得る。

20

#### 【0042】

種々の実施形態において、複数(例えば、2個または4個)のタイルが、タイルグループを形成するように組み合わせられ得る。タイルグループ構造は、例えば、メモリ動作のためのいくつかのタイルグループを選択することによって、および、メモリブロックまたはその中のページ内の他のタイルグループ上のメモリ動作を行うことをやめることによって、メモリブロック(例えば、メモリブロック300)の一部のメモリ動作を行うために使用され得る。そのようなシナリオにおいて、メモリアレイは、各ページ(例えば、ページ510)が、複数の部分的なページ、例えば、図5における(大きな矩形であって、それぞれが、点線の垂直線によって分離される2つの小さな矩形を囲む、大きな矩形によって表わされる)部分的なページ510~542などを備え得るように、ならびに各部分的な

30

#### 【0043】

図6は、種々の実施形態に係る、部分的なページ(例えば、タイルグループ)とメモリ(例えば、列)アドレスとの間のマッピングのための回路例600を示す。例えば、メモリアレイ610(例えば、3D NANDメモリデバイス200)の複数のタイルグループTG0~TG7のそれぞれは、列アドレスの特定範囲を予め割り当てられ(例えば、予めマッピングされ)得る。メモリ(例えば、プログラム)動作のための要求が、関連するメモリコントローラ(例えば、メモリ制御ユニット118)において受信されるとき、タイルグループTG0~TG7のうちの対応する1つ以上が、複数の選択/制御回路620(例えば、行デコーダ107、列デコーダ108、および/またはセクタ140)の対応する1つ以上から許可信号に応じて選択され得る。

40

#### 【0044】

図6は、メモリアレイ610の列アドレスが、8個のタイルグループTG0~TG7にマッピングし得る実施形態に関して説明されるが、他の実施形態が可能であり得ることに留意する。例えば、図5を参照にすると、各ブロック(およびその各ページ)が16個

50

(16)のタイルグループ(例えば、部分的なページ512~542)に分割されるメモリアレイの場合において、メモリアレイの列アドレス全体は、16個(16)の範囲にマッピングし得る。

#### 【0045】

種々の実施形態において、例えば、メモリ(例えば、プログラム)動作と関連する(例えば、書き込み)データは、タイルグループサイズ(例えば、境界)に基づいて、複数の部分に分割され得る。データの複数の部分のそれぞれは、複数のタイルグループTG0~TG7のうちの対応する1つにマッピングされ得る。マッピングが少なくとも部分的に行われるように、対応するタイルグループが、順次的または同時に選択され得、データのそれぞれの(マッピングされた)部分に関してメモリ動作を行う。各タイルグループが他の  
10  
タイルグループから独立して選択可能であるので、それぞれのタイルグループ上のメモリ動作は、他の(選択されない)タイルグループに記憶されるデータのインテグリティに影響を及ぼすこと無く、独立して行われ得る。メモリデバイス(例えば、メモリアレイ200)の各タイルのサイズは、メモリデバイスが設計されるときに物理的に決定され得る。それ故、複数(例えば、2個、4個または8個など)のタイルを(単一)タイルグループとしてグループ化する能力、および他のタイルグループから独立して各タイルグループを選択する能力は、メモリデバイスの柔軟性が、メモリデバイスと他のデバイス(例えば、メモリ制御ユニット118または外部プロセッサ)との間の種々の(例えば、データ転送)  
20  
仕様に適応することを可能にする。図6は、各タイルグループのサイズが約1(1)KB(例えば、1,024バイト)を含む実施例を示すが、回路600は、より大きなまたは小さなタイルグループサイズのマッピングのために使用されてもよい。

#### 【0046】

種々の実施形態において、タイルまたはタイルグループサイズは、メモリ動作のための最小ページ粒度を決定し得る。タイルまたはタイルグループサイズは、ページサイズ、タイルグループの数、各タイルグループにおけるタイルの数、予備領域サイズなどに少なくとも部分的に基づいて、決定され得る。(例えば、NAND)ページサイズが、(常備ページ領域のための)約Xバイトに足して(予備ページ領域のための)Yバイトである場合には、タイルグループサイズは、約 $(X+Y)/(\text{あるページにおけるタイルグループの数})$ であり得る。例えば、Xの値が約16,384バイト(例えば、約16KB)である場合において、Yの値が約2,208バイトであり、ページ毎のタイルグループの数が1  
30  
6個(16)である場合には、タイルグループサイズは、約 $(16,384+2,208)/16=$ 約1,162バイトであるように計算され得る。そのような場合において、タイルサイズは、各タイルグループにおいて組み合わせられるタイルの数でタイルグループサイズを割ることによって計算され得る。それ故、上記実施例を続けて、2個のタイルが各タイルグループにおいて組み合わせられる場合には、タイルサイズは、約 $1,162/2=$ 約581バイトであり得る。この実施例において、各タイルグループが、他のタイルグループとは独立してプログラムされ得、読み取られ得、消去され得、あるいは検証され得るので、(例えば、NAND)ページは、一度にわずか1つのタイルグループだけ、16個(16)のステップまでプログラムされ得る。各時間におけるタイルグループのプログラミングは、他の(例えば、選択されないまたは作動されない)タイルグループに記憶され  
40  
たデータが影響を及ぼされないままにし得る。

#### 【0047】

したがって、種々の実施形態に係る3DNANDメモリの下で、(例えば、MLC)ページ内の列アドレス(例えば、バイト位置)が、他のタイルグループから独立して選択可能であるページに対応する複数のタイルグループにマッピングされるので、ページがプログラムされ得る時間の数は、1つ(1)より大きい可能性がある。例えば、タイルまたはタイルグループ構造は既存のメモリに無いので、これは、既存のNANDメモリ設計においてサポートされない。既存のNANDメモリのページは、1回だけプログラムされ得、前のプログラム動作においてプログラムされないページのプログラミング部分は、現在のところ、そのページを含むメモリブロック全体の消去を要求する。  
50

【 0 0 4 8 】

種々の実施形態において、タイルグループは、例えばタイルグループ毎に帯域幅を調整するために、集められ（例えば、共に集約されまたは組み合わせられ）得る。そのような場合において、列アドレス範囲は、共に集められたタイルグループの数によって分割される。タイルグループ集合の複数の実施例が、表 1 に関して以下に提供される。これらの実施例の場合、16 個（16）のタイルグループが所与のページにあり、ページサイズが約 N バイト（例えば、約 18,592 バイト、例えばページ領域の約 16 KB に足して予備領域の約 2,208 バイトなど）であることが想定される。また、タイルグループ毎の帯域幅が、約 = X MT/s（例えば、400 MT/s）であることが想定される。

【表 1】

10

表 1:タイルグループ集合の実施例

	ページ毎に1個のタイルグループ集合	ページ毎に2個のタイルグループ集合	ページ毎に4個のタイルグループ集合	ページ毎に8個のタイルグループ集合	ページ毎に16個のタイルグループ集合
タイルグループ集合毎のタイルグループの数	16	8	4	2	1
ページ毎のプログラム動作の数 (NOP)	1	2	4	8	16
タイルグループ毎の帯域幅	X/16 (例えば 25 MT/s)	X/8 (例えば 50 MT/s)	X/4 (例えば 100 MT/s)	X/2 (例えば 200 MT/s)	X/1 (例えば 400 MT/s)
Y番目のタイルグループ集合についてのアドレス範囲	0 ~ N-1 (2D NAND と同じ)	1番目~2番目の範囲: Y*N/2 から [(Y+1)*N/2 - 1] (ここで 0 ≤ Y ≤ 1)	1番目~4番目の範囲: Y*N/4 から [(Y+1)*N/4 - 1] (ここで 0 ≤ Y ≤ 3)	1番目~8番目の範囲: Y*N/8 から [(Y+1)*N/8 - 1] (ここで 0 ≤ Y ≤ 7)	1番目~16番目の範囲: Y*N/16 から [(Y+1)*N/16 - 1] (ここで 0 ≤ Y ≤ 15)

20

【 0 0 4 9 】

種々の実施形態において、上記にリスト化されたまたは他の集合構成の 1 つは、設計の好みに応じて、所与の時間に 3D NAND メモリ内の実施のために選択され得る。そのような選択は、タイルグループ毎の帯域幅とタイルグループ集合の数との間の保証されたトレードオフに少なくとも部分的に基づき得る。表 1 に示されるように、ページ毎の異なるタイルグループ集合（例えば、タイルグループ集合毎のより少ない数のタイルグループ）が、タイルグループ毎のより高いアクセス帯域幅を結果としてもたらし得る。タイルグループ毎のアクセス帯域幅の増加は、順に、内部データバス幅、内部バス速度、ダイサイズの増加、または電力消費もしくは寄生漏れの増加を大きくし得る。

30

【 0 0 5 0 】

図 7 は、種々の実施形態に係る、列アドレスとタイルグループ集合の形態にある部分的なページとの間のマッピングのためのスキーム例 700 を示す。データは、例えば、各タイルグループにアクセスするために使用される帯域幅を減らすように、所与のタイルグループ集合における任意のタイルグループにわたって、例えばプログラムされ、そのタイルグループから読み取られ、そのタイルグループから消去され、または検証されることなどのように、スクランブル化され（例えば、アクセスされ）得る。列アドレス境界は、例えば、表 1 に関して上記したように、ページサイズおよびページ毎のタイルグループ集合の数によって決定され得る。図 7 に示されるように、例えば、ページサイズが約 18,592 バイトである場合において、ページ毎の 1 個の (1) タイルグループ集合のための第 1 (例えば、上位) のマッピングスキーム 710 は、バイト 0 からバイト 18,591 までをカバーする 1 個の (1) 列アドレス範囲 712 を有し得る。ページ毎の 2 個の (2) タイルグループ集合のための第 2 の (例えば、中間) マッピングスキーム 720 は、それぞ

40

50

れが、バイト0からバイト9, 295まで、およびバイト9, 296からバイト18, 591までをそれぞれカバーする、2個の(2)列アドレス範囲722、724を有し得る。ページ毎の4個の(4)タイルグループ集合のための第3(例えば、下位)のマッピングスキーム730は、それぞれが、バイト0からバイト4, 647まで、バイト4, 648からバイト9, 295まで、バイト9, 296からバイト13, 943まで、およびバイト13, 944からバイト18, 591までをそれぞれカバーする、4個の(4)列アドレス範囲722、734、736、738を有し得る。

#### 【0051】

図7は、各タイルグループ集合が、他のタイルグループのものに連続的な(例えば、引き続く)メモリ(例えば、列)アドレスにそれぞれマッピングされる複数のタイルグループを備えることを示すが、他の配列が可能であることに留意する。例えば、第2のマッピングスキーム720における第1(例えば、左)のタイルグループ集合は、タイルグループ「0」、「2」、「4」、「6」、「8」、「A」、「C」および「E」を備え得、第2のマッピングスキーム720における第2(例えば、右)のタイルグループ集合は、タイルグループ「1」、「3」、「5」、「7」、「9」、「B」、「D」および「F」を備え得る。また、(例えば、連続的なアドレス範囲内の)入力(例えば、書き込み)データが、複数のデータ部分に分割される(例えば、分けられる)とき、または各データ部分が、対応するタイルグループ集合にマッピングされるとき、入力データのデータ部分は、(マッピングされる)タイルグループ集合においてタイルグループの全てに及び得る。(マッピングされる)タイルグループ集合内のタイルグループは、それらの関連する列アドレスに対して順次的または非順次的に選択され得る。他の実施形態では、(マッピングされる)タイルグループ集合内のタイルグループの選択は、例えば、各タイルグループの使用の頻度または任意の他の特定の規則などのような、非アドレス関係の態様に少なくとも部分的に基づいて決定され得る。

#### 【0052】

種々の実施形態において、データパス速度は、データスクランブル配列で考慮され得る。例えば、約1,162の順次バイトを1個のタイルまたは1個のタイルグループにマッピングすることは、高速データレートを維持するために必要とされる回路の量を増やし得る。いくつかのタイルまたはタイルグループは、例えば、それらを完全に独立に保つ代わりに、メモリアドレス内の位置に基づいて、共にグループ化され得る。

#### 【0053】

プログラミングのために、種々の実施形態において、所与の3D NANDメモリのどのタイルまたはタイルグループが、書き込まれることになるデータを有するかに関する情報が考慮され得、いくつかの実施形態において、それらのタイルまたはタイルグループだけが、プログラムされ得る。いくつかの実施形態において、ホストは、所与のページのどの部分(例えば、部分的なページ)がプログラムされていて、ページのどの部分がプログラムされていないかを知る責任があり得る。3D NANDメモリは、プログラム動作のためにその部分的なページサイズ(例えば、境界)を報告するように動作し得、それ故、ホストは、書き込みデータをそれらの境界に整列させるように書き込みデータを3D NANDメモリに送信することができる。

#### 【0054】

いくつかの実施形態において、プログラム動作のためのアルゴリズムが、例えば、より多くの又はより少ないタイルまたはタイルグループが作動されることに起因して、迅速にあるいは一定のレート(例えば、ランプレート)で増加するか減少するプログラム動作に適用される電圧のレートが変化すると、調整され得る。これは、ドライバに伝えられる抵抗または容量の変化を結果としてもたらし得る。この種の動作は、例えば、プログラム動作を実施するために使用されるコマンドセットの変化を回避し得る。

#### 【0055】

いくつかの実施形態において、前にプログラムされた部分を有する下位ページを読み取るときに、3D NANDメモリは、どのタイルまたはタイルグループが、下位ページ部

10

20

30

40

50

分を既にプログラムさせたかをチェックするように動作し得、ならびに、前にプログラムされているタイルまたはタイルグループのための有効なデータだけを戻し得る。関連する上位ページのいくつかの部分が前にプログラムされている状態で下位ページを読み取る時に、3D NANDメモリは、プログラムされた上位ページを有さないタイルまたはタイルグループのためのその読み取りアルゴリズムを調整し得る。上位ページを読み取る時に、3D NANDメモリは、どのタイルが上位ページを前にプログラムさせたかを監視して、上位ページを既にプログラムさせたタイルまたはタイルグループのための有効なデータだけを戻すように動作し得る。読み取りアルゴリズムの変化はまた、これらの種類の動作が使用されるときに回避され得、それ故、データが、有効な、前にプログラムされたタイルが読み取られるときにだけホストに戻されるにもかかわらず、全タイルまたはタイルグループが、依然として読み取られ得る。

10

## 【0056】

次に、図1~7に例示されたおよび前に記載された種々の実施形態を考慮すると、装置は、メモリブロックを備え、メモリブロックが、メモリセルのストリングであって、各ストリングが複数のティアに形成されたメモリセルを備える、メモリセルのストリングと、ストリングによって共有されるアクセスラインであって、各アクセスラインが、複数のティアのそれぞれのティアに対応するメモリセルに結合されており、それぞれのティアの少なくとも一部に対応するメモリセルが、複数のページのそれぞれのページを備える、アクセスラインと、ストリングによって共有されるデータラインであって、データラインが複数のサブセットのデータラインを備え、各サブセットのデータラインが、それぞれのページの複数の部分的なページのそれぞれの部分的なページにマッピングされており、各部分的なページが、他の部分的なページから独立して選択可能である、データラインと、を備えることが分かり得る。

20

## 【0057】

種々の実施形態において、複数の部分的なページのそれぞれが、タイルを備え得る。

## 【0058】

種々の実施形態において、複数の部分的なページのそれぞれが、タイルグループを備え得る。各タイルグループが、複数のタイルを含み得る。

## 【0059】

種々の実施形態において、複数の部分的なページのそれぞれが、タイルグループ集合を備え得る。各タイルグループ集合が、複数のタイルグループを含み得る。

30

## 【0060】

種々の実施形態において、タイルグループ集合に含まれる複数のタイルグループが、数値アドレスシーケンスに従って近接して関係し得る。

## 【0061】

種々の実施形態において、タイルグループ集合に含まれる複数のタイルグループの少なくとも1つが、数値アドレスシーケンスに従って近接して関係し得ない。

## 【0062】

種々の実施形態において、装置は、制御ユニットであって、制御ユニットにおいて書き込みデータを書き込むためのコマンドを受信するとすぐに、書き込みデータの第1の部分が、部分的なページの第1の部分的なページにプログラムされることになるように、ならびに、書き込みデータの第2の部分が、部分的なページの第2の部分的なページにプログラムされることになるように、書き込みデータを複数のティアのそれぞれのティアのそれぞれのページにマッピングするように構成される、制御ユニットを更に備え得る。

40

## 【0063】

種々の実施形態において、制御ユニットは、ブロックと関連するページバッファ(例えば、図1におけるページバッファ142)が埋められる前に、それぞれのページにおける書き込みデータのプログラミングをトリガするように構成され得る。

## 【0064】

種々の実施形態において、制御ユニットは、書き込みデータの第1の部分を第1の部分

50



的なページにプログラムするように、および、書き込みデータの第2の部分の第2の部分の部分的なページにプログラムするように、構成され得る。書き込みデータの第2の部分のプログラミングは、第1の部分の第1の部分の部分的なページにプログラミングした後に、かつ、メモリブロックを最初に消去すること無く、第2の部分の第2の部分の部分的なページにプログラミングすることを含み得る。

【0065】

種々の実施形態において、装置は、メモリブロックを備え得、メモリブロックが、メモリセルのストリングであって、各ストリングが、複数のティアに形成されたメモリセルを備える、メモリセルのストリングと、ストリングによって共有されるアクセスラインであって、各アクセスラインが、複数のティアのそれぞれのティアに対応するメモリセルに結合されており、メモリセルが、複数のページのそれぞれのページを備えるそれぞれのティアに対応する、アクセスラインと、ストリングによって共有されるデータラインであって、データラインが複数のサブセットのデータラインを備え、各サブセットのデータラインが、第1の部分の部分的なページおよび第2の部分の部分的なページを含むそれぞれのページの複数の部分的なページのそれぞれの部分的なページにマッピングされており、各部分的なページが、単一メモリ動作が第1の部分の部分的なページおよび第2の部分の部分的なページ上で独立して行われ得るように、他の部分的なページから独立して選択可能である、データラインと、を備える。

10

【0066】

種々の実施形態において、装置は、サブセットのデータラインと複数の部分的なページとの間のマッピングを実施するために、配線回路（例えば、回路600）またはルーティング論理部（例えば、メモリ制御ユニット118に具体化される論理部）を更に備え得る。ルーティング論理部が使用されるとき、装置は、例えば、後の時間に（例えば、メモリ動作のための要求が受信されるときに）ルーティング論理部によって、使用のためのマッピング情報を記憶するためのレジスタを更に備え得る。

20

【0067】

種々の実施形態において、装置は、単一メモリ動作のためにデータと関連する列アドレスに基づいて、第1の部分の部分的なページまたは第2の部分の部分的なページのうちの少なくとも1つを選択するように構成された制御ユニットを更に備え得る。例えば、いくつかの実施形態において、第1または第2の部分の部分的なページのうちの少なくとも1つは、列（例えば、ページ）アドレス範囲内で特定の列アドレスに入力されるデータに基づいて、サブセットのデータラインと複数の部分的なページとの間の所定のマッピング情報（例えば、関係）に応じて選択され得る。そのような場合において、一実施形態において、部分的なページは、その部分的なページのアドレス範囲内でデータを1つ以上の列アドレス位置に入力することによって（例えば、ホストによって）、選択され得る。同様に、複数の部分的なページは、それらの（複数の）部分的なページに対応する（例えば、それらの（複数の）部分的なページに予めマッピングされる）1つ以上の列アドレス範囲に入力されるデータに基づいて、選択され得る。

30

【0068】

種々の実施形態において、装置は、数値アドレスシーケンスに従って近接して関係していない2つの部分的なページを、第1および第2の部分の部分的なページとして、選択する制御ユニットを更に備え得る。

40

【0069】

図8は、種々の実施形態に係る、ページ上のプログラム動作を行う方法800を例示するフローチャートを示す。方法800は、特に、図1～6に示される装置を使用して実施され得る。種々の実施形態において、方法800は、ブロック805において、ホスト（例えば、図2におけるメモリブロック300を含むメモリデバイスと動作可能に通信するコンピュータまたはユーザデバイス）からデータを受信することで始まり得る。ブロック810において、（受信された）データは、複数のページから選択されたページ（例えば、図3におけるページ380）にマッピングされ得る。複数のページのそれぞれの、メモ

50

リブロック（例えば、メモリブロック300）における複数（例えば、32個（32）のティアの1つに対応し得る。（選択された）ページは、第1の部分的なページ（例えば、部分的なページ394）および第2の部分的なページ（例えば、部分的なページ392）を含む複数の部分的なページ（例えば、部分的なページ392～396）を備え得る。（選択された）ページへの（受信された）データのマッピングは、データの第1の部分を第1の部分的なページに、および、データの第2の部分を第2の部分的なページに、マッピングすることを含み得る。ブロック815において、データの第1の部分は、第1の部分的なページにプログラムされ得る。ブロック820において、データの第2の部分は、第1の部分的なページにおいてプログラムされるデータの第1の部分とは独立して、第2の部分的なページにプログラムされ得る。種々の実施形態において、（受信された）データが、ページ（例えば、ページ380）全体に対応するメモリ（例えば、列）アドレスにマッピングされることが決定される場合には、ページの、第1および第2の部分的なページを含む、部分的なページの全てが、同時に選択され得、プログラムされ得る。

10

**【0070】**

種々の実施形態において、ホストからデータを受信することは、データを受信するページバッファが埋められる前に、第1の部分的なページのプログラミングを含むページプログラムを開始することを含み得る。

**【0071】**

種々の実施形態において、データをページにマッピングすることは、ページのサイズおよび部分的なページの数に少なくとも部分的に基づいて、データを複数部分に分割することを含み得る。

20

**【0072】**

種々の実施形態において、データをページにマッピングすることは、ページに対応する複数の部分的なページの2つの部分的なページであって、数値アドレスシーケンスに従って近接して関係している2つの部分的なページを、第1および第2の部分的なページとして、選択することを含み得る。

**【0073】**

種々の実施形態において、データをページにマッピングすることは、ページに対応する複数の部分的なページの2つの部分的なページであって、数値アドレスシーケンスに従って近接して関係していない2つの部分的なページを、第1および第2の部分的なページとして、選択することを含み得る。例えば、一実施形態において、ページのアドレス範囲の終りに近い（例えば、第2の）部分的なページが最初に選択され得、次いで、（第2の部分的なページよりも）ページのアドレス範囲の始まりに近い他の（例えば、第1の）部分的なページが選択され得、逆の場合もまた同じである。

30

**【0074】**

種々の実施形態において、データの第1の部分をプログラミングすることは、第1の部分的なページに対応する第1のセットのデータラインを作動することと、第2の部分的なページに対応する第2のセットのデータラインを含む他のデータラインを無効化することと、を含み得る。

**【0075】**

種々の実施形態において、データの第2の部分をプログラミングすることが、第2のセットのデータラインを作動することと、第1のセットのデータラインを含む他のデータラインを無効化することと、を含み得る。

40

**【0076】**

種々の実施形態において、データの第2の部分をプログラミングすることが、データの第1の部分をプログラミングした後に選択されたページを最初に消去すること無く、データの第2の部分をプログラミングすることを含み得る。

**【0077】**

種々の実施形態において、データの第2の部分をプログラミングすることが、第1の部分的なページをプログラミングすることをやめることを含み得る。

50

## 【 0 0 7 8 】

種々の実施形態において、方法 8 0 0 は、データを受信する前に、ページ内の列アドレスをページに対応する複数の部分的なページにマッピングすることを更に含み得る。

## 【 0 0 7 9 】

種々の実施形態において、方法 8 0 0 は、ページ内の列アドレスとページに対応する複数の部分的なページとの間のマッピング関係をホストに報告することを更に含み得る。

## 【 0 0 8 0 】

図 9 は、種々の実施形態に係る、部分的なページ上でメモリ動作を行う方法 9 0 0 を例示するフローチャートを示す。方法 9 0 0 は、メモリブロック（例えば、メモリブロック 3 0 0）であって、複数のページを備えるメモリブロックを含むものなどのような、図 1 ~ 6 に示される装置を使用して実施され得る。複数のページの各ページは、複数（例えば、3 2 個（3 2））のティアの 1 つに対応し得、各ページ（例えば、ページ 3 8 0）は、第 1 の部分的なページ（例えば、部分的なページ 3 9 4）および第 2 の部分的なページ（例えば、部分的なページ 3 9 2）を含む複数の部分的なページ（例えば、部分的なページ 3 9 2 ~ 3 9 6）を備え得る。種々の実施形態において、方法 9 0 0 は、ブロック 9 0 5 において、例えば、メモリブロック（例えば、メモリブロック 3 0 0）を含むメモリデバイスに動作可能に結合されるホストから、メモリ動作のための要求を受信することで始まり得る。ブロック 9 1 0 において、ページは、対象ページ（例えば、ページ 3 8 0）として複数のページから選択され得る。ブロック 9 1 5 において、対象ページの第 1 の部分的なページ（例えば、部分的なページ 3 9 4）を含む 1 つ以上の部分的なページが、メモリ動作を行うために選択され得る。ブロック 9 2 0 において、対象ページの第 2 の部分的なページ（例えば、部分的なページ 3 9 2）を含む 1 つ以上の追加的な部分的なページが、第 1 の部分的なページ（例えば、部分的なページ 3 9 4）を含む 1 つ以上の部分的なページであって、その上でメモリ動作が前に行われている、1 つ以上の部分的なページとは独立してメモリ動作を行うために選択され得る。

## 【 0 0 8 1 】

図 1 0 は、種々の実施形態に係る、ページ上のプログラム動作を行う方法 1 , 0 0 0 を例示するフローチャートを示す。方法 1 , 0 0 0 は、特に、図 1 ~ 6 に示される装置を使用して実施され得る。種々の実施形態において、方法 1 , 0 0 0 は、ブロック 1 , 0 0 5 で、メモリデバイスにおいて（例えば、3 D NANDメモリデバイス 2 0 0）、ホスト（例えば、3 D NANDメモリデバイス 2 0 0 と動作可能に通信するコンピュータまたはユーザデバイス）からデータの第 1 の部分的なページを受信することで始まり得る。ブロック 1 , 0 1 0 において、データの（受信された）第 1 の部分的なページが、複数のページから選択される選択されたページ（例えば、図 3 におけるページ 3 8 0）のメモリセルの第 1 のグループにプログラムされ得る。ブロック 1 , 0 1 5 において、データの第 2 の部分的なページが、データの第 1 の部分的なページが選択されたページのメモリセルの第 1 のグループにプログラムされた後に、メモリデバイスにおいて受信され得る。ブロック 1 , 0 2 0 において、データの（受信された）第 2 の部分的なページが、特定のページを最初に消去すること無く、またはプログラムされたデータの第 1 の部分的なページを選択されたページのメモリセルの第 1 のグループに再びプログラミングすること無く、選択されたページのメモリセルの第 2 のグループにプログラムされ得る。

## 【 0 0 8 2 】

種々の実施形態において、データの第 1 および第 2 の部分的なページが、同じデータレートで受信され得る。すなわち、データレートは、ホストとメモリデバイスとの間の所与のデータセットの転送全体にわたって維持され得る。

## 【 0 0 8 3 】

種々の実施形態において、ホストは、選択されたページのどの部分的なページが既にプログラムされているかを追跡し得る。

## 【 0 0 8 4 】

種々の実施形態において、メモリデバイスは、選択されたページのどの部分的なページ

10

20

30

40

50

が既にプログラムされているかを追跡することをやめ得る。

【 0 0 8 5 】

種々の実施形態において、選択されたページの部分的なページであって、書き込まれる必要があるデータをそれらの中に有する、部分的なページだけが、プログラムされ得る。選択されたページの部分的なページであって、書き込まれることになるデータがそれに対してマッピングされない、部分的なページが、プログラムされることをやめさせられ得る。

【 0 0 8 6 】

種々の実施形態において、部分的なページのプログラミングサイズが、例えばメモリデバイスから、ホストに報告され得る。

【 0 0 8 7 】

種々の実施形態において、プログラミングアルゴリズムは、例えば、データの第 1 または第 2 の部分的なページのプログラミングの間に、ランプレートが変化すると、調整され得る。

【 0 0 8 8 】

種々の実施形態において、下位ページのある部分だけがプログラムされる状態で、選択されたページの下位ページを読み取るときに、読み取りデータは、プログラムされている部分的なページについてだけ戻され得る。

【 0 0 8 9 】

種々の実施形態において、上位ページのある部分だけがプログラムされる状態で、選択されたページの下位ページを読み取るときに、読み取りアルゴリズムは、それらの上位ページをプログラムさせていない選択されたページのメモリセルを読み取るために調整され得る。

【 0 0 9 0 】

種々の実施形態において、選択されたページの上位ページを読み取るときに、読み取りデータは、それらの上位ページをプログラムさせた部分的なページについてだけ戻され得る。

【 0 0 9 1 】

種々の実施形態において、選択されたページの全てのメモリセルが読み取られ得、データは、有効な、プログラムされた部分的なページについてだけホストに戻され得る。

【 0 0 9 2 】

種々の実施形態において、本明細書に開示された各メモリ動作は、プログラム動作、読み取り動作、検証動作、または消去動作を含み得る。複数の部分的なページのそれぞれは、少なくとも 1 つのタイルを備え得る。

【 0 0 9 3 】

要約すれば、部分的なページメモリ動作のための装置および方法が、本明細書に開示される。本明細書に開示される種々の実施形態によれば、部分的なページメモリ動作が、セル毎に 1 つ ( 1 ) 以上のビットを記憶するマルチレベルセルを備える NAND メモリデバイス内で実施され得る。大きな NAND ページサイズ ( 例えば、16 KB ) が、いくつかの ( 例えば、2 個の ( 2 ) ) プレーンを用いてサポートされ得る。これらの動作は、ページの使用量を追跡することがホストによって監視され得るので、NAND メモリがページのどの ( 複数の ) 部分が既にプログラムされているかを追跡する必要がないように、実施され得る。プログラミング動作は、例えば、ページのより小さな部分 ( 例えば、部分的なページ、例えばタイル、タイルグループまたはタイルグループ集合など ) をプログラミングするときに、より少ない電力を消費し得る。類似の機構が、修正されたコマンドのいくつかを用いて、部分的なページの読み取りまたは検証、あるいは部分的なブロックの消去に適用され得る。それ故、ライトアンプリフィケーション ( 書き込み増幅 ) が低減され得、システムブロック管理アルゴリズム、例えばガベージコレクションなどが簡易化され得る。

【 0 0 9 4 】

図1～10に関して記載した装置、方法および信号の例示は、本明細書に記載した構造や機能を利用し得る装置、信号、または方法の全ての要素および特徴の完全な記載としてではなくて、種々の実施形態の構造や機能の一般的な理解をもたらすことが意図される。

【0095】

種々の実施形態の新規の装置および方法は、コンピュータに使用される電子回路、通信や信号処理回路、シングルもしくはマルチプロセッサモジュール、単一もしくは複数の埋め込み型プロセッサ、マルチコアプロセッサ、データスイッチ、およびマルチレイヤ、マルチチップモジュールを含む特定用途向けモジュールを備え得、ならびに/あるいはそれらに含まれ得る。そのような装置および方法は、さまざまな電子システム内のサブ構成要素、例えば、テレビ、携帯電話（例えば、スマートホン）、パーソナルコンピュータ（例えば、ラップトップコンピュータ、デスクトップコンピュータ、手持ち式コンピュータ、タブレットコンピュータ等）、ワークステーション、ラジオ、ビデオプレイヤー、オーディオプレイヤー（例えば、MP3（Motion Picture Experts Group、Audio Layer 3）プレイヤー）、伝達物（vehicle）、医療デバイス（例えば、心臓モニタ、血圧モニタ等）、セットトップボックスおよび他のものなどとして更に含まれ得る。

10

【0096】

本明細書の一部を成す添付の図面は、例示として、また、限定するものとしてではなく、主題がそれにおいて実施され得る特定の実施形態を図示する。例示される実施形態は、十分に詳細に記載されており、当業者が、本明細書に開示された教示を実践することを可能にする。他の実施形態は、構造的および論理的置換ならびに変更が、この開示の範囲から逸脱すること無くなされ得るように、そこから利用され得、導き出され得る。従って、この発明を実施するための形態は、限定する意味に取られるのではなくて、種々の実施形態の範囲は、添付の特許請求の範囲と、そのような特許請求の範囲に権利を与えられる等価物の全範囲とによってのみ定義される。

20

【0097】

発明の主題のそのような実施形態は、単に便宜のために、ならびに、2つ以上が実際に開示される場合に、この出願の範囲を任意の単一の発明もしくは発明の概念に自発的に限定することを意図せずに、用語「発明」によって本明細書において個別的または集合的に呼ばれ得る。それ故、特定の実施形態が本明細書に例示され記載されているが、同じ目的を達成するために計算された任意の配列が、示された特定の実施形態と置換され得る。この開示は、種々の実施形態の任意および全ての適応または変形をカバーすることが意図される。本明細書に具体的に記載されない上記実施形態と他の実施形態の組み合わせは、上記を検討するとすぐに当業者に明らかになるであろう。

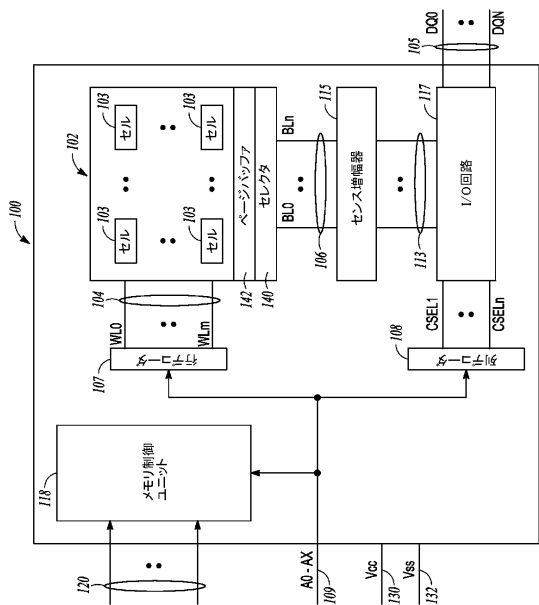
30

【0098】

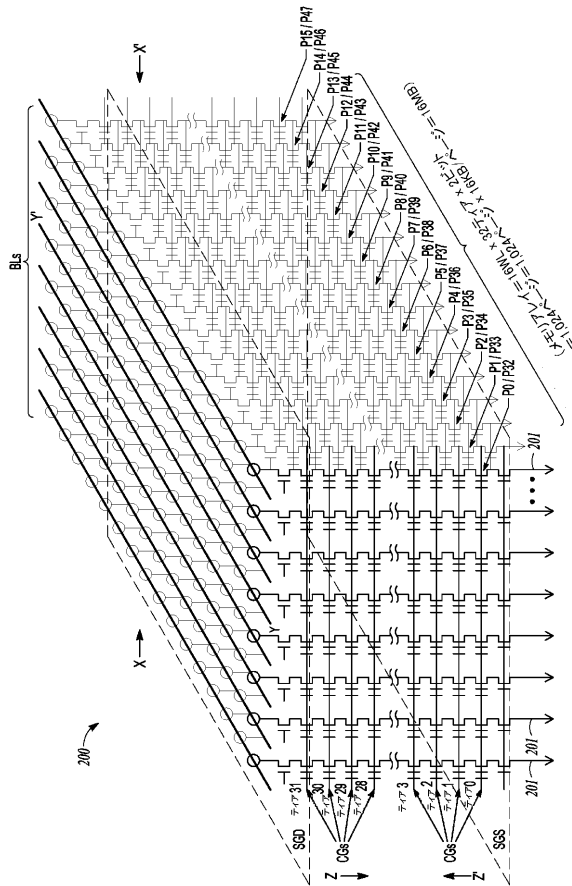
開示の要約は、読み手が技術的開示の本質を迅速に確認することを可能にするであろう要約を要求する37C.F.R. § 1.72(b)に準拠するように提供される。それが、特許請求の範囲もしくは意味を解釈するか限定するために使用されないことになるという理解の下、提出される。上述の発明を実施するための形態において、種々の特徴は、開示を合理化する目的のために単一実施形態において共にグループ化される。開示の方法は、各特許請求の範囲に明示的に記載されたものより多くの特徴を要求するように解釈されない。むしろ、発明の主題は、単一の開示された実施形態の全ての特徴に足りずに発見され得る。それ故、以下の特許請求の範囲は、本明細書によって発明を実施するための形態に組み込まれ、各特許請求の範囲は、別個の実施形態としてそれ自体を主張する。

40

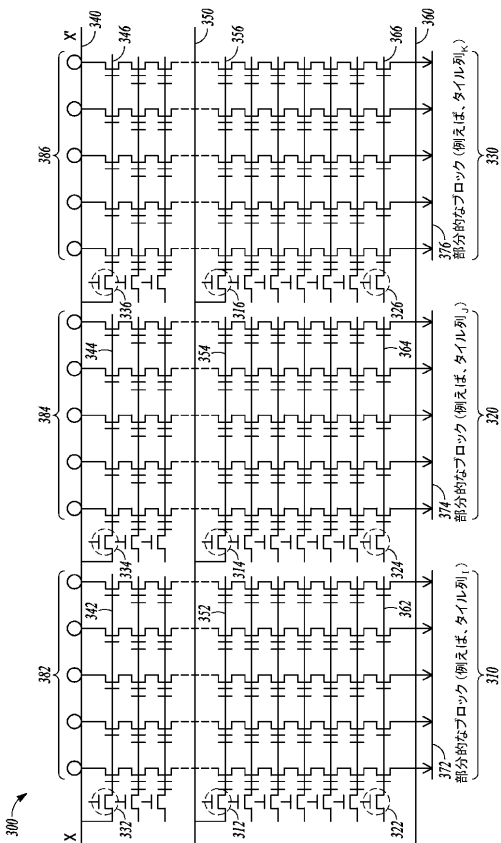
【図 1】



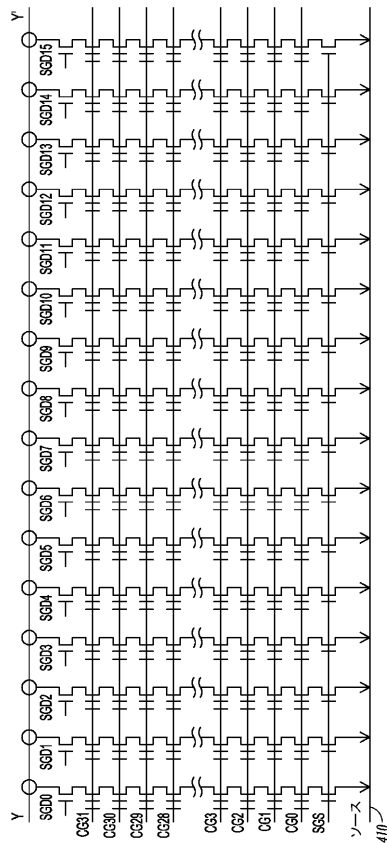
【図 2】



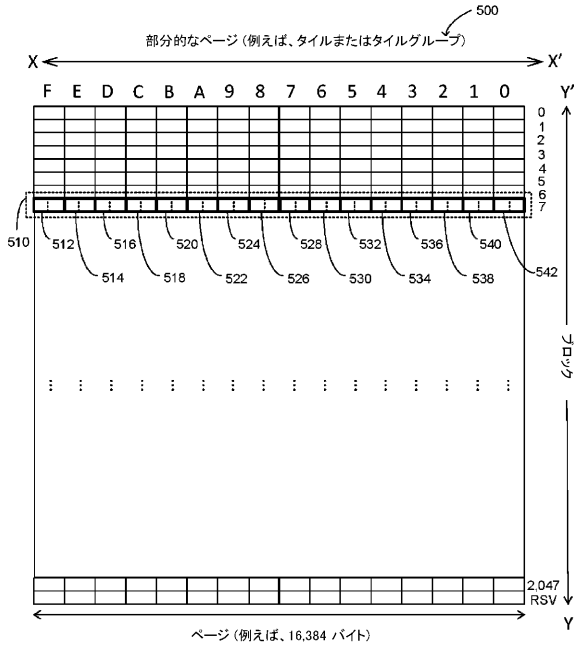
【図 3】



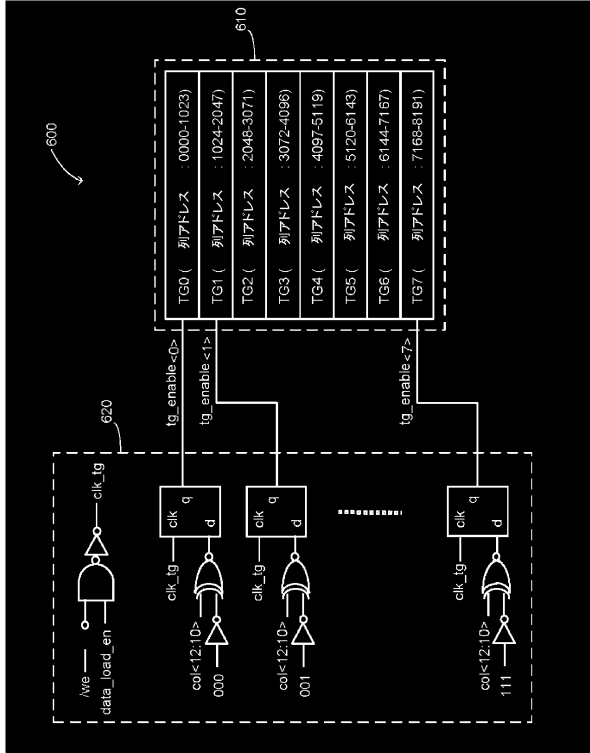
【図 4】



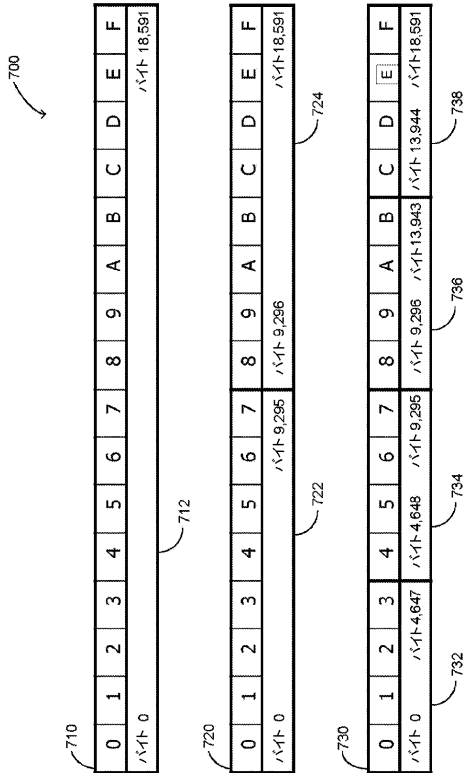
【図5】



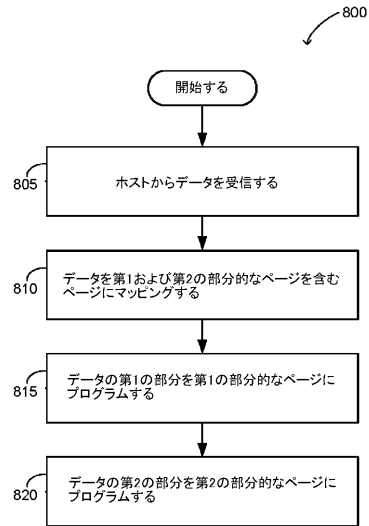
【図6】



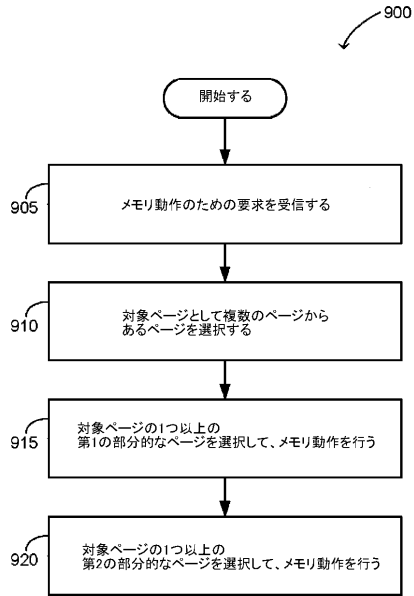
【図7】



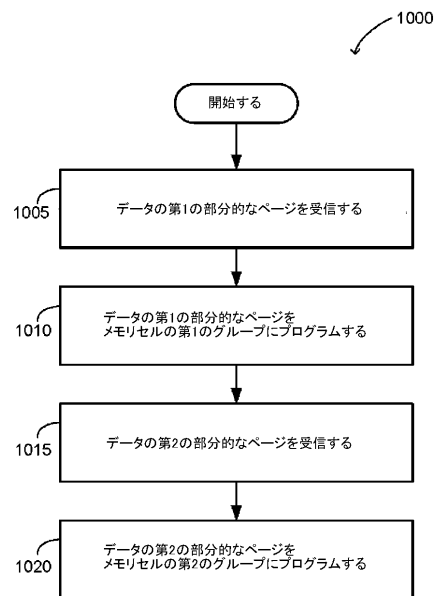
【図8】



【図9】



【図10】





---

フロントページの続き

- (72)発明者 田中 智晴  
神奈川県横浜市神奈川区入江1-14-3-403
- (72)発明者 河合 鋹一  
神奈川県横浜市中区新山下2-11-27-610
- (72)発明者 永長 祐一  
神奈川県横浜市港北区師岡町1173-3

審査官 塚田 肇

- (56)参考文献 米国特許出願公開第2012/0081957(US, A1)  
特開2004-326864(JP, A)  
特開2002-245786(JP, A)  
特開2001-135100(JP, A)  
特開2004-030866(JP, A)  
特開2012-119013(JP, A)  
米国特許出願公開第2010/0257308(US, A1)  
特表2010-520571(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G11C 16/14  
G11C 16/10