(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0034750
(43) 공개일자 2024년03월14일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) *H01L 23/532* (2006.01)
H05K 1/02 (2006.01) *H10B 12/00* (2023.01)
(52) CPC특허분류
H01L 23/49827 (2013.01)
H01L 23/49838 (2013.01)
(21) 출원번호 10-2024-7000604
(22) 출원일자(국제) 2022년06월14일
심사청구일자 없음
(85) 번역문제출일자 2024년01월05일
(86) 국제출원번호 PCT/US2022/072935
(87) 국제공개번호 WO 2023/288164
국제공개일자 2023년01월19일
(30) 우선권주장
17/375,676 2021년07월14일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
파틸 아니켓
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드
부오트 조안 레이 빌라르바
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드
위 홍복
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드
(74) 대리인
특허법인코리아나

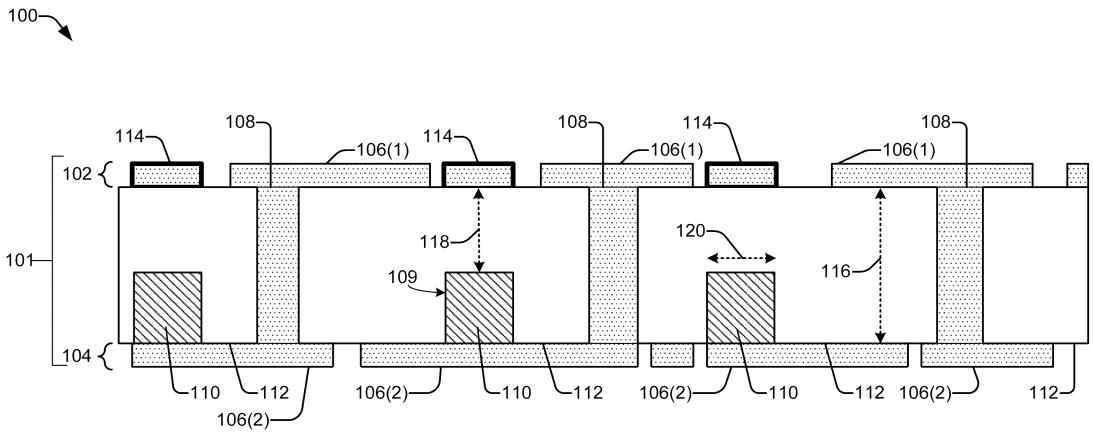
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 **감소된 임피던스 기판**

(57) 요 약

기판을 포함하는 장치 및 이를 제조하기 위한 기법들이 개시된다. 기판은 기판의 제1 측 상에 신호 상호연결부들을 갖는 제1 금속 층을 포함할 수 있다. 제2 금속 층은 기판의 제2 측 상에 접지 평면 부분들을 포함할 수 있다. 전도성 채널들은 기판에 형성되고 접지 평면 부분들에 커플링될 수 있다. 전도성 채널들은 개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 접지 평면 부분들을 신호 상호연결부들을 향해 연장시키도록 구성된다. 거리는 제1 금속 층과 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있을 수 있다.

대 표 도 - 도1



(52) CPC특허분류
H01L 23/53209 (2013.01)
H05K 1/0219 (2013.01)
H05K 1/0253 (2013.01)
H10B 12/00 (2023.02)
H05K 2201/10159 (2013.01)

명 세 서

청구범위

청구항 1

기판을 포함하는 장치로서,

상기 기판은,

상기 기판의 제1 측 상에 복수의 신호 상호연결부들을 포함하는 제1 금속 층;

상기 기판의 제2 측 상에 복수의 접지 평면 부분들을 포함하는 제2 금속 층; 및

개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 상기 복수의 접지 평면 부분들을 상기 신호 상호연결부들을 향해 연장시키도록 구성된, 상기 복수의 접지 평면 부분들에 커플링된 상기 기판 내의 복수의 전도성 채널들을 포함하며, 상기 거리는 상기 제1 금속 층과 상기 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있는, 기판을 포함하는 장치.

청구항 2

제1항에 있어서,

상기 복수의 신호 상호연결부들은 고속 데이터 신호를 운반하도록 구성되는, 기판을 포함하는 장치.

청구항 3

제2항에 있어서,

상기 복수의 신호 상호연결부들은 DRAM(dynamic random-access memory)에 커플링되는, 기판을 포함하는 장치.

청구항 4

제3항에 있어서,

프로세서 다이를 더 포함하며, 상기 프로세서 다이는 상기 기판에 의해 상기 DRAM에 커플링되는, 기판을 포함하는 장치.

청구항 5

제4항에 있어서,

상기 프로세서 다이, 상기 기판, 및 상기 DRAM을 포함하는 MEP(molded embedded package)를 더 포함하는, 기판을 포함하는 장치.

청구항 6

제1항에 있어서,

상기 제1 금속 층, 상기 제2 금속 층 및 상기 복수의 전도성 채널들은 구리(Cu), 코발트(Co), 루테늄(Ru), 텅스텐(Wolfram)(W), 몰리브덴(Mo), 금(Au), 은(Ag), 알루미늄(Al), 주석(Sn), 또는 이들의 임의의 조합 중 적어도 하나를 포함하는, 기판을 포함하는 장치.

청구항 7

제1항에 있어서,

상기 기판은 코어드 기판(cored substrate)인, 기판을 포함하는 장치.

청구항 8

제7항에 있어서,

상기 기판 두께는 40 마이크로미터 내지 1.2 밀리미터의 범위에 있는, 기판을 포함하는 장치.

청구항 9

제7항에 있어서,

상기 복수의 전도성 채널들은 상기 코어드 기판의 코어에 형성되고, 상기 기판 두께는 약 40 마이크로미터이며, 상기 거리는 약 20 마이크로미터 내지 약 30 마이크로미터인, 기판을 포함하는 장치.

청구항 10

제1항에 있어서,

상기 기판은 상기 제1 금속 층과 상기 제2 금속 층 사이에 유전체를 갖는 코어리스(coreless) 기판인, 기판을 포함하는 장치.

청구항 11

제10항에 있어서,

상기 기판 두께는 25 마이크로미터 내지 50 마이크로미터의 범위에 있는, 기판을 포함하는 장치.

청구항 12

제10항에 있어서,

상기 복수의 전도성 채널들은 상기 코어리스 기판의 상기 유전체에 형성되고, 상기 기판 두께는 약 25 마이크로미터이며, 상기 거리는 약 12.5 마이크로미터 내지 약 19 마이크로미터인, 기판을 포함하는 장치.

청구항 13

제1항에 있어서,

상기 복수의 신호 상호연결부들 각각의 임피던스는 50 옴 미만인, 기판을 포함하는 장치.

청구항 14

제1항에 있어서,

복수의 전도성 채널들 각각의 폭은 상기 복수의 신호 상호연결부들 각각의 폭보다 5 마이크로미터 이하 더 넓은, 기판을 포함하는 장치.

청구항 15

제1항에 있어서,

상기 장치는, 패키지, MEP(molded embedded package), 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 로케이션 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of things) 디바이스, 랩톱 컴퓨터, 서버, 기지국, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택되는, 기판을 포함하는 장치.

청구항 16

장치를 제조하는 방법으로서,

제1 금속 층 및 제2 금속 층을 포함하는 기판을 제공하는 단계;

상기 기판의 제1 측 상에 복수의 신호 상호연결부들을 형성하는 단계;

상기 기판의 제2 측 상에 복수의 접지 평면 부분들을 형성하는 단계; 및

개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 상기 복수의 접지 평면 부분들을 상기 신호 상호연결부들을 향해 연장시키도록 구성된, 상기 복수의 접지 평면 부분들에 커플링된 상기 기판 내의 복수의 전도성 채널들을 형성하는 단계를 포함하며, 상기 거리는 상기 제1 금속 층과 상기 제2 금속 층 사

이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있는, 장치를 제조하는 방법.

청구항 17

제16항에 있어서,

상기 복수의 신호 상호연결부들은 고속 데이터 신호를 운반하도록 구성되는, 장치를 제조하는 방법.

청구항 18

제17항에 있어서,

상기 복수의 신호 상호연결부들은 DRAM(dynamic random-access memory)에 커플링되는, 장치를 제조하는 방법.

청구항 19

제18항에 있어서,

상기 기판을 사용하여 상기 DRAM에 프로세서 다이를 커플링시키는 단계를 더 포함하는, 장치를 제조하는 방법.

청구항 20

제19항에 있어서,

상기 프로세서 다이, 상기 기판, 및 상기 DRAM을 포함하는 MEP(molded embedded package)를 형성하는 단계를 더 포함하는, 장치를 제조하는 방법.

청구항 21

제16항에 있어서,

상기 제1 금속 층, 상기 제2 금속 층 및 상기 복수의 전도성 채널들은 구리(Cu), 코발트(Co), 루테늄(Ru), 텅스텐(W), 몰리브덴(Mo), 금(Au), 은(Ag), 알루미늄(Al), 주석(Sn), 또는 이들의 임의의 조합 중 적어도 하나를 포함하는, 장치를 제조하는 방법.

청구항 22

제16항에 있어서,

상기 기판은 코어를 갖는 코어드 기판인, 장치를 제조하는 방법.

청구항 23

제22항에 있어서,

상기 기판 두께는 40 마이크로미터 내지 1.2 밀리미터의 범위에 있는, 장치를 제조하는 방법.

청구항 24

제23항에 있어서,

상기 복수의 전도성 채널들은 상기 코어드 기판의 상기 코어에 형성되고, 상기 기판 두께는 약 40 마이크로미터이며, 상기 거리는 약 20 마이크로미터 내지 약 30 마이크로미터인, 장치를 제조하는 방법.

청구항 25

제16항에 있어서,

상기 기판은 상기 제1 금속 층과 상기 제2 금속 층 사이에 유전체를 갖는 코어리스 기판인, 장치를 제조하는 방법.

청구항 26

제25항에 있어서,

상기 기판 두께는 25 마이크로미터 내지 50 마이크로미터의 범위에 있는, 장치를 제조하는 방법.

청구항 27

제25항에 있어서,

상기 복수의 전도성 채널들은 상기 코어리스 기판의 상기 유전체에 형성되고, 상기 기판 두께는 약 25 마이크로미터이며, 상기 거리는 약 12.5 마이크로미터 내지 약 19 마이크로미터인, 장치를 제조하는 방법.

청구항 28

제16항에 있어서,

상기 복수의 신호 상호연결부들 각각의 임피던스는 50 옴 미만인, 장치를 제조하는 방법.

청구항 29

제16항에 있어서,

복수의 전도성 채널들 각각의 폭은 상기 복수의 신호 상호연결부들 각각의 폭보다 5 마이크로미터 이하 더 넓은, 장치를 제조하는 방법.

청구항 30

제16항에 있어서,

상기 장치는, 패키지, MEP(molded embedded package), 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 로케이션 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of things) 디바이스, 랩톱 컴퓨터, 서버, 기지국, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택되는, 장치를 제조하는 방법.

발명의 설명

기 술 분 야

배 경 기 술

[0001] *1.개시내용의 분야*

[0002] 본 개시내용의 양태들은 일반적으로 IC(integrated circuit)에 관한 것으로, 특히 고속 데이터 신호들을 위해 기판 상의 임피던스를 감소시키는 것에 관한 것이다.

[0003] *2.관련 기술들의 설명*

[0004] 반도체(또한 칩 또는 IC(integrated circuit)로 알려져 있음)는 적층된 기판을 갖는 MEP(Molded Embedded Package)를 포함할 수 있다. MEP는 DRAM(dynamic random-access memory)에 대한 연결들을 갖는 POP(package-on-package)를 포함할 수 있다. 종래의 설계들에서, 메모리(예를 들어, DRAM)와 프로세서들 사이에 연결들을 형성하는 기판들은 메모리를 프로세서에 커플링시키는 신호 상호연결부들의 높은 임피던스에 의해 제한될 수 있다.

[0005] 따라서, 다음의 개시내용에서 본 명세서에 제공되는 방법들, 시스템들 및 장치들을 포함하는, 종래의 기판 설계들의 결함들을 극복하는 시스템들, 장치들 및 방법들에 대한 필요성이 존재한다.

발명의 내용

[0006] 다음은 본 명세서에 개시된 하나 이상의 양태들에 관련되는 단순화된 요약을 제시한다. 그러므로, 다음의 요약은 모든 고려된 양태들에 관련된 포괄적인 개관으로 고려되지 않아야 하고, 다음의 요약은 모든 고려되는 양태들에 관련된 핵심 또는 중요 엘리먼트들을 식별하거나 또는 임의의 특정한 양태와 연관된 범위를 서술하는 것으로 간주되지 않아야 한다. 따라서, 다음의 요약은, 아래에 제시되는 상세한 설명에 앞서 단순화된 형태로 본

명세서에 개시된 메커니즘들에 관련된 하나 이상의 양태들에 관련되는 특정한 개념들을 제시하려는 유일한 목적을 갖는다.

[0007] 적어도 하나의 양태에서, 기판을 포함하는 장치를 포함한다. 기판은, 기판의 제1 측 상에 복수의 신호 상호연결부들을 포함하는 제1 금속 층; 기판의 제2 측 상에 복수의 접지 평면 부분들을 포함하는 제2 금속 층; 및 개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 복수의 접지 평면 부분들을 신호 상호연결부들을 향해 연장시키도록 구성된, 복수의 접지 평면 부분들에 커플링된 기판 내의 복수의 전도성 채널들을 포함하며, 거리는 제1 금속 층과 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있다.

[0008] 적어도 하나의 다른 제2 양태는 장치를 제조하는 방법을 포함한다. 방법은, 제1 금속 층 및 제2 금속 층을 포함하는 기판을 제공하는 단계; 기판의 제1 측 상에 복수의 신호 상호연결부들을 형성하는 단계; 기판의 제2 측 상에 복수의 접지 평면 부분들을 형성하는 단계; 및 개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 복수의 접지 평면 부분들을 신호 상호연결부들을 향해 연장시키도록 구성된, 복수의 접지 평면 부분들에 커플링된 기판 내의 복수의 전도성 채널들을 형성하는 단계를 포함하며, 거리는 제1 금속 층과 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있다.

[0009] 본 명세서에 개시된 양태들과 연관된 다른 목적들 및 이점들은 첨부한 도면들 및 상세한 설명에 기반하여 당업자들에게 자명할 것이다.

도면의 간단한 설명

[0010] 첨부한 도면들은, 본 개시내용의 다양한 양태들의 설명을 보조하도록 제시되며, 양태들의 제한이 아니라 그들의 예시를 위해서만 제공된다. 본 개시내용의 더 완전한 이해는, 첨부 도면들과 함께 취해질 때 다음의 상세한 설명을 참조함으로써 획득될 수 있다. 도면들에서, 참조 번호의 가장 왼쪽 숫자(들)는 그 참조 번호가 처음 나타나는 도면을 식별한다. 상이한 도면들에서 동일한 참조 번호들은 유사하거나 동일한 항목들을 표시한다.

도 1은 본 개시내용의 다양한 양태들에 따른, 코어를 갖는 예시적인 패키지를 예시한다.

도 2는 본 개시내용의 다양한 양태들에 따른 예시적인 코어리스(coreless) 패키지를 예시한다.

도 3은 본 개시내용의 다양한 양태들에 따른, 적층된 기판을 갖는 MEP(Molded Embedded Package)를 포함하는 예시적인 패키지를 예시한다.

도 4a, 도 4b, 도 4c, 및 도 4d는 본 개시내용의 다양한 양태들에 따른, 패키지의 코어드 기판(cored substrate)을 형성하기 위한 스테이지들의 제1 세트를 예시한다.

도 5a, 도 5b, 도 5c, 및 도 5d는 본 개시내용의 다양한 양태들에 따른, 패키지의 코어드 기판을 형성하기 위한 스테이지들의 제2 세트를 예시한다.

도 6은 본 개시내용의 다양한 양태들에 따른, 패키지의 코어드 기판을 형성하는 것을 포함하는 프로세스를 예시한다.

도 7은 본 개시내용의 하나 이상의 양태들에 따른, 집적 디바이스 또는 반도체 디바이스와 통합될 수 있는 다양한 전자 디바이스들을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0011] 예시의 목적들을 위해 제공된 다양한 예들에 관련되는 다음의 설명 및 관련 도면들에서 본 개시내용의 양태들이 제공된다. 본 개시내용의 범위를 벗어나지 않으면서 대안적인 양태들이 안출될 수 있다. 부가적으로, 본 개시내용의 잘-알려진 엘리먼트들은 상세히 설명되지 않을 것이거나, 또는 본 개시내용의 관련 세부사항들을 불명료하게 하지 않기 위해 생략될 것이다.

[0012] 단어들 "예" 및/또는 "예"는 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 본 명세서에서 사용된다. "예" 및/또는 "예"로서 본 명세서에 설명된 임의의 양태는 다른 양태들에 비해 반드시 바람직하거나 유리한 것으로서 해석되는 것은 아니다. 유사하게, 용어 "본 개시내용의 양태들"은, 본 개시내용의 모든 양태들이 논의된 특징, 이점, 또는 동작 모드를 포함한다는 것을 요구하지는 않는다.

[0013] 본 명세서에 개시된 다양한 양태들은 고속 신호들, 예를 들어 약 200 메가 헤르츠(MHz) 내지 12 기가 헤르츠

(GHz)로 전송된 신호들의 사용을 가능하게 하기 위해 기판(코어드 또는 코어리스)의 임피던스를 감소시키기 위한 디바이스들 및 기법들을 포함한다. 일부 양태들에서, 고속 신호들은 DRAM(Dynamic Random-Access Memory)에 액세스하는 데 사용되는 고속 데이터 (DQ) 신호들을 포함할 수 있다. 예를 들어, POP(package-on-package) DRAM은 메모리 어레이들로의 그리고 그들로부터의 데이터 전달을 위해 고속 DQ 신호들을 사용한다. 본 명세서에 개시된 다양한 양태들은 고속 통신을 용이하게 하기 위해 기판에서 임피던스를 제어하기 위한 디바이스들 및 기법들을 포함한다.

[0014] 본 명세서에 설명된 디바이스들 및 기법들은 코어드 기판 또는 코어리스 기판(예를 들어, 프리-프레그(pre-preg))을 갖는 패키지들과 함께 사용될 수 있다. 수지로 사전-함침(pre-impregnate)된 유리섬유는 프리-프레그로 지칭된다. 코어드 기판 내의 코어는, 예를 들어 CCL(copper clad lamination), 예를 들어 유리섬유로 보강된 에폭시 재료를 갖는 구리를 사용하여 형성될 수 있다. 구리 클래드 라미네이트는 유리섬유(또는 다른 보강 재료)와 함께 수지 내에 침지(soak)되고, 구리 클래딩은 어느 하나의 측 또는 양측 상에 추가한다. 일부 예시적인 양태들에서, 코어 두께는 40 마이크로미터(um 또는 미크론) 내지 1.2 밀리미터(mm)의 범위일 수 있다.

[0015] 일부 양태들에서, 반도체(또한 칩 또는 IC(integrated circuit)로 알려져 있음)는 적층된 기판을 갖는 MEP(Molded Embedded Package)를 포함할 수 있다. MEP는 DRAM(dynamic random-access memory)에 대한 연결들을 갖는 POP(package-on-package)를 포함할 수 있다. 일부 양태들에서, MEP는 2층 기판을 사용하며, 제1 층(M1)은 신호 라우팅을 위해 사용되고, 제2 층(M2)은 일반적으로 접지 차폐 평면으로 사용된다. 예를 들어, 코어드 기판의 두께가 통상적으로 약 40 마이크로미터(㎛ 또는 미크론)일 때, 코어드 기판은 적어도 50 옴(Ω)의 임피던스를 가질 수 있다. 그러한 비교적 높은 임피던스는 신호 라우팅에서 신호들의 속도에 영향을 줄 수 있다.

[0016] 고속 신호들의 경우, 특히 DRAM 액세스 속도들이 증가됨에 따라, 50 옴보다 작은 임피던스가 바람직하다. 임피던스를 낮추기 위한 하나의 방식은 고속 신호들(예를 들어, 제1 층)과 접지 평면(예를 들어, 제2 층) 사이의 거리를 감소시키는 것이다. 그러나, 약 40 미크론 두께인 코어드 기판의 경우, 더 얇은 코어를 사용하는 것은, 더 얇은 코어가 휨을 초래할 수 있기 때문에 옵션이 아닐 수 있다. 본 명세서에 설명된 디바이스들 및 기법들은 기판의 두께를 변경시키지 않으면서 고속 신호들(예를 들어, 제1 층)과 접지 평면(예를 들어, 제2 층) 사이의 거리를 감소시킴으로써 임피던스를 감소시키는 데 사용될 수 있다. 다양한 양태들이 전술한 예시적인 구성들로 제한되지 않는다는 것이 인식될 것이다. 예를 들어, 일부 구성들에서, 층들은 반전될 수 있고, 일부 신호들 및/또는 전력 라인들이 M2 층에 포함될 수 있고, 코어는 상이한 두께의 것일 수 있는 등이다.

[0017] 도 1은 본 개시내용의 다양한 양태들에 따른, 코어드 기판(101)을 갖는 예시적인 패키지(100)를 예시한다. 패키지(100)는 코어(112), 코어(112) 위의 제1 금속 층(102)(M1로 또한 지칭됨) 및 코어(112) 아래의 제2 금속 층(104)(M2로 또한 지칭됨)을 갖는 코어드 기판(101)을 포함한다.

[0018] 제1 금속 층(102)은 신호 상호연결부들(114)과 같은 구조들을 포함할 수 있고, 신호 상호연결부들은 제1 금속 층 내의 트레이스들 또는 라인들일 수 있다. 제1 금속 층은 복수의 신호 상호연결부들, 및 다른 금속 구조들, 이를테면 인접 접지들(106(1)), 패드들 등을 포함한다. 제2 금속 층(104)은 신호 상호연결부들(114)의 반대편에 있을 수 있는 접지 평면 부분들(106(2))을 포함할 수 있다. 접지 평면 부분들(106(2))은 접지 전위에 커플링되고, 집합적으로 접지 기준 평면을 형성한다. 비아들(108)은 기판 비아들을 통해 도금 또는 충전할 수 있고, 제1 금속 층(102) 내의 인접 접지들(106(1))을 제2 금속 층(104) 내의 접지 평면 부분들(106(2))에 전기적으로 커플링시키도록 구성될 수 있다. 다양한 양태들에서, 금속 평면들(106)은 전력 라인(Vdd) 또는 접지에 커플링될 수 있고, 도 1에 예시된 금속 평면들(106)은 접지 평면 부분들인 것으로 이해되어야 한다는 것이 인식될 것이다.

[0019] 전도성 채널들(110)은 코어드 기판(101)의 코어(112)에 로케이팅된다. 하나의 금속 층(예를 들어, 102, 104)이 예시되어 있지만, 개시된 다양한 양태들이 이러한 구성으로 제한되지 않는다는 것이 인식될 것이다. 일부 양태들에서, 코어드 기판(101)은 코어(112)의 각각의 측 상에 하나 초과의 금속 층을 가질 수 있다. 일부 양태들에서, 도 1에 예시된 바와 같이, 제1 금속 층(102)(M1), 도금된 관통 비아들(108), 전도성 채널들(110) 및 제2 금속 층(104)(M2)은, 예를 들어 구리(Cu), 코발트(Co), 루테늄(Ru), 텅스텐(W), 몰리브덴(Mo), 금(Au), 은(Ag), 알루미늄(Al), 주석(Sn), 또는 이들의 임의의 조합과 같은 임의의 매우 전도성인 재료를 사용할 수 있다.

[0020] 도 1에 예시된 예에서, 각각의 전도성 채널(110)은 신호 상호연결부들 아래에 로케이팅되고, 신호 상호연결부들(114) 각각과 일반적으로 정렬된다. 전도성 채널은 트렌치(109)에 형성되며, 이는 전도성 채널(110)의 경계로서만 예시된다. 신호 상호연결부들(114)은 고속 신호들을 운반하도록 구성될 수 있다. 일부 양태들에서, 고속

신호들은 DRAM(dynamic random-access memory)에 대한 DQ (데이터) 신호들을 포함할 수 있다. 일부 양태들에서, 코어(112)는 약 40 미크론의 두께(116)(예를 들어, 기판 두께)를 갖는다. 일부 양태들에서, 각각의 전도성 채널(110)은 각각의 신호 상호연결부(114)와 대략 동일한 폭 내지 각각의 신호 상호연결부(114)보다 약 5 미크론 더 넓은 채널 폭(120)을 갖는다. 여분의 폭은 신호 상호연결부들(114)과 전도성 채널들(110) 사이의 약간의 오정렬을 보상하는 데 사용될 수 있다. 본 명세서에 논의된 바와 같이, 접지 평면 부분들(106(2))에 전기적으로 커플링된 전도성 채널들(110)의 추가는 신호 상호연결부들(114)과 접지 평면 부분들(106(2)) 사이의 거리(118)의 효과적인 감소를 초래한다. 부가적으로, 신호 상호연결부들(114) 아래의 부분들에서, 코어(112)는 두께(116)로부터 거리(118)로 감소된다. 거리(118)는 두께(116)보다 약 25% 내지 50% 더 작거나, 또는 제1 금속 층(102)과 제2 금속 층(104) 사이의 기판 두께의 75% 내지 50%(즉, 25% 내지 50%만큼 감소됨)인 것으로 간주될 수 있다. 예를 들어, 두께(116)가 약 40 미크론일 때, 거리(118)는 약 20 내지 30 미크론 또는 일반적으로 약 30 미크론 미만일 수 있다.

[0021] 일부 양태들에서, 기판(101)은 PCB(printed circuit board)일 수 있고, 프리프레그 및 코어(112)를 포함할 수 있다. 코어(112)는 프리-프레그, 이를테면 FR4를 사용할 수 있으며, 여기서 FR은 난연성 재료를 표시하고, '4'는 직조 유리 강화 에폭시 수지를 표시하고, 균일한 특정된 두께(예를 들어, 40 미크론)를 갖는다. 코어(112)는 구조적 안정성을 제공(예를 들어, 휨, 변형 등을 방지)하는 데 사용되며, 신호들은 제1 층(102) 상의 신호 상호연결부들(114) 및 제2 층(104) 상의 접지 평면 상에서 이동된다. 코어(112)의 균일한 두께는 균일한 임피던스를 생성한다. 전도성 채널들(110)은 코어(112)의 두께(116)를 감소시키지 않거나 구조적 안정성을 실질적으로 감소시키지 않으면서 임피던스를 낮출 수 있다.

[0022] 전도성 채널들(110)은 접지 평면 부분들(106(2))에 전기적으로 커플링되고, 고속 데이터를 운반하도록 구성된 신호 상호연결부들(114) 아래에서 코어(112)에 형성된다. 이러한 구성은 전도성 채널들(110)을 통해, 신호 상호연결부들(114)과 접지 평면 부분들(106(2)) 사이의 거리를 효과적으로 감소시키는 기술적 이점을 제공한다. 감소된 거리(118)는 본 명세서에서 논의된 바와 같이 더 낮은 임피던스를 제공한다. 더 낮은 임피던스는 신호 상호연결부들(114)이 DRAM에 액세스하는 데 사용되는 DQ 신호들과 같은 고속 데이터 신호들을 운반하도록 구성되게 할 수 있게 하는 기술적 이점을 제공한다. 이러한 방식으로, 신호 상호연결부들(114)은 (예를 들어, 전도성 채널들을 포함하지 않는 기판들과 비교하여) 더 빠른 DRAM에 액세스하는 데 사용될 수 있으며, 이는 주어진 기판 설계에 대한 개선된 성능을 제공한다.

[0023] 개시된 다양한 양태들에 따르면, 본 명세서에 설명된 디바이스들 및 기법들은 또한 코어리스 기판과 함께 사용될 수 있다. 도 2는 본 개시내용의 다양한 양태들에 따른, 패키지(200)의 예시적인 코어리스 기판(201)을 예시한다. 패키지(200)는 유전체(212), 유전체(212) 위의 제1 금속 층(202)(M1로 또한 지칭됨) 및 유전체(212) 아래의 제2 금속 층(204)(M2로 또한 지칭됨)을 갖는 코어리스 기판(201)을 포함한다.

[0024] 제1 금속 층(202)은 구조들, 이를테면 신호 상호연결부들(214) 및 다른 금속 구조들, 이를테면 인접 접지들(206(1))을 포함할 수 있다. 제2 금속 층(204)은 신호 상호연결부들(214)의 반대편에 있을 수 있는 접지 평면 부분들(206(2))을 포함할 수 있다. 접지 평면 부분들(206(2))은 접지 전위에 커플링된다. 비아들(208)은 제1 금속 층(202) 내의 인접 접지들(206(1))을 제2 금속 층(204) 내의 접지 평면 부분들(206(2))에 연결시킬 수 있다.

[0025] 전도성 채널들(210)은 코어리스 기판(201)의 유전체(212)에 로케이팅된다. 하나의 금속 층(예를 들어, 202, 204)이 예시되어 있지만, 개시된 다양한 양태들이 이러한 구성으로 제한되지 않는다는 것이 인식될 것이다. 일부 양태들에서, 코어리스 기판(201)은 유전체(212)의 각각의 측 상에 하나 초과의 금속 층을 가질 수 있다. 일부 양태들에서, 도 2에 예시된 바와 같이, 제1 금속 층(202)(M1), 비아들(208), 전도성 채널들(210) 및 제2 금속 층(204)(M2)은, 예를 들어 구리(Cu), 코발트(Co), 루테늄(Ru), 텅스텐(W), 몰리브덴(Mo), 금(Au), 은(Ag), 알루미늄(Al), 주석(Sn), 또는 이들의 임의의 조합과 같은 임의의 매우 전도성인 재료를 사용할 수 있다.

[0026] 도 2에 예시된 예에서, 각각의 전도성 채널(210)은 아래에 로케이팅되고, 신호 상호연결부들(214) 각각과 일반적으로 정렬된다. 신호 상호연결부들(214)은 고속 신호들을 운반하도록 구성될 수 있다. 일부 양태들에서, 고속 신호들은 DRAM(dynamic random-access memory)에 대한 DQ (데이터) 신호들을 포함할 수 있다. 일부 양태들에서, 각각의 전도성 채널(210)은 각각의 신호 상호연결부(214)와 대략 동일한 폭 내지 각각의 신호 상호연결부(214)보다 약 5 마이크로미터 더 넓은 채널 폭(220)을 갖는다. 여분의 폭은 신호 상호연결부들(214)과 전도성 채널들(210) 사이의 약간의 오정렬을 보상하는 데 사용될 수 있다. 본 명세서에 논의된 바와 같이, 접지 평면 부분들(206(2))에 전기적으로 커플링된 전도성 채널들(210)의 추가는 신호 상호연결부들(214)과 접지 평면 부분

들(206(2)) 사이의 거리(218)의 효과적인 감소를 초래한다. 부가적으로, 신호 상호연결부들(214) 아래의 부분들에서, 유전체(212)는 두께(216)(기판 두께)로부터 거리(218)로 감소된다. 거리(218)는 두께(216)보다 약 25% 내지 50% 더 작거나, 또는 두께(216)의 75% 내지 50%이다. 예를 들어, 두께(216)가 약 25 미크론일 때, 거리(218)는 약 12.5 내지 19 미크론일 수 있다.

[0027] 코어리스 기판(201)의 두께(216)는 약 25 미크론 내지 50 미크론일 수 있다. 일부 양태들에서, 코어리스 기판(201)은 유전체(212)의 하나 이상의 층들을 포함할 수 있다. 일부 양태들에서, 유전체(212)는 약 25 미크론 내지 50 미크론의 두께를 갖는 프리-프레그일 수 있다. 전도성 채널들(210)의 폭(220)은 약 8 um 내지 100 um일 수 있고, 일부 양태들에서, 기판 두께의 25% 내지 75%의 범위에 있을 수 있다. 일부 양태들에서, 전도성 채널(210)은 약 12 미크론의 깊이를 가지며, 위에서 논의된 코어드 기판과 관련하여 위에서 논의된 바와 유사한 방식으로 신호 상호연결부들(214)의 임피던스를 낮추도록 유전체(212)에 로케이팅될 수 있다.

[0028] 도 3은 본 개시내용의 다양한 양태들에 따른, 적층된 기판을 갖는 MEP(molded embedded package)(304)를 포함하는 예시적인 패키지(300)를 예시한다. 패키지(300)는 MEP(304)에 전기적으로 커플링된 DRAM(dynamic random-access memory)(302)을 포함한다. MEP(304)는 기판(310), AP(application processor) 다이(306), 및 패키지 기판(308)을 포함한다. 일부 양태들에서, 기판(310)은 AP 다이(306)를 DRAM (302)에 커플링시키기 위한 인터포저(interposer)로서 구성될 수 있고, 도 1의 코어드 기판(101) 또는 도 2의 코어리스 기판(201)에 따라 설계될 수 있다. 예시된 배열은 본 명세서에 개시된 다양한 양태들의 예시를 보조하기 위한 예시적인 구성으로서만 제공되며, 다른 구성들은 개시된 다양한 양태들 내에 포함된다는 것이 인식될 것이다. 예를 들어, AP 다이(306)는 MEP(304)의 일부가 아닌 독립형 디바이스이며, DRAM(302)에 커플링되기 위해 기판(310)을 여전히 이용할 수 있다. 따라서, 개시된 다양한 양태들은 예시된 예로 제한되는 것으로 해석되지 않아야 하며, 다양한 컴포넌트들의 다른 배열들 및 구성들은 본 명세서의 개시내용으로부터 명백할 것이다.

[0029] 도 4a, 도 4b, 도 4c, 및 도 4d는 본 개시내용의 하나 이상의 양태들에 따른 부분 제조 프로세스를 예시한다. 도 4a에서, 제조 프로세스는, 제1 금속 층(402), 제2 금속 층(404) 및 코어(412)(예를 들어, FR4)를 포함하는 CCL(copper core laminate) 기판(401)을 제공함으로써 시작될 수 있다. 도 4b에서, 제조 프로세스는, 패턴화 및 에칭(405)이 코어(412)를 노출시키도록 제2 금속 층(404)에 금속 개구들을 형성하기 위해 제2 금속 층(404)에 대해 수행되는 것으로 계속될 수 있다. 추가로, 일부 양태들에서, 에칭(405)은 또한 제2 금속 층(404)에 다른 금속 구조들을 형성할 수 있다. 도 4c에서, 제조 프로세스는, 제2 금속 층(404) 내의 개구들을 통한 코어(412)에서의 트렌치들(409)의 패턴화로 계속될 수 있다. 도 4d에서, 제조 프로세스는, 포토레지스트 층(407)의 층이 제2 금속 층(404)에 적용되는 것으로 계속될 수 있으며, 여기서 에칭(405)이 수행되었다. 포토레지스트(407)의 층은 또한 제2 금속 층(404) 내의 개구를 통해 트렌치들(409)을 충전할 수 있다.

[0030] 도 5a, 도 5b, 도 5c, 및 도 5d는 본 개시내용의 하나 이상의 양태들에 따른 부분 제조 프로세스를 예시한다. 도 5a에서, 제조 프로세스는, 포토레지스트(407)가 트렌치들(409) 및 제2 금속 층(404) 내의 개구들로부터 제거되는 것으로 도 4d로부터 계속될 수 있다. 도 5b에서, 제조 프로세스는 금속 충전 프로세스(510)로 계속된다. 금속은 구리 등일 수 있고, 전도성 채널들(410)을 생성하기 위해 트렌치들(409) 각각을 충전하는 데 사용된다. 전도성 채널들(410)을 형성하는 것에 부가하여, 금속 충전 프로세스(510)는 제2 금속 층(404) 내의 개구들을 충전할 수 있다. 도 5b에 도시된 바와 같이, 전도성 채널들(410)이 제1 금속 층(402)에 더 가깝다는 것이 인식될 것이다. 도 5c에서, 제조 프로세스는 포토레지스트의 나머지 부분들을 제거하는 것으로 계속될 수 있다. 기판(401)은 이제 제1 금속 층(402), 제2 금속 층(404) 및 코어(412)와 함께 전도성 채널들(410)을 포함한다. 도 5d에서, 제조 프로세스는 기판(401) 상에서의 종래의 프로세싱으로 계속될 수 있다. 예를 들어, 비아들(408)은 제1 금속 층(402)과 제2 금속 층(404) 사이에 비아들(408)을 형성하기 위해 홀들을 드릴링 및 충전 또는 도금함으로써 형성된다. 신호 상호연결부들(414), 인접 접지들(406(1)) 및 제1 금속 층(402) 내의 임의의 다른 금속 구조를 형성하도록 제1 금속 층(402)을 패턴화 및 에칭하기 위해 리소그래피 프로세스들이 수행될 수 있다. 마찬가지로, 접지 평면 부분들(406(2)) 및 제1 금속 층(402) 내의 임의의 다른 금속 구조를 형성하도록 제2 금속 층(404)을 패턴화 및 에칭하기 위해 리소그래피 프로세스들이 수행될 수 있다. (도 5d의) 기판(401)은, 그것이 하단 상에 제1 금속 층(402) 및 상단 상에 제2 금속 층(404)을 가지면서 180도 회전되는 것을 제외하고 (도 1의) 기판(101)과 유사하다는 것이 인식될 것이다. 따라서, 기판(401)의 다양한 양태들의 상세한 논의가 제공되지 않을 것이다.

[0031] 따라서, 본 명세서에 개시된 다양한 양태들을 제조하기 위한 부가적인 프로세스들이 당업자에게 명백할 것이고, 다양한 프로세스들 각각의 문자 그대로의 해석이 포함된 도면에 제공되거나 도시되지 않을 것이라는 것이 전술한 개시내용으로부터 인식될 것이다. 예를 들어, 일부 양태들에서, 코어리스 기판에 대한 제조 프로세스는 일

반적으로 위에서 논의된 제조 프로세스를 따를 수 있다는 것이 인식될 것이다. 추가로, 제조 프로세스들의 시퀀스는 반드시 임의의 순서로 이루어지지 않으며, 나중의 프로세스들은 개시된 다양한 양태들을 논의하는 편의를 위해 앞서 논의될 수 있다는 것이 인식될 것이다.

[0032] 본 명세서에 개시된 디바이스들을 제조하기 위한 다양한 방법들이 존재한다는 것은 전술한 것으로부터 인식될 것이다. 도 6은 본 개시내용의 적어도 하나의 양태에 따른, 더 낮은 임피던스 기판을 포함하는 디바이스들/장치들을 제조하기 위한 방법/프로세스(600)의 흐름도를 예시한다. 도 6의 흐름도에서, 각각의 블록은 하드웨어, 소프트웨어, 또는 이들의 조합으로 구현될 수 있는 하나 이상의 동작들을 표현한다. 소프트웨어의 맥락에서, 블록들은, 하나 이상의 프로세서들에 의해 실행될 때, 프로세서들로 하여금, 언급된 동작들을 수행하게 하는 컴퓨터-실행가능 명령들을 표현한다. 블록들이 설명된 순서는 제한으로서 해석되도록 의도되지 않으며, 임의의 수의 설명된 동작들은 프로세스들을 구현하기 위해 임의의 순서로 및/또는 병렬로 조합될 수 있다. 논의의 목적들을 위해, 프로세스(600)는 위에서 설명된 바와 같이 도 1, 도 2, 도 3, 도 4a, 도 4b, 도 4c, 도 4d, 도 5a, 도 5b, 도 5c, 및 도 5d를 참조하여 설명되지만, 다른 모델들, 구성들, 시스템들, 및 환경들이 프로세스를 구현하는 데 사용될 수 있다. 일부 양태들에서, 프로세스(600)는 반도체 제조 프로세스 동안 부분적으로 수행될 수 있다.

[0033] 블록(602)에서, 프로세스(600)는 제1 금속 층 및 제2 금속 층을 포함하는 기판을 제공하는 것으로 시작된다. 블록(604)에서, 프로세스(600)는 기판의 제1 측 상에 복수의 신호 상호연결부들을 형성하는 것으로 계속된다. 예를 들어, 도 5d에서, 패턴화는 제1 금속 층(102 또는 202)에 신호 상호연결부들(114 또는 214)을 생성하는 데 사용된다. 블록(606)에서, 프로세스(600)는 기판의 제2 측 상에 복수의 접지 평면 부분들을 형성하는 것으로 계속된다. 예를 들어, 제1 금속 층(102 또는 202) 내의 접지 평면 부분들(106(2) 또는 206(2)). 블록(608)에서, 프로세스(600)는 복수의 접지 평면 부분들에 커플링된 기판 내의 복수의 전도성 채널들을 형성하는 것으로 계속된다. 복수의 전도성 채널들은 개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 복수의 접지 평면 부분들을 신호 상호연결부들을 향해 연장시키도록 구성된다. 예를 들어, 도 5a, 도 5b, 및 도 5c에서, 전도성 채널들(410)이 생성되고 금속으로 도금 또는 충전되어, 접지 평면 부분들(예를 들어, 도 5d의 406(2))과 접촉하는 전도성 채널들(410)을 생성한다. 개별 전도성 채널들은 개별 신호 상호연결부들 아래에 로케이팅된다. 추가로, 블록(608)에서, 거리는 일부 양태들에서 제1 금속 층과 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있다. 예를 들어, 도 1에 예시된 바와 같이, 전도성 채널들(110) 각각은 신호 상호연결부들(114) 중 하나 아래에 로케이팅된다. 전도성 채널들(110) 각각으로부터 각각의 전도성 채널(110) 바로 위에 로케이팅된 신호 상호연결부(114)로의 거리(118)는 코어(112)의 두께(116)보다 적어도 25% 더 작거나 또는 기판 두께의 75% 내지 50%인 것으로 간주될 수 있다. 예를 들어, 코어(112)의 기판 두께(116)가 40 미크론이면, 신호 상호연결부(114)와 신호 상호연결부(114) 아래에 로케이팅된 전도성 채널 사이의 거리(118)는 약 20 내지 30 미크론, 예를 들어 코어(112)의 두께(116)의 50% 내지 25%이다. 다른 예로서, 도 2에서, 전도성 채널들(210) 각각은 신호 상호연결부들(214) 중 하나 아래에 로케이팅된다. 전도성 채널들(210) 각각으로부터 각각의 전도성 채널(210) 바로 위에 로케이팅된 신호 상호연결부(214)로의 거리(218)는 기판(201)의 기판 두께(216)의 75% 내지 50% 미만이다.

[0034] 따라서, 접지 평면과 접촉하는 전도성 채널들은, 신호 상호연결부들과 접지 평면 사이의 거리를 감소시키는 기술적 이점을 제공하기 위해, 고속 데이터를 운반할 수 있는 신호 상호연결부들 아래에서 기판(예를 들어, 코어드, 또는 코어리스)에 배치된다. 감소된 거리는 더 낮은 임피던스의 추가적인 기술적 이점을 제공한다. 더 낮은 임피던스는 신호 상호연결부들이 DRAM에 액세스하는 데 사용되는 DQ 신호들과 같은 고속 데이터 신호들을 운반할 수 있게 하는 기술적 이점을 제공한다. 이러한 방식으로, 신호 상호연결부들은 (예를 들어, 전도성 채널들을 포함하지 않는 기판들과 비교하여) 더 빠른 DRAM에 액세스하는 데 사용되며, 그에 의해, 더 빠른 성능을 가능하게 한다.

[0035] 다른 기술적 이점들은 본 명세서에 개시된 다양한 양태들로부터 인식될 것이며, 이들 기술적 이점들은 단지 예로서 제공되고, 본 명세서에 개시된 다양한 양태들 중 임의의 양태를 제한하는 것으로 해석되지 않아야 한다.

[0036] 전술한 개시된 디바이스들 및 기능들은 컴퓨터-판독가능 매체들 상에 저장된 컴퓨터 파일들(예를 들어, RTL(register-transfer level), GDS(Geometric Data Stream) 거버(Gerber) 등)로 설계 및 저장될 수 있다. 일부 또는 모든 그러한 파일들은, 그러한 파일들에 기반하여 디바이스들을 제조하는 제조 핸들러들에 제공될 수 있다. 결과적인 제품들은 반도체 웨이퍼들을 포함하는 다양한 컴포넌트들을 포함할 수 있으며, 이들은 이어서 반도체 다이로 절단되고, 반도체 패키지들, 집적 디바이스들, 패키지 온 패키지 디바이스들, 시스템-온-칩 디바

이스들 등으로 패키징될 수 있고, 이들은 이어서 본 명세서에 설명된 다양한 디바이스들에서 이용될 수 있다.

[0037] 본 명세서에 개시된 다양한 양태들은 당업자들에 의해 설명 및/또는 인식되는 구조들, 재료들 및/또는 디바이스들에 대한 기능적 등가물들로서 설명될 수 있다는 것이 인식될 것이다. 예를 들어, 일 양태에서, 장치는 위에서 논의된 다양한 기능들을 수행하기 위한 수단을 포함할 수 있다. 전술된 양태들은 단지 예들로서만 제공되며, 청구된 다양한 양태들은 예들로서 인용된 특정 기준들 및/또는 예시들로 제한되지 않는다는 것이 인식될 것이다.

[0038] 도 7은 본 개시내용의 다양한 예들에 따른, 전술된 패키지들 또는 반도체 디바이스들 중 임의의 것과 통합될 수 있는 다양한 전자 디바이스들을 예시한다. 예를 들어, 모바일 폰 디바이스(702), 랩톱 컴퓨터 디바이스(704), 및 고정 로케이션 단말기 디바이스(706)는 각각 일반적으로 사용자 장비(UE)로 간주될 수 있고, 본 명세서에서 설명된 바와 같은 코어드 기판을 갖는 패키지(700)를 포함할 수 있다. 패키지(700)는, 예를 들어 본 명세서에 설명된 집적 회로들, 다이들, 집적 디바이스들, 집적 디바이스 패키지들, 집적 회로 디바이스들, 디바이스 패키지들, IC(integrated circuit) 패키지들, 패키지-온-패키지 디바이스들일 수 있다. 도 7에 예시된 디바이스들(702, 704, 706)은 단지 예시적인 것이다. 다른 디바이스들은 또한, 모바일 디바이스들, 핸드-헬드 PCS(personal communication systems) 유닛들, 휴대용 데이터 유닛들, 이를테면 개인용 디지털 보조기들, GPS(global positioning system) 인에이블 디바이스들, 내비게이션 디바이스들, 셋톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 고정 로케이션 데이터 유닛들, 이를테면 미터 판독 장비, 통신 디바이스들, 스마트폰들, 태블릿 컴퓨터들, 컴퓨터들, 웨어러블 디바이스들, 서버들, 라우터들, 자동차들(예를 들어, 자율주행 차량들), IoT(Internet of things) 디바이스에 구현된 전자 디바이스들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 취출하는 임의의 다른 디바이스, 또는 이들의 임의의 조합을 포함하는 디바이스들(예를 들어, 전자 디바이스들)의 그룹을 포함하지만 이에 제한되지 않는 패키지(700)를 포함할 수 있다.

[0039] 특정 주파수들, IC(integrated circuit)들, 하드웨어, 및 다른 특징들이 본 명세서의 양태들에서 설명되지만, 대안적인 양태들은 변할 수 있다는 것을 유의할 수 있다. 즉, 대안적인 양태들은 부가적인 또는 대안적인 주파수들(예를 들어, 60 ㎓ 및/또는 28 ㎓ 주파수 대역들 이외의 주파수), 안테나 엘리먼트들(예를 들어, 상이한 사이즈/형상의 안테나 엘리먼트 어레이들을 가짐), 스캐닝 기간들(정적 및 동적 스캐닝 기간들 둘 모두를 포함함), 전자 디바이스들(예를 들어, WLAN AP들, 셀룰러 기지국들, 스마트 스피커들, IoT 디바이스들, 모바일 폰들, 태블릿들, PC(personal computer) 등), 및/또는 다른 특징들을 이용할 수 있다. 당업자는 그러한 변형들을 인식할 것이다.

[0040] "제1", "제2" 등과 같은 지정을 사용하는 본 명세서의 엘리먼트에 대한 임의의 참조는 일반적으로, 그 엘리먼트들의 양 또는 순서를 제한하지 않는다는 것이 이해되어야 한다. 오히려, 이들 지정들은, 2개 이상의 엘리먼트들 또는 엘리먼트의 인스턴스들 사이를 구별하는 편리한 방법으로서 본 명세서에서 사용될 수 있다. 따라서, 제1 및 제2 엘리먼트들에 대한 참조는, 2개의 엘리먼트들만이 본 명세서에서 이용될 수 있거나 제1 엘리먼트가 제2 엘리먼트에 임의의 방식으로 선행해야 한다는 것을 의미하지는 않는다. 또한, 달리 나타내지 않으면, 엘리먼트들의 세트는 하나 이상의 엘리먼트들을 포함할 수 있다. 부가적으로, 본 설명 또는 청구항들에서 사용되는 "A, B, 또는 C 중 적어도 하나" 또는 "A, B, 또는 C 중 하나 이상" 또는 "A, B, 및 C로 구성된 그룹 중 적어도 하나"의 형태의 용어는 "A 또는 B 또는 C 또는 이들 엘리먼트들의 임의의 조합"을 의미한다. 예를 들어, 이러한 용어는, A, 또는 B, 또는 C, 또는 A 및 B, 또는 A 및 C, 또는 A 및 B 및 C, 또는 2A, 또는 2B, 또는 2C 등을 포함할 수 있다.

[0041] 위의 설명들 및 기술들의 관점에서, 당업자들은, 본 명세서에 개시된 양태들과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 조합들로서 구현될 수 있다는 것을 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그것들의 기능 관점들에서 일반적으로 위에서 설명되었다. 이러한 기능이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지는 특정 애플리케이션 및 전체 시스템에 대해 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정 애플리케이션에 대해 다양한 방식들로 구현할 수 있지만, 그러한 구현 결정들이 본 개시내용의 범위를 벗어나게 하는 것으로 해석되지는 않아야 한다.

[0042] 위의 상세한 설명에서, 상이한 특징들이 예들에서 함께 그룹화된다는 것을 알 수 있다. 본 개시내용의 이러한 방식은, 실시예 조항들이 각각의 조항에서 명시적으로 언급된 것보다 더 많은 특징들을 갖는다는 의도로서 이해되지 않아야 한다. 오히려, 본 개시내용의 다양한 양태들은 개시된 개별 실시예 조항의 모든 특징들보다 더 적

은 특징들을 포함할 수 있다. 따라서, 다음의 조항들은 이로써 본 개시내용에 의해 설명에 포함되는 것으로 간주되어야 하며, 여기서 각각의 조항 그 자체는 별개의 예로서 나타날 수 있다. 각각의 종속 조항이 다른 조항들 중 하나와의 특정 조합을 조항들에서 참조할 수 있지만, 그 종속 조항의 양태(들)는 특정 조합으로 제한되지 않는다. 다른 예시적인 조항들이 또한, 임의의 다른 종속 조항의 주제 내용과 종속 조항 양태(들)의 조합 또는 독립 조항 또는 다른 종속 및 독립 조항들과 임의의 특징의 조합을 포함할 수 있다는 것이 인식될 것이다. 본 명세서에 개시된 다양한 양태들은, 특정 조합이 의도되지 않는다는 것이 명시적으로 표현되거나 용이하게 추론될 수 없는 한(예를 들어, 엘리먼트를 절연체 및 전도체 둘 모두로서 정의하는 것과 같은 모순되는 양태들), 이들 조합들을 명확히 포함한다. 더욱이, 조항이 임의의 다른 독립 조항에 직접 종속되지 않더라도, 조항의 양태들이 그러한 독립 조항에 포함될 수 있다는 것이 또한 의도된다. 구현 예들은 다음의 넘버링된 조항들에 설명되어 있다.

[0043] 조항 1. 기판을 포함하는 장치로서, 기판은, 기판의 제1 측 상에 복수의 신호 상호연결부들을 포함하는 제1 금속 층; 기판의 제2 측 상에 복수의 접지 평면 부분들을 포함하는 제2 금속 층; 및 개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 복수의 접지 평면 부분들을 신호 상호연결부들을 향해 연장시키도록 구성된, 복수의 접지 평면 부분들에 커플링된 기판 내의 복수의 전도성 채널들을 포함하며, 거리는 제1 금속 층과 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있다.

[0044] 조항 2. 조항 1의 장치에 있어서, 복수의 신호 상호연결부들은 고속 데이터 신호를 운반하도록 구성된다.

[0045] 조항 3. 조항 2의 장치에 있어서, 복수의 신호 상호연결부들은 DRAM(dynamic random-access memory)에 커플링된다.

[0046] 조항 4. 조항 3의 장치에 있어서, 프로세서 다이를 더 포함하며, 프로세서 다이는 기판에 의해 DRAM에 커플링된다.

[0047] 조항 5. 조항 4의 장치에 있어서, 프로세서 다이, 기판, 및 DRAM을 포함하는 MEP(molded embedded package)를 더 포함한다.

[0048] 조항 6. 조항 1 내지 조항 5 중 어느 한 조항의 장치에 있어서, 제1 금속 층, 제2 금속 층 및 복수의 전도성 채널들은 구리(Cu), 코발트(Co), 루테늄(Ru), 텅스텐(Wolfram)(W), 몰리브덴(Mo), 금(Au), 은(Ag), 알루미늄(Al), 주석(Sn), 또는 이들의 임의의 조합 중 적어도 하나를 포함한다.

[0049] 조항 7. 조항 1 내지 조항 6 중 어느 한 조항의 장치에 있어서, 기판은 코어드 기판이다.

[0050] 조항 8. 조항 7의 장치에 있어서, 기판 두께는 40 마이크로미터 내지 1.2 밀리미터의 범위에 있다.

[0051] 조항 9. 조항 7 또는 조항 8의 장치에 있어서, 복수의 전도성 채널들은 코어드 기판의 코어에 형성되고, 기판 두께는 약 40 마이크로미터이며, 거리는 약 20 마이크로미터 내지 약 30 마이크로미터이다.

[0052] 조항 10. 조항 1 내지 조항 9 중 어느 한 조항의 장치에 있어서, 기판은 제1 금속 층과 제2 금속 층 사이에 유전체를 갖는 코어리스 기판이다.

[0053] 조항 11. 조항 10의 장치에 있어서, 기판 두께는 25 마이크로미터 내지 50 마이크로미터의 범위에 있다.

[0054] 조항 12. 조항 10 또는 조항 11의 장치에 있어서, 복수의 전도성 채널들은 코어리스 기판의 유전체에 형성되고, 기판 두께는 약 25 마이크로미터이며, 거리는 약 12.5 마이크로미터 내지 약 19 마이크로미터이다.

[0055] 조항 13. 조항 1 내지 조항 12 중 어느 한 조항의 장치에 있어서, 복수의 신호 상호연결부들 각각의 임피던스는 50 옴 미만이다.

[0056] 조항 14. 조항 1 내지 조항 13 중 어느 한 조항의 장치에 있어서, 복수의 전도성 채널들 각각의 폭은 복수의 신호 상호연결부들 각각의 폭보다 5 마이크로미터 이하 더 넓다.

[0057] 조항 15. 조항 1 내지 조항 14 중 어느 한 조항의 장치에 있어서, 장치는, 패키지, MEP(molded embedded package), 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 로케이션 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of things) 디바이스, 랩톱 컴퓨터, 서버, 기지국, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택된다.

[0058] 조항 16. 장치를 제조하는 방법으로서, 방법은, 제1 금속 층 및 제2 금속 층을 포함하는 기판을 제공하는

단계; 기판의 제1 측 상에 복수의 신호 상호연결부들을 형성하는 단계; 기판의 제2 측 상에 복수의 접지 평면 부분들을 형성하는 단계; 및 개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 복수의 접지 평면 부분들을 신호 상호연결부들을 향해 연장시키도록 구성된, 복수의 접지 평면 부분들에 커플링된 기판 내의 복수의 전도성 채널들을 형성하는 단계를 포함하며, 거리는 제1 금속 층과 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있다.

[0059] 조항 17. 조항 16의 방법에 있어서, 복수의 신호 상호연결부들은 고속 데이터 신호를 운반하도록 구성된다.

[0060] 조항 18. 조항 17의 방법에 있어서, 복수의 신호 상호연결부들은 DRAM(dynamic random-access memory)에 커플링된다.

[0061] 조항 19. 조항 18의 방법에 있어서, 기판을 사용하여 프로세서 다이를 DRAM에 커플링시키는 단계를 더 포함한다.

[0062] 조항 20. 조항 19의 방법에 있어서, 프로세서 다이, 기판, 및 DRAM을 포함하는 MEP(molded embedded package)를 형성하는 단계를 더 포함한다.

[0063] 조항 21. 조항 16 내지 조항 20 중 어느 한 조항의 방법에 있어서, 제1 금속 층, 제2 금속 층 및 복수의 전도성 채널들은 구리(Cu), 코발트(Co), 루테늄(Ru), 텅스텐(W), 몰리브덴(Mo), 금(Au), 은(Ag), 알루미늄(Al), 주석(Sn), 또는 이들의 임의의 조합 중 적어도 하나를 포함한다.

[0064] 조항 22. 조항 16 내지 조항 21 중 어느 한 조항의 방법에 있어서, 기판은 코어를 갖는 코어드 기판이다.

[0065] 조항 23. 조항 22의 방법에 있어서, 기판 두께는 40 마이크로미터 내지 1.2 밀리미터의 범위에 있다.

[0066] 조항 24. 조항 23의 방법에 있어서, 복수의 전도성 채널들은 코어드 기판의 코어에 형성되고, 기판 두께는 약 40 마이크로미터이며, 거리는 약 20 마이크로미터 내지 약 30 마이크로미터이다.

[0067] 조항 25. 조항 16 내지 조항 24 중 어느 한 조항의 방법에 있어서, 기판은 제1 금속 층과 제2 금속 층 사이에 유전체를 갖는 코어리스 기판이다.

[0068] 조항 26. 조항 25의 방법에 있어서, 기판 두께는 25 마이크로미터 내지 50 마이크로미터의 범위에 있다.

[0069] 조항 27. 조항 25 또는 조항 26의 방법에 있어서, 복수의 전도성 채널들은 코어리스 기판의 유전체에 형성되고, 기판 두께는 약 25 마이크로미터이며, 거리는 약 12.5 마이크로미터 내지 약 19 마이크로미터이다.

[0070] 조항 28. 조항 16 내지 조항 27 중 어느 한 조항의 방법에 있어서, 복수의 신호 상호연결부들 각각의 임피던스는 50 옴 미만이다.

[0071] 조항 29. 조항 16 내지 조항 28 중 어느 한 조항의 방법에 있어서, 복수의 전도성 채널들 각각의 폭은 복수의 신호 상호연결부들 각각의 폭보다 5 마이크로미터 이하 더 넓다.

[0072] 조항 30. 조항 16 내지 조항 29 중 어느 한 조항의 방법에 있어서, 장치는, 패키지, MEP(molded embedded package), 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, 모바일 디바이스, 모바일 폰, 스마트폰, 개인용 디지털 보조기, 고정 로케이션 단말기, 태블릿 컴퓨터, 컴퓨터, 웨어러블 디바이스, IoT(Internet of things) 디바이스, 랩톱 컴퓨터, 서버, 기지국, 및 자동차 차량 내의 디바이스로 이루어진 그룹으로부터 선택된다.

[0073] 예를 들어, 장치 또는 장치의 임의의 컴포넌트는 본 명세서에 교시된 바와 같은 기능을 제공하도록 구성(또는 제공하도록 동작가능하게 또는 제공하도록 적응)될 수 있다는 것이 인식될 것이다. 이는, 예를 들어, 장치 또는 컴포넌트가 기능을 제공하도록 장치 또는 컴포넌트를 제조(예를 들어, 제작)함으로써; 장치 또는 컴포넌트가 기능을 제공하도록 장치 또는 컴포넌트를 프로그래밍함으로써; 또는 일부 다른 적합한 구현 기법의 사용을 통해 달성될 수 있다. 일 예로서, 집적 회로는 필수적인 기능을 제공하도록 제조될 수 있다. 다른 예로서, 집적 회로는 필수적인 기능을 지원하도록 제조되며, 이어서, 필수적인 기능을 제공하도록 (예를 들어, 프로그래밍을 통해) 구성될 수 있다. 또 다른 예로서, 프로세서 회로는 필수적인 기능을 제공하기 위한 코드를 실행할 수 있다.

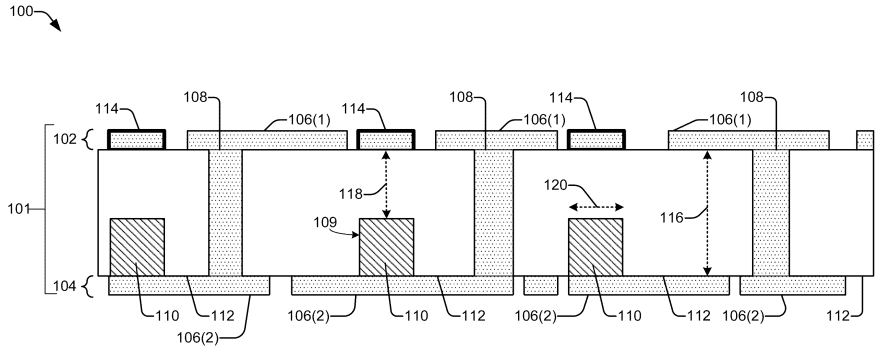
[0074] 게다가, 본 명세서에 개시된 양태들과 관련하여 설명된 방법들, 시퀀스들, 및/또는 알고리즘들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은, RAM(random access memory), 플래시 메모리, ROM(read-only memory), EPROM(erasable programmable

ROM), EEPROM(electrically erasable programmable ROM), 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다(예를 들어, 캐시 메모리).

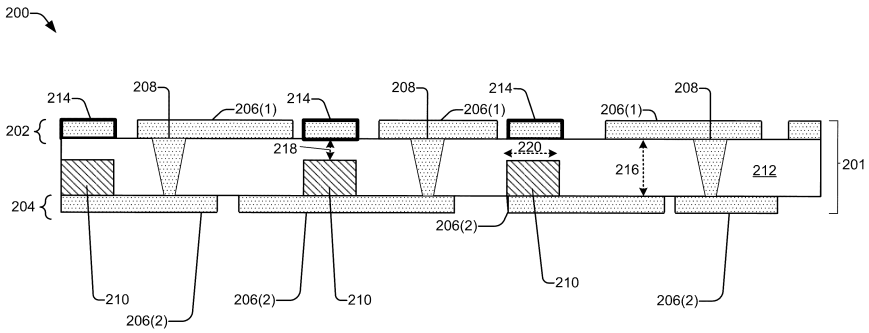
[0075] 전술한 본 개시내용이 다양한 예시적인 양태들을 도시하지만, 첨부된 청구항들에 의해 정의된 범위를 벗어나지 않으면서 다양한 변경들 및 변형들이 예시된 예들에 행해질 수 있다는 것을 유의해야 한다. 본 개시내용은 구체적으로 예시된 예들에만 제한되도록 의도되지 않는다. 예를 들어, 달리 언급되지 않으면, 본 명세서에 설명된 본 개시내용의 양태들에 따른 방법 청구항들의 기능들, 단계들, 및/또는 액션들은 임의의 특정한 순서로 수행될 필요가 없다. 더욱이, 특정한 양태들이 단수로 설명 또는 청구될 수 있지만, 단수로의 제한이 명시적으로 나타나지 않으면, 복수가 고려된다.

도면

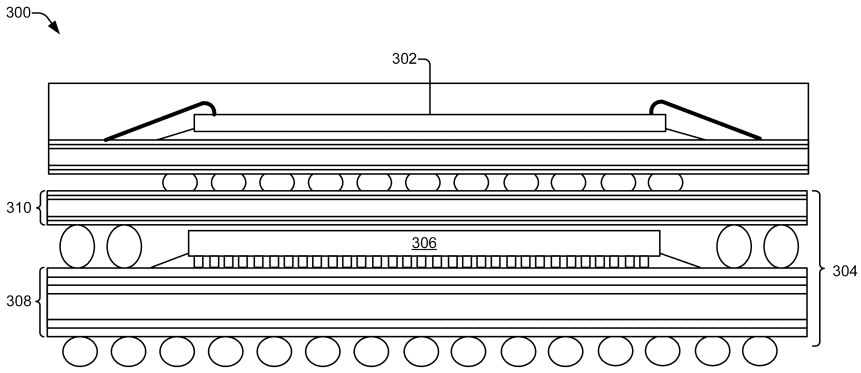
도면1



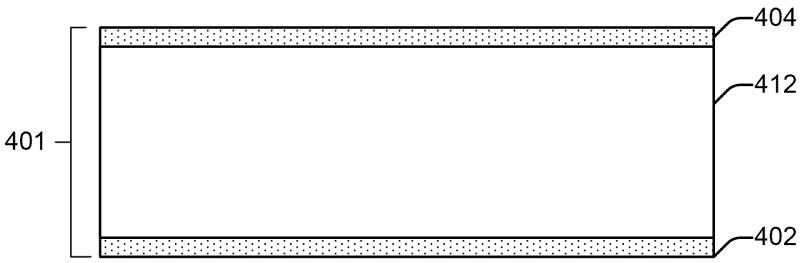
도면2



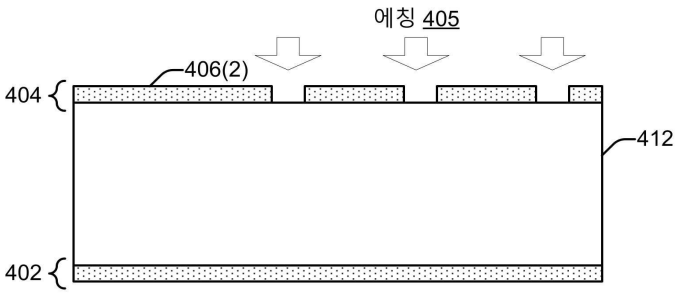
도면3



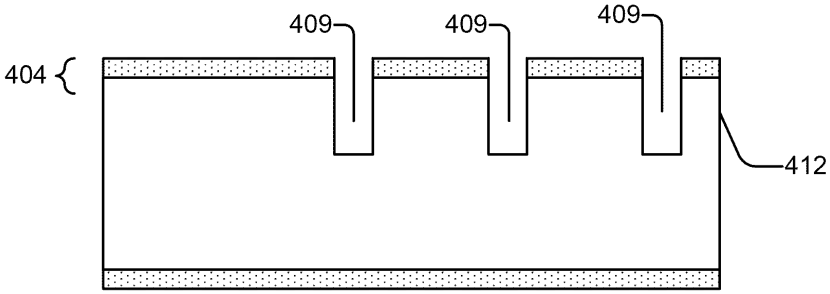
도면4a



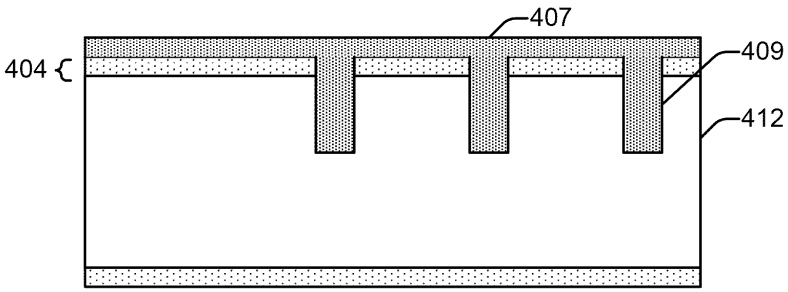
도면4b



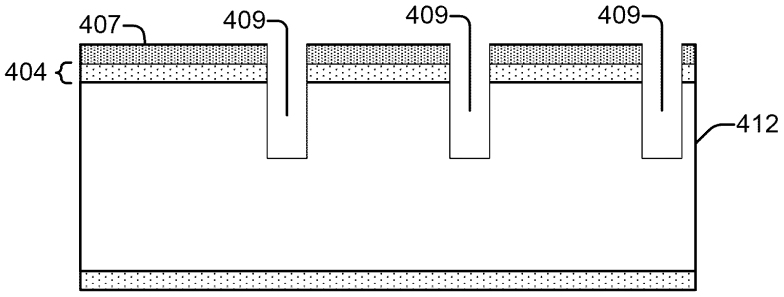
도면4c



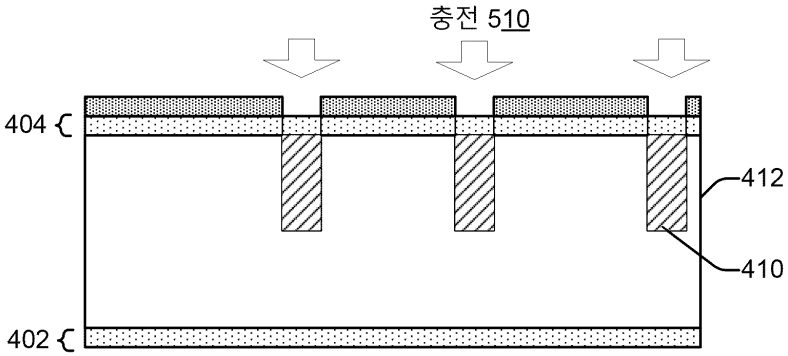
도면4d



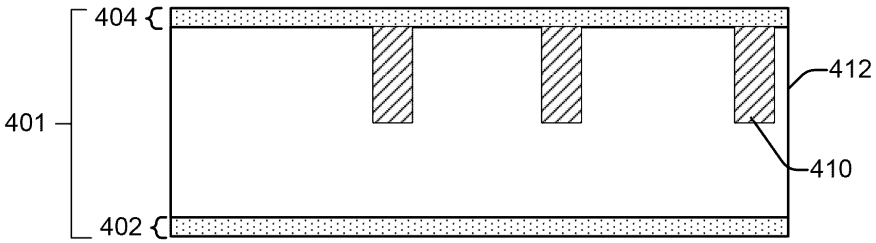
도면5a



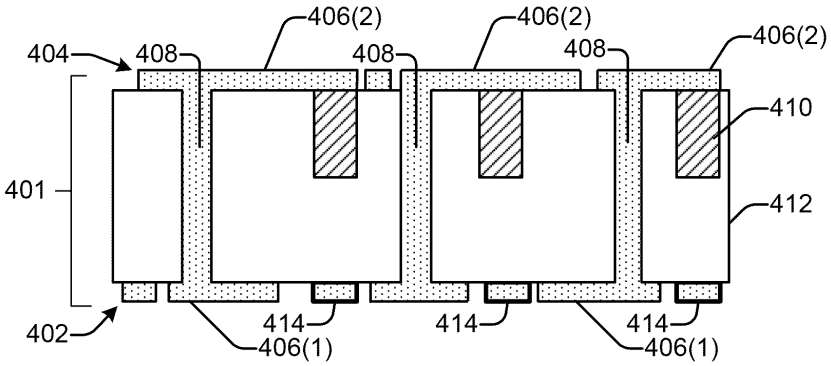
도면5b



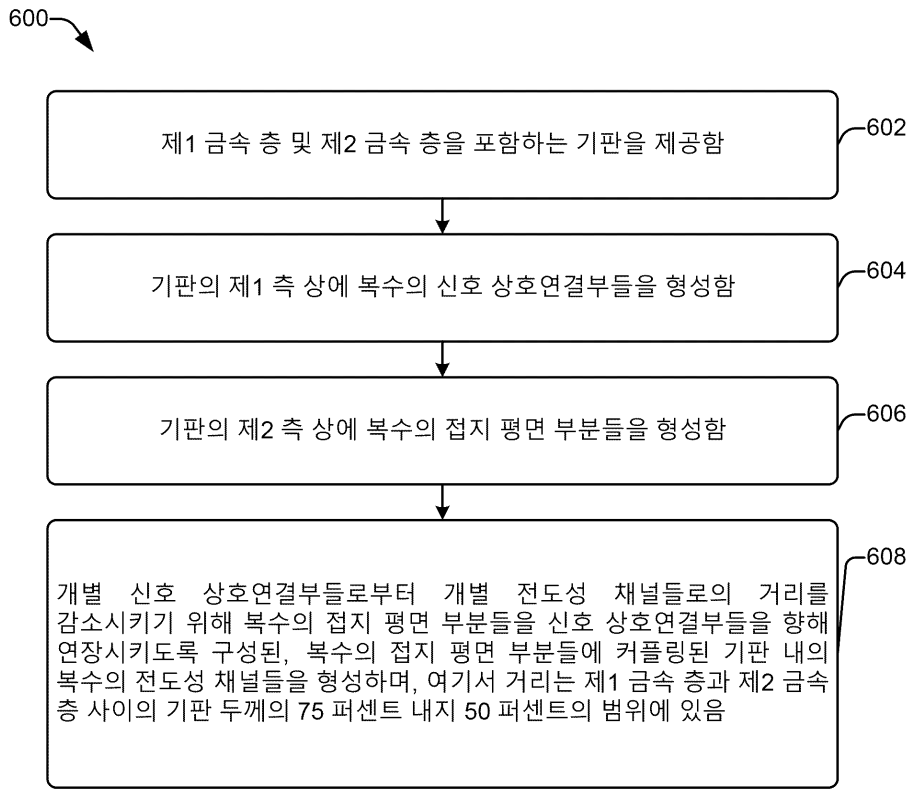
도면5c



도면5d



도면6


600
제1 금속 층 및 제2 금속 층을 포함하는 기판을 제공함
602
기판의 제1 측 상에 복수의 신호 상호연결부들을 형성함
604
기판의 제2 측 상에 복수의 접지 평면 부분들을 형성함
606
개별 신호 상호연결부들로부터 개별 전도성 채널들로의 거리를 감소시키기 위해 복수의 접지 평면 부분들을 신호 상호연결부들을 향해 연장시키도록 구성된, 복수의 접지 평면 부분들에 커플링된 기판 내의 복수의 전도성 채널들을 형성하며, 여기서 거리는 제1 금속 층과 제2 금속 층 사이의 기판 두께의 75 퍼센트 내지 50 퍼센트의 범위에 있음
608

도면7

