

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-4473

(P2020-4473A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 14/00 (2006.01)	G 1 1 C 14/00 2 0 0	5 B 0 1 1
G 0 6 F 1/3287 (2019.01)	G 0 6 F 1/3287	5 B 0 2 7
G 0 6 F 11/14 (2006.01)	G 0 6 F 11/14 6 4 1 D	5 F 0 8 3
G 0 6 F 1/3237 (2019.01)	G 0 6 F 1/3237	5 F 1 1 0
H 0 1 L 29/786 (2006.01)	H 0 1 L 29/78 6 1 3 B	
審査請求 有 請求項の数 3 O L (全 32 頁) 最終頁に続く		

(21) 出願番号	特願2019-135826 (P2019-135826)	(71) 出願人	000153878
(22) 出願日	令和1年7月24日 (2019.7.24)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-1011 (P2018-1011)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	高橋 康之
原出願日	平成25年5月21日 (2013.5.21)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2012-119314 (P2012-119314)		半導体エネルギー研究所内
(32) 優先日	平成24年5月25日 (2012.5.25)	(72) 発明者	米田 誠一
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	5B011 EA08 EB01 JA04 LL00
			5B027 CC04
			5F083 AD02 AD21 AD69 GA05 GA06
			HA02 JA60 NA01 NA02 NA08
			ZA01 ZA13
			最終頁に続く

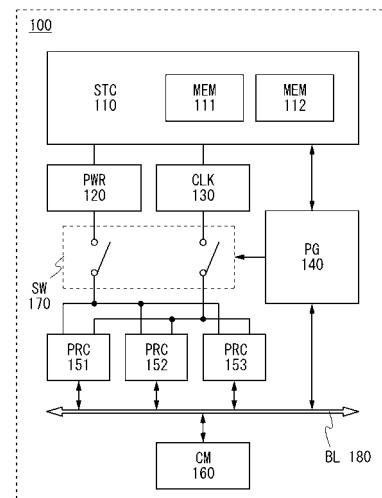
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 不揮発性メモリの動作が正常に行うことができ、かつP-スタート機能による省電力化が行える半導体装置、およびその駆動方法を提供する。

【解決手段】 プロセッサコアの駆動電圧およびクロック周波数を含むステートを制御する第1の回路と、ステートの情報を記憶する第1の記憶回路および第2の記憶回路と、第1の回路と電氣的に接続された、電源を生成する第2の回路およびクロックを生成する第3の回路と、第2の回路および第3の回路とスイッチを介して電氣的に接続されたプロセッサコアを有し、プロセッサコアには、揮発性メモリと、該揮発性メモリとデータの授受を行う不揮発性メモリが含まれた構成とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 のメモリと、第 2 のメモリと、を有し、
前記第 1 のメモリは、フリップフロップ回路を有し、
前記第 2 のメモリは、第 1 のトランジスタと、容量素子と、を有する半導体装置であって、
電源電圧及びクロック信号の前記半導体装置への供給が遮断される前に、前記第 1 のメモリに保持されているデータを前記第 2 のメモリに退避させる機能を有し、
前記第 1 のメモリに保持されている前記データを前記第 2 のメモリに退避させるとき、前記電源電圧を高くする機能を有する半導体装置。

10

【請求項 2】

第 1 のメモリと、第 2 のメモリと、を有し、
前記第 1 のメモリは、フリップフロップ回路を有し、
前記第 2 のメモリは、第 1 のトランジスタと、容量素子と、を有する半導体装置であって、
電源電圧及びクロック信号の前記半導体装置への供給が遮断される前に、前記第 1 のメモリに保持されているデータを前記第 2 のメモリに退避させる機能を有し、
前記第 1 のメモリに保持されている前記データを前記第 2 のメモリに退避させるとき、前記電源電圧を高くする機能と、前記クロック信号の周波数を低くする機能と、を有する半導体装置。

20

【請求項 3】

請求項 1 または請求項 2 において、
前記第 1 のトランジスタは、チャンネル形成領域に酸化物半導体を含む半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、およびその駆動方法に関する。

【背景技術】

【0002】

プロセッサなどの半導体装置は、多種多様な構成を有する信号処理回路を含んでいるが、一般的に、レジスタやキャッシュメモリなど、各種の記憶装置を有している。レジスタは、演算処理やプログラムの実行状態の保持などのために一時的にデータを保持する役割を有する。また、キャッシュメモリは、演算回路とメインメモリの間に介在し、低速なメインメモリへのアクセスを減らして演算処理を高速化させる役割を有している。

30

【0003】

レジスタやキャッシュメモリ等の記憶装置は、メインメモリよりも読み書きが高速でなければならない。よって、通常は、レジスタとしてフリップフロップが、キャッシュメモリとしてSRAM (Static Random Access Memory) 等が用いられる。これらのレジスタ、キャッシュメモリ等は、電源電位の供給が途絶えるとデータを消失してしまう揮発性の記憶装置である。

40

【0004】

一方、消費電力を抑えるため、データの入出力が行われない期間において信号処理回路への電源電圧の供給を一時的に停止するという方法が提案されている。例えば、レジスタ、キャッシュメモリ等の揮発性の記憶装置に格納されているデータを周辺に形成した不揮発性の記憶装置に格納し、電源電位の供給を停止する間もデータを保持する方法が特許文献 1 に開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開平 10-078836 号公報

50

【発明の概要】

【発明が解決しようとする課題】

【0006】

プロセッサの消費電力を抑える一手段として、処理の規模に応じて駆動電圧や周波数条件を変更するパフォーマンスステート（P-ステート）と呼ばれる機能がある。一般的には、プロセッサにおいて、高速な処理が必要な場合には駆動電圧や周波数を高くし、高速な処理が不要な場合には駆動電圧や周波数を低くして消費電力を抑える。

【0007】

このP-ステート機能による省電力化と、前述した不揮発性メモリを利用した省電力化を組み合わせることで、さらに高い省電力効果を得ることができる。しかしながら、P-ステート機能により駆動電圧や周波数を変動させると、不揮発性メモリへの書き込み動作、または読み出し動作に異常を誘発させてしまうことがある。例えば、駆動電圧が低い場合や周波数が高い場合は、不揮発性メモリへの正常な書き込みが行えないことがある。

10

【0008】

したがって、本発明の一態様は、不揮発性メモリの動作が正常に行うことができ、かつP-ステート機能による省電力化が行える半導体装置を提供することを目的の一つとする。また、当該半導体装置の駆動方法を提供することを目的の一つとする。

【課題を解決するための手段】

【0009】

本発明の一態様は、不揮発性メモリとして動作するメモリを有する半導体装置において、P-ステート機能を有効にした状態でも当該メモリを正常に動作させることができる半導体装置、およびその駆動方法に関する。

20

【0010】

本発明の一態様は、プロセッサコアの駆動電圧およびクロック周波数を含むステートを制御する第1の回路と、ステートの情報を記憶する第1の記憶回路および第2の記憶回路と、第1の回路と電氣的に接続された、電源を生成する第2の回路およびクロックを生成する第3の回路と、第2の回路および第3の回路とスイッチを介して電氣的に接続されたプロセッサコアを有し、プロセッサコアには、第1のメモリと、該第1のメモリとデータの授受を行う第2のメモリが含まれていることを特徴とする半導体装置である。

【0011】

なお、本明細書等における「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

30

【0012】

上記第1の記憶回路には、プロセッサコアに供給されている駆動電圧およびクロック周波数を含むステート情報を格納することができる。

【0013】

また、上記第2の記憶回路には、第1の回路がオフ動作要求を受ける前のプロセッサコアに供給されていた駆動電圧およびクロック周波数を含むステート情報を格納することができる。

【0014】

上記、第1の回路、スイッチ、およびプロセッサコアはパワーゲーティング回路と電氣的に接続されている構成であってもよい。

40

【0015】

また、上記、プロセッサコア、第1の回路、第2の回路、およびスイッチは、それぞれが複数である構成であってもよい。

【0016】

また、上記第2のメモリは、チャンネル形成領域が酸化物半導体で形成されたトランジスタを有することが好ましい。

【0017】

また、本発明の他の一態様は、プロセッサコアを第1のステートで動作し、オフ動作にお

50

いて、第1のステートを維持、または第2のステートに変更し、プロセッサコアが有する第1のメモリからデータを読み出し、プロセッサコアが有する第2のメモリにデータを書き込み、プロセッサコアの電源をオフし、オン動作において、オフ動作におけるステートを維持、または第3のステートに変更し、プロセッサコアの電源をオンし、第2のメモリからデータを読み出し、第1のメモリにデータを書き込み、ステートを第1のステートに変更することを特徴とする半導体装置の駆動方法である。

【0018】

上記オフ動作において、第1のステートを維持するか、第2のステートに変更するかの判断を行ってもよい。

【0019】

上記オン動作において、オフ動作におけるステートを維持するか、第3のステートに変更するかの判断を行ってもよい。

【0020】

また、上記第1のステートは、オフ動作要求を受ける前のプロセッサコアの動作時における駆動電圧およびクロック周波数の条件を含む。

【0021】

また、第2のステートは、プロセッサコアが有する第2のメモリに正常にデータを書き込める駆動電圧およびクロック周波数の条件を含む。

【0022】

また、第3のステートは、プロセッサコアが有する第2のメモリから正常にデータを読み出せる駆動電圧およびクロック周波数の条件を含む。

【0023】

また、本発明の他の一態様は、プロセッサコアに供給されている駆動電圧およびクロック周波数を含む第1のステート情報を第1の記憶装置に格納し、オフ動作において、ステートを制御する第1の回路がオフ動作要求を受け取り、第1のステート情報を第2の記憶装置に格納し、第1の記憶装置に格納されている第1のステート情報を第2のステート情報に書き換え、第2のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数を切り替え、第1の回路がパワーゲーティング回路にオフ動作を要求し、プロセッサコアが有する第1のメモリに格納されているデータを読み出し、プロセッサコアが有する第2のメモリにデータを書き込み、電源を生成する第2の回路およびクロックを生成する第3の回路とプロセッサコアとの電気的接続を遮断し、オン動作において、第1の回路がオン動作要求を受け取り、第1の記憶装置に格納されている第2のステート情報を第3のステート情報に書き換え、第3のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数を切り替え、第1の回路がパワーゲーティング回路にオン動作を要求し、第2の回路および第3の回路とプロセッサコアとの電気的接続を復帰し、第2のメモリに格納されているデータを読み出し、第1のメモリにデータを書き込み、第1の記憶装置に格納されている第3のステート情報を第2の記憶装置に格納されている第1のステート情報に書き換え、第1のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数の切り替えることを特徴とする半導体装置の駆動方法である。

【0024】

また、本発明の他の一態様は、プロセッサコアに供給されている駆動電圧およびクロック周波数を含む第1のステート情報を第1の記憶装置に格納し、オフ動作において、ステートを制御する第1の回路がオフ動作要求を受け取り、第1のステート情報を第2の記憶装置に格納し、第1の回路が第1の記憶装置から第1のステート情報を読み出し、第1のステートでプロセッサコアが有する第2のメモリに、プロセッサコアが有する第1のメモリに格納されているデータを正常に書き込めるか否かを判断し、第2のメモリに正常にデータを書き込める場合は、第1の回路がパワーゲーティング回路にオフ動作を要求し、第1のメモリに格納されているデータを読み出し、第2のメモリにデータを書き込み、電源を生成する第2の回路およびクロックを生成する第3の回路とプロセッサコアとの電気的接続を遮断し、第2のメモリに正常にデータを書き込めない場合は、第1の記憶装置に格納

10

20

30

40

50

されている第1のステート情報を第2のステート情報に書き換え、第2のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数を切り替え、第1の回路がパワーゲーティング回路にオフ動作を要求し、第1のメモリに格納されているデータを読み出し、第2のメモリにデータを書き込み、電源を生成する第2の回路およびクロックを生成する第3の回路とプロセッサコアとの電氣的接続を遮断し、オン動作において、第1の回路がオン動作要求を受け取り、第1の回路が第1の記憶装置に格納されている第1のステート情報または第2のステート情報を読み出し、当該ステートでプロセッサコアが有する第2のメモリから正常にデータが読み込めるか否かを判断し、第2のメモリから正常にデータが読み込める場合には、第1の回路がパワーゲーティング回路にオン動作を要求し、第2の回路および第3の回路とプロセッサコアとの電氣的接続を復帰し、第2のメモリに格納されているデータを読み出し、第1のメモリにデータを書き込み、第1の記憶装置に格納されているステート情報を第2の記憶装置に格納されている第1のステート情報に書き換え、第1のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数の切り替え、第2のメモリから正常にデータが読み込めない場合には、第1の記憶装置に格納されている第1または第2のステート情報を第3のステート情報に書き換え、第3のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数を切り替え、第1の回路がパワーゲーティング回路にオン動作を要求し、第2の回路および第3の回路とプロセッサコアとの電氣的接続を復帰し、第2のメモリに格納されているデータを読み出し、第1のメモリにデータを書き込み、第1の記憶装置に格納されているステート情報を第2の記憶装置に格納されている第1のステート情報に書き換え、第1のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数の切り替えることを特徴とする半導体装置の駆動方法である。

【0025】

上記第3のステート情報は、プロセッサコアが有する第2のメモリから正常にデータを読み出せる駆動電圧およびクロック周波数に関する情報を含む。

【0026】

また、本発明の他の一態様は、プロセッサコアに供給されている駆動電圧およびクロック周波数を含む第1のステート情報を第1の記憶装置に格納し、オフ動作において、ステートを制御する第1の回路がオフ動作要求を受け取り、第1のステート情報を第2の記憶装置に格納し、第1の回路が第1の記憶装置から第1のステート情報を読み出し、第1のステートでプロセッサコアが有する第2のメモリに、プロセッサコアが有する第1のメモリに格納されているデータを正常に書き込めるか否かを判断し、第2のメモリに正常にデータを書き込める場合は、第1の回路がパワーゲーティング回路にオフ動作を要求し、第1のメモリに格納されているデータを読み出し、第2のメモリにデータを書き込み、電源を生成する第2の回路およびクロックを生成する第3の回路とプロセッサコアとの電氣的接続を遮断し、第2のメモリに正常にデータを書き込めない場合は、第1の記憶装置に格納されている第1のステート情報を第2のステート情報に書き換え、第2のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数を切り替え、第1の回路がパワーゲーティング回路にオフ動作を要求し、第1のメモリに格納されているデータを読み出し、第2のメモリにデータを書き込み、電源を生成する第2の回路およびクロックを生成する第3の回路とプロセッサコアとの電氣的接続を遮断し、オン動作において、第1の回路がオン動作要求を受け取り、第1の回路がパワーゲーティング回路にオン動作を要求し、第2の回路および第3の回路とプロセッサコアとの電氣的接続を復帰し、第2のメモリに格納されているデータを読み出し、第1のメモリにデータを書き込み、第1の記憶装置に格納されているステート情報を第2の記憶装置に格納されている第1のステート情報に書き換え、第1のステート情報に従って、プロセッサコアの駆動電圧およびクロック周波数の切り替えることを特徴とする半導体装置の駆動方法である。

【0027】

上記第1のステート情報は、オフ動作要求を受ける前のプロセッサコアの動作における駆動電圧およびクロック周波数に関する情報を含む。

【0028】

また、上記第2のステート情報は、プロセッサコアが有する第2のメモリに正常にデータを書き込める駆動電圧およびクロック周波数に関する情報を含む。

【0029】

上記それぞれの態様の半導体装置の駆動方法におけるオフ動作またはオン動作においては、プロセッサコアを選択する手段が含まれていてもよい。

【発明の効果】

【0030】

本発明の一態様を用いることにより、不揮発性メモリとして動作するメモリを有する半導体装置において、Pーステート機能を有効にした状態でも当該メモリを正常に動作させることができる。また、当該メモリを有する半導体装置をPーステート機能を有効にして動作させることにより、該半導体装置を低消費電力化することができる。

【図面の簡単な説明】

【0031】

【図1】半導体装置を説明するブロック図。

【図2】半導体装置の動作を説明するフローチャート。

【図3】半導体装置の動作を説明するフローチャート。

【図4】半導体装置の動作を説明するフローチャート。

【図5】半導体装置の動作を説明するフローチャート。

【図6】半導体装置の動作を説明するフローチャート。

【図7】記憶装置を説明する回路図。

【図8】記憶装置の動作を示すタイミングチャート。

【図9】記憶装置の構成を示す断面図。

【図10】トランジスタの構成を示す断面図。

【図11】CPUのブロック図。

【図12】電子機器を説明する図。

【発明を実施するための形態】

【0032】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分または同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略することがある。

【0033】

なお、本発明は、CPU (Central Processing Unit) 等のプロセッサ、画像処理回路、DSP (Digital Signal Processor)、FPGA (Field Programmable Gate Array)、マイクロコントローラなどの集積回路や、RFタグ、半導体表示装置等、記憶装置などを有する半導体装置を、その範疇に含む。

【0034】

(実施の形態1)

本実施の形態では、本発明の一態様における半導体装置の構成および駆動方法について説明する。

【0035】

プロセッサの消費電力を抑える一手段として、プロセッサが有するレジスタ、キャッシュメモリ等の揮発性の記憶装置に格納されているデータを周辺に形成した不揮発性の記憶装置に格納し、該レジスタ、該キャッシュメモリを含む信号処理回路への電源電圧の供給を一時的に停止する方法がある。データの入出力が行われない期間において信号処理回路への電源電圧の供給を遮断するため、プロセッサの処理能力を大きく低下させることなく、

10

20

30

40

50

低消費電力化することができる。

【0036】

なお、本明細書において不揮発性とは、電源を遮断しても記憶されているデータが揮発しないと見なされる性質を指し、揮発性とは、電源遮断により記憶されているデータが瞬時に揮発する性質を指す。

【0037】

上記不揮発性メモリには、例えば、オフ電流の著しく小さいトランジスタにより容量素子やフローティングノードへの電荷の供給、保持、放出が制御される記憶素子、MTJ素子（磁気トンネル接合素子）を用いた記憶素子、強誘電体を用いた記憶素子、抵抗変化型素子を用いた記憶素子などを用いることができる。

10

【0038】

また、プロセッサの消費電力を抑える他の一手段として、処理の規模に応じて駆動電圧や周波数条件を変更するパフォーマンスステート（Pステート）と呼ばれる機能がある。Pステートは、例えば、P0、P1、P2などの表記で示され、数字が大きいほど、より低いクロック周波数、より低い電源電圧でプロセッサが動作することを意味している。つまり、Pステートの数値が大きいほど、プロセッサの消費電力が小さくなる。なお、複数のコアを有するプロセッサでは、コア毎に異なるPステートを割り当て、効率良く省電力化することもできる。

【0039】

上述した不揮発性メモリを有する構成でプロセッサを形成し、Pステート機能を用いて動作させれば、より低消費電力化できることが期待される。しかしながら、Pステート機能により駆動電圧や周波数を変動させると、不揮発性メモリへの書き込み動作、または読み出し動作に異常を誘発させてしまうことがある。

20

【0040】

例えば、不揮発性メモリの記憶ノードM2に容量素子を用いる場合、該容量素子に“High”を書き込む（充電する）電圧を電源電圧とすると、小さい電源電圧のPステートでは正常に書き込みができない場合がある。つまり、一定以上の電圧で書き込みを行わないと、“Low”との違いを判断できなくなってしまう。

【0041】

また、不揮発性メモリからの読み出しにおいて、電源電圧でノードM1をプリチャージし、ノードM1を記憶ノードM2に書き込まれたデータに従って放電させ、ノードM1の電位を利用して“High”、“Low”を判断する構成では次の問題がある。例えば、電源電圧の比較的低いPステートで記憶ノードM2へ“High”の書き込みを行った後、電源電圧が比較的高いPステートに変更すると、読み出し時において高い電圧でノードM1をプリチャージすることになるため、ノードM1を十分に放電することができなくなり、“High”、“Low”の判断ができなくなってしまう。

30

【0042】

また、記憶ノードM2への書き込み（充電量）を制御するスイッチ（例えばトランジスタ）の性能によっては、クロック周波数が速いPステートでは十分に記憶ノードM2を充電することができず、正常に書き込みができない場合がある。

40

【0043】

つまり、不揮発性メモリには、書き込みまたは読み出しに対して、適切な電源電圧やクロック周波数があるため、Pステートを変更する場合には、不揮発性メモリへの書き込み、または読み出しに対して、異常を生じさせない対処が必要である。本発明の一態様は上記問題を顧みて創出されたものであり、以下にその詳細を説明する。

【0044】

図1は、本発明の一態様における半導体装置の一例を説明するブロック図である。半導体装置100は、第1の記憶装置111および第2の記憶装置112を含むステート制御回路110、電源生成回路120、クロック生成回路130、パワーゲーティング回路140、プロセッサコア151、152、153、キャッシュメモリ160を有する。なお、

50

プロセッサコアの数は任意である。また、図示していないが、各プロセッサコアは揮発性メモリで構成されるレジスタやキャッシュメモリ、および該揮発性メモリとデータの授受を行うことのできる不揮発性メモリを有している。なお、キャッシュメモリは、プロセッサコアの内外を問わず、複数が設けられていても良い。

【0045】

ステート制御回路110は電源生成回路120およびクロック生成回路130と電氣的に接続され、プロセッサコア151、152、153の駆動電圧（電源電圧）およびクロック周波数を制御する。また、ステート制御回路110はパワーゲーティング回路140と電氣的に接続され、プロセッサコア151、152、153に供給する電源電圧および動作周波数を含むステート情報の授受を行う。ステート情報は、ステート制御回路110に設けられた第1の記憶装置111および第2の記憶装置112に格納することができる。なお、第1の記憶装置111および第2の記憶装置112は、ステート制御回路110の外部に設けられていてもよい。

10

【0046】

電源生成回路120およびクロック生成回路130は、それぞれスイッチ170を介してプロセッサコア151、152、153と電氣的に接続され、プロセッサコア151、152、153に電源電圧およびクロックを供給する。スイッチ170はパワーゲーティング回路140で制御される。なお、電源生成回路120、クロック生成回路130およびスイッチ170を複数有し、プロセッサコア毎にオンオフ制御や異なる電源電圧およびクロックを供給できる構成であってもよい。

20

【0047】

プロセッサコア151、152、153はバスライン180と電氣的に接続されており、キャッシュメモリ160を始め、様々な周辺装置と命令、アドレス、データなどの授受を行う。また、プロセッサコア151、152、153はバスライン180を通じてパワーゲーティング回路140と電氣的に接続されており、プロセッサコア毎のパワーゲーティング制御を行うこともできる。

【0048】

なお、半導体装置100は上述した構成に限らず、図1に図示された回路の一部が省かれた構成、いくつかの回路が統合された構成、または他の回路が付加された構成であってもよい。また、各回路は1チップ上に形成された構成に限らず、複数のチップ上に構成され、バスラインや専用の信号線、電源線で電氣的に接続されていてもよい。また、一部の回路の機能をソフトウェアに置き換えた構成であってもよい。

30

【0049】

次に、前述した問題を解決するための半導体装置の駆動方法の詳細を説明する。具体的に前述した問題を解決するには、不揮発性メモリへデータを書き込むときに、不揮発性メモリへデータを正常に書き込むことができるP-ステートを割り当てればよい。また、不揮発性メモリからデータの読み出すときには、不揮発性メモリからデータを正常に読み出すことができるP-ステートを割り当てればよい。

【0050】

図2および図3は、図1に示した半導体装置100を第1の方法で駆動するためのフローチャートである。

40

【0051】

まず、図2のフローチャートを用いて第1の方法におけるプロセッサコア151、152、153の電源遮断時の駆動の手順（オフ動作）を説明する。外部からステート制御回路110が、プロセッサコア151、152、153のそれぞれに割り当てるP-ステート（駆動電圧およびクロック周波数）の指示を受ける毎に、ステート制御回路110は現行のステート情報として、当該P-ステートに関する情報を第1の記憶装置111に格納する（S201）。そして、電源生成回路120およびクロック生成回路130で現行のステート情報に従った電源電圧とクロックを生成し、パワーゲーティング回路140の指示によりスイッチ170をオンし、プロセッサコア151、152、153に現行のステー

50

ト情報に従った電源電圧とクロックを供給する。

【0052】

次に、ステート制御回路110が外部からオフ命令を受け取る（S202）と、ステート制御回路110は、第2の記憶装置112に現行のステート情報を格納する（S203）。

【0053】

次に、第1の記憶装置111に格納されている現行のステート情報を退避用ステート情報に書き換える（S204）。ここで、退避用ステート情報とは、プロセッサコア151、152、153が有する不揮発性メモリに正常に書き込みを行うことのできる電源電圧およびクロック周波数に関し、予め設定された値に関する情報である。例えば、比較的高い電源電圧、比較的低いクロック周波数に変更する。なお、第1の方法では、現行のステートを破棄して、強制的に退避用ステートに変更する。

【0054】

次に、退避用ステート情報に従った電源電圧とクロックを生成し、プロセッサコア151、152、153に該電源電圧と該クロックを供給する（S205）。

【0055】

次に、ステート制御回路110がパワーゲーティング回路140にオフ要求を行う（S206）と、パワーゲーティング回路140はプロセッサコア151、152、153にデータ退避要求をする（S207）。

【0056】

ここで、プロセッサコア151、152、153のそれぞれが有するレジスタやキャッシュメモリなどの揮発性メモリにおける処理中のデータは、プロセッサコア151、152、153のそれぞれが有する不揮発性メモリに書き込まれる（S208）。このとき、P-ステートは退避用ステートに変更されているため、不揮発性メモリにデータを正常に書き込むことができる。

【0057】

そして、パワーゲーティング回路140の指示によりスイッチ170がオフとなり、プロセッサコア151、152、153への電源電圧およびクロックの供給が遮断される（S209）。

【0058】

次に、図2のフローチャートに従って電源が遮断されたプロセッサコア151、152、153に対して、電源を復帰する手順（オン動作）を図3のフローチャートを用いて説明する。

【0059】

まず、ステート制御回路110が外部からオン命令を受け取る（S301）と、第1の記憶装置111に格納されている退避用ステート情報を復帰用ステート情報に書き換える（S302）。ここで、復帰用ステート情報とは、プロセッサコア151、152、153が有する不揮発性メモリから正常に読み出しを行うことのできる電源電圧およびクロック周波数に関し、予め設定された値に関する情報である。例えば、退避時と同じ電源電圧とし、読み出し誤差を小さくするクロック周波数に変更する。

【0060】

次に、復帰用ステート情報に従った電源電圧とクロックを生成し、プロセッサコア151、152、153に該電源電圧と該クロックを供給する（S303）。

【0061】

次に、ステート制御回路110がパワーゲーティング回路140にオン要求を行う（S304）と、パワーゲーティング回路140の指示によりスイッチ170がオンとなり、プロセッサコア151、152、153へ電源電圧およびクロックが供給される。

【0062】

次に、パワーゲーティング回路140は、プロセッサコア151、152、153にデータ復帰要求をする（S306）。

【0063】

ここで、プロセッサコア151、152、153のそれぞれが有する不揮発性メモリに格納されているデータが読み出され、プロセッサコア151、152、153のそれぞれが有するレジスタやキャッシュメモリなどの揮発性メモリに書き戻される（S307）。このとき、Pーステートは復帰用ステートに変更されているため、不揮発性メモリからデータを正常に読み出すことができる。

【0064】

次に、第1の記憶装置111に格納されている復帰用のステート情報を第2の記憶装置112に格納されているステート情報に書き換える（S308）。ここで、第2の記憶装置112に格納されているステート情報とは、ステート制御回路110がオフ命令を受け取る前のステートに関する情報である。

10

【0065】

そして、第1の記憶装置111に格納されているステート情報に従った電源電圧とクロックを生成し、プロセッサコア151、152、153に該電源電圧と該クロックを供給する（S309）。したがって、電源の供給を遮断する前と同じステートでプロセッサコア151、152、153の動作を復帰させることができる。

【0066】

次に、図4および図5を用いて、図1に示した半導体装置100を第2の方法で駆動する手順を説明する。

【0067】

まず、図4のフローチャートを用いて第2の方法におけるプロセッサコア151、152、153の電源遮断時の駆動の手順（オフ動作）を説明する。外部からステート制御回路110が、プロセッサコア151、152、153のそれぞれに割り当てるPーステート（駆動電圧およびクロック周波数）の指示を受ける毎に、ステート制御回路110は現行のステート情報として、当該Pーステートに関する情報を第1の記憶装置111に格納する（S401）。そして、電源生成回路120およびクロック生成回路130で現行のステート情報に従った電源電圧とクロックを生成し、パワーゲーティング回路140の指示によりスイッチ170をオンし、プロセッサコア151、152、153に現行のステート情報に従った電源電圧とクロックを供給する。

20

【0068】

次に、ステート制御回路110が外部からオフ命令を受け取る（S402）と、ステート制御回路110は、第2の記憶装置112に現行のステート情報を格納する（S403）。

30

【0069】

次に、ステート制御回路110は、第1の記憶装置111に格納されている現行のステート情報を読み取り（S404）、現行ステートでプロセッサコアにおいて処理中のデータが退避可能か否かの判断を行う。ここで、ステート情報の読み取り、およびデータの退避可能か否かの判断には、ソフトウェアを用いてもよい。

【0070】

現行ステートでデータの退避が可能な場合は、ステート制御回路110がパワーゲーティング回路140にオフ要求を行う（S408）。そして、パワーゲーティング回路140はプロセッサコア151、152、153にデータ退避要求をする（S409）。

40

【0071】

ここで、プロセッサコア151、152、153のそれぞれが有するレジスタやキャッシュメモリなどの揮発性メモリにおける処理中のデータは、プロセッサコア151、152、153のそれぞれが有する不揮発性メモリに書き込まれる（S410）。このとき、Pーステートはデータの退避が可能なステートであるため、不揮発性メモリにデータを正常に書き込むことができる。

【0072】

そして、パワーゲーティング回路140の指示によりスイッチ170がオフとなり、プロ

50

セッサコア 151、152、153 への電源電圧およびクロックの供給が遮断される（S411）。

【0073】

現行状態でデータの退避が不可能な場合は、第1の記憶装置111に格納されている現行のステート情報を退避用ステート情報に書き換える（S406）。

【0074】

次に、退避用ステート情報に従った電源電圧とクロックを生成し、プロセッサコア151、152、153に該電源電圧と該クロックを供給する（S407）。これ以降の手順は、現行状態でデータの退避が可能な場合と同じである。

【0075】

次に、図4のフローチャートに従って電源が遮断されたプロセッサコア151、152、153に対して、電源を復帰する手順（オン動作）を図5のフローチャートを用いて説明する。

【0076】

まず、ステート制御回路110が外部からオン命令を受け取る（S501）と、ステート制御回路110は、第1の記憶装置111に格納されているステートの情報を読み取り（S502）、当該ステートでプロセッサコア151、152、153のそれぞれが有する不揮発性メモリからデータが正常に読み出せるか否かの判断を行う。ここで、ステート情報の読み取り、およびデータの復帰可能か否かの判断には、ソフトウェアを用いてもよい。

【0077】

第1の記憶装置111に格納されているステートでデータの退避が可能な場合は、ステート制御回路110がパワーゲーティング回路140にオン要求を行う（S506）。そして、パワーゲーティング回路140の指示によりスイッチ170がオンとなり、プロセッサコア151、152、153へ電源電圧およびクロックが供給される（S507）。

【0078】

次に、パワーゲーティング回路140は、プロセッサコア151、152、153にデータ復帰要求をする（S508）。

【0079】

ここで、プロセッサコア151、152、153のそれぞれが有する不揮発性メモリに格納されているデータが読み出され、プロセッサコア151、152、153のそれぞれが有するレジスタやキャッシュメモリなどの揮発性メモリに書き戻される（S509）。

【0080】

次に、第1の記憶装置111に格納されているステート情報を第2の記憶装置112に格納されているステート情報に書き換える（S510）。ここで、第2の記憶装置112に格納されているステート情報とは、ステート制御回路110がオフ命令を受け取る前のステートに関する情報である。

【0081】

そして、第1の記憶装置111に格納されているステート情報に従った電源電圧とクロックを生成し、プロセッサコア151、152、153に該電源電圧と該クロックを供給する（S511）。したがって、電源の供給を遮断する前と同じステートでプロセッサコア151、152、153の動作を復帰させることができる。

【0082】

第1の記憶装置111に格納されているステートでデータの復帰が不可能な場合は、第1の記憶装置111に格納されているステート情報を復帰用ステート情報に書き換える（S504）。

【0083】

次に、復帰用ステート情報に従った電源電圧とクロックを生成し、プロセッサコア151、152、153に該電源電圧と該クロックを供給する（S505）。これ以降の手順は、第1の記憶装置111に格納されているステートでデータの退避が可能な場合と同じで

10

20

30

40

50

ある。

【0084】

次に、図6を用いて、図1に示した半導体装置100を第3の方法で駆動する手順を説明する。なお、第3の方法におけるプロセッサコア151、152、153の電源遮断の手順（オフ動作）は、第2の方法と同じである。したがって、図4のフローチャートに従って電源が遮断されたプロセッサコア151、152、153に対して、電源を復帰する手順（オン動作）を図6のフローチャートを用いて説明する。

【0085】

まず、ステート制御回路110が外部からオン命令を受け取る（S601）と、ステート制御回路110がパワーゲーティング回路140にオン要求を行う（S602）。そして、パワーゲーティング回路140の指示によりスイッチ170がオンとなり、プロセッサコア151、152、153へ電源電圧およびクロックが供給される（S603）。

10

【0086】

つまり、第3の方法では、電源遮断時のステートで復帰可能か否かの判断を行わず、電源遮断時のステートで復帰させる。そのため、電源遮断時のステートは復帰も可能なステートとすることが好ましい。

【0087】

次に、パワーゲーティング回路140は、プロセッサコア151、152、153にデータ復帰要求をする（S604）。

【0088】

ここで、プロセッサコア151、152、153のそれぞれが有する不揮発性メモリに格納されているデータが読み出され、プロセッサコア151、152、153のそれぞれが有するレジスタやキャッシュメモリなどの揮発性メモリに書き戻される（S605）。

20

【0089】

次に、第1の記憶装置111に格納されているステート情報を第2の記憶装置112に格納されているステート情報に書き換える（S606）。ここで、第2の記憶装置112に格納されているステート情報とは、ステート制御回路110がオフ命令を受け取る前のステートに関する情報である。

【0090】

そして、第1の記憶装置111に格納されているステート情報に従った電源電圧とクロックを生成し、プロセッサコア151、152、153に該電源電圧と該クロックを供給する（S607）。したがって、電源の供給を遮断する前と同じステートでプロセッサコア151、152、153の動作を復帰させることができる。

30

【0091】

上記、本発明の一態様の半導体装置の駆動方法を用いることによって、不揮発性メモリを有する構成のプロセッサをPーステート機能を用いても正常に動作させることができ、半導体装置をより低消費電力で駆動することができる。

【0092】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0093】

（実施の形態2）

本実施の形態では、実施の形態1で説明した半導体装置に使用できる不揮発性メモリを有する記憶素子の一例に関して説明する。

40

【0094】

図7は、不揮発性メモリを有する記憶素子（レジスタ）の回路図の一例である。記憶素子700は、揮発性記憶回路701と、不揮発性記憶回路702と、スイッチ703と、スイッチ704と、論理素子706と、容量素子707と、セクタ回路720と、を有する。揮発性記憶回路701は、電源電圧が供給されている期間のみデータを保持する。不揮発性記憶回路702は、容量素子708と、トランジスタ709と、トランジスタ710と、を有する。

50

【0095】

なお、記憶素子700は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の回路素子をさらに有していても良い。

【0096】

トランジスタ709は、チャネルが酸化物半導体層で形成されるトランジスタである。図7において、トランジスタ709は酸化物半導体層でチャネルが形成されるトランジスタであることを示すためにOSの符号を付す。ここで、チャネルが酸化物半導体層に形成されるトランジスタ709として、リーク電流（オフ電流）が極めて小さい、エンハンスメント型（ノーマリオフ型）のnチャネル型のトランジスタを用いる。そして、記憶素子700への電源電圧の供給が停止した際、トランジスタ709のゲートには接地電位（0V）、またはトランジスタ709がオフする電位が入力され続ける構成とする。例えば、トランジスタ709のゲートが抵抗等の負荷を介して接地される構成とする。

10

【0097】

図7では、スイッチ703は、一導電型（例えば、nチャネル型）のトランジスタ713を用いて構成され、スイッチ704は、一導電型とは逆の導電型（例えば、pチャネル型）のトランジスタ714を用いて構成した例を示す。ここで、スイッチ703の第1の端子はトランジスタ713のソースとドレインの一方に対応し、スイッチ703の第2の端子はトランジスタ713のソースとドレインの他方に対応し、スイッチ703はトランジスタ713のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ713のオン状態またはオフ状態）が選択される。スイッチ704の第1の端子はトランジスタ714のソースとドレインの一方に対応し、スイッチ704の第2の端子はトランジスタ714のソースとドレインの他方に対応し、スイッチ704はトランジスタ714のゲートに入力される制御信号RDによって、第1の端子と第2の端子の間の導通または非導通（つまり、トランジスタ714のオン状態またはオフ状態）が選択される。

20

【0098】

トランジスタ709のソースとドレインの一方は、容量素子708の一对の電極のうちの一方、及びトランジスタ710のゲートと電氣的に接続される。ここで、接続部分をノードM2とする。トランジスタ710のソースとドレインの一方は、低電位電源線（例えばGND線）に電氣的に接続され、他方は、スイッチ703の第1の端子（トランジスタ713のソースとドレインの一方）と電氣的に接続される。スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）はスイッチ704の第1の端子（トランジスタ714のソースとドレインの一方）と電氣的に接続される。スイッチ704の第2の端子（トランジスタ714のソースとドレインの他方）は電源電位VDDが与えられる電源線と電氣的に接続される。スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）と、スイッチ704の第1の端子（トランジスタ714のソースとドレインの一方）と、論理素子706の入力端子と、容量素子707の一对の電極のうちの一方と、は電氣的に接続される。ここで、接続部分をノードM1とする。容量素子707の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子707の一对の電極のうちの他方は、低電位電源線（例えばGND線）と電氣的に接続される。容量素子708の一对の電極のうちの他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND等）または高電源電位（VDD等）が入力される構成とすることができる。容量素子708の一对の電極のうちの他方は、低電位電源線（例えばGND線）と電氣的に接続される。

30

40

【0099】

なお、容量素子707および容量素子708は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

【0100】

トランジスタ709のゲートには、制御信号WEが入力される。スイッチ703及びスイ

50

ッチ704は、制御信号WEとは異なる制御信号RDによって第1の端子と第2の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第1の端子と第2の端子の間が導通状態のとき他方のスイッチの第1の端子と第2の端子の間は非導通状態となる。

【0101】

トランジスタ709のソースとドレインの他方には、揮発性記憶回路701に保持されたデータに対応する信号が入力される。図7では、揮発性記憶回路701から出力された信号が、トランジスタ709のソースとドレインの他方に入力される例を示した。スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号は、論理素子706によってその論理値が反転された反転信号となり、セレクト回路720を介して揮発性記憶回路701に入力される。

10

【0102】

なお、図7では、スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号は、論理素子706及びセレクト回路720を介して揮発性記憶回路701に入力する例を示したがこれに限定されない。スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、揮発性記憶回路701に入力されてもよい。例えば、揮発性記憶回路701内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ703の第2の端子（トランジスタ713のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

【0103】

図7におけるトランジスタ709は、酸化物半導体層を挟んで上下に2つのゲートを有するトランジスタとすることもできる。一方のゲートに制御信号WEを入力し、他方のゲートには、制御信号WE2を入力することができる。制御信号WE2は、一定の電位の信号であってもよい。一定の電位は、接地電位GNDや電源電位VDDであってもよい。なお、酸化物半導体層を挟んで上下に設けられた2つのゲートを電氣的に接続し、制御信号WEを入力してもよい。トランジスタ709の他方のゲートに入力される信号によって、トランジスタ709のしきい値電圧を制御することができる。例えば、トランジスタ709のオフ電流を更に低減することもできる。

20

【0104】

図7において、記憶素子700に用いられるトランジスタのうち、トランジスタ709以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子700に用いられるトランジスタ全てを、チャネルが酸化物半導体層で形成されるトランジスタとすることもできる。または、記憶素子700は、トランジスタ709以外にも、チャネルが酸化物半導体層で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板にチャネルが形成されるトランジスタとすることもできる。

30

【0105】

図7における揮発性記憶回路701には、例えばフリップフロップ回路を用いることができる。また、論理素子706としては、例えばインバータやクロックドインバータ等を用いることができる。

40

【0106】

以上が、記憶素子700の構成の説明である。次いで、記憶素子700の駆動方法について説明する。

【0107】

記憶素子700において、電源電圧の供給の後、データの保持時における消費電力を削減するために電源電圧の供給を停止し、再び電源電圧を供給する場合の駆動方法は次のようにすることができる。駆動方法について、図8のタイミングチャートを参照して説明する。図8のタイミングチャートにおいて、701は揮発性記憶回路701に保持されている

50

データを示し、WEは制御信号WEの電位を示し、RDは制御信号RDの電位を示し、SELはセクタ回路720における一経路の制御信号SELの電位を示し、VDDは電源電位VDDを示す。また、M1はノードM1の電位を示し、M2はノードM2の電位を示す。なお、上記セクタ回路720における一経路とは、不揮発性記憶回路702の出力側と揮発性記憶回路701の入力側を接続する経路である。

【0108】

なお、以下に示す駆動方法では、図7に示した構成において、スイッチ703をnチャンネル型トランジスタとし、スイッチ704をpチャンネル型トランジスタとして、制御信号RDがハイレベル電位の場合に、スイッチ703の第1の端子と第2の端子の間が導通状態となり、且つスイッチ704の第1の端子と第2の端子の間が非導通状態となり、制御信号RDがローレベル電位の場合に、スイッチ703の第1の端子と第2の端子の間が非導通状態となり、且つスイッチ704の第1の端子と第2の端子の間が導通状態となる例を示す。また、制御信号SELがハイレベル電位の場合にセクタ回路720の一経路における第1の端子と第2の端子の間が導通状態となり、制御信号SELがローレベル電位の場合に第1の端子と第2の端子の間が非導通状態となる例を示す。また、トランジスタ709をnチャンネル型トランジスタとして、制御信号WEがハイレベル電位の場合に、トランジスタ709がオン状態となり、制御信号WEがローレベル電位の場合に、トランジスタ709がオフ状態となる例を示す。

【0109】

しかしながら、本発明の一態様の半導体装置の駆動方法はこれに限定されず、以下の説明における、スイッチ703、スイッチ704、セクタ回路720、トランジスタ709の状態が同じとなるように、各制御信号の電位を定めることができる。

【0110】

まず、図8におけるT1の期間の動作について説明する。T1では、電源電圧VDDが記憶素子700に供給されている。記憶素子700へ電源電圧が供給されている間は、揮発性記憶回路701がデータ(図8中、dataXと表記)を保持する。この際、制御信号SELをローレベル電位として、セクタ回路720の一経路における第1の端子と第2の端子の間は非導通状態とされる。なお、スイッチ703及びスイッチ704の第1の端子と第2の端子の間の状態(導通状態、非導通状態)はどちらの状態であってもよい。即ち、制御信号RDはハイレベル電位であってもローレベル電位であってもよい(図8中、Aと表記)。また、トランジスタ709の状態(オン状態、オフ状態)はどちらの状態であってもよい。即ち、制御信号WEはハイレベル電位であってもローレベル電位であってもよい(図8中、Aと表記)。T1において、ノードM1はどのような電位であってもよい(図8中、Aと表記)。T1において、ノードM2はどのような電位であってもよい(図8中、Aと表記)。T1の動作を通常動作と呼ぶ。

【0111】

次に、図8におけるT2の期間の動作について説明する。記憶素子700への電源電圧の供給の停止をする前に、制御信号WEをハイレベル電位として、トランジスタ709をオン状態とする。こうして、揮発性記憶回路701に保持されたデータ(dataX)に対応する信号が、トランジスタ709を介してトランジスタ710のゲートに入力される。トランジスタ710のゲートに入力された信号は、容量素子708によって保持される。こうして、ノードM2の電位は、揮発性記憶回路701に保持されたデータに対応する信号電位(図8中、VXと表記)となる。その後、制御信号WEをローレベル電位としてトランジスタ709をオフ状態とする。こうして、揮発性記憶回路701に保持されたデータに対応する信号が不揮発性記憶回路702に保持される。T2の間も、制御信号SELによって、セクタ回路720の一経路における第1の端子と第2の端子の間は非導通状態とされる。スイッチ703及びスイッチ704の第1の端子と第2の端子の間の状態(導通状態、非導通状態)はどちらの状態であってもよい。即ち、制御信号RDはハイレベル電位であってもローレベル電位であってもよい(図8中、Aと表記)。T2において、ノードM1はどのような電位であってもよい(図8中、Aと表記)。T2の動作を電源電

圧供給停止前の動作と呼ぶ。

【0112】

次に、図8におけるT3の期間の動作について説明する。電源電圧供給停止前の動作を行った後、T3のはじめに、記憶素子700への電源電圧の供給を停止する。電源電圧の供給が停止すると、揮発性記憶回路701に保持されていたデータ(dataX)は消失する。しかし、記憶素子700への電源電圧の供給が停止した後においても、容量素子708によって揮発性記憶回路701に保持されていたデータ(dataX)に対応する信号電位(VX)がノードM2に保持される。ここで、トランジスタ709は、チャンネルが酸化物半導体層で形成され、リーク電流(オフ電流)が極めて小さい、エンハンスメント型(ノーマリオフ型)のnチャンネル型のトランジスタを用である。したがって、記憶素子700への電源電圧の供給が停止した際、トランジスタ709のゲートには接地電位(0V)またはトランジスタ709がオフとなる電位が入力され続ける構成であるため、記憶素子700への電源電圧の供給が停止した後も、トランジスタ709のオフ状態を維持することができ、容量素子708によって保持された電位(ノードM2の電位VX)を長期間保つことができる。こうして、記憶素子700は電源電圧の供給が停止した後も、データ(dataX)を保持する。T3は、記憶素子700への電源電圧の供給が停止している期間に対応する。

【0113】

次に、図8におけるT4の期間の動作について説明する。記憶素子700への電源電圧の供給を再開した後、制御信号RDをローレベル電位として、スイッチ704の第1の端子と第2の端子の間を導通状態とし、スイッチ703の第1の端子と第2の端子の間を非導通状態とする。この際、制御信号WEはローレベル電位であり、トランジスタ709はオフ状態のままである。また、制御信号SELはローレベル電位であり、セレクト回路720の一経路における第1の端子と第2の端子の間は非導通状態である。こうして、スイッチ703の第2の端子及びスイッチ704の第1の端子に、電源電圧VDDが入力される。したがって、スイッチ703の第2の端子及びスイッチ704の第1の端子の電位(ノードM1の電位)を、一定の電位(ここではVDD)にすることができる。T4の動作をプリチャージ動作と呼ぶ。なお、ノードM1の電位は、容量素子707によって保持される。

【0114】

上記プリチャージ動作の後、T5の期間において、制御信号RDをハイレベル電位とすることによって、スイッチ703の第1の端子と第2の端子の間を導通状態とし、スイッチ704の第1の端子と第2の端子の間を非導通状態とする。この際、制御信号WEはローレベル電位のままであり、トランジスタ709はオフ状態のままである。また、制御信号SELはローレベル電位であり、セレクト回路720の一経路における第1の端子と第2の端子の間は非導通状態である。容量素子708に保持された信号(ノードM2の電位VX)に応じて、トランジスタ710のオン状態またはオフ状態が選択され、スイッチ703の第2の端子及びスイッチ704の第1の端子の電位、即ちノードM1の電位が定まる。トランジスタ710がオン状態の場合、ノードM1には低電源電位(例えば、GND)が入力される。一方、トランジスタ710がオフ状態の場合には、ノードM1の電位は、上記プリチャージ動作によって定められた一定の電位(例えば、VDD)のまま維持される。こうして、トランジスタ710のオン状態またはオフ状態に対応して、ノードM1の電位はVDDまたはGNDとなる。例えば、揮発性記憶回路701に保持されていた信号が「1」であり、ハイレベルの電位(VDD)に対応する場合、ノードM1の電位は、信号「0」に対応するローレベルの電位(GND)となる。一方、揮発性記憶回路701に保持されていた信号が「0」であり、ローレベルの電位(GND)に対応する場合、ノードM1の電位は、信号「1」に対応するハイレベルの電位(VDD)となる。つまり、揮発性記憶回路701に記憶されていた信号の反転信号がノードM1に保持されることとなる。図8において、この電位をVXbと表記する。つまり、T2において揮発性記憶回路701から入力されたデータ(dataX)に対応する信号が、ノードM1の電位(VX

b)に変換される。

【0115】

その後、T6の期間において、制御信号SELをハイレベル電位として、セクタ回路720の経路における第1の端子と第2の端子の間を導通状態とする。この際、制御信号RDはハイレベル電位のままである。また、制御信号WEはローレベル電位のままであり、トランジスタ709はオフ状態のままである。すると、スイッチ703の第2の端子及びスイッチ704の第1の端子の電位（ノードM1の電位（VXb））に対応する信号を、論理素子706を介して反転信号とし、当該反転信号を揮発性記憶回路701に入力することができる。こうして、揮発性記憶回路701は、記憶素子700への電源電圧の供給停止前に保持していたデータ（dataX）を再び保持することができる。

10

【0116】

また、ノードM1の電位は、T4におけるプリチャージ動作によって一定の電位（図8では、VDD）にされた後、T5において、データ（dataX）に対応する電位VXbとなる。プリチャージ動作を行っているため、ノードM1の電位が所定の電位VXbに定まるまでの時間を短くすることができる。こうして、電源電圧供給再開後に、揮発性記憶回路701が元のデータを保持しなおすまでの時間を短くすることができる。

【0117】

以上が、記憶素子の駆動方法の説明である。

【0118】

本発明の一態様における半導体装置の駆動方法では、記憶素子700に電源電圧が供給されない間は、揮発性記憶回路701に記憶されていたデータを、不揮発性記憶回路702に設けられた容量素子708によって保持することができる。

20

【0119】

また、酸化物半導体層にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体層にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ709として用いることによって、記憶素子700に電源電圧が供給されない間も容量素子708に保持された信号は長期間にわたり保たれる。こうして、記憶素子700は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

30

【0120】

また、スイッチ703及びスイッチ704を設けることによって、上述したプリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、揮発性記憶回路701が元のデータを保持しなおすまでの時間を短くすることができる。

【0121】

また、不揮発性記憶回路702において、容量素子708によって保持された信号はトランジスタ710のゲートに入力される。そのため、記憶素子700への電源電圧の供給が再開された後、容量素子708によって保持された信号を、トランジスタ710の状態（オン状態、またはオフ状態）に変換して、不揮発性記憶回路702から読み出すことができる。それ故、容量素子708に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

40

【0122】

このような記憶素子700を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0123】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

50

【0124】

(実施の形態3)

本実施の形態では、実施の形態1および2で説明した不揮発性メモリに用いることができ、酸化物半導体を有するトランジスタを含む記憶装置の一例を、図面を用いて説明する。

【0125】

図9(A)、(B)、(C)は、実施の形態2における不揮発性記憶回路702の一例の断面図である。

【0126】

図9(A)に示す不揮発性記憶回路702は、下部に第1の半導体材料(基板3000)をチャンネル形成領域に用いたトランジスタ710を有し、上部に第2の半導体材料3210をチャンネル形成領域に用いたトランジスタ709、および容量素子708を有している。容量素子708は、一方の電極をトランジスタ709のゲート電極3260と同時に形成することのできる層、他方の電極をトランジスタ709のソース電極またはドレイン電極3240と同時に形成することのできる層、誘電体をトランジスタ709のゲート絶縁膜3250と同時に形成することのできる層とすることで、トランジスタ709と同時に形成することができる。

【0127】

なお、トランジスタ709としては、図9(A)に示すノンセルフアライン型のトップゲート型のトランジスタのほか、図9(B)に示すセルフアライン型、図9(C)に示すボトムゲート型のトランジスタであってもよい。なお、ボトムゲート型とする場合は、図10に示すような構造としてもよい。当該構造では、ゲート電極3260と同時に形成することのできる層でソース配線またはドレイン配線3290を形成することができ、作製工程を削減することができる。また、図10では絶縁層3280を介して第2の半導体材料3210と重なるように第2のゲート電極3270を設けた構成を示している。第2のゲート電極3270を設けることで、しきい値電圧を調整することができる。なお、図9(A)、(B)の構成においても、下地絶縁層3230を介して第2の半導体材料3210と重なるように導電層を設け、該導電層を第2のゲート電極として機能させてもよい。

【0128】

また、容量素子708は、図9(B)に示すように、誘電体に平坦化膜等の絶縁膜を用いる構成としてもよい。

【0129】

ここで、第1の半導体材料(基板3000)と第2の半導体材料3210は異なる禁制幅を持つ材料とすることが望ましい。例えば、第1の半導体材料(基板3000)を酸化物半導体以外の半導体材料(シリコンなど)とし、第2の半導体材料3210を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により不揮発性記憶回路702の長時間の電荷保持を可能とする。

【0130】

なお、上記トランジスタは、いずれもnチャネル型トランジスタであるものとして説明するが、pチャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体を用いたトランジスタを用いる他は、記憶装置に用いられる材料や記憶装置の構造など、記憶装置の具体的な構成をここで示すものに限定する必要はない。

【0131】

図9(A)、(B)、(C)におけるトランジスタ710は、半導体材料(例えば、結晶性シリコンなど)を含む基板3000に設けられたチャンネル形成領域と、チャンネル形成領域を挟むように設けられた不純物領域と、不純物領域に接する金属間化合物領域と、チャンネル形成領域上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたゲート電極層と、を有する。なお、図において、明示的にはソース電極層やドレイン電極層を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、

この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極層やドレイン電極層と表現することがある。つまり、本明細書において、ソース電極層との記載には、ソース領域が含まれる。

【0132】

基板3000上にはトランジスタ710を囲むように素子分離絶縁層3100が設けられており、トランジスタ710を覆うように絶縁層3220が設けられている。なお、素子分離絶縁層3100は、LOCOS (Local Oxidation of Silicon) や、STI (Shallow Trench Isolation) などの素子分離技術を用いて形成することができる。

【0133】

例えば、結晶性シリコン基板を用いたトランジスタ710は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ709および容量素子708の形成前の処理として、トランジスタ710を覆う絶縁層3220にCMP処理を施して、絶縁層3220を平坦化すると同時にトランジスタ710のゲート電極層の上面を露出させる。

【0134】

トランジスタ710のゲート電極層は、絶縁層3220上に設けられたトランジスタ709のソース電極またはドレイン電極の一方が延在した容量素子708の一方の電極と電気的に接続されている。

【0135】

図9(A)、(B)、(C)に示すトランジスタ709は、酸化物半導体層にチャンネルが形成されるトランジスタである。トランジスタ709は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0136】

また、図9(A)、(B)、(C)に示すように、トランジスタ710と容量素子708は重畳するように形成することができるため、その占有面積を低減することができる。したがって、記憶装置の集積度を高めることができる。

【0137】

(実施の形態4)

本実施の形態では、実施の形態1、2および3で説明した不揮発性メモリに用いることのできる、オフ電流の著しく小さいトランジスタおよび該トランジスタを構成する材料について説明する。

【0138】

オフ電流の著しく小さいトランジスタとしては、例えば酸化物半導体などのバンドギャップの広い半導体をチャンネル形成領域に含むトランジスタを用いることが好ましい。

【0139】

シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体材料の一例としては、酸化物半導体の他に、炭化珪素(SiC)、窒化ガリウム(GaN)などの化合物半導体などがあるが、酸化物半導体は、炭化珪素や窒化ガリウムと異なり、スパッタリング法や湿式法により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンまたは窒化ガリウムとは異なり、酸化物半導体は室温でも成膜が可能のため、ガラス基板上への成膜、或いはシリコンを用いた集積回路上への成膜が可能である。また、基板の大型化にも対応が可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能(例えば電界効果移動度)を向上させるために結晶性の酸化物半導体を得ようとする場合でも、250℃から800℃の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

【0140】

また、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（purified OS）の導電型は、i型またはi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

【0141】

具体的に、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が1 Vから10 Vの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3 Vの場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。したがって、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0142】

なお、酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。

【0143】

また、他のスタビライザーとして、ランタノイドである、ランタン（La）、セリウム（Ce）、プラセオジウム（Pr）、ネオジウム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）のいずれか一種または複数種を含んでいてもよい。

【0144】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸

化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいてもよい。

【0145】

なお、例えば、 In-Ga-Zn 系酸化物とは、 In と Ga と Zn を含む酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素を含んでいてもよい。 In-Ga-Zn 系酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0146】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$) あるいは $\text{In}:\text{Ga}:\text{Zn}=2:2:1$ ($=2/5:2/5:1/5$) の原子比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ ($=1/3:1/3:1/3$)、 $\text{In}:\text{Sn}:\text{Zn}=2:1:3$ ($=1/3:1/6:1/2$) あるいは $\text{In}:\text{Sn}:\text{Zn}=2:1:5$ ($=1/4:1/8:5/8$) の原子比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0147】

しかし、これらに限られず、必要とする電気的特性（移動度、しきい値、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

【0148】

なお、例えば、酸化物半導体膜は、 In （インジウム）、 Ga （ガリウム）、及び Zn （亜鉛）を含むターゲットを用いたスパッタリング法により形成することができる。 In-Ga-Zn 系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比が $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ 、 $4:2:3$ 、 $3:1:2$ 、 $1:1:2$ 、 $2:1:3$ 、または $3:1:4$ で示される In-Ga-Zn 系酸化物のターゲットを用いる。前述の原子数比を有する In-Ga-Zn 系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶または CAAC が形成されやすくなる。また、 In 、 Ga 、及び Zn を含むターゲットの充填率は 90% 以上、好ましくは 95% 以上である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0149】

なお、酸化物半導体として In-Zn 系酸化物の材料を用いる場合、用いるターゲットの組成は、原子数比で、 $\text{In}:\text{Zn}=50:1\sim1:2$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim1:4$ ）、好ましくは $\text{In}:\text{Zn}=20:1\sim1:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim1:2$ ）、さらに好ましくは $\text{In}:\text{Zn}=1.5:1\sim15:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=3:4\sim15:2$ ）とする。例えば、 In-Zn 系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比が $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ のとき、 $\text{Z}>1.5\text{X}+\text{Y}$ とする。 Zn の比率を上記範囲に収めることで、移動度の向上を実現することができる。

【0150】

また、酸化物半導体膜として In-Sn-Zn 系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比が $\text{In}:\text{Sn}:\text{Zn}=1:1:1$ 、 $2:1:3$ 、 $1:2:2$ 、または $20:45:35$ で示される In-Sn-Zn-O ターゲットを用いる。

【0151】

そして、具体的に酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて形成すればよい。成膜時に、基板温度を 100°C 以上 600°C 以下、好ましくは 200°C 以上 400°C 以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサ

10

20

30

40

50

ブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水 (H_2O) など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0152】

なお、スパッタリング等で成膜された酸化物半導体膜中には、不純物としての水分または水素（水酸基を含む）が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、酸化物半導体膜中の水分または水素などの不純物を低減（脱水化または脱水素化）するために、酸化物半導体膜に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が 20 ppm （露点換算で -55°C ）以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）雰囲気下で、加熱処理を施す。

10

【0153】

酸化物半導体膜に加熱処理を施すことで、酸化物半導体膜中の水分または水素を脱離させることができる。具体的には、 250°C 以上 750°C 以下、好ましくは 400°C 以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、 500°C 、3 分間以上 6 分間以下程度で行えばよい。加熱処理に RTA 法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

20

【0154】

なお、上記加熱処理により、酸化物半導体膜から酸素が脱離し、酸化物半導体膜内に酸素欠損が形成される場合がある。そこで、上記加熱処理の後に、酸化物半導体膜に酸素を供給する処理を行い、酸素欠損を低減させることが望ましい。

【0155】

例えば、酸素を含むガス雰囲気下において加熱処理を行うことで、酸化物半導体膜に酸素を供給することができる。酸素を供給するための加熱処理は、上述した、水分または水素の濃度を低減するための加熱処理と同様の条件で行えば良い。ただし、酸素を供給するための加熱処理は、酸素ガス、または超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が 20 ppm （露点換算で -55°C ）以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）などの酸素を含むガス雰囲気下において行う。

30

【0156】

上記酸素を含むガスには、水、水素などの濃度が低いことが好ましい。具体的には、酸素を含むガス内に含まれる不純物濃度を、 1 ppm 以下、好ましくは 0.1 ppm 以下とすることが好ましい。

【0157】

或いは、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いて、酸化物半導体膜に酸素を供給することができる。上記方法を用いて酸素を酸化物半導体膜に供給した後、酸化物半導体膜に含まれる結晶部が損傷を受けた場合は、加熱処理を行い、損傷を受けた結晶部を修復するようにしても良い。

40

【0158】

また、酸化物半導体膜と接するゲート絶縁膜などの絶縁膜として、酸素を含む絶縁膜を用い、上記絶縁膜から酸化物半導体膜に酸素を供給するようにしても良い。酸素を含む絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーブなどにより、絶縁材料を化学量論的組成より酸素が多い状態とすることが好ましい。酸素ドーブとは、酸素を半導体膜に添加することをいう。また、酸素ドーブには、プラズマ化した酸素を半導体膜に添加する酸素プラズマドーブが含まれる。また、酸素ドーブは、イオン注入法またはイオンドーピング法を用いて行ってもよい。酸素ドーブ処理を行うことにより、化学量論的組成より酸素が多い

50

領域を有する絶縁膜を形成することができる。そして、酸素を含む絶縁膜を形成した後、加熱処理を施すことで、上記絶縁膜から酸化物半導体膜に酸素が供与されるようにする。上記構成により、ドナーとなる酸素欠損を低減し、酸化物半導体膜に含まれる酸化物半導体の、化学量論的組成を満たすことができる。その結果、酸化物半導体膜を i 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。

【0159】

酸素を絶縁膜から酸化物半導体膜に供与するための加熱処理は、窒素、超乾燥空気、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200℃以上 400℃以下、例えば 250℃以上 350℃以下）で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、より好ましくは 10 ppb 以下であることが望ましい。

10

【0160】

以下では、酸化物半導体膜の構造について説明する。

【0161】

なお、本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0162】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

20

【0163】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【0164】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

30

【0165】

微結晶酸化物半導体膜は、例えば、1 nm 以上 10 nm 未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0166】

CAAC-OS 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が 100 nm 未満の立方体内に収まる大きさである。従って、CAAC-OS 膜に含まれる結晶部は、一辺が 10 nm 未満、5 nm 未満または 3 nm 未満の立方体内に収まる大きさの場合も含まれる。CAAC-OS 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。以下、CAAC-OS 膜について詳細な説明を行う。

40

【0167】

CAAC-OS 膜を透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0168】

CAAC-OS 膜を、試料面と概略平行な方向から TEM によって観察（断面 TEM 観察

50

すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C-O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、C A A C-O S 膜の被形成面または上面と平行に配列する。

【0169】

一方、C A A C-O S 膜を、試料面と概略垂直な方向から T E M によって観察（平面 T E M 観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0170】

断面 T E M 観察および平面 T E M 観察より、C A A C-O S 膜の結晶部は配向性を有していることがわかる。

10

【0171】

C A A C-O S 膜に対し、X 線回折（X R D : X - R a y D i f f r a c t i o n）装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C-O S 膜の *o u t - o f - p l a n e* 法による解析では、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（009）面に帰属されることから、C A A C-O S 膜の結晶が c 軸配向性を有し、c 軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0172】

一方、C A A C-O S 膜に対し、c 軸に概略垂直な方向から X 線を入射させる *i n - p l a n e* 法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の（110）面に帰属される。 InGaZnO_4 の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（ ϕ 軸）として試料を回転させながら分析（ ϕ スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが 6 本観察される。これに対し、C A A C-O S 膜の場合は、 2θ を 56° 近傍に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

20

【0173】

以上のことから、C A A C-O S 膜では、異なる結晶部間では a 軸および b 軸の配向は不規則であるが、c 軸配向性を有し、かつ c 軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面 T E M 観察で確認された層状に配列した金属原子の各層は、結晶の a b 面に平行な面である。

30

【0174】

なお、結晶部は、C A A C-O S 膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶の c 軸は、C A A C-O S 膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、C A A C-O S 膜の形状をエッチングなどによって変化させた場合、結晶の c 軸が C A A C-O S 膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0175】

また、C A A C-O S 膜中の結晶化度が均一でなくてもよい。例えば、C A A C-O S 膜の結晶部が、C A A C-O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、C A A C-O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

40

【0176】

なお、 InGaZnO_4 の結晶を有する C A A C-O S 膜の *o u t - o f - p l a n e* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C-O S 膜中の一部に、c 軸配向性を有さない結晶が含まれることを示している。C A A C-O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0177】

50

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0178】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、C A A C - O S 膜のうち、二種以上を有する積層膜であってもよい。

【0179】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0180】

(実施の形態5)

本実施の形態では、実施の形態1で説明したプロセッサの一例として、C P U の構成について説明する。

10

【0181】

図11に、本実施の形態のC P U の構成を示す。図11に示すC P U は、基板9900上に、A L U 9901、A L U ・ C o n t r o l l e r 9902、I n s t r u c t i o n ・ D e c o d e r 9903、I n t e r r u p t ・ C o n t r o l l e r 9904、T i m i n g ・ C o n t r o l l e r 9905、R e g i s t e r 9906、R e g i s t e r ・ C o n t r o l l e r 9907、B u s ・ I / F 9908、書き換え可能なROM9909、ROM ・ I / F 9920と、を主に有している。なお、A L U は A r i t h m e t i c l o g i c u n i t であり、B u s ・ I / F はバスインターフェースであり、ROM ・ I / F はROMインターフェースである。ROM9909及びROM ・ I / F 9920は、別チップに設けても良い。勿論、図11に示すC P U は、その構成を簡略化して示した一例にすぎず、実際のC P U はその用途によって多種多様な構成を有している。

20

【0182】

B u s ・ I / F 9908を介してC P U に入力された命令は、I n s t r u c t i o n ・ D e c o d e r 9903に入力され、デコードされた後、A L U ・ C o n t r o l l e r 9902、I n t e r r u p t ・ C o n t r o l l e r 9904、R e g i s t e r ・ C o n t r o l l e r 9907、T i m i n g ・ C o n t r o l l e r 9905に入力される。

【0183】

A L U ・ C o n t r o l l e r 9902、I n t e r r u p t ・ C o n t r o l l e r 9904、R e g i s t e r ・ C o n t r o l l e r 9907、T i m i n g ・ C o n t r o l l e r 9905は、デコードされた命令に基づき、各種制御を行なう。具体的にA L U ・ C o n t r o l l e r 9902は、A L U 9901の動作を制御するための信号を生成する。また、I n t e r r u p t ・ C o n t r o l l e r 9904は、C P U のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。R e g i s t e r ・ C o n t r o l l e r 9907は、R e g i s t e r 9906のアドレスを生成し、C P U の状態に応じてR e g i s t e r 9906の読み出しや書き込みを行なう。

30

【0184】

またT i m i n g ・ C o n t r o l l e r 9905は、A L U 9901、A L U ・ C o n t r o l l e r 9902、I n s t r u c t i o n ・ D e c o d e r 9903、I n t e r r u p t ・ C o n t r o l l e r 9904、R e g i s t e r ・ C o n t r o l l e r 9907の動作のタイミングを制御する信号を生成する。例えばT i m i n g ・ C o n t r o l l e r 9905は、基準クロック信号C L K 1を元に、内部クロック信号C L K 2を生成する内部クロック生成部を備えており、クロック信号C L K 2を上記各種回路に供給する。

40

【0185】

本実施の形態のC P U では、R e g i s t e r 9906に、実施の形態2で示した構成を有する記憶素子が設けられている。R e g i s t e r ・ C o n t r o l l e r 9907は、A L U 9901、または、実施の形態1で説明したパワーゲーティング回路140から

50

の指示に従い、Register 9906 が有する記憶素子において、揮発性記憶回路 701 によるデータの保持を行うか、不揮発性記憶回路 702 によるデータの保持を行うかを選択する。

【0186】

揮発性記憶回路 701 によるデータの保持が選択されている場合、Register 9906 内の記憶素子への電源電圧の供給が行われる。不揮発性記憶回路 702 によるデータの保持が選択されている場合、Register 9906 内の記憶素子への電源電圧の供給を停止することができる。

【0187】

この様にして、一時的に CPU の動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPU を停止することができ、それにより消費電力を低減することができる。

【0188】

本実施の形態では、CPU を例に挙げて説明したが、本発明の信号処理回路は CPU に限定されず、マイクロプロセッサ、画像処理回路、DSP、FPGA 等の集積回路にも応用可能である。

【0189】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0190】

(実施の形態 6)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置などに用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 12 に示す。

【0191】

図 12 (A) は携帯型ゲーム機であり、筐体 5001、筐体 5002、表示部 5003、表示部 5004、マイクロホン 5005、スピーカー 5006、操作キー 5007、スタイラス 5008 等を有する。なお、図 12 (A) に示した携帯型ゲーム機は、2 つの表示部 5003 と表示部 5004 とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

【0192】

図 12 (B) は携帯情報端末であり、第 1 筐体 5601、第 2 筐体 5602、第 1 表示部 5603、第 2 表示部 5604、接続部 5605、操作キー 5606 等を有する。第 1 表示部 5603 は第 1 筐体 5601 に設けられており、第 2 表示部 5604 は第 2 筐体 5602 に設けられている。そして、第 1 筐体 5601 と第 2 筐体 5602 とは、接続部 5605 により接続されており、第 1 筐体 5601 と第 2 筐体 5602 の間の角度は、接続部 5605 により可動となっている。第 1 表示部 5603 における映像の切り替えを、接続部 5605 における第 1 筐体 5601 と第 2 筐体 5602 との間の角度に従って、切り替える構成としても良い。また、第 1 表示部 5603 及び第 2 表示部 5604 の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

【0193】

図 1 2 (C) はノート型パーソナルコンピュータであり、筐体 5 4 0 1、表示部 5 4 0 2、キーボード 5 4 0 3、ポインティングデバイス 5 4 0 4 等を有する。

【0 1 9 4】

図 1 2 (D) は電気冷凍冷蔵庫であり、筐体 5 3 0 1、冷蔵室用扉 5 3 0 2、冷凍室用扉 5 3 0 3 等を有する。

【0 1 9 5】

図 1 2 (E) はビデオカメラであり、第 1 筐体 5 8 0 1、第 2 筐体 5 8 0 2、表示部 5 8 0 3、操作キー 5 8 0 4、レンズ 5 8 0 5、接続部 5 8 0 6 等を有する。操作キー 5 8 0 4 及びレンズ 5 8 0 5 は第 1 筐体 5 8 0 1 に設けられており、表示部 5 8 0 3 は第 2 筐体 5 8 0 2 に設けられている。そして、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 とは、接続部 5 8 0 6 により接続されており、第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 の間の角度は、接続部 5 8 0 6 により可動となっている。表示部 5 8 0 3 における映像の切り替えを、接続部 5 8 0 6 における第 1 筐体 5 8 0 1 と第 2 筐体 5 8 0 2 との間の角度に従って行う構成としても良い。

10

【0 1 9 6】

図 1 2 (F) は普通自動車であり、車体 5 1 0 1、車輪 5 1 0 2、ダッシュボード 5 1 0 3、ライト 5 1 0 4 等を有する。

【0 1 9 7】

以上の電子機器は、プロセッサなどによる電子制御が積極的に行われており、本発明の一態様を適用することで、電子機器の消費電力を削減することができる。

20

【0 1 9 8】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【0 1 9 9】

1 0 0 半導体装置
 1 1 0 ステート制御回路
 1 1 1 第 1 の記憶装置
 1 1 2 第 2 の記憶装置
 1 2 0 電源生成回路
 1 3 0 クロック生成回路
 1 4 0 パワーゲーティング回路
 1 5 1 プロセッサコア
 1 5 2 プロセッサコア
 1 5 3 プロセッサコア
 1 6 0 キャッシュメモリ
 1 7 0 スイッチ
 1 8 0 バスライン
 7 0 0 記憶素子
 7 0 1 揮発性記憶回路
 7 0 2 不揮発性記憶回路
 7 0 3 スイッチ
 7 0 4 スイッチ
 7 0 6 論理素子
 7 0 7 容量素子
 7 0 8 容量素子
 7 0 9 トランジスタ
 7 1 0 トランジスタ
 7 1 3 トランジスタ
 7 1 4 トランジスタ
 7 2 0 セレクタ回路

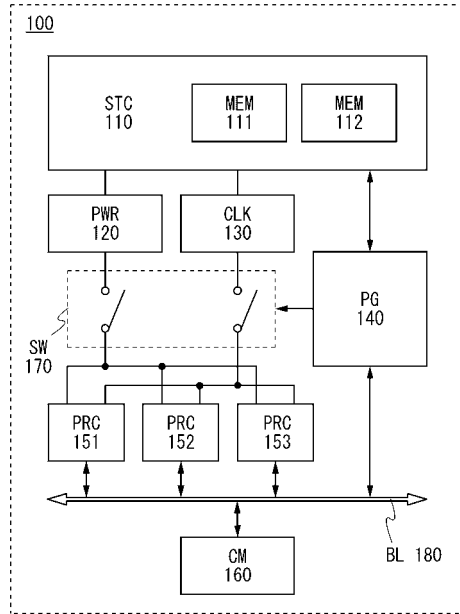
30

40

50

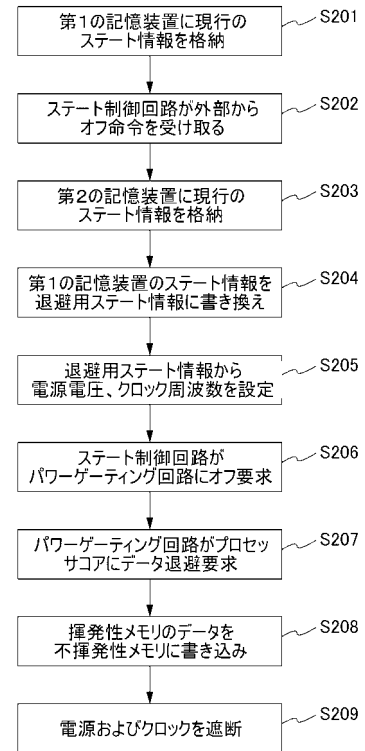
3 0 0 0	基板	
3 1 0 0	素子分離絶縁層	
3 2 1 0	半導体材料	
3 2 2 0	絶縁層	
3 2 3 0	下地絶縁層	
3 2 4 0	ドレイン電極	
3 2 5 0	ゲート絶縁膜	
3 2 6 0	ゲート電極	
3 2 7 0	第2のゲート電極	
3 2 8 0	絶縁層	10
3 2 9 0	ソース配線またはドレイン配線	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	20
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	30
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	40
5 8 0 5	レンズ	
5 8 0 6	接続部	
9 9 0 0	基板	
9 9 0 1	A L U	
9 9 0 6	R e g i s t e r	
9 9 0 9	R O M	

【図 1】



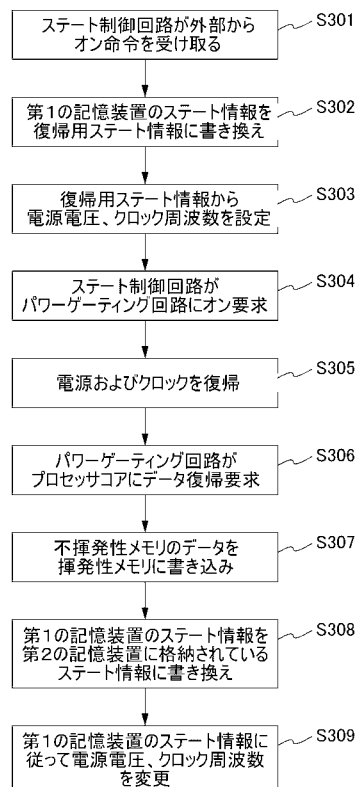
【図 2】

電源遮断時



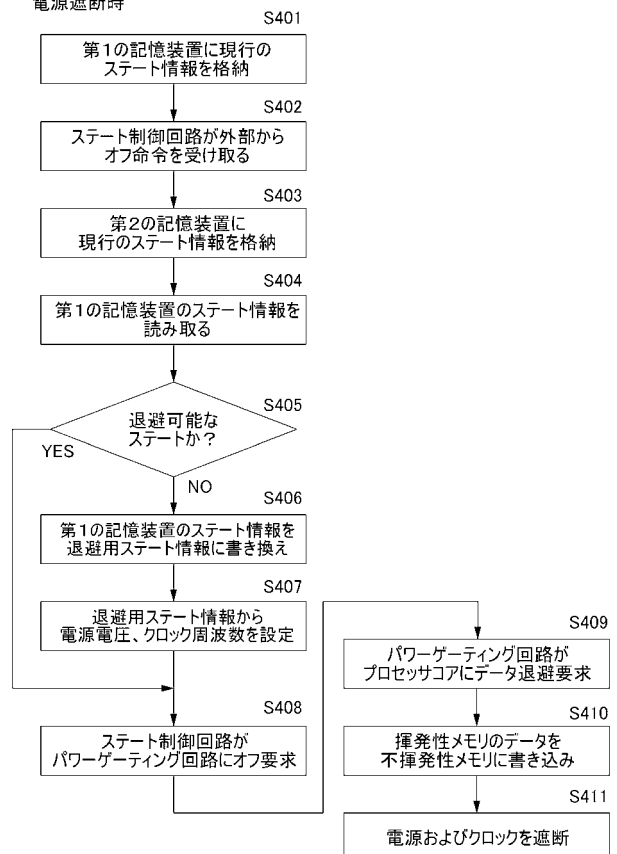
【図 3】

電源復帰時

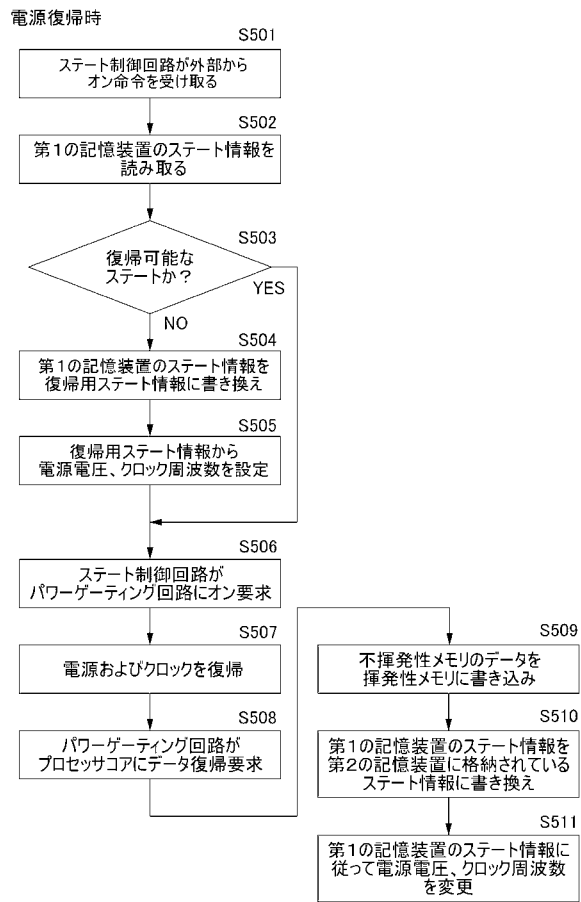


【図 4】

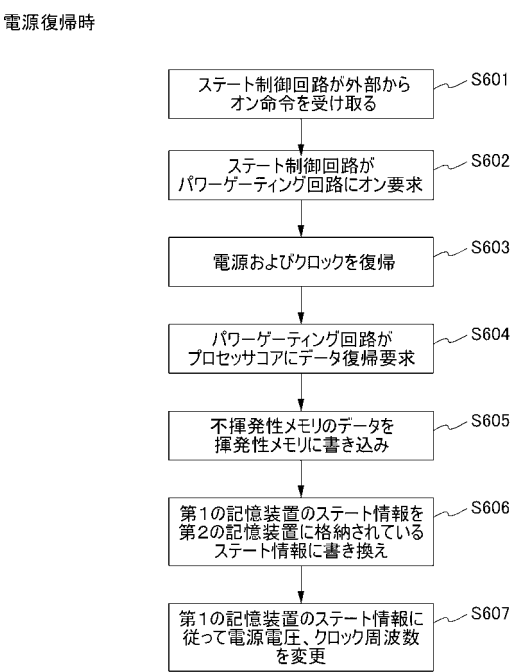
電源遮断時



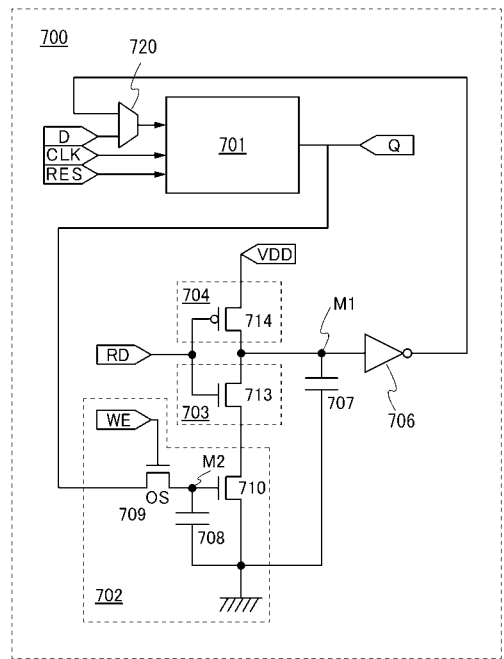
【図 5】



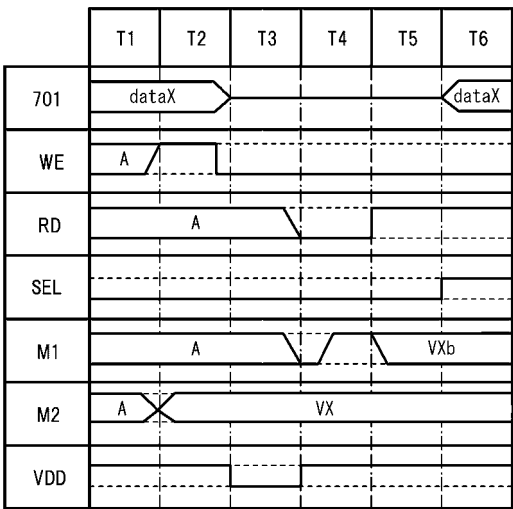
【図 6】



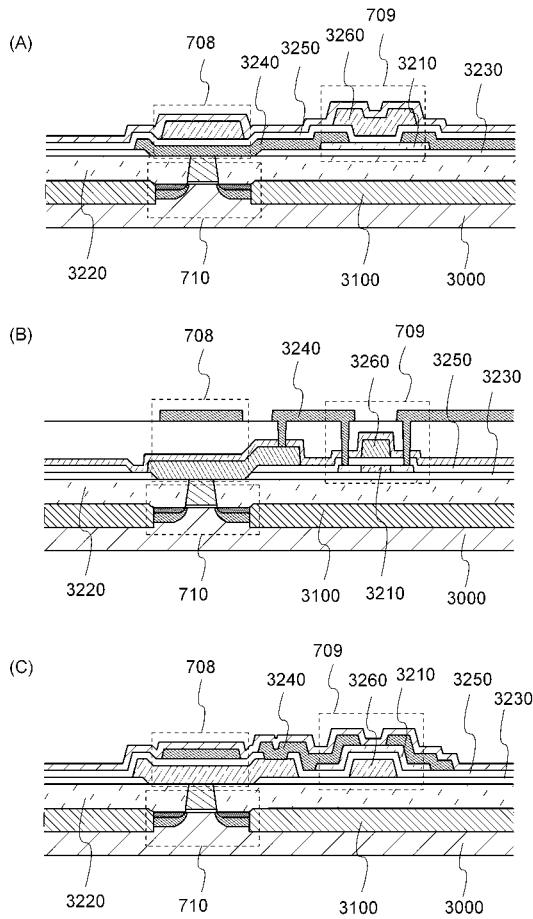
【図 7】



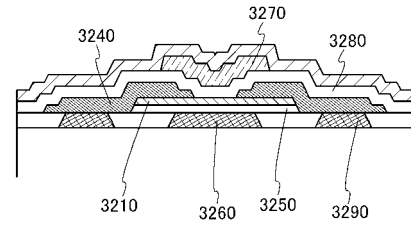
【図 8】



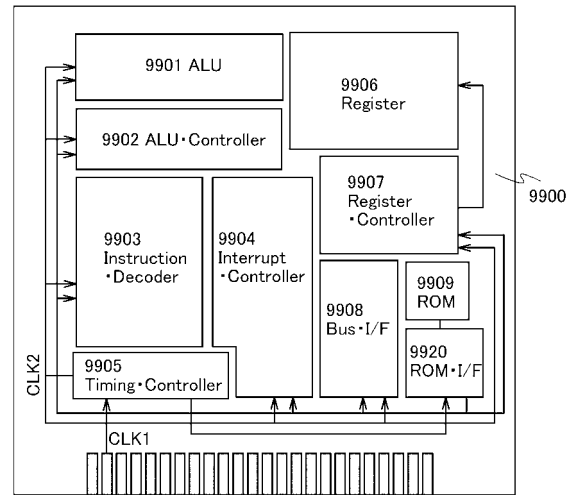
【図 9】



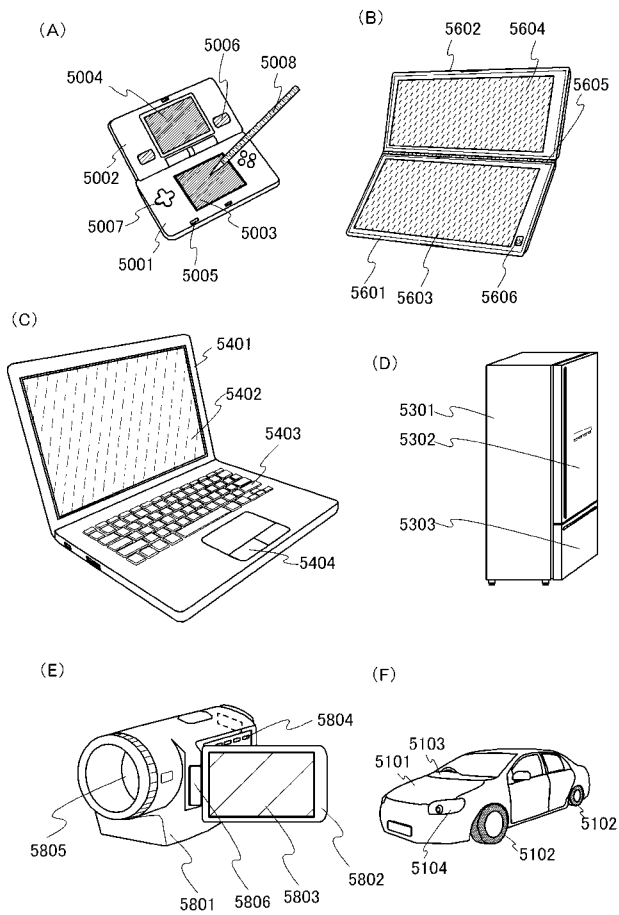
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
<i>H O 1 L 21/8242 (2006.01)</i>	H O 1 L 29/78	6 1 3 A
<i>H O 1 L 27/108 (2006.01)</i>	H O 1 L 29/78	6 1 8 B
<i>H O 1 L 21/8239 (2006.01)</i>	H O 1 L 27/108	3 2 1
<i>H O 1 L 27/105 (2006.01)</i>	H O 1 L 27/105	4 4 1
<i>H O 1 L 27/1156 (2017.01)</i>	H O 1 L 27/1156	

Fターム(参考) 5F110 BB02 BB04 BB06 CC01 CC02 CC03 DD02 DD05 EE30 GG01
GG02 GG13 GG14 GG16 GG17 GG43 GG58 NN72 NN74 NN78
PP02