



(12)发明专利

(10)授权公告号 CN 103053114 B

(45)授权公告日 2016. 11. 16

(21)申请号 201080068672.6

(22)申请日 2010.12.21

(65)同一申请的已公布的文献号

申请公布号 CN 103053114 A

(43)申请公布日 2013.04.17

(30)优先权数据

12/868,539 2010.08.25 US

(85)PCT国际申请进入国家阶段日

2013.02.20

(86)PCT国际申请的申请数据

PCT/US2010/061546 2010.12.21

(87)PCT国际申请的公布数据

W02012/026957 EN 2012.03.01

(73)专利权人 德克萨斯仪器股份有限公司

地址 美国,德克萨斯州

(72)发明人 W·J·布赖特 R·F·佩恩

(74)专利代理机构 北京纪凯知识产权代理有限公司 11245

代理人 赵蓉民

(51)Int.Cl.

H03M 1/12(2006.01)

审查员 张静

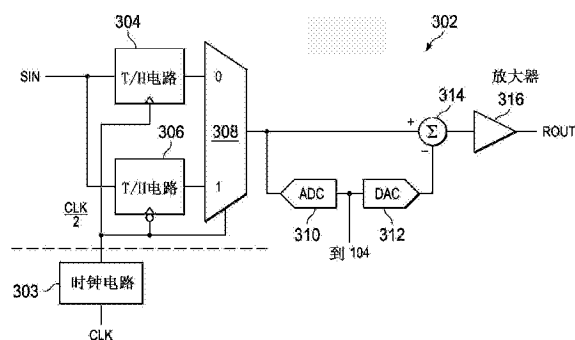
权利要求书2页 说明书4页 附图4页

(54)发明名称

交替式ADC

(57)摘要

流水线型模数转换器(ADC)常用于高频应用中;然而,工作在高采样率常常将导致高功耗或者紧的时序约束。因此,这里提出了一种ADC,其允许宽松的时序(这能够采用高采样率)以及低功耗。这是通过使用在时钟信号的非重叠部分进行采样的多路复用的前端跟踪与保持(T/H)电路并且结合“重复使用”或者共享的模拟处理电路来实现的。并行的跟踪与保持(T/H)电路(304, 306)接收模拟输入信号(AIN或者先前的残差)并通过时钟电路303提供半时钟周期($CLK/2$)以在非重叠的逻辑相位上进行采样/保持。跟踪与保持(T/H)电路(304, 306)通过多路复用器(308)分别耦合到模数转换器(ADC 310),并且耦合到数模转换器(DAC 312)、加法器(314)以及放大器(316),以执行模拟处理,从而解析用于数字输出电路(104)的采样信号并且产生残差信号(ROUT)。



1. 一种交替式模数转换器即交替式ADC,其包括;
多个跟踪与保持(T/H)电路,其接收模拟输入信号;
多路复用器,其耦合到每一个所述跟踪与保持电路;
模数转换器即ADC,其耦合到所述多路复用器;

时钟电路,其接收时钟信号并且耦合到每一个所述跟踪与保持电路以及所述多路复用器,其中所述时钟电路控制所述跟踪与保持电路,使得所述跟踪与保持电路的跟踪相位是大致非重叠的,并且其中所述时钟电路控制每个跟踪与保持电路与ADC之间通过多路复用器的耦合;

数模转换器即DAC,其耦合到所述ADC;

加法器,其耦合到所述DAC和所述多路复用器,以便确定所述DAC的输出信号和所述多路复用器的输出信号之间的差;以及

放大器,其耦合到所述加法器。

2. 根据权利要求1所述的交替式ADC,其中所述时钟电路进一步包括时钟分频器。

3. 一种交替式模数转换器即交替式ADC,其包括:

多个级,其按一顺序彼此串联耦合,其中所述顺序中的第一级接收模拟输入信号,并且其中每一级输出残差信号,并且其中每一级包括:多个跟踪与保持(T/H)电路、多路复用器和第一模数转换器即ADC,其中所述多个跟踪与保持电路接收所述模拟输入信号或者来自前一级的所述残差信号;所述多路复用器耦合到每一个所述跟踪与保持电路;以及所述第一ADC耦合到所述多路复用器;以及

时钟电路,其接收时钟信号并且耦合到每一个所述跟踪与保持电路和所述多路复用器,其中所述时钟电路控制所述跟踪与保持电路,使得每一级的所述跟踪与保持电路的跟踪相位是大致非重叠的,并且其中所述时钟电路控制每一级的每个跟踪与保持电路和每个第一模数转换器之间通过每一级的所述多路复用器的耦合;

第二模数转换器,其耦合到所述顺序中的最后一级,以便接收其残差信号;以及

数字输出电路,其耦合到所述每一级和所述第二模数转换器,以便产生数字输出信号。

4. 根据权利要求3所述的交替式ADC,其中每一级进一步包括:

数模转换器(DAC),其耦合到所述第一模数转换器;

加法器,其耦合到所述数模转换器和所述多路复用器,以便确定所述数模转换器的输出信号和所述多路复用器的输出信号之间的差;以及

放大器,其耦合到所述加法器。

5. 根据权利要求4所述的交替式ADC,其中所述时钟电路进一步包括时钟分频器。

6. 一种交替式模数转换器即交替式ADC,其包括:

多个级,其按一顺序彼此串联耦合,其中所述顺序中的第一级接收模拟输入信号,并且其中每一级输出残差信号,并且其中每一级包括:第一跟踪与保持(T/H)电路、第二跟踪与保持(T/H)电路、多路复用器和第一模数转换器即ADC,其中所述第一跟踪与保持电路接收所述模拟输入信号或者来自前一级的所述残差信号;所述第二跟踪与保持电路接收所述模拟输入信号或者来自前一级的所述残差信号;所述多路复用器耦合到所述第一和第二跟踪与保持电路;以及所述第一ADC耦合到所述多路复用器;以及

时钟电路,其接收时钟信号并且耦合到每一个所述跟踪与保持电路和所述多路复用

器,其中所述时钟电路控制所述跟踪与保持电路,使得每一级的所述跟踪与保持电路的跟踪相位是大致非重叠的,并且其中所述时钟电路控制每一级的每个跟踪与保持电路和每个第一模数转换器之间通过每一级的所述多路复用器的耦合;

第二模数转换器,其耦合到所述顺序中的最后一级,以便接收其残差信号;以及
数字输出电路,其耦合到所述每一级和所述第二模数转换器,以便产生数字输出信号。

7.根据权利要求6所述的交替式ADC,其中每一级进一步包括:

数模转换器(DAC),其耦合到所述第一模数转换器;

加法器,其耦合到所述数模转换器和所述多路复用器,以便确定所述数模转换器的输出信号和所述多路复用器的输出信号之间的差;以及

放大器,其耦合到所述加法器。

8.根据权利要求7所述的交替式ADC,其中所述时钟电路进一步包括时钟分频器。

9.根据权利要求8所述的交替式ADC,其中所述时钟分频器是二分频的时钟分频器,以便产生二分频的时钟信号。

10.根据权利要求9所述的交替式ADC,其中当所述二分频的时钟信号处于第一逻辑状态时,每个第一跟踪与保持电路处于它的跟踪相位,当所述二分频的时钟信号处于第二逻辑状态时,每个第一跟踪与保持电路处于它的保持相位,并且其中当所述二分频的时钟信号处于所述第二逻辑状态时,每个第一跟踪与保持电路通过它的多路复用器耦合到它的第一模数转换器。

11.根据权利要求10所述的交替式ADC,其中当所述二分频的时钟信号处于第一逻辑状态时,每个第二跟踪与保持电路处于它的保持相位,当所述二分频的时钟信号处于第二逻辑状态时,每个第二跟踪与保持电路处于它的跟踪相位,并且其中当所述二分频的时钟信号处于所述第一逻辑状态时,每个第二跟踪与保持电路通过它的多路复用器耦合到它的第一模数转换器。

12.根据权利要求11所述的交替式ADC,其中所述第一逻辑状态是逻辑高,并且其中所述第二逻辑状态是逻辑低。

交替式ADC

技术领域

[0001] 本发明总体涉及模数转换器(ADC),尤其涉及交替式ADC(interleaved ADC)。

背景技术

[0002] 高性能ADC在逐渐减小的CMOS工艺技术中通常不遵守数字电路实现的“摩尔定律”面积和功率曲线。ADC的噪声和分辨率要求规定了功率约束(较低噪声需要较高功率)和面积限制(超过部件匹配要求)。另外,随着ADC采样率增加,典型的架构由于时序限制而不能提供所需的性能。

[0003] 参考附图中的图1A,参考数字100总体指代常规的ADC 100。ADC 100通常包括若干级102-1到102-N、ADC 106(其通常为快闪式ADC)以及数字输出电路104。级102-1到102-N通常按一顺序彼此串联耦合,其中第一级102-1接收模拟输入信号,并且其中后续级102-2到102-N中的每一级分别接收来自前一级102-1到102-(N-1)的残差信号。ADC 106耦合到最后一级102-N(接收它的残差信号)。基于它的输入信号(残差信号或者模拟输入信号),级102-1到102-N和ADC 106能够解析(resolve)一部分模拟输入信号,它们被提供给数字输出电路104。接着,数字输出电路104可以执行纠错或者其它数字处理,以产生数字输出信号DOUT。

[0004] 现在转到图1B和图1C,可以更详细地看到级102-1到102-N(为了简单,下文称为级102)。级102通常包括:跟踪与保持(T/H)电路108(即T/H放大器)、ADC 110、模数转换器(DAC)112、加法器114以及残差放大器116。在操作中,T/H电路110在时钟信号CLK的逻辑高状态期间进入跟踪相位/阶段T,在时钟信号CLK的逻辑低状态期间进入保持相位/阶段H。在跟踪相位T期间,T/H电路对它的模拟输入信号SIN(它可能是模拟输入信号AIN或者来自前一级的残差信号)进行采样。在保持相位H期间,将采样的信号提供给ADC 110和加法器114。ADC 110解析一部分信号SIN,将解析的比特提供给数字输出电路104和DAC 112。DAC 112将解析的比特转换成模拟信号,该模拟信号被提供给加法器114。加法器114确定采样信号和来自DAC的模拟信号之间的差,该差通过放大器116被放大并输出作为残差信号ROUT。

[0005] ADC 100有一些缺点。具体地,时序会使性能下降。在操作中,模拟处理(由ADC 100和DAC 112进行量化,由加法器114进行减法,并且由放大器116进行放大)在非常紧的时间内发生,也就是在半个时钟信号CLK(其操作为采样时钟)周期内发生。虽然ADC 100非常适合低噪声系统,但是它通常局限于低采样率,以允许足够的时间进行模拟处理。

[0006] 转到图2A到图2C,可以看到另一个示例常规ADC 200。ADC 200与ADC 100具有大致相同的功能。然而,流水线中存在差别;即,级102-1到102-N被级202-1到202-N以及输入放大器204所代替。(图1B的)级102与级202-1到202-N(下称202)之间的差别在于,在T/H电路108与加法器114之间插入了额外的T/H电路206。T/H电路108和206在时钟信号CLK的相反的逻辑状态中进入跟踪相位T和保持相位H。这种布置允许宽松的时序,因为采样的信号在时钟信号CLK的整个周期都被保持,但是T/H电路206的添加增加了噪声(即,每个T/H电路206增加3dB)。为了补偿噪声恶化,每个T/H电路108和206的功耗被加倍,导致功耗是单个T/H系统的四倍。

[0007] 因此,需要一种改进的ADC。

[0008] 在以下文献中描述了其它常规电路的一些示例:美国专利US 3,059,228、3,735,392、3,820,112、5,180,932以及5,391,936。

发明内容

[0009] 因此,本发明的示例实施例提供了一种装置。该装置包括:多个跟踪与保持(T/H)电路,其接收模拟输入信号;多路复用器,其耦合到每一个T/H电路;模数转换器(ADC),其耦合到多路复用器;以及时钟电路,其接收时钟信号并且耦合到每一个T/H电路和多路复用器,其中时钟电路控制T/H电路,使得T/H电路的跟踪相位是大致非重叠的,并且其中时钟电路控制每一个T/H电路和ADC之间通过多路复用器的耦合。

[0010] 根据本发明的示例实施例,该装置进一步包括:数模转换器(DAC),其耦合到ADC;加法器,其耦合到DAC和多路复用器,以便确定DAC的输出信号和多路复用器的输出信号之间的差;以及放大器,其耦合到加法器。

[0011] 根据本发明的示例实施例,时钟电路进一步包括时钟分频器。

[0012] 根据本发明的示例实施例,提供了一种装置。该装置包括:多个级,其按一顺序彼此串联耦合,其中该顺序中的第一级接收模拟输入信号,并且其中每一级输出残差信号,并且其中每一级包括:多个T/H电路,其接收模拟输入信号或者来自前一级的残差信号;多路复用器,其耦合到每一个T/H电路;以及第一ADC,其耦合到多路复用器;以及时钟电路,其接收时钟信号并且耦合到每一个T/H电路和多路复用器,其中时钟电路控制T/H电路,使得每一级的T/H电路的跟踪相位是大致非重叠的,并且其中时钟电路控制每一级的每一个T/H电路和每个第一ADC之间通过每一级的多路复用器的耦合;第二ADC,其耦合到该顺序中的最后一级,以便接收它的残差信号;以及数字输出电路,其耦合到每一级和第二ADC,以便产生数字输出信号。

[0013] 根据本发明的示例实施例,提供了一种装置。该装置包括:多个级,其按一顺序彼此串联耦合,其中该顺序中的第一级接收模拟输入信号,并且其中每一级输出残差信号,并且其中每一级包括:第一T/H电路,其接收模拟输入信号或者来自前一级的残差信号;第二T/H电路,其接收模拟输入信号或者来自前一级的残差信号;多路复用器,其耦合到第一T/H电路和第二T/H电路;以及第一ADC,其耦合到多路复用器;以及时钟电路,其接收时钟信号并且耦合到每一个T/H电路和多路复用器,其中时钟电路控制T/H电路,使得每一级的T/H电路的跟踪相位是大致非重叠的,并且其中时钟电路控制每一级的每个T/H电路和每个第一ADC之间通过每一级的多路复用器的耦合;第二ADC,其耦合到该顺序中的最后一级,以便接收它的残差信号;以及数字输出电路,其耦合到每一级和第二ADC,以便产生数字输出信号。

[0014] 根据本发明的示例实施例,每一级进一步包括:DAC,其耦合到第一ADC;加法器,其耦合到DAC和多路复用器,以便确定DAC的输出信号和多路复用器的输出信号之间的差;以及放大器,其耦合到加法器。

[0015] 根据本发明的示例实施例,时钟分频器是二分频的时钟分频器,以便以二分之一的频率产生二分频的时钟信号。

[0016] 根据本发明的示例实施例,当二分频的时钟信号处于第一逻辑状态时,每个第一T/H电路处于其跟踪相位,当二分频的时钟信号处于第二逻辑状态时,每个第一T/H电路处

于其保持相位,并且其中当二分频的时钟信号处于第二逻辑状态时,每个第一T/H电路通过它的多路复用器耦合到它的第一ADC。

[0017] 根据本发明的示例实施例,当二分频的时钟信号处于第一逻辑状态时,每个第二T/H电路处于其保持相位,当二分频的时钟信号处于第二逻辑状态时,每个第二T/H电路处于其跟踪相位,并且其中当二分频的时钟信号处于第一逻辑状态时,每个第二T/H电路通过它的多路复用器耦合到它的第一ADC。

[0018] 根据本发明的示例实施例,第一逻辑状态为逻辑高,并且其中第二逻辑状态为逻辑低。

[0019] 前面已经相当广泛地概括了本发明的特征与技术优势,以便可以更好地理解后面的对本发明的详细描述。下文将描述本发明的另外的特征与优势,其构成了本发明的权利要求的主题。本领域技术人员应理解,所公开的概念和特定实施例可以容易地用作修改或设计用于实施本发明的同一目的的其他结构的基础。本领域技术人员还应认识到,这类等效构造没有偏离如随附的权利要求中所叙述的本发明的精神和范围。

附图说明

[0020] 参考附图描述示例实施例,其中:

[0021] 图1A和图1B是示例常规ADC的电路图;

[0022] 图1C是用于图1A和图1B的ADC的时序图;

[0023] 图2A和图2B是示例常规ADC的电路图;

[0024] 图2C是用于图2A和图2B的ADC的时序图;

[0025] 图3A和图3B是根据本发明示例实施例的示例ADC的电路图;以及

[0026] 图3C是用于图3A和图3B的ADC的时序图。

具体实施方式

[0027] 在图3A中,给出了根据本发明示例实施例的ADC 300。ADC 300与ADC 100具有大致相同的功能。但是,在流水线中存在差别;即,级102-1到102-N被级302-1到302-N以及时钟电路303所代替。

[0028] 参考图3B和图3C,可以更详细地看到级302-1到302-N(下称302)。在操作中,T/H电路304和306被耦合,以接收模拟输入信号(模拟输入信号AIN或者来自前一级的残差信号)。由于这些T/H电路304和306被布置为彼此并联,因此可以设计T/H电路304和306的时序,使得在时钟信号的大致非重叠的逻辑阶段或者相位上进行采样。优选地,时钟电路303通常包括时钟分频器(即,二分频的时钟分频器),以产生二分频的时钟信号CLK/2。这个二分频的时钟信号CLK/2可以被提供给T/H电路304和306,其中T/H电路304和306在二分频的时钟信号CLK/2的相反的逻辑电平上进入跟踪相位T和保持相位H。另外,二分频的时钟信号CLK/2可以被提供给多路复用器308,以便操作为选择信号,使得当T/H电路304和306处于它们各自的保持相位H时,T/H电路304和306通过多路复用器308分别耦合到ADC 310。接着,ADC 310、DAC 312、加法器314以及放大器316可以执行模拟处理,以解析用于数字输出电路104的采样信号并且产生残差信号ROUT。

[0029] 有效的是,ADC 300的配置操作为两路(例如)交替式ADC,这实现了若干优点。通过

以二分之一的采样率(即,通过时钟信号CLK设置)交替T/H电路304和306,(与ADC 100和200相比)可以实现宽松的时序和低功耗。此外,因为ADC 310、DAC 312、加法器314以及放大器316是共享的或者“重复使用的”,所以可以完全利用ADC 310、DAC 312、加法器314以及放大器316,而不是与非交替式设计一样,在部分时间(即一半时间)保持空闲。另外,因为重复使用ADC 310、DAC 312、加法器314以及放大器316,所以可以减小使用的面积的量。

[0030] 虽然在示例实施例的背景下描述了多个特征或步骤,所述示例实施例具有全部这类特征或步骤,或者仅具有一些这类特征或步骤,但是此处意在涵盖具有这类特征或步骤中的一个或多个的不同组合的实施例。本领域技术人员将理解,在本发明的范围内,许多其他实施例和变形也是可能的。

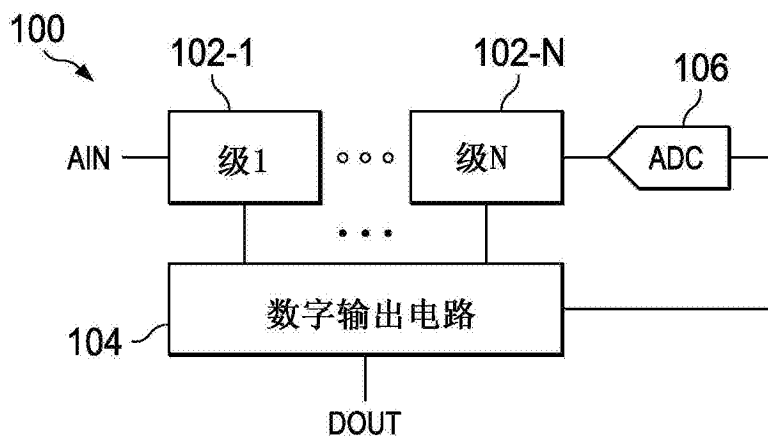


图1A(现有技术)

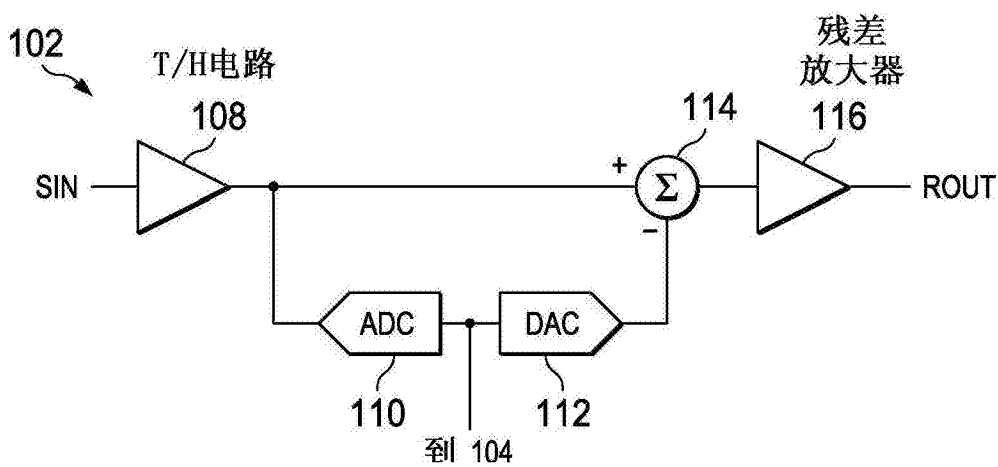


图1B(现有技术)



图1C(现有技术)

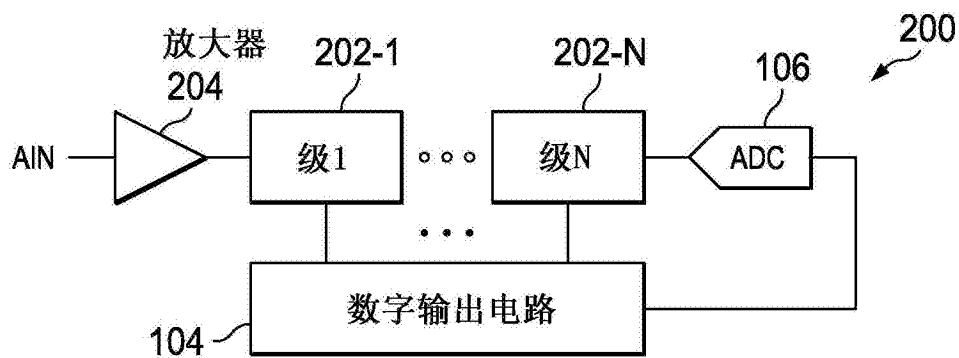


图2A(现有技术)

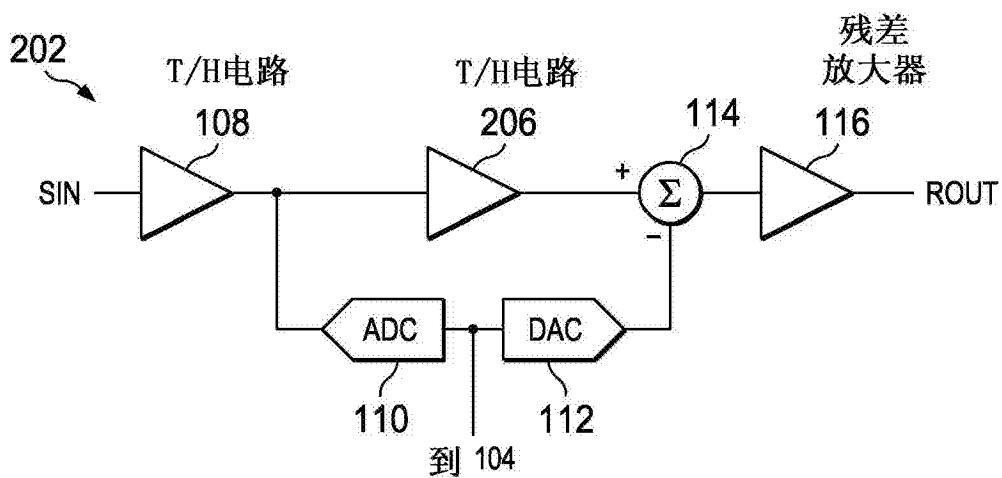


图2B(现有技术)

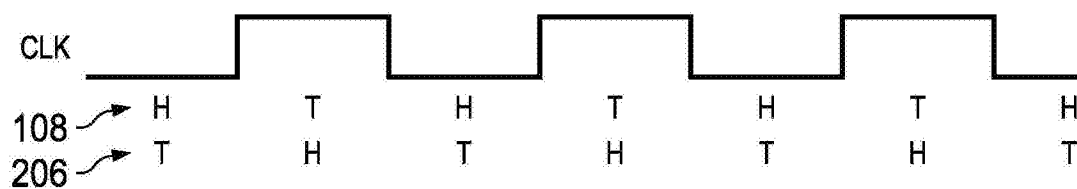


图2C(现有技术)

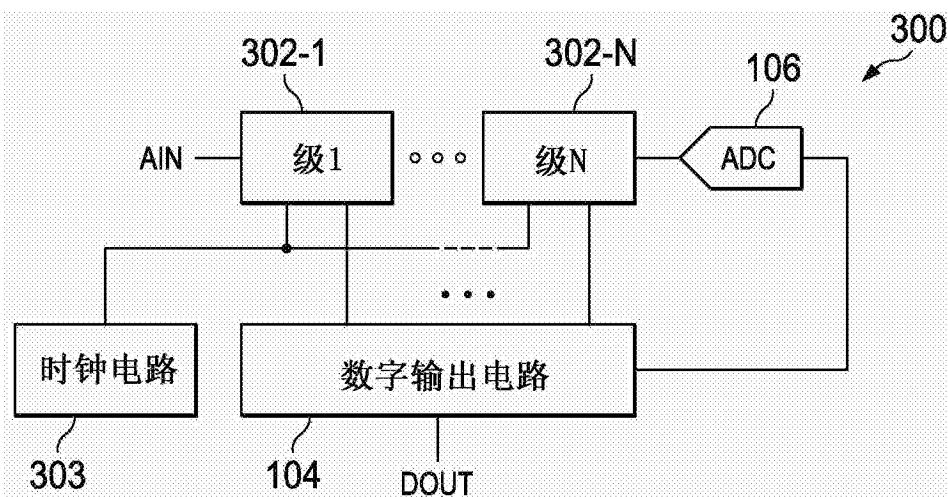


图3A

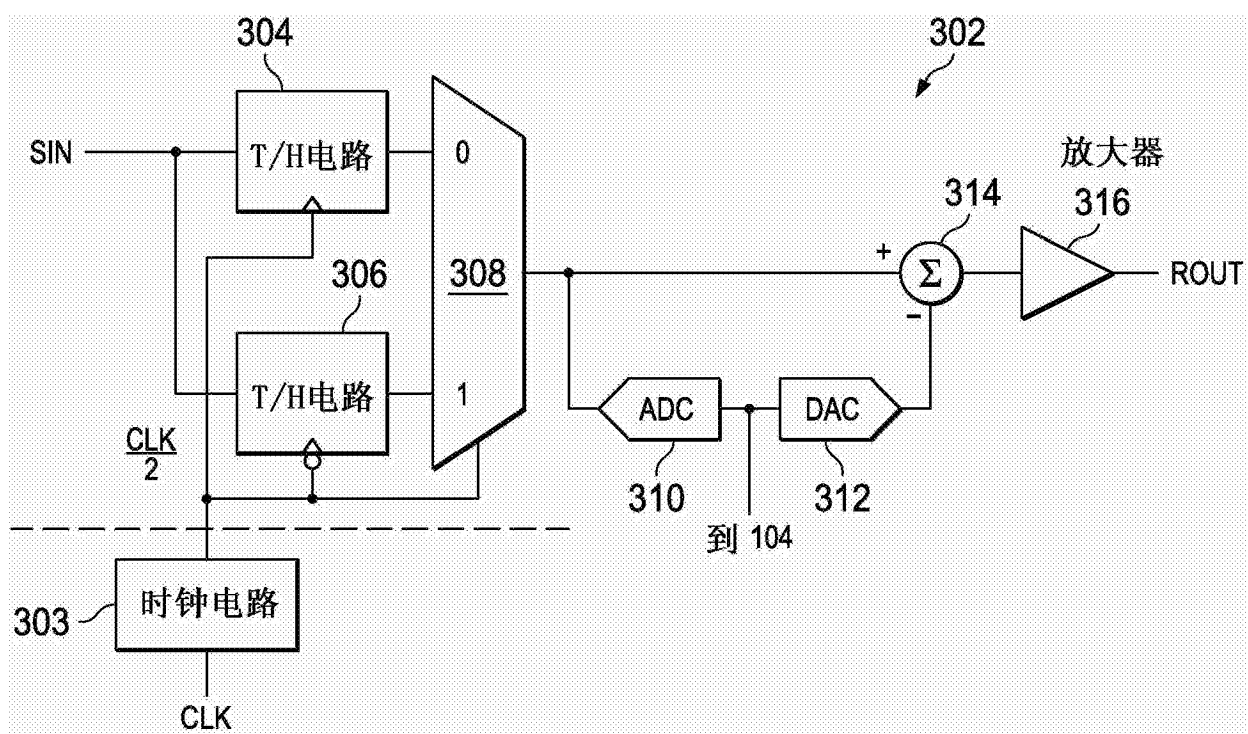


图3B

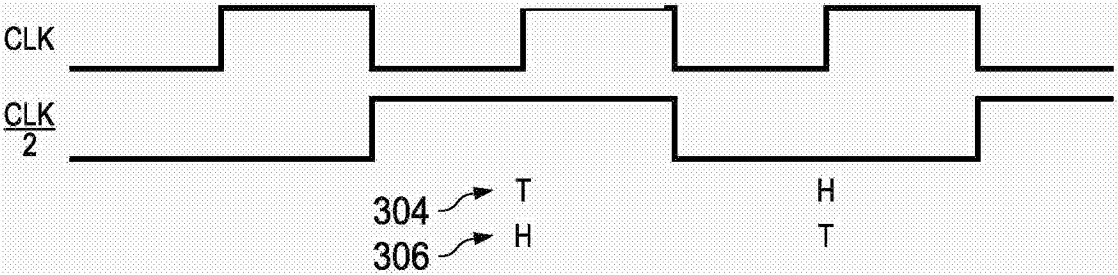


图3C