

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
13. Juli 2006 (13.07.2006)

PCT

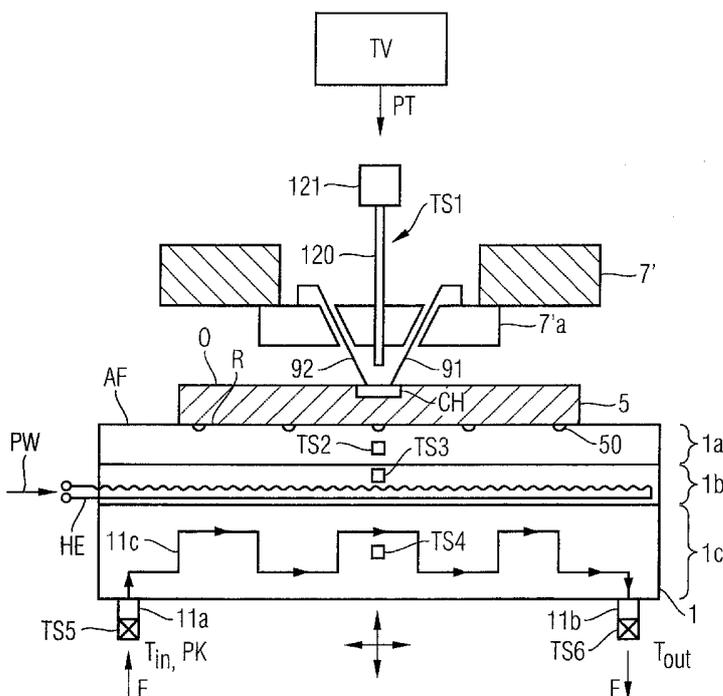
(10) Internationale Veröffentlichungsnummer  
WO 2006/072598 A1

- (51) Internationale Patentklassifikation:  
G01R 31/28 (2006.01) H01L 21/00 (2006.01)
- (21) Internationales Aktenzeichen: PCT/EP2006/000142
- (22) Internationales Anmeldedatum:  
1. Januar 2006 (01.01.2006)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:  
10 2005 001 163.2 10. Januar 2005 (10.01.2005) DE
- (71) Anmelder und  
(72) Erfinder: REITINGER, Erich [DE/DE]; Nymphen-  
burger Strasse 90c, 80636 München (DE).
- (74) Anwalt: BARTH, Stephan; Reinhard, Skuhra, Weise &  
Partner GbR, Friedrichstrasse 31, 80801 München (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,  
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,  
CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES,  
FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,  
KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV,  
LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI,  
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,  
SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.
- (84) Bestimmungsstaaten (soweit nicht anders angegeben, für  
jede verfügbare regionale Schutzrechtsart): ARIPO (BW,  
GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD AND DEVICE FOR TESTING SEMICONDUCTOR WAFERS USING A CHUCK DEVICE WHOSE TEMPERATURE CAN BE REGULATED

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZUM TESTEN VON HALBLEITERWAFERN MITTELS EINER TEMPERIERBAREN AUFSPANNEINRICHTUNG



(57) Abstract: The invention relates to a method for testing semiconductor wafers (5) using a chuck device (1), whose temperature can be regulated. Said method comprises the following steps: the temperature of the chuck device (1) is regulated to a predefined measuring temperature using an electric heating device (HE) with a predetermined heating output (PW) and a cooling device (11a, 11b, 11c), through which a fluid (F) flows for cooling purposes and which has a predetermined cooling output (PK), the heating output (PW) being significantly greater than a predetermined test output (PT); the rear face (R) of a semiconductor wafer (5) is placed on a bearing face (AF) of the temperature-controlled chuck device (1); placing of a probe card (7; 7'a) on the front face (O) of the semiconductor wafer (5); the semiconductor wafer (5) is then tested by applying the test output (PT) of a test unit (TV) to a chip region (CH) on the front face (O) of the semiconductor wafer (5) by means of probes (91, 92) located in the probe card (7', 7'a); the increase in temperature of the fluid (F) during the test process, which reflects the test output (PT), is recorded; and the heating output (PW) is reduced during the test process, whilst the cooling output (PK) is maintained at

an essentially constant level, taking into account the temperature increase of the fluid (F) that has been recorded during the testing process. The invention also relates to a corresponding device.

[Fortsetzung auf der nächsten Seite]

WO 2006/072598 A1



ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

**Veröffentlicht:**

— mit internationalem Recherchenbericht

---

**(57) Zusammenfassung:** Die vorliegende Erfindung schafft ein Verfahren zum Testen von Halbleiterwafern (5) mittels einer temperierbaren Aufspaneinrichtung (1) mit den Schritten: Temperieren der Aufspaneinrichtung (1) mittels einer elektrischen Heizeinrichtung (HE) mit einer vorgegebenen Heizleistung (PW) und einer Kühleinrichtung (11a, 11b, 11c), durch die zur Kühlung ein Fluid (F) geleitet wird, mit einer vorgegebenen Kühlleistung (PK) auf eine vorbestimmte Messtemperatur, wobei die Heizleistung (PW) wesentlich grösser als eine vorgegebene Testleistung (PT) ist; Auflegen der Rückseite (R) eines Halbleiterwafers (5) auf eine Auflagefläche (AF) der temperierbaren Aufspaneinrichtung (1); Aufsetzen einer Sondenkarte (7', 7'a) auf die Vorderseite (O) des Halbleiterwafers (5); Testen des Halbleiterwafers (5) durch Einprägen der Testleistung (PT) von einer Testvorrichtung (TV) in einen Chipbereich (CH) der Vorderseite (O) des Halbleiterwafers (5) mittels Sonden (91, 92) der aufgesetzten Sondenkarte (7', 7'a); Erfassen einer die Testleistung (PT) widerspiegelnden Temperaturerhöhung des Fluids (F) beim Testen; und Reduzieren der Heizleistung (PW) während des Testens bei im wesentlichen konstanter Kühlleistung (PK) unter Berücksichtigung der beim Testen erfassten Temperaturerhöhung des Fluids (F). Die Erfindung schafft auch eine entsprechende Vorrichtung.

Verfahren und Vorrichtung zum Testen von Halbleiterwafern  
mittels einer temperierbaren Aufspanneinrichtung

Die vorliegende Erfindung betrifft ein Verfahren und eine Vorrichtung zum Testen von Halbleiterwafern mittels einer temperierbaren Chuckeinrichtung (nachstehend als Aufspanneinrichtung bezeichnet).

Bekannterweise werden Testmessungen an Halbleiterwafern typischerweise in einem Temperaturbereich zwischen  $-60^{\circ}\text{C}$  und  $+400^{\circ}\text{C}$  durchgeführt. Zur Temperierung wird ein Halbleiterwafer auf einen Probentisch bzw. eine Aufspanneinrichtung gelegt, der entsprechend der Soll-Temperatur gekühlt und/oder beheizt wird.

Dabei ist einerseits darauf zu achten, dass die Temperatur des Halbleiterwafers nicht unter den Taupunkt des umgebenden gasförmigen Mediums gerät, da sonst eine Kondensation von Feuchtigkeit auf der Halbleiterwaferoberfläche bzw. eine Vereisung auftritt, welche die Testmessungen behindert bzw. unmöglich macht.

Andererseits tritt bei Testmessungen mit hoher Chipleistung das Problem auf, dass der Halbleiterwafer sich lokal auf der Vorderseite im Bereich des Stromflusses über die Temperatur der mit der Aufspanneinrichtung in Kontakt befindlichen Rückseite erwärmt, weil aufgrund des endlichen Wärmeübergangswiderstandes zwischen Halbleiterwafer und Aufspanneinrichtung die Wärmeabfuhr verzögert ist. Typischer-

weise erhält man bei elektrischen Leistungen von über 100 W eine lokale Temperaturdifferenz von ca. 90 K zwischen Vorderseite des Halbleiterwafers und Auflageseite der Aufspanneinrichtung. Diese Temperaturdifferenz stört die Testmessung, welche ja gerade die isothermen elektrischen Eigenschaften der im Halbleiterwafer integrierten Schaltungen angeben soll. Gleichzeitig können bei höheren Leistungen die Chips über eine maximal erlaubte Temperatur erwärmt werden, was die Gefahr eines elektrischen Ausfalls mit sich bringt.

Fig. 2 zeigt eine schematische Querschnittsansicht einer aus der US 5 010 296 bekannten Vorrichtung zum Testen von Halbleiterwafern mittels einer temperierbaren Aufspanneinrichtung.

In Figur 2 bezeichnet Bezugszeichen 6' eine temperierbare Aufspanneinrichtung. Die Aufspanneinrichtung 6' ist mit einer Antriebseinrichtung 7' verbunden, welche eine Bewegung in Höhenrichtung und der Ebene veranlassen kann. Oberhalb der Aufspanneinrichtung 6' vorgesehen ist eine Sondenkarte 12', welche Sonden 1', beispielsweise in Form dünner Nadeln, aufweist, die dazu verwendet werden, integrierte Schaltungen auf einem Halbleiterwafer 30' zu kontaktieren und elektrische Messungen daran durchzuführen.

Bezugszeichen 13' bezeichnet eine Testereinrichtung, mittels der die Sonden 1' gemäß vorgegebener Testprogramme ansteuerbar sind. Ebenfalls ansteuerbar durch die Testerein-

richtung 13' ist die Steuereinrichtung 7', um bestimmte integrierte Schaltungen des Halbleiterwafers 30' in Verbindung mit den Sonden 1' zu bringen.

Eine Gaszuführungseinrichtung 8', welche mit einer Gasversorgungseinrichtung 10' verbunden ist, ist auf der einen Seite der Aufspanneinrichtung 6' vorgesehen.

Auf der gegenüberliegenden Seite der Aufspanneinrichtung 6' ist eine Saugleitungseinrichtung 9' vorgesehen, die wiederum mit einer Saugereinrichtung 11' verbunden ist. Die Gaszuführungseinrichtung 8' und die Saugleitungseinrichtung 9' haben eine relativ flache Querschnittsgestalt, so dass Gas gleichmäßig über die gesamte Oberfläche des Halbleiterwafers 30' gespült werden kann. Die Gasspülung bei dieser bekannten Halbleiterwafertestvorrichtung dient zum Abtransport von Kontaminationspartikeln, die durch äußere Einflüsse oder unter dem Einfluss der Sonden 1' auf der Oberfläche des Halbleiterwafers abgelagert werden.

Aus Elektronik, Produktion und Prüftechnik, Juli/August 1982, Seiten 485 bis 487, Positionieren und Kontaktieren von Wafern, ist der Aufbau von Sondenkarten zum Testen von Halbleiterwafern bekannt.

Die EP 0 438 957 B1 offenbart eine Prüfvorrichtung für Halbleiter-Halbleiterwafer, wobei an einer Aufspanneinrichtung eine Vielzahl von Temperatursensoren angebracht ist,

die eine entsprechende Temperaturverteilung auf der Aufspannoberfläche erfassen.

Die EP 0 511 928 B1 offenbart eine Aufspanneinrichtung mit einer Vielzahl von Labyrinthkanälen, durch die ein Fluid zur Temperierung der Aufspanneinrichtung geleitet wird. Durch den labyrinthförmigen Aufbau werden eine hohe Kühlleistung und eine homogene Temperaturverteilung erzielt.

Die US 5 977 785 offenbart ein Verfahren und eine Vorrichtung zum Testen von Halbleiterwafern mittels einer temperierbaren Aufspanneinrichtung mit einer fluidbasierten Heiz-/Kühleinrichtung, wobei die Temperatur eines zu testenden Chips beim Testen erfasst wird und basierend auf dem Erfassungsergebnis eine Driftkorrektur der Steuerung der Heiz-/ Kühleinrichtung vorgenommen wird. Als Alternative Heizeinrichtungen nennt die US 5 977 785 resistive und induktive elektrische Heizeinrichtungen.

Die US 5 084 671 offenbart ein weiteres Verfahren und eine weitere Vorrichtung zum Testen von Halbleiterwafern mittels einer temperierbaren Aufspanneinrichtung mit einer fluidbasierten Kühleinrichtung und einer elektrischen Heizeinrichtung.

Es ist Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung zum Testen von Halbleiterwafern mittels einer temperierbaren Aufspanneinrichtung anzugeben,

welche eine Konditionierung des Halbleiterwafers ermöglichen.

Das erfindungsgemäße Verfahren mit den Merkmalen des Anspruchs 1 bzw. die entsprechende Vorrichtung nach Anspruch 7 weisen gegenüber dem bekannten Lösungsansatz den Vorteil auf, dass selbst bei hoher elektrischer Leistung nur eine sehr geringe Temperaturdifferenz zwischen Vorderseite des Halbleiterwafers und der Auflageseite des Chucks auftritt.

Die der vorliegenden Erfindung zugrundeliegende Idee besteht darin, dass ein Temperieren der Aufspaneinrichtung mittels einer Heizeinrichtung mit einer vorgegebenen Heizleistung und einer Kühleinrichtung mit einer vorgegebenen Kühlleistung auf eine vorbestimmte Messtemperatur erfolgt, wobei die Heizleistung wesentlich größer als eine vorgegebene Testleistung ist. Beim Testen des Halbleiterwafers durch Einprägen der Testleistung von einer Testvorrichtung erfolgt ein Reduzieren der Heizleistung um den Betrag der Testleistung während des Testens bei im wesentlichen konstanter Kühlleistung.

Die hat den Vorteil eines sehr schnellen Ansprechens der temperierbaren Aufspaneinrichtung als Reaktion auf die Zuführung der Testleistung.

In den Unteransprüchen finden sich vorteilhafte Weiterbildungen und Verbesserungen des betreffenden Gegenstandes der Erfindung.

Ein Ausführungsbeispiel der Erfindung ist in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert.

Es zeigen:

Fig. 1 eine schematische Darstellung einer Ausführungsform der erfindungsgemässen Vorrichtung zum Testen von Halbleiterwafern mittels einer temperierbaren Aufspanneinrichtung; und

Fig. 2 eine schematische Querschnittsansicht einer aus der US 5 010 296 bekannten Vorrichtung zum Testen von Halbleiterwafern mittels einer Sondenkarte.

In den Figuren bezeichnen gleiche Bezugszeichen gleiche oder funktionsgleiche Bestandteile.

Fig. 1 zeigt eine schematische Darstellungen einer Ausführungsform der erfindungsgemässen Vorrichtung zum Testen von Halbleiterwafern mittels einer temperierbaren Aufspanneinrichtung.

In Figur 1 bezeichnet Bezugszeichen 1 eine temperierbare, in Höhenrichtung und innerhalb der Ebene verfahrbare temperierbare Aufspanneinrichtung.

Die Aufspanneinrichtung 1 weist einen oberen Bereich 1a auf, welcher mit Vakuurrillen 50 versehen ist. Auf dem oberen Bereich 1a der Aufspanneinrichtung 1 befindet sich ein Halbleiterwafer 5, der mit seiner Rückseite R die Auflagefläche AF der Aufspanneinrichtung 1 kontaktiert.

In einem mittleren Bereich 1b der Aufspanneinrichtung 1 befindet sich eine elektrische Heizeinrichtung HE, welche durch Zuführung von elektrischer Leistung PW zum Aufheizen der Aufspanneinrichtung 1 vorgesehen ist.

Im unteren Bereich 1c der Aufspanneinrichtung 1 schließlich befindet sich ein labyrinthförmiges Kühlkanalsystem 11c, dem an einem Eingang 11a vorgekühltes Fluid F mit einer Eingangstemperatur  $T_{in}$  zugeführt wird und dem an einem Ausgang 11b dieses Fluid F mit erhöhter Temperatur  $T_{out}$  wieder entnommen wird. Mittels eines nicht dargestellten Temperierungssystems wird das Fluid F außerhalb der Aufspanneinrichtung 1 auf eine vorgegebene Solltemperatur gebracht.

Oberhalb des Halbleiterwafers 5 befindet sich eine plattenförmige Sondereinrichtung 7', welche einen abgestuften Bereich 7'a aufweist, von dem ausgehend Sondennadeln 91, 92 auf einen Chipbereich CH auf der Vorderseite O des Halbleiterwafers 5 aufgesetzt sind.

Mittels einer Testvorrichtung TV werden elektrische Testsequenzen über die Sonden 91, 92 auf den Chipbereich CH übertragen, wobei eine Leistung PT in den Chipbereich CH einge-

speist wird, die zur lokalen Erwärmung des Halbleiterchips 5 führt und weggekühlt werden muss, um eine gewünschtermassen isotherme Testmessung durchzuführen.

Bei dieser erfindungsgemäßen Ausführungsform sind verschiedene Temperaturerfassungseinrichtungen TS1 bis TS6 vorgesehen. Eine erste Temperaturerfassungseinrichtung TS1 befindet sich an der Sondeneinrichtung 7' und weist ein Infrarotthermometer IR auf, welches einen IR-Lichtleiter 120 und eine Auswerteschaltung 121 umfasst.

Die Auswerteschaltung 121 erfasst mittels eines nicht dargestellten IR-Fotoleiters und einem nachgeschalteten Verstärker unmittelbar die Temperatur im Chipbereich CH.

Eine zweite Temperaturerfassungseinrichtung TS2 befindet sich im oberen Bereich 1a der Aufspanneinrichtung 1, eine dritte Temperaturerfassungseinrichtung TS3 im mittleren Bereich 1b der Aufspanneinrichtung 1, eine vierte Temperaturerfassungseinrichtung TS4 im unteren Bereich 1c der Aufspanneinrichtung 1, eine fünfte Temperaturerfassungseinrichtung am Einlass 11a für das Fluid F, sowie eine sechste Temperaturerfassungseinrichtung TS6 am Ausgang 11b für das Fluid F. Mit den Temperaturerfassungseinrichtungen TS2 bis TS4 kann insbesondere ermittelt werden, ob sich die Aufspanneinrichtung 1 in thermischem Gleichgewicht befindet.

Vor der Testmessung erfolgt bei aufgelegtem Halbleiterwafer 5 und aufgesetzten Sonden 91, 92 ein Temperieren der Aufspanneinrichtung 1 mittels der Heizeinrichtung HE mit einer vorgegebenen Heizleistung PW und der Kühleinrichtung 11a, 11b, 11c mit einer vorgegebenen Kühlleistung PK auf eine vorbestimmte Messtemperatur, z.B.  $-20^{\circ}\text{C}$ , wobei die Heizleistung PW wesentlich grösser als eine vorgegebene Testleistung PT ist, z.B.  $\text{PW} = 1 \text{ kW}$ ,  $\text{PT} = 200 \text{ W}$ .

Dann erfolgt ein Testen des Halbleiterwafers 5 durch Einprägen der Testleistung PT von der Testvorrichtung TV in den Chipbereich CH der Vorderseite O des Halbleiterwafers 5 mittels der Sonden 91, 92 der aufgesetzten Sondenkarte 7'.

Ausführungsgemäss wird die von der Heizleistung PW abzuziehende Testleistung PT unter Berücksichtigung der Signale der zweiten und dritten Temperaturerfassungseinrichtung TS5, TS6 vorgegeben, die die Eingangstemperatur  $T_{in}$  bzw. die Ausgangstemperatur  $T_{out}$  des der Aufspanneinrichtung 1 von der Kühleinrichtung 11a, 11b, 11c zur Kühlung gelieferten Fluids F während des Testens erfassen, denn dessen Temperaturerhöhung spiegelt ebenfalls die Testleistung PT wider.

Zusätzlich kann die von der Heizleistung PW abzuziehende Testleistung PT unter Berücksichtigung des Signals der ersten Temperaturerfassungseinrichtung TS1 vorgegeben werden, die die Temperatur des Chipbereichs CH während des Testens direkt kontaktlos erfasst.

Die Erfindung ist nicht auf gasförmige getrocknete Luft beschränkt, sondern prinzipiell auf beliebige Fluide anwendbar.

## PATENTANSPRÜCHE

1. Verfahren zum Testen von Halbleiterwafern (5) mittels einer temperierbaren Aufspanneinrichtung (1) mit den Schritten:

Temperieren der Aufspanneinrichtung (1) mittels einer elektrischen Heizeinrichtung (HE) mit einer vorgegebenen Heizleistung (PW) und einer Kühleinrichtung (11a, 11b, 11c), durch die zur Kühlung ein Fluid (F) geleitet wird, mit einer vorgegebenen Kühlleistung (PK) auf eine vorbestimmte Messtemperatur, wobei die Heizleistung (PW) wesentlich größer als eine vorgegebene Testleistung (PT) ist;

Auflegen der Rückseite (R) eines Halbleiterwafers (5) auf eine Auflageseite (AF) der temperierbaren Aufspanneinrichtung (1);

Aufsetzen einer Sondenkarte (7', 7'a) auf die Vorderseite (O) des Halbleiterwafers (5);

Testen des Halbleiterwafers (5) durch Einprägen der Testleistung (PT) von einer Testvorrichtung (TV) in einen Chipbereich (CH) der Vorderseite (O) des Halbleiterwafers (5) mittels Sonden (91, 92) der aufgesetzten Sondenkarte (7', 7'a);

Erfassen einer die Testleistung (PT) widerspiegelnden Temperaturerhöhung des Fluids (F) beim Testen; und

Reduzieren der Heizleistung (PW) während des Testens bei im wesentlichen konstanter Kühlleistung (PK) unter Berücksichtigung der beim Testen erfassten Temperaturerhöhung des Fluids (F).

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Temperaturerhöhung des Fluids unter Berücksichtigung der Signale einer zweiten und dritten Temperaturerfassungseinrichtung (TS5, TS6) erfasst wird, die die Eingangstemperatur ( $T_{in}$ ) und die Ausgangstemperatur ( $T_{out}$ ) des der Aufspanneinrichtung (1) von der Kühleinrichtung (11a, 11b, 11c) zur Kühlung gelieferten Fluids (F) während des Testens erfassen.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die Heizleistung (PW) unter Berücksichtigung einer mittels des Signals einer ersten Temperaturerfassungseinrichtung (TS1) erfassten Temperaturerhöhung des Chipbereichs (CH) reduziert wird, wobei die erste Temperaturerfassungseinrichtung (TS1) die Temperatur des Chipbereichs (CH) während des Testens kontaktlos erfasst.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass die erste Temperaturerfassungseinrichtung (TS1) ein Infrarotthermometer (120, 121) umfasst.

5. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Aufspanneinrichtung (1) einen oberen Bereich (1a), einen mittleren Bereich (1b) und einen unteren Bereich (1c) aufweist, wobei der obere Bereich (1a) die Auflagefläche (AF) in Kontakt mit der Rückseite (R) des Halbleiterwafers (5), der mittlere Bereich (1b) die Heizeinrichtung (HE) und der untere Bereich (1c) die Kühleinrichtung (11a, 11b, 11c) aufweist.

6. Verfahren nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Testleistung (PT) in der Größenordnung von einem bis einigen Hundert Watt und die Heizleistung

(PW) in der Größenordnung von einem bis einigen Kilowatt liegt.

7. Vorrichtung zum Testen von Halbleiterwafern (5) mittels einer temperierbaren Aufspanneinrichtung (1) mit:

einer Temperierungseinrichtung zum Temperieren der Aufspanneinrichtung (1) mittels einer elektrischen Heizeinrichtung (HE) mit einer vorgegebenen Heizleistung (PW) und einer Kühleinrichtung (11a, 11b, 11c), durch die zur Kühlung ein Fluid (F) leitbar ist, mit einer vorgegebenen Kühlleistung (PK) auf eine vorbestimmte Messtemperatur, wobei die Heizleistung (PW) wesentlich größer als eine vorgegebene Testleistung (PT) ist;

einer Testvorrichtung (TV) zum Testen des Halbleiterwafers (5) durch Einprägen der Testleistung (PT) in einen Chipbereich (CH) der Vorderseite (0) des Halbleiterwafers (5) mittels Sonden (91, 92) einer Sondenkarte (7', 7'a); und

einer Temperaturerfassungseinrichtung (T5, T6) zum Erfassen einer die Testleistung (PT) widerspiegelnden Temperaturerhöhung des Fluids (F) beim Testen;

wobei die Temperierungseinrichtung derart gestaltet ist, dass ein Reduzieren der Heizleistung (PW) während des Testens bei im wesentlichen konstanter Kühlleistung (PK) unter Berücksichtigung der beim Testen erfassten Temperaturerhöhung des Fluids (F) stattfindet.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass die Temperaturerhöhung des Fluids durch die Temperaturerfassungseinrichtung (TS5, TS6) unter Berücksichtigung der Signale

einer zweiten und dritten Temperaturerfassungseinrichtung (TS5, TS6) er

fassbar ist, die die Eingangstemperatur ( $T_{in}$ ) und die Ausgangstemperatur ( $T_{out}$ ) des der Aufspanneinrichtung (1) zur Kühlung gelieferten Fluids (F) während des Testens erfassen.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass die Heizleistung (PW) unter Berücksichtigung einer mittels des Signals einer ersten Temperaturerfassungseinrichtung (TS1) erfassten Temperaturerhöhung des Chipbereichs (CH) reduzierbar ist, wobei die erste Temperaturerfassungseinrichtung (TS1) die Temperatur des Chipbereichs (CH) während des Testens kontaktlos erfasst.

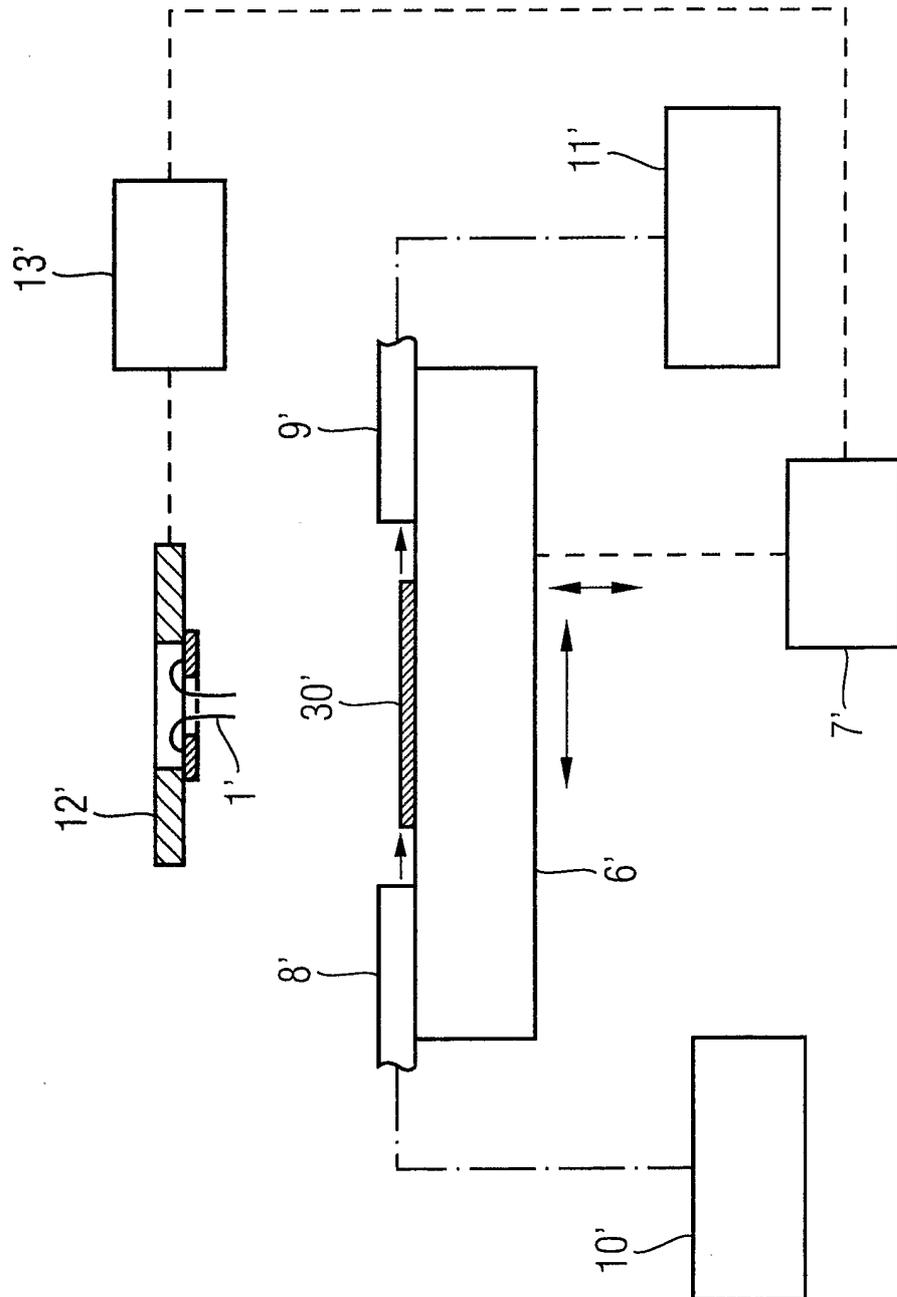
10. Vorrichtung nach Anspruch 9, dadurch gekennzeichnet, dass die erste Temperaturerfassungseinrichtung (TS1) ein Infrarotthermometer (120, 121) umfasst.

11. Vorrichtung nach einem der vorhergehenden Ansprüche 7 bis 10, dadurch gekennzeichnet, dass die Aufspanneinrichtung (1) einen oberen Bereich (1a), einen mittleren Bereich (1b) und einen unteren Bereich (1c) aufweist, wobei der obere Bereich (1a) die Auflagefläche (AF) in Kontakt mit der Rückseite (R) des Halbleiterwafers (5), der mittlere Bereich (1b) die Heizeinrichtung (HE) und der untere Bereich (1c) die Kühleinrichtung (11a, 11b, 11c) aufweist.

12. Vorrichtung nach einem der vorhergehenden Ansprüche 7 bis 11, dadurch gekennzeichnet, dass die Testleistung (PT) in der Größenordnung von einem bis einigen Hundert Watt und die Heizleistung (PW) in der Größenordnung von einem bis einigen Kilowatt liegt.



FIG 2



# INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2006/000142

**A. CLASSIFICATION OF SUBJECT MATTER**  
INV. G01R31/28 H01L21/00

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H01L G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/062954 A1 (GETCHEL PAUL A ET AL) 30 May 2002 (2002-05-30) abstract; figures 1-3 paragraph [0003] - paragraph [0006] paragraph [0034] - paragraph [0075]	1-12
A	US 5 775 416 A (HEIMANSON ET AL) 7 July 1998 (1998-07-07) abstract; figures 1,2 column 4, line 37 - line 44	1-12
X	US 2002/017916 A1 (COSTELLO SIMON ET AL) 14 February 2002 (2002-02-14) abstract; figures 1-4 paragraphs [0017], [0018] paragraph [0065]	1,6,7,12
	----- -/--	

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the international filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*Z\* document member of the same patent family

Date of the actual completion of the international search

10 April 2006

Date of mailing of the international search report

19/04/2006

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel: (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Ernst, M

# INTERNATIONAL SEARCH REPORT

International application No  
PCT/EP2006/000142

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5 977 785 A (BURWARD-HOY ET AL) 2 November 1999 (1999-11-02) cited in the application abstract; figures 1,2A,3 -----	1-12

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2006/000142
---

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002062954 A1	30-05-2002	DE 19882929 T0	04-01-2001
		JP 2002500432 T	08-01-2002
		US 6415858 B1	09-07-2002
		WO 9934159 A1	08-07-1999
		US 6505478 B1	14-01-2003
US 5775416 A	07-07-1998	GB 2323152 A	16-09-1998
		WO 9719303 A1	29-05-1997
		US 5950723 A	14-09-1999
US 2002017916 A1	14-02-2002	AU 2743300 A	31-01-2001
		WO 0101460 A2	04-01-2001
		US 6605955 B1	12-08-2003
US 5977785 A	02-11-1999	NONE	

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2006/000142

**A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES**  
 INV. G01R31/28 H01L21/00

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

**B. RESEARCHIERTE GEBIETE**

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
 H01L G01R

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

**C. ALS WESENTLICH ANGESEHENE UNTERLAGEN**

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 2002/062954 A1 (GETCHEL PAUL A ET AL) 30. Mai 2002 (2002-05-30) Zusammenfassung; Abbildungen 1-3 Absatz [0003] - Absatz [0006] Absatz [0034] - Absatz [0075]	1-12
A	US 5 775 416 A (HEIMANSON ET AL) 7. Juli 1998 (1998-07-07) Zusammenfassung; Abbildungen 1,2 Spalte 4, Zeile 37 - Zeile 44	1-12
X	US 2002/017916 A1 (COSTELLO SIMON ET AL) 14. Februar 2002 (2002-02-14) Zusammenfassung; Abbildungen 1-4 Absätze [0017], [0018] Absatz [0065]	1,6,7,12
	----- -/--	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen  Siehe Anhang Patentfamilie

- |   |  |
|---|--|
| <ul style="list-style-type: none"> <li>* Besondere Kategorien von angegebenen Veröffentlichungen :</li> <li>*A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist</li> <li>*E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist</li> <li>*L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)</li> <li>*O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht</li> <li>*P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist</li> </ul> | <ul style="list-style-type: none"> <li>*T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist</li> <li>*X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden</li> <li>*Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist</li> <li>*Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist</li> </ul> |
|---|--|

Datum des Abschlusses der internationalen Recherche	Absenddatum des internationalen Recherchenberichts
10. April 2006	19/04/2006
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter  Ernst, M

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen  
PCT/EP2006/000142

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 5 977 785 A (BURWARD-HOY ET AL) 2. November 1999 (1999-11-02) in der Anmeldung erwähnt Zusammenfassung; Abbildungen 1,2A,3 -----	1-12

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2006/000142

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002062954 A1	30-05-2002	DE 19882929 T0	04-01-2001
		JP 2002500432 T	08-01-2002
		US 6415858 B1	09-07-2002
		WO 9934159 A1	08-07-1999
		US 6505478 B1	14-01-2003
US 5775416 A	07-07-1998	GB 2323152 A	16-09-1998
		WO 9719303 A1	29-05-1997
		US 5950723 A	14-09-1999
US 2002017916 A1	14-02-2002	AU 2743300 A	31-01-2001
		WO 0101460 A2	04-01-2001
		US 6605955 B1	12-08-2003
US 5977785 A	02-11-1999	KEINE	