

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年6月17日(17.06.2010)

PCT

(10) 国際公開番号
WO 2010/067705 A1

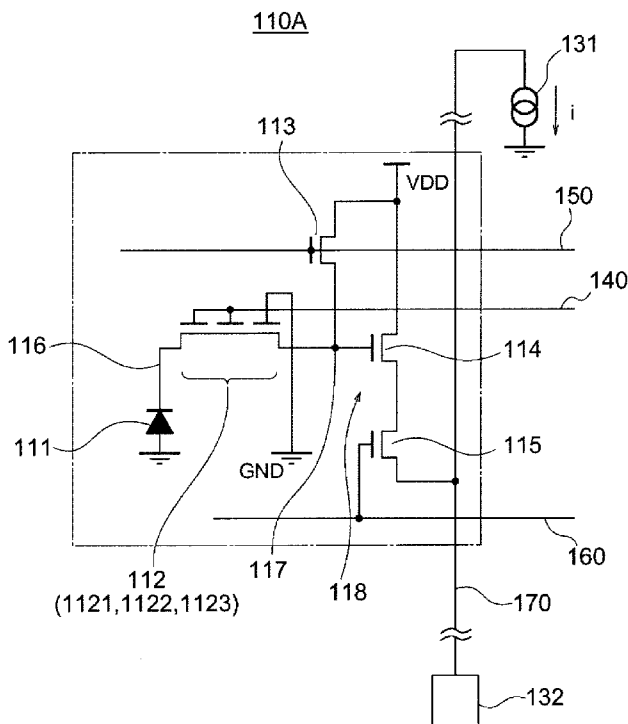
- (51) 国際特許分類:
H04N 5/335 (2006.01) H04N 101/00 (2006.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2009/069848
- (22) 国際出願日: 2009年11月25日(25.11.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-312413 2008年12月8日(08.12.2008) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 西原 利幸 (NISHIHARA, Toshiyuki) [JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 亀谷 美明, 外(KAMEYA, Yoshiaki et al.); 〒1600004 東京都新宿区四谷3-1-3 第一富澤ビル はづき国際特許事務所 四谷オフィス Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

[続葉有]

(54) Title: PIXEL CIRCUIT, SOLID-STATE IMAGE PICKUP DEVICE, AND CAMERA SYSTEM

(54) 発明の名称: 画素回路、固体撮像素子、およびカメラシステム

[図4]



(57) Abstract: A transfer transistor (112) has first, second and third field effect transistors (1121-1123) that are integrally series-connected between a photoelectric conversion element (111) and an amplifier circuit. The first and second field effect transistors are configured such that the gate electrodes of the first and second field effect transistors are collectively driven at the same time. It is further arranged that the threshold voltage of the first field effect transistor be higher than that of the second field effect transistor. As the gate electrodes of the first, second and third field effect transistors are driven in stages, electrons, which are generated by the photoelectric conversion element and transferred through the first field effect transistor, are accumulated in the channel region of the second field effect transistor, and the electrons accumulated in the channel region are transferred to the input of the amplifier circuit via the third field effect transistor.

(57) 要約:

[続葉有]

WO 2010/067705 A1

GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

転送トランジスタ 112 は、光電変換素子 111 からアンプ回路側に向かって、一体化して直列接続された第 1、第 2、および第 3 の電界効果トランジスタ 1121 ~ 1123 を有し、第 1 および第 2 の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、第 1 の電界効果トランジスタの閾値電圧が第 2 の電界効果トランジスタの閾値電圧より高く設定され、ゲート電極の段階的な駆動に伴って、光電変換素子で生成され、第 1 の電界効果トランジスタを介して転送された電子を第 2 の電界効果トランジスタのチャネル領域に蓄積し、チャネル領域に蓄積した電子を第 3 の電界効果トランジスタを介してアンプ回路の入力に転送する。

明 細 書

発明の名称：画素回路、固体撮像素子、およびカメラシステム 技術分野

[0001] 本発明は、CMOSイメージセンサに代表される画素回路、固体撮像素子、およびカメラシステムに関するものである。

背景技術

[0002] 近年デジタルスチルカメラやカムコーダ、監視カメラ等の用途に、CMOSイメージャーが広く使われるようになり、市場も拡大している。

CMOSイメージャーは、各画素に入射した光を光電変換素子であるフォトダイオードで電子に変換し、それを一定期間蓄積した上で、その蓄積電荷量を反映した信号をデジタル化して外部に出力する。

[0003] 図1は、1単位画素で4つのトランジスタを含む画素回路の一例を示す図である。

[0004] 1単位の画素回路PX1は、フォトダイオード1、転送トランジスタ2、リセットトランジスタ3、アンプトランジスタ4、行選択トランジスタ5、蓄積ノード6、およびフローティングディフュージョン（FD：Floating Diffusion、浮遊拡散層）7を有する。

転送トランジスタ2のゲート電極が転送線8に接続され、リセットトランジスタ3のゲート電極がリセット線9に接続されている。アンプトランジスタ4のゲート電極がFD7に接続され、行選択トランジスタ5のゲート電極が行選択線10に接続されている。そして、行選択トランジスタ5のソースが垂直信号線11に接続されている。

垂直信号線11には、定電流回路12、および感知回路13が接続されている。

[0005] 画素回路PX1においては、画素のシリコン基板に入射した光は電子とホールペアを発生させ、その内の電子がフォトダイオード1によって、ノード6に集光、蓄積される。その電子が最終的には垂直信号線11への信号と

なって読み出される。

[0006] 以下に、電荷蓄積と読み出しの具体的動作を図2に関連付けて説明する。

図2(A)～(D)は、図1の画素回路のタイミングチャートを示す図である。

[0007] 電荷蓄積に先立って、まず画素のリセットを行う。これはリセット線9および転送線8をハイレベルにして、リセットトランジスタ3と転送トランジスタ2をオン状態にする。これはたとえば3Vの電源電圧をフォトダイオードの蓄積ノード6に伝達させる操作である。

これによって、蓄積ノード6のポテンシャルは上昇し、そこに蓄積された電子の引き抜きが行われる。

近年主流のHAD(Hole-Accumulation Diode)構造においては、蓄積ノード6はp型層に挟まれたn型の埋め込み拡散層で形成されており、その電子は全て排出されて完全空乏状態となる。なお、電子が全て排出された時点でノード6のポテンシャル上昇も止まり、そのレベルは電源電圧3Vより低い所定の水準となる。

その後、転送線8をローレベルにして、転送トランジスタ2をオフすることで、蓄積ノード6は浮遊状態となって、新たな電荷蓄積が開始される。電荷蓄積中はリセットトランジスタ3も通常オフにしておく。

一般にこのような画素のリセット動作は、CMOSイメージセンサの電子シャッター動作として利用される。

[0008] 次に、蓄積された電荷の読み出し動作について説明する。

[0009] まず、行選択線10がハイレベルとなり、行選択トランジスタ5がオンして、垂直信号線11に画素のアンプトランジスタ4が接続される。

ここでアンプトランジスタ4と定電流回路12に接続された垂直信号線11はソースフォロワ回路を形成しており、その入力であるFD7のポテンシャル V_f と、出力である垂直信号線11の電位 V_{s1} は、変動比が1に近いリニアな関係となる。

すなわち定電流回路12の電流値を i とすると、理想的には次式が成立す

る。

[0010] [数 1]

$$i = (1/2) * \beta * (V_f - V_{th} - V_{s1})^2 \quad // \beta \text{は定数}$$

[0011] ここで、 $(V_f - V_{th} - V_{s1})$ は一定となって、 V_f の変動はリニアに V_{s1} に反映される。

すなわち、ソースファローア回路はゲインが略 1 のアンプ回路として動作し、入力ノードである FD 7 の信号量に応じて垂直信号線 11 を駆動する。

[0012] ここで、リセット線 9 をハイレベルにしてリセットトランジスタ 3 をオンすることで、FD 7 に電源電圧 3 V が伝達される。

さらに、リセットトランジスタ 3 をオフにした後、コンパレータや AD 変換器等で構成された感知回路 13 によって、垂直信号線 11 の電位 V_{s1} の 1 回目の感知を行う。これはリセット信号の読み出しである。

[0013] 次に、転送線 8 をハイレベルにして転送トランジスタ 2 をオンすることで、蓄積ノード 6 に蓄積された電子が FD 7 に流れ込む。

この際、FD 7 のポテンシャルが十分深ければ、すなわち高電位であれば、蓄積ノード 6 に蓄積されていた電子は全て FD 7 に流出し、蓄積ノード 6 は完全空乏状態になる。

ここで転送トランジスタ 2 をオフし、感知回路 13 によって、垂直信号線 11 の電位の 2 回目の感知を行う。これは蓄積信号の読み出しである。

[0014] 上記 V_{s1} の 1 回目の感知と 2 回目の感知の差分は、フォトダイオード 1 の露光によって蓄積ノード 6 に蓄積された電荷量を正確に反映している。

CMOS イメージャーはこの差分をデジタル化し、画素の信号値として外部に出力する。各画素の電子蓄積時間は、上記リセット動作と読み出し動作との間の期間であり、正確には転送トランジスタ 2 がリセット後オフしてから、読み出しでオフするまでの期間 T_1 である。

[0015] このように、一般に CMOS 型イメージャーでは、光電変換素子により生成された蓄積電子は画素ごとにアンプ回路を介して垂直信号線 11 のアナログ信号に変換されて感知回路 13 に伝達される。

さらに、このアナログ信号はA D変換器によりデジタル信号に変換されてチップ外に出力される。

これは蓄積電子そのものがチップ出力用アンプ回路の直前までC C D転送により垂直、水平転送されていくC C D型イメージャーと著しい対照をなしている。

発明の概要

発明が解決しようとする課題

[0016] ところで、上述した画素回路では、読み出し時に光電変換した電子を完全転送するためには、アンプ回路118の入力ノードであるFD7の転送後のポテンシャルが、完全空乏時のフォトダイオード1より高電位に保たれる必要がある。

[0017] しかしそのために、FD7のポテンシャルのダイナミックレンジが限定され、電位変化量 ΔV_f を十分に上げることができず、S/N比を上げることができないという不利益がる。

[0018] さらに、フォトダイオードの飽和蓄積電荷量 Q_s はその拡散層内のドナー数に相当するので、通常、飽和蓄積電荷量 Q_s を上げると完全空乏時のポテンシャルは深く（高電位に）なる。これは電位変化量 ΔV_f のレンジをさらに狭める方向となってしまう。

このような転送マージンの問題は、設計上の大きな制約となっていた。

[0019] 本発明は、画素内の電荷転送を容易にし、蓄積電荷量の向上や感度の向上を図れ、撮像性能を向上させることが可能な画素回路、固体撮像素子、およびカメラシステムを提供することにある。

課題を解決するための手段

[0020] 本発明の第1の観点の画素回路は、光電変換素子と、アンプ回路と、上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、上記転送トランジスタは、上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1、第2、および第3の電界効果トランジスタを有し、上記第1および第2の電界効果

トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、ゲート電極の段階的な駆動に伴って、光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷を上記第2の電界効果トランジスタのチャンネル領域に蓄積し、当該チャンネル領域に蓄積した上記電荷を上記第3の電界効果トランジスタを介してアンプ回路の入力に転送し、上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる。

[0021] 本発明の第2の観点の画素回路は、光電変換素子と、アンプ回路と、上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、上記転送トランジスタは、上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1および第2の電界効果トランジスタを有し、上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、ゲート電極の段階的な駆動に伴って、光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷の所定量を上記第2の電界効果トランジスタのチャンネル領域に蓄積し、当該チャンネル領域に蓄積した上記電荷をアンプ回路の入力に転送し、上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる。

[0022] 本発明の第3の観点の固体撮像素子は、複数の画素回路が配列された画素部と、上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、上記各画素回路は、光電変換素子と、アンプ回路と、上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、上記転送トランジスタは、上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1、第2、および第3の電界効果トランジスタを有し、上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果ト

ランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、上記画素駆動部によるゲート電極の段階的な駆動に伴って、光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷を上記第2の電界効果トランジスタのチャネル領域に蓄積し、当該チャネル領域に蓄積した上記電荷を上記第3の電界効果トランジスタを介してアンプ回路の入力に転送し、上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる。

[0023] 本発明の第4の観点の固体撮像素子は、複数の画素回路が配列された画素部と、上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、上記各画素回路は、光電変換素子と、アンプ回路と、上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、上記転送トランジスタは、上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1および第2の電界効果トランジスタを有し、上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、上記画素駆動部によるゲート電極の段階的な駆動に伴って、光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷の所定量を上記第2の電界効果トランジスタのチャネル領域に蓄積し、当該チャネル領域に蓄積した上記電荷をアンプ回路の入力に転送し、上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる。

[0024] 本発明の第5の観点のカメラシステムは、固体撮像素子と、上記撮像素子に被写体像を結像する光学系と、上記撮像素子の出力画像信号を処理する信号処理回路と、を有し、上記固体撮像素子は、複数の画素回路が配列された画素部と、上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、上記各画素回路は、光電変換素子と、アンプ回路と、上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、上記転送トランジスタは、上記光電変換素

子から上記アンプ回路側に向かって、一体化して直列接続された第1、第2、および第3の電界効果トランジスタを有し、上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、上記画素駆動部によるゲート電極の段階的な駆動に伴って、光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷を上記第2の電界効果トランジスタのチャンネル領域に蓄積し、当該チャンネル領域に蓄積した上記電荷を上記第3の電界効果トランジスタを介してアンプ回路の入力に転送し、上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる。

- [0025] 本発明の第6の観点のカメラシステムは、固体撮像素子と、上記撮像素子に被写体像を結像する光学系と、上記撮像素子の出力画像信号を処理する信号処理回路と、を有し、上記固体撮像素子は、複数の画素回路が配列された画素部と、上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、上記各画素回路は、光電変換素子と、アンプ回路と、上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、上記転送トランジスタは、上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1および第2の電界効果トランジスタを有し、上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、上記画素駆動部によるゲート電極の段階的な駆動に伴って、光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷の所定量を上記第2の電界効果トランジスタのチャンネル領域に蓄積し、当該チャンネル領域に蓄積した上記電荷をアンプ回路の入力に転送し、上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる。

発明の効果

- [0026] 本発明によれば、画素内の電荷転送を容易にし、蓄積電荷量の向上や感度

の向上を図れ、撮像性能を向上させることができる。

図面の簡単な説明

- [0027] [図1]画素回路の一例を示す図である。
- [図2]図1の画素回路のタイミングチャートを示す図である。
- [図3]本発明の実施形態に係る画素回路を採用したCMOSイメージセンサ（固体撮像素子）の構成例を示す図である。
- [図4]本発明の第1の実施形態に係るCMOSイメージセンサの画素回路を示す図である。
- [図5]第1の実施形態に係る画素回路の転送トランジスタを含む転送回路の等価回路を示す図である。
- [図6]図5の転送回路の断面構造例を示す図である。
- [図7]本第1の実施形態に係る画素回路の転送回路を用いた、読み出し転送動作に伴うポテンシャル推移を示す図である。
- [図8]図4の画素回路においてリセット、電荷蓄積、読み出しを行う際のタイミングチャートを示す図である。
- [図9]図1の画素回路の転送トランジスタを含む転送回路の等価回路を示す図である。
- [図10]図1および図3のような画素回路を用いた、読み出し転送動作に伴うポテンシャル推移を示す図である。
- [図11]本発明の第2の実施形態に係るCMOSイメージセンサの画素回路を示す図である。
- [図12]本発明の第3の実施形態に係るCMOSイメージセンサの画素回路を示す図である。
- [図13]第3の実施形態に係る画素回路を用いた、読み出し転送動作に伴うポテンシャル推移を示す図である。
- [図14]図12の画素回路においてリセット、電荷蓄積、読み出しを行う際のタイミングチャートを示す図である。
- [図15]本発明の第4の実施形態に係るCMOSイメージセンサの画素回路を

示す図である。

[図16]本第5の実施形態の動作のタイミングチャートを示す図である。

[図17]本第6の実施形態の動作のタイミングチャートを示す図である。

[図18]第7の実施形態において中間保持モードを採用し、第5の実施形態の大容量蓄積動作を改善した、画素動作のタイミングチャートを示す図である。

。

[図19]第8の実施形態において、中間保持モードを採用し、第6の実施形態の大容量蓄積動作を改善した画素動作のタイミングチャートを示す図である。

。

[図20]第1の実施形態にグローバルシャッター機能を搭載した第9の実施形態における動作のタイミングチャートを示す図である。

[図21]第3の実施形態にグローバルシャッター機能を搭載した第10の実施形態の動作のタイミングチャートを示す図である。

[図22]第1の実施形態の構成を用いた本第11の実施形態におけるワイドダイナミックレンジ動作の例を説明するための第1のポテンシャル推移図である。

[図23]第1の実施形態の構成を用いた本第11の実施形態におけるワイドダイナミックレンジ動作の例を説明するための第2のポテンシャル推移図である。

[図24]第11の実施形態に係るワイドダイナミックレンジ対応動作のタイミングチャートを示す図である。

[図25]第3の実施形態の構成を用いた第12の実施形態におけるワイドダイナミックレンジ動作のタイミングチャートを示す図である。

[図26]本発明の第13の実施形態に係るCMOSイメージセンサの画素回路を示す図である。

[図27]第13の実施形態に係る画素回路の転送トランジスタを含む転送回路の等価回路を示す図である。

[図28]図27の転送回路の断面構造例を示す図である。

[図29]本第13の実施形態に係る画素回路の転送回路を用いた、読み出し転送動作に伴うポテンシャル推移を示す図である。

[図30]本発明の第14の実施形態に係るCMOSイメージセンサの画素回路を示す図である。

[図31]第1の実施形態に対応した断面構造例である図6に対して、フォトダイオードをMOSキャパシタに入れ替えた第15の実施形態に係る転送回路の構成例を示す図である。

[図32]第1の実施形態の転送回路と異なる断面構造を有する第16の実施形態に係る転送回路の断面構造例を示す図である。

[図33]本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

発明を実施するための形態

[0028] 以下、本発明の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

1. 第1の実施形態（画素回路の第1の構成例）
2. 第2の実施形態（画素回路の第2の構成例）
3. 第3の実施形態（画素回路の第3の構成例）
4. 第4の実施形態（画素回路の第4の構成例）
5. 第5の実施形態（深い空乏状態を用いた電荷蓄積例）
6. 第6の実施形態（深い空乏状態を用いた電荷蓄積例）
7. 第7の実施形態（中間保持モード）
8. 第8の実施形態（中間保持モード）
9. 第9の実施形態（グローバルシャッター機能）
10. 第10の実施形態（グローバルシャッター機能）
11. 第11の実施形態（ワイドダイナミックレンジ動作）
12. 第12の実施形態（ワイドダイナミックレンジ動作）
13. 第13の実施形態（画素回路の第5の構成例）
14. 第14の実施形態（画素回路の第6の構成例）

15. 第15の実施形態（他の断面構造）

16. 第16の実施形態（他の断面構造）

17. 第17の実施形態（カメラシステム）

[0029] 図3は、本発明の実施形態に係る画素回路を採用したCMOSイメージセンサ（固体撮像素子）の構成例を示す図である。

[0030] 本CMOSイメージセンサ100は、画素アレイ部110、画素駆動部としての行選択回路（Vdec）120、およびカラム読み出し回路（AFE）130を有する。

[0031] 画素アレイ部110は、複数の画素回路110AがM行×N列の2次元状（マトリクス状）に配列されている。

本実施形態に係る画素回路110Aは、基本的に、光電変換素子、転送トランジスタ、リセットトランジスタ、アンプトランジスタ、行選択トランジスタ、蓄積ノード、およびFD（フローティングディフュージョン）を含んで構成される。

ただし、画素回路110Aの転送トランジスタは、後で詳述するように、一体化して直列接続された少なくとも第1および第2の絶縁ゲート型電界効果トランジスタ（MOSトランジスタ）により形成される。そして、第1および第2のMOSトランジスタは、ゲート電極が同時一括で駆動される高閾値電圧 V_{th} のトランジスタと低閾値電圧 V_{th} のトランジスタとして形成される。

この画素回路110Aの具体的な構成については、後で詳述する。

[0032] 画素アレイ部110に配線されている転送線140（LTRG）、リセット線150（LRST）、および行選択線160（LSL）が一組として画素配列の各行単位で配線されている。

転送線140（LTRG）、リセット線150（LRST）、および行選択線160（LSL）の各制御線はそれぞれM本ずつ設けられている。

これらの転送線140（LTRG）、リセット線150（LRST）、および行選択線160（LSL）は、行選択回路120により駆動される。

[0033] 行選択回路120は、画素アレイ部110の中の任意の行に配置された画素の動作を制御する。行選択回路120は、転送線140(LTRG)、リセット線150(LRST)、および行選択線160(SSL)を通して画素回路を制御する。

[0034] カラム読み出し回路130は、行選択回路120により読み出し制御された画素行のデータを垂直信号線(LSGN)170を介して受け取り、後段の信号処理回路に転送する。垂直信号線170には、定電流回路や感知回路が接続される。

読み出し回路130は、CDS回路やADC(アナログデジタルコンバータ)を含む。

[0035] 以下に、上記したような構成を有するCMOSイメージセンサ100における画素回路の具体的な構成例について説明する。

[0036] <1. 第1の実施形態>

図4は、本発明の第1の実施形態に係るCMOSイメージセンサの画素回路を示す図である。

[0037] 1単位の画素回路110A(PX111)は、光電変換素子としてのフォトダイオード111、転送トランジスタ112、リセットトランジスタ113、アンプトランジスタ114、行選択トランジスタ115、蓄積ノード116、およびFD117を有する。

なお、アンプトランジスタ114によりアンプ回路118が形成され、FD117によりアンプ回路118の入力ノードが形成される。

[0038] 本第1の実施形態の転送トランジスタ112は、フォトダイオード111と出力ノードとしてのFD117との間に接続されている。

転送トランジスタ112は、一体化して直列接続された少なくとも第1のMOSトランジスタ1121、第2のMOSトランジスタ1122、および第3のMOSトランジスタ1123により形成されている。

そして、第1および第2のMOSトランジスタ1121、1122は、ゲート電極が同時一括で駆動信号が印加されて駆動される高閾値電圧 V_{th} の

トランジスタと低閾値電圧 V_{th} のトランジスタとして形成される。

第1のMOSトランジスタ1121は高閾値電圧 HV_{th} のトランジスタとして形成され、第2のMOSトランジスタ1122が低閾値電圧 LV_{th} のトランジスタとして形成される。

そして、第1および第2のMOSトランジスタ1121, 1122のゲート電極が転送線140に共通に接続され、第3のMOSトランジスタ1123のゲート電極が基準電位、たとえばグランドGNDに接続される。

[0039] 本実施形態においては、第1、第2、および第3のMOSトランジスタ1121, 1122, 1123は、 n チャネルMOS (NMOS) トランジスタとして形成される。

そしてたとえば、第1のNMOSトランジスタ1121の高閾値電圧 HV_{th} はたとえば0V設定され、第2のNMOSトランジスタ1122の低閾値電圧 LV_{th} は-1.5Vに設定される。

また第3のMMOSトランジスタのト閾値電圧-0.6Vに設定される。

[0040] リセットトランジスタ113は、電源ラインとFD117との間に接続され、リゲート電極がリセット線150に接続されている。

FD117には、アンプトランジスタ114のゲートが接続されている。アンプトランジスタ114は、行選択トランジスタ115を介して信号線170に接続され、画素部外の定電流回路131とソースフォロワを構成している。

行選択トランジスタ115のゲート電極が行選択線160に接続されている。そして、行選択トランジスタ115のソースが垂直信号線170に接続されている。

垂直信号線170には、定電流回路131、および感知回路132が接続されている。

[0041] 図5は、第1の実施形態に係る画素回路110Aの転送トランジスタを含む転送回路の等価回路を示す図である。

[0042] 図5の転送回路200において、201、202はゲート電極を、203

は寄生容量を、118はアンプ回路をそれぞれ示している。アンプ回路118はアンプトランジスタ114により形成される。

[0043] フォトダイオード111で光電変換により生成された電子は、一体化され直列接続された第1、第2、および第3のNMOSトランジスタ1121, 1122, 1123を介してアンプ回路118の入力ノードであるFD117に完全転送される。

一体化された第1、第2、および第3のNMOSトランジスタ1121, 1122, 1123は、互いのチャネルがn型拡散層等を介することなく直接接続されている。

また、前述したように、第1および第2のNMOSトランジスタ1121, 1122のゲート電極201は同時一括的に駆動信号が印加される。

そして、第1のMOSトランジスタ1121は高閾値電圧 HV_{th} 、第2のMOSトランジスタ1122は低閾値電圧 LV_{th} となっている。

[0044] 入力ノードであるFD117は寄生容量203を有しており、蓄積電荷量を Q 、寄生容量値を C_f とすると、その電位変化量 ΔV_f は次のようになる。

[0045] [数2]

$$\Delta V_f = Q / C_f$$

[0046] 読み出し時はこの変位がアンプ回路118を介して、一定のゲインで垂直信号線170を駆動する。

[0047] 図6は、図5の転送回路の断面構造例を示す図である。

[0048] フォトダイオード111には酸化膜と接するシリコン表面近傍部をp型化した、いわゆるHAD構造が採用されている。

ここで光電変換された電子は、当初n型の拡散ノード204に蓄積される。この拡散ノード204は蓄積ノード116に相当する。

そして、ゲート電極201に第1のNMOSトランジスタ1121がオンする信号が印加されると、第1のNMOSトランジスタ1121を介して第2のNMOSトランジスタ1122のチャネル領域に転送され、そこに蓄積

される。

たとえば、チャンネル部の不純物プロファイルを調整することで、第1のNMOSトランジスタ1121の閾値は高く、第2のNMOSトランジスタ1122の閾値は低く設定される。これにより、第2のNMOSトランジスタ1122のチャンネル部CH2は電子の蓄積井戸を、第1のNMOSトランジスタ1121のチャンネル部CH1は逆流防止のポテンシャル壁を形成する。

[0049] 一方、第3のNMOSトランジスタ1123は独立したゲート電極202により制御される。

第3のNMOSトランジスタ1123のチャンネル領域のポテンシャルはゲート電極201にオンとする電圧が印加されているときには第2のNMOSトランジスタ1122より浅く（高電位に）なるように設定されている。

そして、そのチャンネル領域のポテンシャルは、ゲート電極201にオフとする電圧が印加されているときには第2のNMOSトランジスタ1122より深く（低電位に）なるように設定されている。

第3のNMOSトランジスタ1123のゲート電極202は電位固定しても良く、第3のNMOSトランジスタ1123のチャンネル部CH3の不純物プロファイル等を適切に調整すれば、電源線あるいはグランド線等に接続させることも可能である。

また、拡散層205は断面図には記載されないアンブ回路118の入力に接続されている。

第3のNMOSトランジスタ1123は分離トランジスタとして機能する。

[0050] なお、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122は、ここでは2つの個別なトランジスタとみなしている。ただし、図のようにゲート電極も一体形成されている場合には、チャンネル部の不純物プロファイルに勾配をもつ単一のNMOSトランジスタとみなすこともできる。

いずれにしても機能的には直列接続された2つの個別なトランジスタと同

様であり、本発明はこのような形態も包括する。

[0051] 図7(A)～(D)は、本第1の実施形態に係る画素回路の転送回路を用いた、読み出し転送動作に伴うポテンシャル推移を示す図である。

[0052] 図7(A)～(D)において、各ノードのポテンシャルは、図面上は正電位方向を下方に、負電位方向を上方に記載している。各ノードは負電荷を持つ電子を蓄積する井戸の役割を果たし、井戸を電子が満たしていく形でポテンシャルが上方に、すなわち負電位方向に持ち上がる。

[0053] [ステップST11]

図7(A)のステップST11においては、フォトダイオード111の拡散ノード204は、一定数のドナーによる正電荷で、その完全空乏時にポテンシャルの底が2.0V程度になるように設計されている。ここに光電変換された電子が飽和状態(約0V)にまで満たされている。

一方、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122のチャネル領域は、両者のゲート電極に共通に与えられる電位、たとえば-1.5V～3Vに従って、ポテンシャルがそれぞれR11、R12の範囲で変調される。

一方、分離トランジスタとしての第3のNMOSトランジスタ1123のゲート電極202はグランドGNDに接続されており、チャネルのポテンシャルは0.6V程度になるように調整されている。

また、アンプ回路118の入力ノードである拡散層205(FD117)にはリセットがかけられて、3Vの浮遊状態となっている。

[0054] [ステップST12]

図7(B)のステップST12においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122がオンすると次のように電子の移動が行われる。

フォトダイオード111の拡散ノード204に蓄積されていた電子は、第1のNMOSトランジスタ1121を介して残らず第2のNMOSトランジスタ1122のチャネル領域に移動する。

すなわち、深い空乏状態となった第2のNMOSトランジスタ1122のチャンネル領域に電子が移動して、アナログ状態で蓄積される。

このとき、第3のNMOSトランジスタ1123のチャンネル領域のポテンシャルは第2のNMOSトランジスタ1122より浅く（低電位に）なっており、アンプ回路118の入力ノードである拡散層205（FD117）との間に障壁を形成している。

[0055] [ステップST13]

図7（C）のステップST13においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122をオフするためにゲート電極が駆動されると、それに伴ってチャンネル領域のポテンシャルが負電位方向に変調される。

ここで第1のNMOSトランジスタ1121のチャンネルはポテンシャル障壁を形成し、蓄積電子のフォトダイオード111の拡散ノード204への逆流を防止している。

この障壁の高さは、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122の両トランジスタの閾値の差に対応しており、たとえば1.5Vである。

第1および第2のNMOSトランジスタ1121、1122のゲート電極201が適当な中間電圧に達したこの段階では、蓄積電子がフォトダイオード111の拡散ノード204とアンプの入力であるFD117の双方から分離された状態が生じ得る。

このまま次ステップまでゲートを一挙に駆動しても良いが、後述するように、このような中間状態を一時的に保持することで、新たな機能を付加することも可能である。

さらに、ここから引き続きゲートを駆動して、第2のNMOSトランジスタ1122のチャンネル領域のポテンシャルを負電位方向に変調すると、そこに蓄積されていた電子がアンプ回路118の入力ノードである拡散層205（FD117）に移動し始める。

[0056] [ステップST114]

図7(D)のステップST14においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122が完全にオフすると、蓄積電子を全て放出した第2のNMOSトランジスタ1122のチャネル領域のポテンシャルは次のようになる。

すなわち、第2のNMOSトランジスタ1122のチャネル領域のポテンシャルは、第3のNMOSトランジスタ1123のチャネルのポテンシャルを超える。

そして、ステップST11でフォトダイオード111に蓄積されていた電子は全てアンプ回路118の入力ノードである拡散層205(FD117)に移動した状態になる。

これにより、アンプ回路118は垂直信号線170を駆動し、蓄積信号の読み出しが実施される。

[0057] このような段階的な転送を用いると、完全空乏状態となったフォトダイオード111の拡散ノード204とアンプ回路118の入力ノードであるFD117との間にポテンシャル差を確保する必要は無い。

すなわち、本例では、電子を満たしたFD117のポテンシャルが拡散ノード204より浅い状態となっても完全な転送が実現している。

[0058] 以上、第1の実施形態に係る画素回路110Aの転送回路の動作を中心に説明した。

次に、第1の実施形態の画素回路110Aの電荷蓄積および読み出し動作を説明する。

[0059] 図8(A)～(D)は、図4の画素回路においてリセット、電荷蓄積、読み出しを行う際のタイミングチャートを示す図である。

図8(A)はリセット線150の信号電位を、図8(B)は転送線140の信号電位を、図8(C)は行選択線160の信号電位を、図8(D)は垂直信号線170の信号電位を、それぞれ示している。

[0060] 本第1の実施形態の画素回路110Aの特徴的な動作は、フォトダイオー

ド111の蓄積電子のFD117への転送が、転送線140の駆動に対応して2段階で実施されることである。

すなわち、転送線140がローレベルからハイレベルに上がると、図7(B)のステップST12に示したように、フォトダイオード111の拡散ノード204から第2のNMOSトランジスタ1122のチャネル領域に蓄積電子が転送される。

さらに、転送線140がハイレベルからローレベルに戻る際には、図7(D)のステップST14に示したように、チャネル領域の電子がアンプ回路118の入力ノードであるFD117に転送される。

[0061] たとえば、リセット時においては、リセット線150がハイレベルになったところでアンプ回路118の入力ノードであるFD117がリセットレベル電位（電源電圧～3V）に接続される。

一方、転送線140がローレベルからハイレベルに上がり、さらにハイレベルからローレベルに落ちた時点でフォトダイオード111に蓄積されていた電子が拡散層205に転送され、リセットレベルに引き抜かれる。

新たな電子の蓄積期間T2はこの時点で開始される。

リセット線150のリセットパルスは、転送線140がローレベルに落ちるのを待ってからローレベルに落ちている。

[0062] 同様に、読み出し時においても、フォトダイオード111に蓄積されていた電子は、転送線140がローレベルからハイレベルに上がり、さらにハイレベルからローレベルに落ちた時点で拡散層205に転送される。

したがって、蓄積信号によるアンプ回路118を介した垂直信号線170の駆動は、転送線140がハイレベルからローレベルに戻った時点で発生している。蓄積期間T2もこの時点で終了する。

[0063] 以上の第1の実施形態に係る画素回路110Aによれば、CMOSイメージセンサにおける画素内の電荷転送を容易にし、蓄積電荷量の向上や感度の向上を図れ、撮像性能を向上させることが可能となる。

[0064] ここで、上記した第1の実施形態に係る画素回路110Aと比較のために

、図1の画素回路の転送回路系の処理について説明する。

[0065] 図9は、図1の画素回路P X 1の転送トランジスタを含む転送回路の等価回路を示す図である。

[0066] 図9の転送回路T X 1は、G T 1はゲート電極を、C 1は寄生容量を、8はアンプ回路をそれぞれ示している。アンプ回路1 4はアンプトランジスタ4により形成される。

[0067] 転送回路T X 1においては、フォトダイオード1で光電変換により生成された電子は、フォトダイオード1の拡散層ノードである蓄積ノード6に蓄積される。

読み出し時、それらは転送トランジスタ2を介して、アンプ回路1 4の入力ノードであるF D 7に完全転送される。

入力ノードであるF D 7は寄生容量C 1を有しており、蓄積電荷量をQ、寄生容量値をC fとすると、その電位変化量 $\Delta V f$ は上述したように、 $\{\Delta V f = Q / C f\}$ で与えられる。

[0068] アンプ回路1 4には、通常アンプトランジスタ4のようなNMOSトランジスタが使用されるが、固有のランダムノイズN rを発生させる。

したがって、そのゲインをGとすると、出力として垂直信号線に発生する蓄積信号のS/N比は $\{G \cdot \Delta V f / N r\}$ である。

ゲインGやランダムノイズN rはアンプ回路1 4の構成が決まればほぼ一定なので、電位変化量 $\Delta V f$ の大きさは撮像性能に直接的な影響を及ぼす。

[0069] 図10(A)～(D)は、図1および図3のような画素回路を用いた、読み出し転送動作に伴うポテンシャル推移を示す図である。

[0070] この場合も、図7(A)～(D)と同様に、各ノードのポテンシャルは、図面上は正電位方向を下方に、負電位方向を上方に記載している。

各ノードは負電荷を持つ電子を蓄積する井戸の役割を果たし、井戸を電子が満たしていく形でポテンシャルが上方に、すなわち負電位方向に持ち上がる。

[0071] [ステップS T 1]

図10(A)のステップST1において、フォトダイオード1の拡散ノードである蓄積ノード6は、一定数のドナーによる正電荷で、その完全空乏時にポテンシャルの底が1.5V程度になるように設計されている。ここに光電変換された電子が飽和状態(約0V)にまで満たされている。

一方、転送トランジスタ2のチャネル領域は、ゲート電極に与えられる電位、たとえば1V~3Vに従って、そのポテンシャルがR1の範囲で変調される。

また、アンプ回路14の入力ノードであるFD7にはリセットがかけられて、3Vの浮遊状態となっている。

[0072] [ステップST2]

図10(B)のステップST2においては、転送トランジスタ2がオンすると電子が次のように移動する。

すなわち、転送トランジスタ2がオンするとフォトダイオード1の拡散ノードである蓄積ノード6に蓄積されていた電子が残らず転送トランジスタ2のチャネル領域およびアンプ回路14の入力ノードであるFD7に分配された状態で移動する。

[0073] [ステップST3]

図10(C)のステップST3においては、転送トランジスタ2をオフするため、ゲート電極の上昇に伴ってチャネル領域のポテンシャルが上昇すると、そこに蓄積されていた電子がアンプ回路14の入力ノードであるFD7に移動する。

[0074] [ステップST4]

図10(D)のステップST4においては、転送トランジスタ2がオフ状態では、ステップST1でフォトダイオード1に蓄積されていた電子が全てアンプ回路14の入力ノードであるFD7に移動した状態になる。これにより、アンプ回路14は垂直信号線11を駆動し、蓄積信号の読み出しが実施される。

[0075] このように、図1の画素回路PX1は、完全な電子の移動を実現するには

、完全空乏状態となったフォトダイオード1の蓄積ノード6とアンプ回路14の入力ノードであるFD7との間には、ポテンシャル差M1が確保されている必要がある。

逆に、このポテンシャル差が十分確保されていないと、転送トランジスタ2のチャネル領域に蓄積された電子がフォトダイオード1に逆流し、フォトダイオード1の蓄積電子量が読み出し信号にリニアに反映されなくなる。

[0076] 上述のごとく、読み出し時に光電変換した電子を完全転送するためには、アンプ回路14の入力ノードであるFD7の転送後のポテンシャルが、完全空乏時のフォトダイオード1より高電位に保たれる必要がある。

[0077] しかしそのために、図1の画素回路PX1は、FD7のポテンシャルのダイナミックレンジが限定され、 ΔV_f を十分に上げることができず、S/N比を上げることができないという不利益がある。

たとえば、図10では、 ΔV_f は(3.0V-1.5V)が限界であり、転送マージン分のポテンシャル差がさらに差し引かれる。

[0078] さらに、図1の画素回路PX1では、フォトダイオード1の飽和蓄積電荷量 Q_s はその拡散層内のドナー数に相当するので、通常 Q_s を上げると完全空乏時のポテンシャルは深く(高電位に)なる。これは ΔV_f のレンジをさらに狭める方向となってしまう。

このような転送マージンの問題は、設計上の大きな制約となる。

[0079] これに対して、本第1の実施形態の画素回路110Aは、画素内のフォトダイオードからアンプ回路への電子の転送に、一体化させた直列トランジスタによる転送を採用する。具体的には、画素回路110Aでは、ポテンシャル変調が可能な中間転送ノードをMOSトランジスタのチャネル部に形成し、その中間ノードを介してフォトダイオード111からアンプ回路118へ蓄積電子を段階的に転送する。

[0080] したがって、本第1の実施形態の画素回路110Aによれば、転送のための前述のポテンシャル制約を解除でき、それによって飽和蓄積電荷量 Q_s を上げ、あるいはアンプ入力部の寄生容量を減らして、信号のダイナミックレ

ンジを向上させることができる。

さらに、画素回路 110A は、たとえば露光中に光電変換された電子をフォトダイオード内ではなく、別途形成された MOS トランジスタのチャネル領域に蓄積し、読み出し時にはそこからアンプ回路に蓄積電子を完全転送することができる。

したがって、画素回路 110A によれば、露光感度を向上させ、かつ飽和蓄積電荷量 Q_s も大幅に向上させることができる。

また、画素回路 110A においては、電子(電荷)転送を実施するのは画素内のみであり、アンプ回路による垂直信号線の駆動以降は低インピーダンスのアナログ信号、あるいはデジタル信号の伝達となる。

したがって M スミアや転送リークの問題もなく、高速かつ低消費電力のイメージャーを実現できる。

[0081] < 2. 第 2 の実施形態 >

図 11 は、本発明の第 2 の実施形態に係る CMOS イメージセンサの画素回路を示す図である。

[0082] 本第 2 の実施形態に係る画素回路 110B が第 1 の実施形態に係る画素回路 110A と異なる点は次のことにある。

本第 2 の実施形態に係る画素回路 110B は、各々固有のフォトダイオード 111 と転送回路 112 を持つ複数、たとえば 2 つの画素 PXL110a, PXL110b が、アンプ回路を形成する FD117 およびアンプトランジスタ 114 を共有していることある。

この画素回路 110B においては、リセットトランジスタ 113 および行選択トランジスタ 115 も複数の画素 PXL110a, PXL110b で共有する。

[0083] 各画素 PXL110a, PXL110b の転送トランジスタ 112a, 112b は、第 1 および第 2 の NMOS トランジスタの共有ゲート電極がそれぞれ異なる転送線 140a, 140b に接続されている。

ちなみに、各画素 PXL110a, PXL110b の転送トランジスタ 1

1 2 a, 1 1 2 bの第3のMOSトランジスタ 1 1 2 3のゲート電極はそれぞれ接地されている。

画素回路 1 1 0 Bにおいては、各々独立した転送線 1 4 0 aおよび 1 4 0 bに従って、各フォトダイオード 1 1 1 a, 1 1 1 bに蓄積された電子が個別のタイミングで F D F 1 1 7 (アンプ回路の入力ノード)に転送される。

[0084] アンプ回路の共有は画素の実効サイズを縮小できるが、共有画素数が多いほど F D 1 1 7 の寄生容量も大きくなる。

したがって、共有画素数は2画素以上、16画素以下であることが望ましい。

[0085] 本第2の実施形態よれば、上述した第1の実施形態と同様の効果を得ることができる。

[0086] < 3. 第3の実施形態 >

図 1 2 は、本発明の第3の実施形態に係る CMOS イメージセンサの画素回路を示す図である。

[0087] 本第3の実施形態に係る画素回路 1 1 0 C が第1の実施形態に係る画素回路 1 1 0 A と異なる点は次のことにある。

第3の実施形態の画素回路 1 1 0 C においては、第1の実施形態では固定電位としていた第3のNMOSトランジスタ 1 1 2 3 のゲート電極 2 0 2 を補助的に周辺回路である行選択回路 1 2 0 により駆動する。

具体的には、第1および第2のNMOSトランジスタ 1 1 2 1, 1 1 2 2 の共有ゲート電極 2 0 1 は第1の転送線 1 4 1 に接続され、第3のNMOSトランジスタ 1 1 2 3 のゲート電極 2 0 2 は第2の転送線 (分離線) 1 4 2 に接続されている。

[0088] これにより、第3のNMOSトランジスタ 1 1 2 3 を介した転送が容易になり、その分ゲート電極 2 0 1 側の駆動レンジを狭くすることができる。

駆動配線が一つ増えるのは面積的に不利である一方、第1の転送線 1 4 1 の駆動レンジを狭くできることは耐圧や信頼性上有利となる。

[0089] 図 1 3 (A) ~ (D) は、第3の実施形態に係る画素回路 1 1 0 C を用い

た、読み出し転送動作に伴うポテンシャル推移を示す図である。

[0090] [ステップST21]

図13(A)のステップST21においては、フォトダイオード111の拡散ノード204は、一定数のドナーによる正電荷で、その完全空乏時にポテンシャルの底が2.0V程度になるように設計されている。ここに光電変換された電子が飽和状態(約0V)にまで満たされている。

一方、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122のチャネル領域は、両者のゲート電極に共通に与えられる電位、たとえば-0.5V~3Vに従って、ポテンシャルがそれぞれR13、R14の範囲で変調される。

一方、分離トランジスタとしての第3のNMOSトランジスタ1123のチャネル領域のポテンシャルは、そのゲート電極に固有に与えられる電位、たとえば0V~3Vに従って、R15の範囲で変調される。

また、アンプ回路118の入力ノードである拡散層205(FD117)にはリセットがかけられて、3Vの浮遊状態となっている。

[0091] [ステップST22]

図13(B)のステップST22においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122がオンすると、電子の転送が次のように行われる。

すなわち、フォトダイオード111の拡散ノード204に蓄積されていた電子は、第1のNMOSトランジスタ1121を介して残らず第2のNMOSトランジスタ1122のチャネル領域に移動する。

すなわち、深い空乏状態となった第2のNMOSトランジスタ1122のチャネル領域に電子が移動して、アナログ状態で蓄積される。

このとき、第3のNMOSトランジスタ1123のチャネル領域のポテンシャルは第2にNMOSトランジスタ1122より浅く(低電位に)なっており、アンプ回路118の入力ノードである拡散層205(FD117)との間に障壁を形成している。

[0092] [ステップS T 2 3]

図13(C)のステップS T 2 3においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122が再度オフされると、チャンネル領域のポテンシャルが負電位方向に変調される。

ここで、第1のNMOSトランジスタ1121のチャンネルはポテンシャル障壁を形成し、蓄積電子のフォトダイオード111の拡散ノード204への逆流を防止している。

この障壁の高さは、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122の両トランジスタの閾値の差に対応しており、たとえば1.5Vである。

この段階では、蓄積電子がフォトダイオード111の拡散ノード204とアンプ回路118の入力ノードである拡散層205(FD117)の双方から分離された状態が生じ得る。

このまま、あるいは同時に第3のNMOSトランジスタ1123のゲートを駆動して次ステップまで一挙に進めても良いが、後述するように、このような中間状態を一時的に保持することで、新たな機能を付加することも可能である。

[0093] [ステップS T 2 4]

図13(D)のステップS T 2 4においては、第3のNMOSトランジスタ1123のゲート電極203が分離線としての第2の転送線142を通して駆動され、第3のNMOSトランジスタ1123がオンすると、蓄積電子がアンプ回路118の入力ノードであるFD117に流れ込む。

さらに、第3のNMOSトランジスタ1123をオフした時点で、全ての蓄積電子がアンプ回路118の入力ノードである拡散層205(FD117)に移動した状態になる。

これによりアンプは垂直信号線を駆動し、蓄積信号の読み出しが実施される。

[0094] 上述のごとく、本第3の実施形態における第2のNMOSトランジスタ1

122のチャネルからアンプ回路118の入力ノードであるFD117への転送は次のように行われる。

ステップST23の第1および第2のNMOSトランジスタ1121, 1122の共有ゲート電極201のオフ駆動と、ステップST24の第3のNMOSトランジスタ1123のゲート電極202の補助的なオン/オフ駆動との双方を組み合わせて実現される。

[0095] このような段階的な転送を用いると、完全空乏状態となったフォトダイオード111の拡散ノード204とアンプ回路118の入力ノードであるFD117との間にポテンシャル差を確保する必要は無い。

すなわち、本例では、電子を満たしたFD117のポテンシャルが拡散ノード204より浅い状態となっても完全な転送が実現している。

[0096] 以上、第3の実施形態に係る画素回路110Cの転送動作を中心に説明した。

次に、第3の実施形態の画素回路110Cの電荷蓄積および読み出し動作を説明する。

[0097] 図14(A)～(E)は、図12の画素回路においてリセット、電荷蓄積、読み出しを行う際のタイミングチャートを示す図である。

図14(A)はリセット線150の信号電位を、図14(B)は第1の転送線141の信号電位を、図14(C)は第2の転送線(分離線)142の信号電位を、それぞれ示している。図14(D)は行選択線160の信号電位を、図14(E)は垂直信号線170の信号電位を、それぞれ示している。

[0098] 本第3の実施形態が図8に示した第1の実施形態の動作との主たる差異は次の通りである。

本第3実施形態では第1の転送線141により第1および第2のNMOSトランジスタ1121, 1122がオフする際の蓄積電子の転送補助用に第3のNMOSトランジスタ1123を駆動する第2の転送線142のオンオフパルスが追加されていることである。

[0099] すなわち、第1の転送線141がローレベルからハイレベルに上がると、図13(B)のステップST22に示したように、フォトダイオード111の拡散ノード204から第2のNMOSトランジスタ1122のチャネル領域に蓄積電子が転送される。

さらに、第1の転送線141がハイレベルからローレベルに戻り、それと略同時に分離線としての第2の転送線142がハイレベルになると次のような電子の移動が行われる。

図13(D)のステップST24に示したように、分離トランジスタとして第3のNMOSトランジスタ1123が導通して、蓄積電子がアンプ回路118の入カノードであるFD117に流入する。

最後に、分離線としての第2の転送線142がローレベルに落ちると、電子のアンプ回路118の入カノードであるFD117への完全転送が完了する。

[0100] たとえばリセット時においては、リセット線150がハイレベルになったところでアンプ回路の入カノードであるFD117がリセットレベル電位（電源電圧～3V）に接続される。

一方、第1の転送線141がローレベルからハイレベルに上がることで、フォトダイオード111に蓄積されていた余分な電子が第1のNMOSトランジスタ1121を介して第2のNMOSトランジスタ1122のチャネル部CH2に転送される。

さらに、第1の転送線141がハイレベルからローレベルに落ち、それと略同時に分離線として第2の転送線142がハイレベルとなって分離トランジスタとしての第3のNMOSトランジスタ1123が導通する。

最後に、分離線としての第2の転送線142がローレベルに落ちると、蓄積電子はFD117に完全転送されてリセットレベルに引き抜かれる。

新たな電子の蓄積T3はこの時点で開始される。より厳密には第1の転送線141がハイレベルからローレベルに落ちた時点でT3はスタートする。

[0101] 同様に読み出し時においても、フォトダイオード111に蓄積されていた

電子は、まず第1の転送線141がローレベルからハイレベルに上がることで第1のNMOSトランジスタ1121を介して第2のMOSトランジスタ1122のチャネル部に転送される。

さらに、第1の転送線141がハイレベルからローレベルに落ち、それと略同時に分離線としての第2の転送線142がハイレベルに上がり、さらに最後にローレベルに落ちると、それらはアンプ回路118の入力ノードであるFD117に完全転送される。

蓄積期間T3はこの時点で終了する。

[0102] なお、分離線としての第2の転送線142がハイレベルにオンするタイミングは、第1の転送線141がローレベルにオフするタイミングと前後しても良い。

第1の転送線141がオフするレベルと前にFD117を通してアンプトランジスタ114がオンした場合は、図13(B)のステップST22から図13(C)のステップST23の状態をスキップして図13(D)のステップST24に移行する形になる。

ただし、第1の転送線141がオフするレベルとなった後に、分離線としての第2の転送線142がオフするレベルになりさえすれば、完全転送を実現できる。

[0103] 本第3の実施形態によれば、第1の実施形態の効果に加えて、耐圧性や信頼性の向上を図ることができる。

[0104] <4. 第4の実施形態>

図15は、本発明の第4の実施形態に係るCMOSイメージセンサの画素回路を示す図である。

[0105] 本第4の実施形態に係る画素回路110Dが第3の実施形態に係る画素回路110Cと異なる点は次のことにある。

本第4の実施形態に係る画素回路110Dは、各々固有のフォトダイオード111と転送回路112を持つ複数、たとえば2つの画素PXL110a、PXL110bが、アンプ回路を形成するFD117およびアンプトラン

ジスタ 114 を共有していることある。

この画素回路 110B においては、リセットトランジスタ 113 および行選択トランジスタ 115 も複数の画素 PXL 110a, PXL 110b で共有する。

[0106] 各画素 PXL 110a, PXL 110b の転送トランジスタ 112a, 112b は、第 1 および第 2 の NMOS トランジスタの共有ゲート電極がそれぞれ異なる第 1 の転送線 141a, 141b に接続されている。

各画素 PXL 110a, PXL 110b の転送トランジスタ 112a, 112b の第 3 の MOS トランジスタ 1123 のゲート電極はそれぞれ分離線としての第 2 の転送線 142a, 142b に接続されている。

画素回路 110D においては、各々独立した第 1 の転送線 141a, 141b、および分離線としての第 2 の転送線 142a, 142b に従って、各フォトダイオード 111a, 111b に蓄積された電子が個別のタイミングで FDF 117 に転送される。

[0107] アンプ回路の共有は画素の実効サイズを縮小できるが、共有画素数が多いほど FD 117 の寄生容量も大きくなる。

したがって、共有画素数は 2 画素以上、16 画素以下であることが望ましい。

[0108] 本第 2 の実施形態よれば、上述した第 1 の実施形態と同様の効果を得ることができる。

[0109] 次に、本発明の実施形態に係る画素回路の構成を活用して大容量蓄積を可能にする応用動作について述べる。

大容量蓄積動作は前述した第 1 ~ 第 4 の実施形態のいずれの回路構成についても適用可能であり、それぞれ第 5 および第 6 の実施形態として以下に説明する。

[0110] < 5. 第 5 の実施形態 >

本発明の第 5 の実施形態においては、第 1 の形態で採用した図 4 の画素回路構成と第 2 の NMOS トランジスタ 1122 の深い空乏状態を用いた電荷

蓄積を応用する。

具体的には、蓄積期間中に、フォトダイオード 111 の拡散層である拡散ノード 204 に蓄積していた電子を、第 2 の NMOS トランジスタ 1122 のチャネル部分に転送して蓄積する。

すなわち、画素の蓄積期間の間、第 1 および第 2 の NMOS トランジスタ 1121, 1122 がオン状態に維持されるようにゲート電極 201 はオン状態のレベルのまま維持される。

そして、フォトダイオード 111 で光電変換された電子は直ちに第 1 の NMOS トランジスタ 1121 を介して第 2 の NMOS トランジスタ 1122 のチャネル部 CH2 に転送され、そこに蓄積される。

蓄積が完了して読み出しを実施する時点で、第 1 および第 2 の NMOS トランジスタ 1121, 1122 がオフするようにゲート電極 201 が駆動される。これにより、蓄積された電子は第 3 の NMOS トランジスタ 1123 を介してアンプ回路 118 の入力ノードである FD 117 に転送される。

[0111] 図 16 (A) ~ (D) は、本第 5 の実施形態の動作のタイミングチャートを示す図である。

図 16 (A) はリセット線 150 の信号電位を、図 16 (B) は転送線 140 の信号電位を、図 16 (C) は行選択線 160 の信号電位を、図 16 (D) は垂直信号線 170 の信号電位を、それぞれ示している。

[0112] 本第 5 の実施形態において、画素回路は図 4 に、転送回路の詳細や断面構成は図 5、図 6 に記載したものと同一である。

[0113] 図 8 (A) ~ (D) の場合と同様のリセットを実施し、新たな蓄積を開始した後、転送線 140 は再びハイレベル状態となり、蓄積期間 T4 の間ハイレベル状態に維持されている。

この間、フォトダイオード 111 で光電変換された電子は、その拡散層内に蓄積されるのではなく、直ちに第 2 の NMOS トランジスタ 1122 のチャネル領域に転送され、そこに蓄積される。

[0114] 読み出し時は、まず行選択線 160 がハイレベルとなってアンプ回路の出

力が垂直信号線 170 に接続される。

さらに、リセット線 150 へのパルスで、アンプ回路 118 の入力ノード (8c) である FD 117 がリセットされて、FD 117 が電源電圧源に接続されることで、リセットレベルの読み出しが実施される。

次に、転送線 140 がハイレベルからローレベルに遷移する。

これにより、第 2 の NMOS トランジスタ 1122 のチャネル領域に蓄積されてきた電子がアンプ回路 118 の入力ノードである FD 117 に転送されて、蓄積信号の読み出しが実施される。

蓄積期間 T4 も、この転送線 140 の遷移をもって終了する。

[0115] 本発明形態のポテンシャルの遷移は図 7 (A) ~ (D) に準ずるが、電子の蓄積中は図 7 (A) のステップ ST 11 ではなく、図 7 (B) のステップ ST 12 の状態となっている。

蓄積期間において第 1 の NMOS トランジスタ 1121 および第 2 の NMOS トランジスタ 1122 がオン状態に維持される。すると、フォトダイオード 111 で光電変換され拡散ノード 204 に収集された電子は、第 1 の NMOS トランジスタ 1121 を介して直ちに第 2 の NMOS トランジスタ 1122 のチャネル領域に移動する。

すなわち、深い空乏状態となった第 2 の NMOS トランジスタ 1122 のチャネル領域に電子が移動して、アナログ状態で蓄積される。

読み出し時の第 2 の NMOS トランジスタ 1122 から拡散層 205 への電子の転送は図 7 (C), (D) のステップ ST 13、ST 14 の工程と同一である。

[0116] このように蓄積期間中、図 7 (B) のステップ ST 12 の状態で光電変換された電子は全て第 2 の NMOS トランジスタ 1122 のチャネル領域に蓄積され、そのポテンシャル井戸を完全に満たすまで飽和することは無い。

したがって、第 2 の NMOS トランジスタ 1122 の深い空乏状態における蓄積容量を十分に大きくとれば、通常の写真ダイオードへの蓄積より遥かに大きい電子数を蓄積することが可能になる。

[0117] さらにこの間、フォトダイオード 111 は常に同じ完全空乏状態に保たれる。したがって感度や、蓄積時間と蓄積信号とのリニアリティも向上する。

一般にフォトダイオードへの光入射により発生する電子／ホール対においては、空乏層内で発生したホールはその内部電界に誘引されて速やかに基板に排出される。

しかし、フォトダイオード内に電子が蓄積されると、それに伴って内部電界が緩和され、ホールの排出能力が低下して、電子とホールの再結合が起きやすくなる。

これにより、感度が徐々に低下していく問題がある。

これに対して、本第 5 の実施形態においては、このような問題は発生しない。

[0118] また、フォトダイオード自体の飽和蓄積電荷量は小さくても問題にならないので、拡散層の不順物濃度を下げて暗電流や白点の発生を抑制することも可能になる。

またその際は、リセット時にフォトダイオード 111 の拡散ノード 204 に形成されるポテンシャルもより浅くできる。したがって、第 1 の NMOS トランジスタ 1121 および第 2 の NMOS トランジスタ 1122 のチャネル領域の変調レンジ R11、R12 も小さくでき、耐圧等の信頼性の確保も容易となる。

[0119] このように、本発明の第 5 の実施形態では、蓄積電荷量、感度、白点という撮像素子の基本性能をいずれも向上させることが可能である。

[0120] < 6. 第 6 の実施形態 >

同様の概念を第 3 の実施形態に適用した第 6 の実施形態について説明する。

[0121] 図 17 (A) はリセット線 150 の信号電位を、図 17 (B) は第 1 の転送線 141 の信号電位を、図 17 (C) は第 2 の転送線 (分離線) 142 の信号電位を、それぞれ示している。図 17 (D) は行選択線 160 の信号電位を、図 17 (E) は垂直信号線 170 の信号電位を、それぞれ示している

。

[0122] 本第6の実施形態において、画素回路は図12と同じであり、転送のポテンシャル推移は図13(A)～(D)に準ずる。

[0123] 図14(A)～(E)と同様のリセットを実施し、新たな蓄積を開始した後、第1の転送線141は再びハイレベル状態となり、蓄積期間T5の間ハイレベル状態を維持している。

この間、フォトダイオード111で光電変換された電子は、その拡散層内に蓄積されるのではなく、直ちに第2のNMOSトランジスタ1122のチャネル領域に転送され、そこに蓄積される。

すなわち、ポテンシャル図中の図13(B)のステップST22の状態が保持される。

[0124] 読み出し時は、まず行選択線160がハイレベルとなってアンプ回路118の出力が垂直信号線170に接続される。

さらにリセット線150へのパルスで、アンプ回路118の入力ノードであるFD117がリセットされて電源電圧源に接続されることで、リセットレベルの読み出しが実施される。

次に、第1の転送線141がハイレベルからローレベルに遷移し、さらに分離線としての第2の転送線142にもパルスが印加される。

これにより、第2のNMOSトランジスタ1122のチャネル領域に蓄積されてきた電子がアンプ回路118の入力ノードであるFD117に転送されて、蓄積信号の読み出しが実施される。

蓄積期間T5も、第1の転送線141の遷移をもって終了する。

[0125] このように蓄積期間中、図13(B)のステップST22の状態では光電変換された電子は全て第2のNMOSトランジスタ1122のチャネル領域に蓄積され、そのポテンシャル井戸を完全に満たすまで飽和することは無い。

したがって、第2のNMOSトランジスタ1122の深い空乏状態における蓄積容量を十分に大きくとれば、通常フォトダイオードへの蓄積より遥かに大きい電子数を蓄積することが可能になる。

[0126] ところで、第1の実施形態を示す図7のポテンシャル推移において、ステップS T 1 3の中間状態では次のようになる。

中間蓄積ノードたる第2のNMOSトランジスタ1 1 2 2のチャネル領域に蓄積された電子は、フォトダイオード1 1 1の拡散ノード2 0 4からもアンプ入力であるFD 1 1 7からも切り離されている。

すなわち、フォトダイオード1 1 1の拡散ノード2 0 4で新規に光電変換された電子が中間蓄積ノードに流れ込むこともなく、中間蓄積ノードに蓄積された電子がFD 1 1 7に流れ込むこともない。

第1の実施形態では第1および第2のNMOSトランジスタ1 1 2 1, 1 1 2 2の共有ゲートを3値で駆動し、その中間電圧でこのような状態を実現することで、この中間状態を一定期間保持することが可能である。

[0127] 同様に、第2の発明実施形態を示す図13のポテンシャル推移においても、ステップS T 2 3の中間状態では次のようになる。

中間蓄積ノードたる第2のNMOSトランジスタ1 1 2 2のチャネル領域に蓄積された電子は、フォトダイオード1 1 1の拡散ノード2 0 4からもアンプ入力であるFD 1 1 7からも切り離されている。

このケースでは第1および第2のNMOSトランジスタ1 1 2 1, 1 1 2 2、および第3のNMOSトランジスタ1 1 2 3を共にゲート電極駆動によりオフすることで、この中間状態を一定期間保持することが可能である。

[0128] このようにポテンシャル変調が可能な中間蓄積ノードに、フォトダイオード1 1 1から受け取った蓄積電子を一定期間保存すると、様々な付加機能を実現できるようになる。

一定期間とは、より具体的には、たとえば最小蓄積期間以上の期間、あるいは一行読み出しに要する期間以上の期間である。

[0129] 以下に大容量蓄積、グローバルシャッター、ワイドダイナミックレンジの三機能について第7～第14の実施形態として順次説明する。

なお、第7～第12の実施形態においては、上述した第1の実施形態～第4の実施形態の各々の構成を使用して、いずれも同様に実施できる。

[0130] < 7. 第7の実施形態 >

図18(A)～(D)は、第7の実施形態において上記中間保持モードを採用し、第5の実施形態の大容量蓄積動作を改善した、画素動作のタイミングチャートを示す図である。

図18(A)はリセット線150の信号電位を、図18(B)は転送線140の信号電位を、図18(C)は行選択線160の信号電位を、図18(D)は垂直信号線170の信号電位を、それぞれ示している。

[0131] 本第7の実施形態において、画素回路は図4に、転送回路の詳細や断面構成は図5、図6に記載したものと同一である。

[0132] ゲート電極201を通して第1および第2のNMOSトランジスタ1121, 1122を開放し続けた場合、図6のフォトダイオード111のゲート近傍の電位が上昇し、暗電流が増加する傾向がある。

本改善例である第7の実施形態はこのような問題を鑑みて、ゲート電極201を駆動して第1および第2のNMOSトランジスタ1121, 1122を間欠的にオンすることで、暗電流の増加を抑止する。

すなわち、まず図8や図16と同様のリセット動作を実施して新たな蓄積を開始する。その後、蓄積期間T6の間、ゲート電極201を通して第1および第2のNMOSトランジスタ1121, 1122を開放し続けるのではなく、間欠的にハイレベルにして、フォトダイオード111から中間蓄積ノードに時分割で電子を転送している。

最初の転送以降、転送時以外の蓄積期間中は、ゲート電極201は中間電位に保たれ、中間蓄積ノードは図7(C)のステップST13の中間状態が維持されている。

読み出し時には、再度ゲート電極201をハイレベルにしてフォトダイオード111に残存する電子を中間蓄積ノードに転送する。そして、最後にゲート電極201をローレベルにして、中間蓄積ノードの蓄積電子をアンプ入力であるFD117にまとめて一括転送する。

[0133] 通常は、リセット動作以降、光電変換された電荷は全てフォトダイオード

111に蓄積されてきたので、その飽和蓄積電荷量 Q_s が画素のダイナミックレンジを決めていた。

しかし、第2のNMOSトランジスタ1122のチャネル部よりなる中間蓄積ノードの蓄積容量が十分大きければ、フォトダイオード111の蓄積電荷を複数回に時分割してそこに転送することで、通常より遥かに大きな電荷を蓄積することが可能になる。

また、ゲート電極201を通して第1および第2のNMOSトランジスタ1121, 1122がオンしている期間は蓄積期間と比較して十分小さくできるので、暗電流の増加も防止することができる。

[0134] <8. 第8の実施形態>

図19(A)~(E)は、第8の実施形態において、第7実施形態と同様の概念で中間保持モードを採用し、第6の実施形態の大容量蓄積動作を改善した画素動作のタイミングチャートを示す図である。

[0135] 図19(A)はリセット線150の信号電位を、図19(B)は第1の転送線141の信号電位を、図19(C)は第2の転送線(分離線)142の信号電位を、それぞれ示している。図19(D)は行選択線160の信号電位を、図19(E)は垂直信号線170の信号電位を、それぞれ示している。

[0136] 本第8の実施形態において、画素回路は図12と同じであり、転送のポテンシャル推移は図13(A)~(D)に準ずる。

[0137] 本改善例である第8の実施形態では、図14や図17と同様のリセットを実施して新たな蓄積を開始する。

その後、蓄積期間 T_7 の間、ゲート電極201の駆動による第1および第2のNMOSトランジスタ1121, 1122を開放し続けるのではなく、間欠的にパルスを印加して、フォトダイオード111から中間蓄積ノードに時分割で電子を転送している。

蓄積期間中は、分離用のゲート電極202を通して第3のNMOSトランジスタ1123はオフ状態に保たれ、上記間欠的転送時以外の中間蓄積ノ-

ドは図13(C)のステップST23の中間状態が維持されている。

読み出し時には、再度ゲート電極201にパルスを与えて第1および第2のNMOSトランジスタ1121, 1122をオンさせてフォトダイオード111に残存する電子を中間蓄積ノードに転送する。

そして、最後に分離用ゲート電極202にパルスを印加にして第3のNMOSトランジスタ1123をオンさせ、中間蓄積ノードの蓄積電子をアンプ入力であるFD117にまとめて一括転送する。

[0138] 本第8の実施形態においても、第7の実施形態と同様に大容量蓄積を実現しつつ、暗電流の増加を抑止できる。

[0139] [グローバルシャッター機能]

次に、グローバルシャッター機能について述べる。

[0140] グローバルシャッター機能とは、画素アレイ内のシャッタータイミングのズレによって生じていた、いわゆるフォーカルプレーン歪みを除去する機能である。

通常の回路構成とシーケンスを採用した場合、図2に示すように、読み出し動作の開始が蓄積の終了タイミングを決定する。

読み出しは通常行ごとに順次実施されるので、蓄積終了のタイミングもそれに従う。よって、通常は蓄積開始となるリセット動作も行ごとにずらして順次実施し、蓄積期間T1を全有効画素で均一にする措置がとられている。

これはローリングシャッターと呼ばれ、CMOSイメージセンサにおいて一般的な手法であるが、行ごとにシャッタータイミングがズレることを意味し、たとえば高速に動作する被写体の像に歪みが発生する。

[0141] これに対して、グローバルシャッター機能は全有効画素の電荷蓄積を同時一括で開始し、さらに同時一括で蓄積を終了することによって実現される。

一方、蓄積データの読み出しは行毎に行うので、この場合、蓄積終了と読み出しのタイミングを分離する必要がある、蓄積終了から読み出しまでの期間、画素ごとに信号を保存しておく必要がある。

[0142] 図5に示す転送回路の構成を用い、その中間保持モードを利用すれば、そ

のような動作と良好な信号保存が可能になる。

すなわち、CMOSイメージセンサ100において、全有効画素に対してゲート電極201を通して第1および第2のNMOSトランジスタ1121、1122を一斉にオフする。これにより、光電変換された電子の転送を中止して蓄積を終了するとともに、既に蓄積された電子を一旦第2のNMOSトランジスタ1122のチャネル領域に保存する。

その後、行単位での読み出しに伴って、ゲート電極202にパルスを与えて第3のNMOSトランジスタ1123を順次オンしていき、保存された電子をアンプ回路118の入カノードであるFD117に転送すれば良い。

[0143] <9. 第9の実施形態>

図20(A)～(D)は、第1の実施形態にグローバルシャッター機能を搭載した第9の実施形態における動作のタイミングチャートを示す図である。

図20(A)はリセット線150の信号電位を、図20(B)は転送線140の信号電位を、図20(C)は行選択線160の信号電位を、図20(D)は垂直信号線170の信号電位を、それぞれ示している。

[0144] 本第9の実施形態において、画素回路は図4に、ポテンシャル推移は図7に準ずる。

[0145] リセット時においては、リセット線150が高レベルになったところでアンプ回路118の入カノードであるFD117がリセットレベル（電源電圧～3V）に接続される。

一方、転送線140がローレベルから高レベルに上がり、さらに高レベルからローレベルに落ちた時点でフォトダイオード111に蓄積されていた電子がFD117に転送され、リセットレベルに引き抜かれる。

新たな電子の蓄積期間T8はこの時点で開始される。リセット線150のパルスは、ゲート電極201への印加パルスがローレベルに降りるのを待ってからローレベルに落ちている。

通常は、このリセット動作は選択行ごとに順次実施するが、グローバルリ

セットでは全有効画素に対して一斉に実施する。

すなわち、本工程はグローバルシャッターのシャッター開の動作となる。

[0146] 所定の蓄積時間 T_8 が経過した蓄積終了時には、フォトダイオード 111 に蓄積されていた電子は、まず転送線 140 がローレベルからハイレベルに上がることで中間蓄積ノードに転送される。この時のポテンシャル状態は図 7 (B) のステップ ST_{12} に相当する。

さらに、転送線 140 がハイレベルから中間電位にまで戻ると、ポテンシャル状態は図 7 (B) のステップ ST_{13} の中間保持モードに移行し、中間蓄積ノードとフォトダイオード 111 が切り離される。

これらは全有効画素に対して一斉に実施され、グローバルシャッターのシャッター閉の動作となる。

[0147] 読み出しは行アドレスに沿って各行ごとに順次実施される。

まず、行選択線 160 に選択信号が印加されて択一的に行選択が実施された後、リセット線 150 にパルスが印加され、アンプ入力部である FD_{117} がリセットレベルに接続されてリセットレベルが感知される。

次に、転送線 140 が中間電位からローレベル状態に落ち、これによって中間蓄積ノードに保持されていた電子が全てアンプ回路 118 の入力ノードである FD_{117} に転送される。

各画素は蓄積終了から読み出しまでの H_8 の期間、中間保持モードを維持するが、中間保持期間 H_8 は行ごとに異なる。

すなわち、一斉にシャッターが閉となってから、該当行に読み出し順が回ってくるまでの期間、上記中間保持が実施される。

[0148] < 10. 第 10 の実施形態 >

図 21 (A) ~ (E) は、第 3 の実施形態にグローバルシャッター機能を搭載した第 10 の実施形態の動作のタイミングチャートを示す図である。

[0149] 図 21 (A) はリセット線 150 の信号電位を、図 21 (B) は第 1 の転送線 141 の信号電位を、図 21 (C) は第 2 の転送線 (分離線) 142 の信号電位を、それぞれ示している。図 21 (D) は行選択線 160 の信号電

位を、図 2 1 (E) は垂直信号線 1 7 0 の信号電位を、それぞれ示している。

[0150] 本第 1 0 の実施形態において、画素回路は図 1 2 と同じであり、転送のポテンシャル推移は図 1 3 (A) ~ (D) に準ずる。

[0151] リセット時においては、リセット線 1 5 0 がハイレベルになったところでアンプ回路 1 1 8 の入力ノードである F D 1 1 7 がリセットレベル（電源電圧 ~ 3 V）に接続される。

一方、第 1 の転送線 1 4 1 がローレベルからハイレベルに上がることで、フォトダイオード 1 1 1 に蓄積されていた余分な電子が第 1 の NMOS トランジスタ 1 1 2 1 を介して第 2 の NMOS トランジスタ 1 1 2 2 のチャネル部に転送される。

さらに、第 1 の転送線 1 4 1 がハイレベルからローレベルに落ち、それと略同時に分離線としての第 2 の転送線 1 4 2 がハイレベルとなって分離用の第 3 の NMOS トランジスタ 1 1 2 3 が導通する。そして、最後に第 2 の転送線 1 4 2 がローレベルに落ちると、蓄積電子は拡散層 2 0 5 に完全転送されてリセットレベルに引き抜かれる。

新たな電子の蓄積 T 9 はこの時点で開始される。通常はこのリセット動作は選択行ごとに順次実施するが、グローバルリセットでは全有効画素に対して一斉に実施する。

すなわち、本工程はグローバルシャッターのシャッター開の動作となる。

[0152] 所定の蓄積時間 T 9 が経過した蓄積終了時には、フォトダイオード 1 1 1 に蓄積されていた電子は、まず第 1 の転送線 1 4 1 がローレベルからハイレベルに上がることで中間蓄積ノードに転送される。この時のポテンシャル状態は図 1 3 (B) のステップ S T 2 2 に相当する。

さらに、第 1 の転送線 1 4 1 がハイレベルからローレベルに戻ると、ポテンシャル状態は図 1 3 (B) のステップ S T 2 3 の中間保持モードに移行し、中間蓄積ノードとフォトダイオードが切り離される。

これらは全有効画素に対して一斉に実施され、グローバルシャッターのシ

シャッター閉の動作となる。

[0153] 読み出しは行アドレスに沿って各行ごとに順次実施される。

まず、行選択線 160 に選択信号が印加されて択一的に行選択が実施された後、リセット線 150 にパルスが印加され、アンプ回路 118 の入力ノードである FD 117 部がリセットレベルに接続されてリセットレベルが感知される。

次に、分離線としての第 2 の転送線 142 がハイレベルに駆動され、分離トランジスタである第 3 の NMOS トランジスタ 1123 が導通状態となる。これにより、第 2 の NMOS トランジスタ 1122 のチャンネル部に蓄積された電子がアンプ 118 の入力ノードである FD 117 に転送される。

分離線としての第 2 の転送線 142 が再度ローレベルに落ちた時点で、蓄積電子の拡散層 205 への完全転送が完了する。

各画素は蓄積終了から読み出しまでの H9 の期間、中間保持モードを維持するが、中間保持期間 H9 は行ごとに異なる。

すなわち、一斉にシャッターが閉となってから、該当行に読み出し順が回ってくるまでの期間、上記中間保持が実施される。

[0154] なお、上記グローバルシャッター機能は、前述の大容量蓄積動作と組み合わせて実行することも可能である。

たとえば、図 20 (A) ~ (D) に示したグローバルシャッターシーケンスの蓄積が開始されたら、全有効画素の転送線 140 を一括でハイレベルに変える。そして、蓄積期間 T8 の間その状態を維持した後に一括して中間電位に落として蓄積を終了し、中間保持状態に移行すれば良い。

この場合、蓄積期間中、各画素では図 7 (B) のステップ ST12 のポテンシャル状態が維持され、電子はフォトダイオード 111 ではなく第 2 の NMOS トランジスタ 1122 のチャンネル内に蓄積されて、大容量の蓄積が可能になる。

[0155] 同様に、時分割転送による大容量蓄積動作との組み合わせも可能であり、第 1 の実施形態の基本構成、第 3 の実施形態の基本構成ともに、大容量蓄積

動作とグローバルシャッター機能は組み合わせて使用することができる。

[0156] [ワイドダイナミックレンジ機能]

次に、ワイドダイナミックレンジ機能について説明する。

本機能は1画素内に蓄積時間の短い信号と長い信号とを同時に保存し、高輝度の被写体感知には蓄積時間の短い信号を、低輝度の被写体感知には蓄積時間の長い信号を使用して、両者を同時に適切な露光時間で撮像する機能である。

[0157] 本発明の第1の実施形態あるいは第3の実施形態の構成と中間保持モードを応用すれば、同一画素内において、長時間蓄積した信号を中間保持モードでトランジスタのチャンネル領域に保存しつつ、フォトダイオードに別途信号を蓄積できる。

読み出し時にはまず中間保持モードで保存された長時間蓄積側の信号をアンプ入力に転送し、次にフォトダイオードに保持された短時間蓄積側の信号を転送する。

[0158] < 1 1. 第 1 1 の実施形態 >

第1の実施形態の構成を用いたワイドダイナミックレンジ動作の例を、図22(A)～(D)および図23(A)～(C)のポテンシャル推移図を用いて説明する。

図22(A)～(D)は、第1の実施形態の構成を用いた本第11の実施形態におけるワイドダイナミックレンジ動作の例を説明するための第1のポテンシャル推移図である。

図23(A)～(C)は、第1の実施形態の構成を用いた本第11の実施形態におけるワイドダイナミックレンジ動作の例を説明するための第2のポテンシャル推移図である。

[0159] 本第11の実施形態において、画素回路は図4に、転送回路の詳細や断面構成は図5、図6に記載したものと同一である。

[0160] [ステップST31]

図22(A)のステップST31においては、図7(A)のステップST

11と同様に、フォトダイオード111の拡散ノード204には第1の電子蓄積が行われている。

第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122のチャネル領域は、両者の共有ゲート電極201に共通に与えられる電位、たとえば $-1.5\text{V} \sim -3\text{V}$ に従って、ポテンシャルがそれぞれR11、R12の範囲で変調される。

一方、分離トランジスタである第3のNMOSトランジスタ1123のゲート電極202はグランドに接続されており、チャネルのポテンシャルは 0.6V 程度になるように調整されている。

[0161] [ステップST32]

図22(B)のステップST32においては、第1のNMOSトランジスタ1121)および第2のNMOSトランジスタ1122がオンすると電子の移動が行われる。

フォトダイオード111の拡散ノード204に蓄積されていた電子は、第1のNMOSトランジスタ1121を介して残らず第2のNMOSトランジスタ1122のチャネル領域に移動する。

すなわち、深い空乏状態となった第2のNMOSトランジスタ1122のチャネル領域に電子が移動して、アナログ状態で蓄積される。

[0162] [ステップST33]

図22(C)のステップST33においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122をオフするためにゲート電極201が駆動されと、それに伴ってチャネル領域のポテンシャルが負電位方向に変調される。

これにより、フォトダイオード111は第2のNMOSトランジスタ1122のチャネルから切断され、第1の蓄積が完了する。

第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122のゲート電極が適当な中間電圧に達したこの段階では、蓄積電子がフォトダイオード111とアンプ回路118の入力ノードであるFD117

の双方から分離された状態となる。

[0163] [ステップST34]

図22(D)のステップST34においては、ステップST33の中間保持状態を維持していると、フォトダイオード111には継続して光が入射し光電変換が実行されるので、その拡散ノード204に新たな電子が蓄積される。

[0164] [ステップST35]

図23(A)のステップST35においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122が完全にオフすると電子の移動が次のように行われる。

すなわち、第2のNMOSトランジスタ1122のチャンネルに保持されていた第1の蓄積電子が全てアンプ回路118の入力ノードであるFD117に移動する。

これにより、アンプトランジスタ114からなるアンプ回路118は垂直信号線170を駆動し、第1の蓄積信号の読み出しが実施される。

[0165] [ステップST36]

図23(B)のステップST36においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122が再度オンすると電子に移動が次のように行われる。

フォトダイオード111の拡散ノード204に蓄積されていた第2の蓄積電子が、第1のNMOSトランジスタ1121を介して残らず第2のNMOSトランジスタ1122のチャンネル領域に移動する。このとき、アンプ回路118の入力ノードであるFD117は3Vにリセットしておく。

[0166] [ステップST37]

図23(C)のステップST37においては、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122が再度完全にオフすると電子の移動が次のように行われる。

第2のNMOSトランジスタ1122のチャンネルに保持されていた第2の

蓄積電子が全てアンプ回路の入カノードであるFD117に移動する。

これにより、アンプトランジスタ114からなるアンプ回路118は垂直信号線170を駆動し、第2の蓄積信号の読み出しが実施される。

[0167] 上記動作シーケンスの実効タイミングを調整することで、第1の電子蓄積を長時間で、第2の電子蓄積を短時間で実行する。

第1の電子蓄積が飽和していない場合、画素の蓄積データにはその値を使用する。一方、第1の電子蓄積が飽和している場合、画素の蓄積データには第2の電子蓄積の値を使用する。第2の蓄積時間が第1の蓄積時間の $1/K$ であれば、第2の蓄積データは画像合成時にK倍されて扱われる。

[0168] 長時間蓄積と短時間蓄積は、途中で読み出しを挟まず連続して実施される。そして、読み出しは各行に対して2回ずつ、順次連続して実施される。

したがって、本発明の実施形態に係るイメージャーの使用者は異なる蓄積時間に対応して2枚のフレームバッファを用意する必要はなく、2枚のラインバッファのみを用意すればフレーム合成が可能になる。

また、読み出しに倍の時間がかかる分、フレームレートは $1/2$ になるが、倍になった1フレーム所要時間の全てを蓄積に使用することができる。

[0169] 図24(A)～(D)は、上記ワイドダイナミックレンジ対応動作のタイミングチャートを示す図である。

図24(A)はリセット線150の信号電位を、図24(B)は転送線140の信号電位を、図24(C)は行選択線160の信号電位を、図24(D)は垂直信号線170の信号電位を、それぞれ示している。

[0170] まず、リセット時においては、リセット線150がハイレベルに設定されてアンプ回路118の入カノードであるFD117がリセットレベル(電源電圧 $\sim 3V$)に接続される。

一方、転送線140がローレベルからハイレベルに上がり、さらにハイレベルからローレベルに落ちた時点でフォトダイオード111に蓄積されていた電子がFD117に転送され、リセットレベルに引き抜かれる。

第1の電子蓄積における蓄積期間T10Lはこの時点で開始される。リセ

ット線 150 のパルスは、転送線 140 がローレベルに降りるのを待ってからローレベルに落ちている。

[0171] 所定の蓄積時間が経過すると、転送線 (10c) はローからハイに上がり、図 22 (B) のステップ ST 32 に示したように、蓄積電子は第 1 の NMOS トランジスタ 1122 のチャンネル部に形成された中間ノードに転送される。

さらに、転送線 140 がハイレベルから中間電位に落ちると、図 22 (C) のステップ ST 33 のように、フォトダイオード 11 と中間ノードが切断され、第 1 の電子蓄積たる長時間側の蓄積期間 T10L が終了する。

またそれと同時に第 2 の蓄積期間 T10S がスタートする。

[0172] 読み出しは、行選択線 160 に選択信号が印加されて行選択が実施された後、以下のように実施される。

まず、リセット線 150 のパルス印加でアンプ回路 118 の入力ノードである FD 117 がリセットされ、リセットレベルが感知される。

次に、転送線 140 が中間ノードからローレベルに落ちると、図 23 (A) のステップ ST 35 のように、第 1 の蓄積電子がアンプ回路 118 の入力ノードである FD 117 に転送され、その感知が行われる。

再度リセット線 150 のパルス印加でアンプ回路 118 の入力ノードである FD 117 がリセットされ、リセットレベルが感知される。

次に、転送線 140 にパルスが印加されると、図 23 (B), (C) のステップ ST 36, ST 37 の段階を経て、第 2 の蓄積信号がアンプ回路 118 の入力ノードである FD 117 に転送され、その感知が行われる。

第 2 の蓄積信号の読み出しでその蓄積期間 T10S も終了する。

[0173] < 12. 第 12 の実施形態 >

なお、上記ワイドダイナミックレンジ機能は、第 3 の実施形態の構成に対しても、同様の概念を持って実施できる。

[0174] 図 25 (A) ~ (E) は、第 3 の実施形態の構成を用いた第 12 の実施形態におけるワイドダイナミックレンジ動作のタイミングチャートを示す図であ

る。

第 12 の実施形態において画素回路の構成は図 12 と同様である。

[0175] リセット時においては、リセット線 150 がハイレベルになったところでアンプ回路 118 の入力ノードである FD 117 がリセットレベル（電源電圧～3V）に接続される。

一方、第 1 の転送線 141 がローレベルからハイレベルに上がることで、フォトダイオード 111 に蓄積されていた余分な電子が第 1 の NMOS トランジスタ 1121) を介して第 2 の NMOS トランジスタ 1122 のチャンネル部に転送される。

さらに、第 1 の転送線 141 がハイレベルからローレベルに落ち、それと略同時に分離線としての第 2 の転送線 142 がハイレベルとなって分離トランジスタである第 3 の NMOS トランジスタ 1123 が導通する。そして、最後に第 2 の転送線 142 がローレベルに落ちると、蓄積電子は FD 117 に完全転送されてリセットレベルに引き抜かれる。

第 1 の電子蓄積における蓄積期間 T_{11L} はこの時点で開始される。リセット線 150 のパルスは、第 2 の転送線 142 がローレベルに降りるのを待ってからローレベルに落ちている。

所定の蓄積時間が経過すると、フォトダイオード 111 に蓄積されていた電子は、第 1 の転送線 141 がローレベルからハイレベルに上がることで中間蓄積ノードに転送される。

さらに、第 1 の転送線 141 がハイレベルからローレベルに戻ると、ポテンシャル状態は図 13 (B) のステップ ST 23 の中間保持モードに移行し、中間蓄積ノードとフォトダイオードが切り離される。

これにより、第 1 の電子蓄積たる長時間側の蓄積期間 T_{11L} が終了する。またそれと同時に第 2 の蓄積期間 T_{11S} がスタートする。

[0176] 読み出しは、行選択線 160 に選択信号が印加されて行選択が実施された後、以下のように実施される。

まず、リセット線 150 にパルスが印加され、アンプ回路 118 の入力ノ

ードであるFD 1 1 7がリセットレベルに接続されてリセットレベルが感知される。

次に、分離線としての第2の転送線1 4 2がハイレベルに駆動されて、分離トランジスタとしての第3のNMOSトランジスタ1 1 2 3が導通状態となる。これにより、第2のNMOSトランジスタ1 1 2 2のチャンネル部に蓄積されていた第1の蓄積電子がアンプ回路1 1 8の入力ノードであるFD 1 1 7に転送される。分離線としての第2の転送線1 4 2が再度ローレベルに落ちた時点で、第1の蓄積電子のFD 1 1 7への完全転送が完了し、第1の蓄積信号の感知が行われる。

再度リセット線1 5 0のパルス印加でアンプ回路1 1 8の入力ノードであるFD 1 1 7がリセットされ、リセットレベルが感知される。

[0177] 次に、第1の転送線1 4 1がローレベルからハイレベルに駆動されることで、フォトダイオード1 1 1に蓄積されていた第2の蓄積電子が第1のNMOSトランジスタ1 1 2 1を介して第2のNMOSトランジスタ1 1 2 2のチャンネル部に転送される。

さらに、第1の転送線1 4 1がハイレベルからローレベルに落ち、それと略同時に分離線である第2の転送線1 4 2がハイレベルになり、最後に第2の転送線1 4 2がローレベルに落ちると、第2の蓄積電子はFD 1 1 7に完全転送される。

これにより、第2の蓄積期間T 1 1 Sも終了し、続いて第2の蓄積信号の感知が行われる。

[0178] 第1の電子蓄積が飽和していない場合、画素の蓄積データにはその値を使用する。一方、第1の電子蓄積が飽和している場合、画素の蓄積データには第2の電子蓄積の値を使用する。第2の蓄積時間が第1の蓄積時間の $1/K$ であれば、第2の蓄積データは画像合成時にK倍されて扱われる。

[0179] < 1 3. 第1 3の実施形態 >

次に、画素内転送回路の構造を変えた、第1 2の実施形態について説明する。

図26は、本発明の第13の実施形態に係るCMOSイメージセンサの画素回路を示す図である。

[0180] 本第13の実施形態に係る画素回路110Eは、第1の実施形態に係る画素回路110Aにおける転送トランジスタ112の分離トランジスタとしての第3のNMOSTランジスタ1123を省略した構成を有する。

すなわち、本第13の実施形態に係る画素回路110Eは、転送トランジスタ112Eが一体化され直列接続された高閾値 HV_{th} の第1のNMOSTランジスタ1121と低閾値 LV_{th} の第2のNMOSTランジスタ1122により形成されている。

[0181] 図27は、第13の実施形態に係る画素回路110Eの転送トランジスタを含む転送回路の等価回路を示す図である。

[0182] フォトダイオード111で光電変換により生成された電子は、転送トランジスタ112Eを形成する一体化され直列接続された第1および第2のNMOSTランジスタ1121, 1122を介しアンプ回路118の入力ノードであるFD117に完全転送される。

一体化された第1および第2のNMOSTランジスタ1121, 1122は、互いのチャネルがn型拡散層等を介することなく直接接続されている。

また、第1および第2のNMOSTランジスタ1121, 1122のゲート電極201は同時一括で駆動信号が印加される。

そして、第1のNMOSTランジスタ1121は高閾値電圧 HV_{th} 、第2のNMOSTランジスタ1122は低閾値電圧 LV_{th} となっている。

入力ノードであるFD117は寄生容量203を有しており、蓄積電荷量を Q 、寄生容量値を C_f とすると、その電位変化量 ΔV_f は $\{\Delta V_f = Q / C_f\}$ となる。

[0183] 読み出し時はこの変位がアンプ回路118を介して、一定のゲインで垂直信号線170を駆動する。

[0184] 第1の実施形態から分離トランジスタとしての第3のNMOSTランジスタを省略したことで、画素の占有面積はその分小型化される。

その一方で、浮遊状態であるアンプ回路118の入力ノードであるFD117は隣接する第2のNMOSトランジスタ1122の状態変動に影響されやすくなる。

たとえば、ゲート電極201を通して第1および第2のNMOSトランジスタ1121, 1122をオンした際に、FD117のポテンシャルもそのカップリングを受けて変動する。その結果、第2のNMOSトランジスタ1122のチャネル部に蓄積されるべき電子の一部がアンプ回路118の入力ノードであるFD117に漏れる等の影響が出る。

アンプ回路118の入力ノードであるFD117は、通常不純物が多量に導入された拡散層や、配線のコンタクト部等を含んでおり、MOSトランジスタのチャネル部に比較して結晶性が悪い。

したがって、個々に漏れ出た電子は蓄積期間中に再結合等で失われやすく、特に第3の実施形態における蓄積機能や、第9や第10の実施形態におけるグローバルシャッター機能には有意な悪影響を及ぼすことになる。

[0185] しかし、本第13の実施形態においても、第2のNMOSトランジスタ1122のチャネル部における電荷の蓄積能力が十分に大きければ、第1の実施形態と類似した原理で完全転送のマージン制約を軽減あるいは撤廃することが可能である。

[0186] 図28は、図27の転送回路の断面構造例を示す図である。

[0187] フォトダイオード111には酸化膜と接するシリコン表面近傍をp型化した、いわゆるHAD構造が採用されている。

ここで光電変換された電子は、当初n型の拡散ノード204に蓄積される。

そして、ゲート電極201に第1のNMOSトランジスタ1121がオンする信号が印加されると、第1のNMOSトランジスタ1121を介して第2のNMOSトランジスタ1122のチャネル領域に転送され、多くの電子はそこに蓄積される。

たとえば、チャネル部の不純物プロファイルを調整することで、第1のN

MOSトランジスタ1121の閾値は高く、第2のNMOSトランジスタ1122の閾値は低く設定される。これにより、第2のNMOSトランジスタ1122のチャンネル部は電子の蓄積井戸を、第1のNMOSトランジスタ1121のチャンネル部は逆流防止のポテンシャル壁を形成する。

また、拡散層205は断面図には記載されないアンプ回路118の入力に接続されている。

[0188] なお、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122は、ここでは2つの個別なトランジスタとみなしている。ただし、図のようにゲート電極も一体形成されている場合には、チャンネル部の不純物プロファイルに勾配をもつ単一のNMOSトランジスタとみなすこともできる。

しかしいずれにしても機能的には直列接続された2つの個別なトランジスタと同様であり、本発明の適用範囲内である。

[0189] 図29(A)～(D)は、本第13の実施形態に係る画素回路の転送回路を用いた、読み出し転送動作に伴うポテンシャル推移を示す図である。

[0190] [ステップST41]

図29(A)のステップST41においては、フォトダイオード111の拡散ノード204は、一定数のドナーによる正電荷で、その完全空乏時にポテンシャルの底が2.5V程度になるように設計されている。ここに光電変換された電子が飽和状態(約0V)にまで満たされている。

一方、第1のNMOSトランジスタ1121および第2のNMOSトランジスタ1122のチャンネル領域は、両者のゲート電極に共通に与えられる電位、たとえば1.5V～3V)に従って、ポテンシャルがそれぞれR17、R18の範囲で変調される。

また、アンプ回路118の入力ノードである拡散層205(FD117)にはリセットがかけられて、3Vの浮遊状態となっている。

[0191] [ステップST42]

図29(B)のステップST42においては、第1のNMOSトランジス

タ 1 1 2 1 および第 2 の NMOS トランジスタ 1 1 2 2 がオンすると次のような電位の移動が行われる。

フォトダイオード 1 1 1 の拡散ノード 2 0 4 に蓄積されていた電子は、第 1 の NMOS トランジスタ 1 1 2 1 を介して残らず第 2 の NMOS トランジスタ 1 1 2 2 のチャネル領域に移動する。

この際、アンプ回路 1 1 8 の入力ノードである拡散層 2 0 5 (FD 1 1 7) もカップリングを受けて電位が上昇し、一部の電子は第 2 の NMOS トランジスタ 1 1 2 2 のチャネル部を介してさらに拡散層 2 0 5 (FD 1 1 7) に流入する。

すなわち、読み出し信号である電子は、深い空乏状態となった第 2 の NMOS トランジスタ 1 1 2 2 のチャネル領域にその多くは蓄積され、また一部はアンプ回路 1 1 8 の入力ノードである拡散層 2 0 5 (FD 1 1 7) に蓄積される。

[0192] [ステップ ST 4 3]

図 2 9 (C) のステップ ST 4 3 においては、第 1 の NMOS トランジスタ 1 1 2 1 および第 2 の NMOS トランジスタ 1 1 2 2 をオフするためにゲート電極 2 0 1 が駆動されると、それに伴ってチャネル領域のポテンシャルが負方向に変調される。

ここで第 1 の NMOS トランジスタ 1 1 2 1 のチャネルはポテンシャル障壁を形成し、蓄積電子のフォトダイオード 1 1 1 の拡散ノード 2 0 4 への逆流を防止している。この障壁の高さは両トランジスタの閾値の差に対応しており、たとえば 1.5 V である。

こうして、第 2 の NMOS トランジスタ 1 1 2 2 のチャネル領域のポテンシャルが上昇 (電位は低下) するにつれて、そこに蓄積されていた電子がアンプ回路 1 1 8 の入力ノードである拡散層 2 0 5 (FD 1 1 7) に移動する。

[0193] [ステップ ST 4 4]

図 2 9 (D) のステップ ST 4 4 においては、第 1 および第 2 の NMOS

トランジスタ 1121, 1122 のオフ状態では、ステップ ST41 でフォトダイオードに蓄積されていた電子は全てアンプ回路 118 の入力ノードである拡散層 205 に移動した状態になる。これによりアンプは垂直信号線を駆動し、蓄積信号の読み出しが実施される。

[0194] このような段階的な転送を用いると、完全空乏状態となったフォトダイオード 111 の拡散ノード 204 とアンプ回路 118 の入力ノードである拡散層 205 との間にポテンシャル差を確保する必要は無い。

すなわち、本第 13 の実施形態では、電子を満たした拡散層 205 (FD 117) のポテンシャルが拡散ノード 204 より浅い状態となっても完全な転送が実現している。

[0195] なお、転送の際の上記ポテンシャル制約を完全に撤廃するには、ステップ ST42 において、第 2 の NMOS トランジスタ 1122 のチャネル部の蓄積容量が十分に大きいこと。そして、それによってアンプ回路 118 の入力ノードである拡散層 205 の寄生容量の大小にかかわらず、全ての電子が第 2 の NMOS トランジスタ 1122 より右側に移動していることが必要である。

フォトダイオード 111 の飽和蓄積電荷量を Q_s 、第 2 の NMOS トランジスタ 1122 のチャネル容量 (反転層の容量) を C_{inv} 、第 1 の NMOS トランジスタ 1121 と第 2 の NMOS トランジスタ 1122 の閾値差を ΔV_{th} とすれば、次の条件となる。

[0196] [数 3]

$$|C_{inv} * \Delta V_{th}| > |Q_s|$$

[0197] 実際上は、ステップ ST42 において、フォトダイオード 111 の光電変換で生成された電子の半ば以上が第 2 の NMOS トランジスタ 1122 のチャネル部に蓄積された状態になれば、転送マージンは十分有意な拡大効果を得る。

[0198] < 14. 第 14 の実施形態 >

図 30 は、本発明の第 14 の実施形態に係る CMOS イメージセンサの画

素回路を示す図である。

[0199] 本第14の実施形態に係る画素回路110Fが第13の実施形態に係る画素回路110Eと異なる点は次のことにある。

本第2の実施形態に係る画素回路110Fは、各々固有のフォトダイオード111と転送回路112を持つ複数、たとえば2つの画素PXL110a、PXL110bが、アンプ回路を形成するFD117およびアンプトランジスタ114を共有していることある。

この画素回路110Fにおいては、リセットトランジスタ113および行選択トランジスタ115も複数の画素PXL110a、PXL110bで共有する。

[0200] 各画素PXL110a、PXL110bの転送トランジスタ112a、112bは、第1および第2のNMOSトランジスタの共有ゲート電極がそれぞれ異なる転送線140a、140bに接続されている。

画素回路110Bにおいては、各々独立した転送線140aおよび140bに従って、各フォトダイオード111a、111bに蓄積された電子が個別のタイミングでFD117(アンプ回路の入力ノード)に転送される。

[0201] アンプ回路の共有は画素の実効サイズを縮小できるが、共有画素数が多いほどFD117の寄生容量も大きくなる。

したがって、共有画素数は2画素以上、16画素以下であることが望ましい。

[0202] ところでここまで、半導体イメージャーの光電変換素子にフォトダイオードを用いた実施形態について説明を行ってきた。

一方、光電変換素子にはMOSキャパシタが使用される場合もあり、第1から第14の実施形態全てについて、フォトダイオードの代わりにMOSキャパシタを使用しても同様の効果を得ることができる。

[0203] <15. 第15の実施形態>

図31は、第1の実施形態に対応した断面構造例である図6に対して、フォトダイオードをMOSキャパシタに入れ替えた第15の実施形態に係る転

送回路の構成例を示す図である。

[0204] 図31において、符号210がMOSキャパシタを用いた光電変換素子を示している。

電極211には、たとえば2Vの固定電圧が印加されており、MOSキャパシタ210は深い空乏状態になっている。

この空乏層内に電子が入射すると電子/ホール対が生成され、ホールは電界に誘引されてp-Well側に抜ける一方で、電子は反転層としてMOSキャパシタ210の酸化膜近傍に蓄積される。

ゲート電極201をハイレベルにすると、蓄積電子は第1のMOSトランジスタ1121を介して第2のNMOSトランジスタ1122のチャネル領域に完全転送され、そこに蓄積される。

さらに、ゲート電極201をローレベルに落とすと、この蓄積電子は全てアンプ回路の入力ノードである拡散層205(FD117)に転送され、垂直信号線170が駆動されて読み出しが実施される。

[0205] <16. 第16の実施形態>

図32は、第1の実施形態の転送回路と異なる断面構造を有する第16の実施形態に係る転送回路の断面構造例を示す図である。

[0206] 図32の本第16の実施形態に係る転送回路が図6の第1の実施形態に係る転送回路との主たる差異は一体化した第1～第3のNMOSトランジスタ1121, 1122, 1123のゲート構造である。

本第16の実施形態においては、第1のNMOSトランジスタ1121と第2のNMOSトランジスタ1122は、異なるゲート電極201-1, 201-2として形成されている。

これらのゲート電極201-1, 201-2は異なる導電層、あるいはポリシリコン層で形成され、図示しない画素内でショートされて、一体化された電極201が形成される。

このような構造では、第2のNMOSトランジスタ1122の基板不純物プロファイルを自己整合的に調整できる。あるいは異なるゲート電極層の仕

事関数を変えて、閾値を調整することも可能である。

[0207] 以上説明した第1～第16の実施形態に係る固体撮像素子は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

[0208] <17. 第17の実施形態>

図33は、本発明の実施形態に係る固体撮像素子が適用されるカメラシステムの構成の一例を示す図である。

[0209] 本カメラシステム300は、図33に示すように、本実施形態に係るCMOSイメージセンサ（固体撮像素子）100、300が適用可能な撮像デバイス310を有する。

カメラシステム300は、この撮像デバイス310の画素領域に入射光を導く（被写体像を結像する）光学系、たとえば入射光（像光）を撮像面上に結像させるレンズ320を有する。

さらに、カメラシステム300は、撮像デバイス310を駆動する駆動回路(DRV)330と、撮像デバイス310の出力信号を処理する信号処理回路(PRC)340と、を有する。

[0210] 駆動回路330は、撮像デバイス310内の回路を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス310を駆動する。

[0211] また、信号処理回路340は、撮像デバイス310の出力信号に対して所定の信号処理を施す。

信号処理回路340で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路340で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出される。

[0212] 上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス310として、先述した撮像素子100を搭載することで、低消費電力で、高精度なカメラが実現できる。

符号の説明

[0213]	1 0 0	CMOSイメージセンサ
	1 1 0	画素アレイ部
	1 1 0 A ~ 1 1 0 F	画素回路
	1 1 1	フォトダイオード
	1 1 2	転送トランジスタ
	1 1 2 1	第1のMOSトランジスタ
	1 1 2 2	第2のMOSトランジスタ
	1 1 2 3	第3のMOSトランジスタ
	1 1 3	リセットトランジスタ
	1 1 4	アンプトランジスタ
	1 1 5	行選択トランジスタ
	1 1 6	蓄積ノード
	1 1 7	FD
	1 1 8	アンプ回路
	1 2 0	行選択回路
	1 3 0	カラム読み出し回路 (AFE)
	3 0 0	カメラシステム。

請求の範囲

[請求項1]

光電変換素子と、
アンプ回路と、

上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、

上記転送トランジスタは、

上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1、第2、および第3の電界効果トランジスタを有し、

上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、

ゲート電極の段階的な駆動に伴って、

光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷を上記第2の電界効果トランジスタのチャネル領域に蓄積し、

当該チャネル領域に蓄積した上記電荷を上記第3の電界効果トランジスタを介してアンプ回路の入力に転送し、

上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる

画素回路。

[請求項2]

上記第3の電界効果トランジスタのゲート電極は、電位固定されている

請求項1記載の画素回路。

[請求項3]

上記第3の電界効果トランジスタは、

ゲート電極にパルスが印加されると、上記第2の電界効果トランジスタのチャネル領域から上記アンプ回路の入力に電荷を転送する

請求項1記載の画素回路。

[請求項4]

上記転送トランジスタは、

上記第1および第2の電界効果トランジスタのゲート電極が中間電圧で維持されて、当該第2の電界効果トランジスタのチャネル領域に蓄積された電荷を、所定の期間保持する機能を有する

請求項2記載の画素回路。

[請求項5]

上記転送トランジスタは、

上記第1および第2の電界効果トランジスタのゲート電極、および上記第3の電界効果トランジスタのゲート電極を共に所定レベルに維持することで、当該第2の電界効果トランジスタのチャネル領域に蓄積された電荷を、所定の期間保持する機能を有する

請求項3記載の画素回路。

[請求項6]

上記転送トランジスタは、

上記第1の電界効果トランジスタをオン状態に維持し、上記光電変換素子で生成された電荷を直ちに上記第2の電界効果トランジスタのチャネル領域に転送して蓄積する蓄積機能と、

当該蓄積電荷を上記第3の電界効果トランジスタを介して上記アンプ回路に転送する読み出し機能と

を有する請求項1記載の画素回路。

[請求項7]

上記転送トランジスタは、

上記光電変換素子で生成された第1の蓄積信号を、第1の電界効果トランジスタを介して上記第2の電界効果トランジスタのチャネル領域に転送して蓄積し、

上記第2の電界効果トランジスタのチャネル領域に当該電荷を蓄積したまま、上記光電変換素子で第2の蓄積が開始されて第2の蓄積信号が生成される間、上記第1の電界効果トランジスタがオフされて、

上記第1の蓄積信号を上記第3の電界効果トランジスタを介して上記アンプ回路の入力に転送する、第1の読み出しを行い、

上記第2の蓄積信号を第1、第2、および第3の電界効果トランジスタを介して上記アンプ回路に転送する、第2の読み出しを行う請求項1記載の画素回路。

[請求項8] 上記光電変換素子と、第1、第2、および第3の電界効果トランジスタを含む転送トランジスタが複数の各画素に配置されており、上記アンプ回路は複数の画素間で共有されている請求項1記載の画素回路。

[請求項9] 光電変換素子と、アンプ回路と、上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、上記転送トランジスタは、

上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1および第2の電界効果トランジスタを有し、

上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、

ゲート電極の段階的な駆動に伴って、

光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷の所定量を上記第2の電界効果トランジスタのチャネル領域に蓄積し、

当該チャネル領域に蓄積した上記電荷をアンプ回路の入力に転送し、

上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる

画素回路。

[請求項10] 上記光電変換素子と、第1および第2の電界効果トランジスタを含む転送トランジスタが複数の各画素に配置されており、

上記アンプ回路は複数の画素間で共有されている

請求項 9 記載の画素回路。

[請求項11]

複数の画素回路が配列された画素部と、

上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、

上記各画素回路は、

光電変換素子と、

アンプ回路と、

上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、

上記転送トランジスタは、

上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第 1、第 2、および第 3 の電界効果トランジスタを有し、

上記第 1 および第 2 の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第 1 の電界効果トランジスタの閾値電圧が上記第 2 の電界効果トランジスタの閾値電圧より高く設定され、

上記画素駆動部によるゲート電極の段階的な駆動に伴って、

光電変換素子で生成され、上記第 1 の電界効果トランジスタを介して転送された電荷を上記第 2 の電界効果トランジスタのチャネル領域に蓄積し、

当該チャネル領域に蓄積した上記電荷を上記第 3 の電界効果トランジスタを介してアンプ回路の入力に転送し、

上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる

固体撮像素子。

[請求項12]

上記転送トランジスタは、

上記画素駆動部によるゲート電極の段階的な駆動に伴って、

光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷を上記第2の電界効果トランジスタのチャンネル領域に蓄積し、

上記第2の電界効果トランジスタのチャンネル領域に当該電荷を蓄積したまま、上記第1の電界効果トランジスタが、全有効画素に対して一斉にオフされ、

しかる後に上記電荷が第3の電界効果トランジスタを介して上記アンプ回路の入力に行毎に順次転送され、

上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる

請求項11記載の固体撮像素子。

[請求項13]

上記転送トランジスタは、

上記光電変換素子で生成された第1の蓄積信号を、第1の電界効果トランジスタを介して上記第2の電界効果トランジスタのチャンネル領域に転送して蓄積し、

上記第2の電界効果トランジスタのチャンネル領域に当該電荷を蓄積したまま、上記光電変換素子で第2の蓄積が開始されて第2の蓄積信号が生成される間、上記第1の電界効果トランジスタがオフされて、

上記第1の蓄積信号を上記第3の電界効果トランジスタを介して上記アンプ回路の入力に転送する、第1の読み出しを行い。

上記第2の蓄積信号を第1、第2、および第3の電界効果トランジスタを介して上記アンプ回路に転送する、第2の読み出しを行う

請求項11記載の固体撮像素子。

[請求項14]

複数の画素回路が配列された画素部と、

上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、

上記各画素回路は、

光電変換素子と、

アンプ回路と、

上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、

上記転送トランジスタは、

上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1および第2の電界効果トランジスタを有し、

上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、

上記画素駆動部によるゲート電極の段階的な駆動に伴って、

光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷の所定量を上記第2の電界効果トランジスタのチャネル領域に蓄積し、

当該チャネル領域に蓄積した上記電荷をアンプ回路の入力に転送し、

上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる

固体撮像素子。

[請求項15] 上記光電変換素子と、第1および第2の電界効果トランジスタを含む転送トランジスタが複数の各画素に配置されており、

上記アンプ回路は複数の画素間で共有されている

請求項11記載の固体撮像素子。

[請求項16]

固体撮像素子と、

上記撮像素子に被写体像を結像する光学系と、

上記撮像素子の出力画像信号を処理する信号処理回路と、を有し、

上記固体撮像素子は、

複数の画素回路が配列された画素部と、

上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、

上記各画素回路は、

光電変換素子と、

アンプ回路と、

上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、

上記転送トランジスタは、

上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1、第2、および第3の電界効果トランジスタを有し、

上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、

上記画素駆動部によるゲート電極の段階的な駆動に伴って、

光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷を上記第2の電界効果トランジスタのチャンネル領域に蓄積し、

当該チャンネル領域に蓄積した上記電荷を上記第3の電界効果トランジスタを介してアンプ回路の入力に転送し、

上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる

カメラシステム。

[請求項17]

固体撮像素子と、

上記撮像素子に被写体像を結像する光学系と、

上記撮像素子の出力画像信号を処理する信号処理回路と、を有し、

上記固体撮像素子は、

複数の画素回路が配列された画素部と、

上記画素部の画素回路を駆動して画素信号の読み出しを行う画素駆動部と、を有し、

上記各画素回路は、

光電変換素子と、

アンプ回路と、

上記光電変換素子で生成された電荷を上記アンプ回路の入力ノードに転送可能な転送トランジスタと、を有し、

上記転送トランジスタは、

上記光電変換素子から上記アンプ回路側に向かって、一体化して直列接続された第1および第2の電界効果トランジスタを有し、

上記第1および第2の電界効果トランジスタは、ゲート電極が同時一括的に駆動され、上記第1の電界効果トランジスタの閾値電圧が上記第2の電界効果トランジスタの閾値電圧より高く設定され、

上記画素駆動部によるゲート電極の段階的な駆動に伴って、

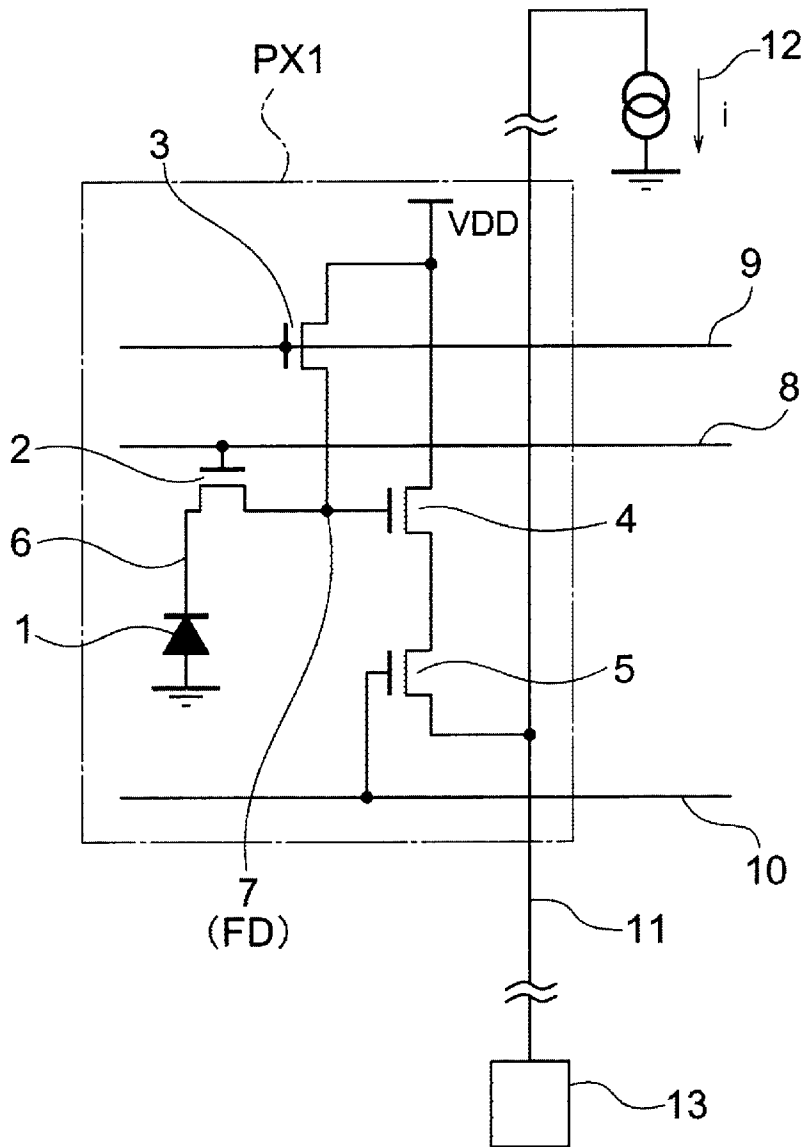
光電変換素子で生成され、上記第1の電界効果トランジスタを介して転送された電荷の所定量を上記第2の電界効果トランジスタのチャネル領域に蓄積し、

当該チャネル領域に蓄積した上記電荷をアンプ回路の入力に転送し、

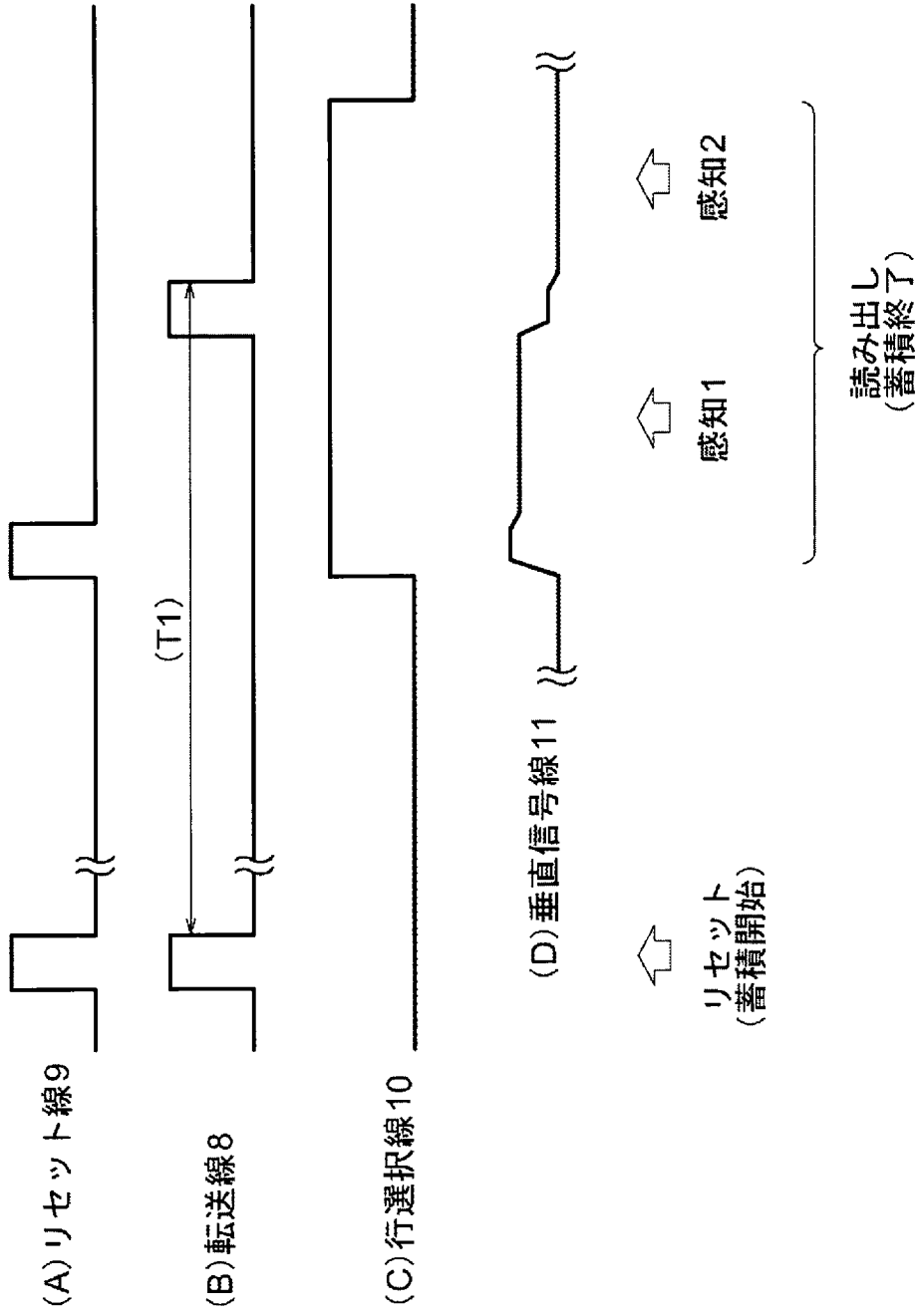
上記アンプ回路が、信号線を駆動して、蓄積電荷の読み出しが行われる

カメラシステム。

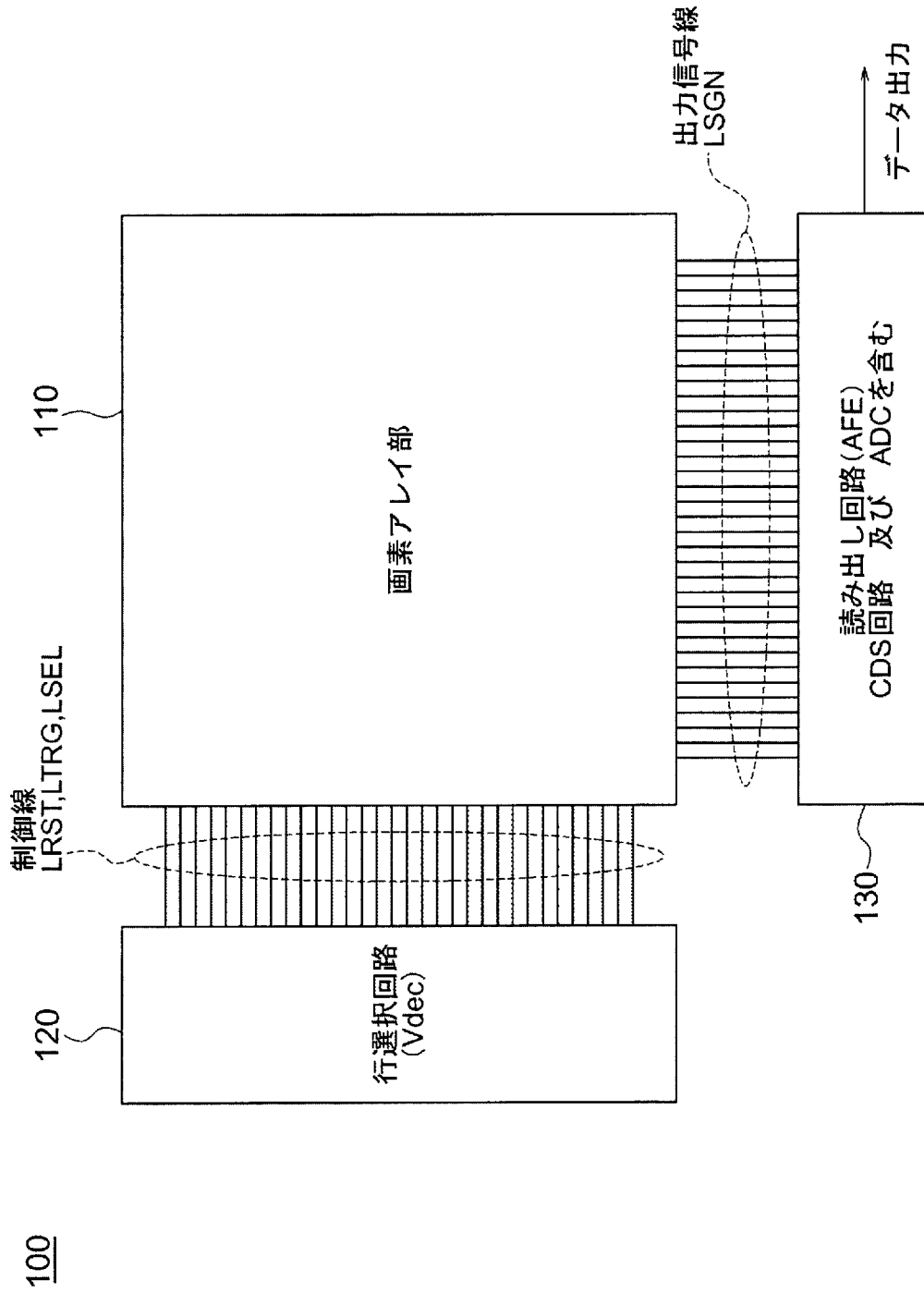
[図1]



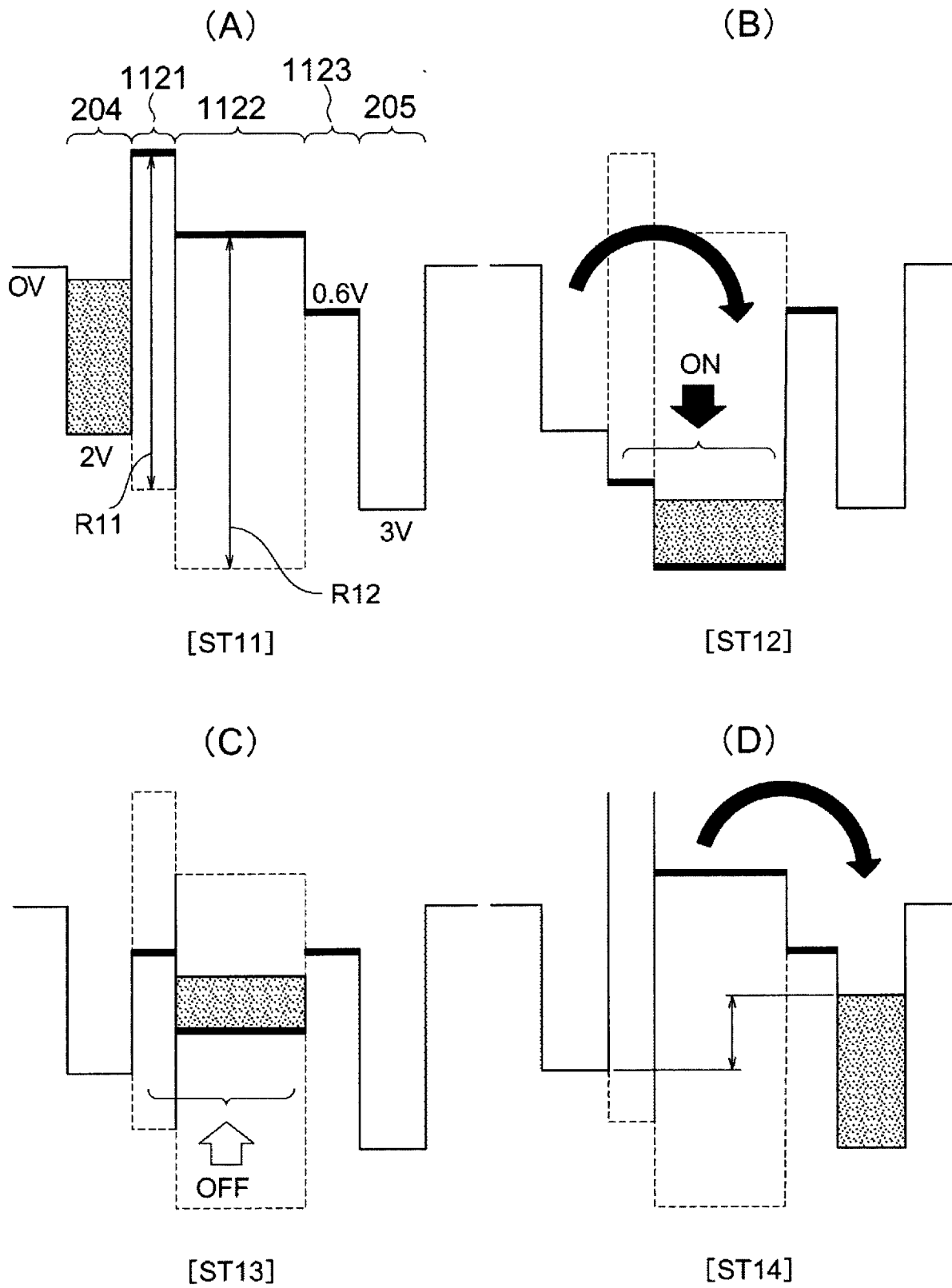
[図2]



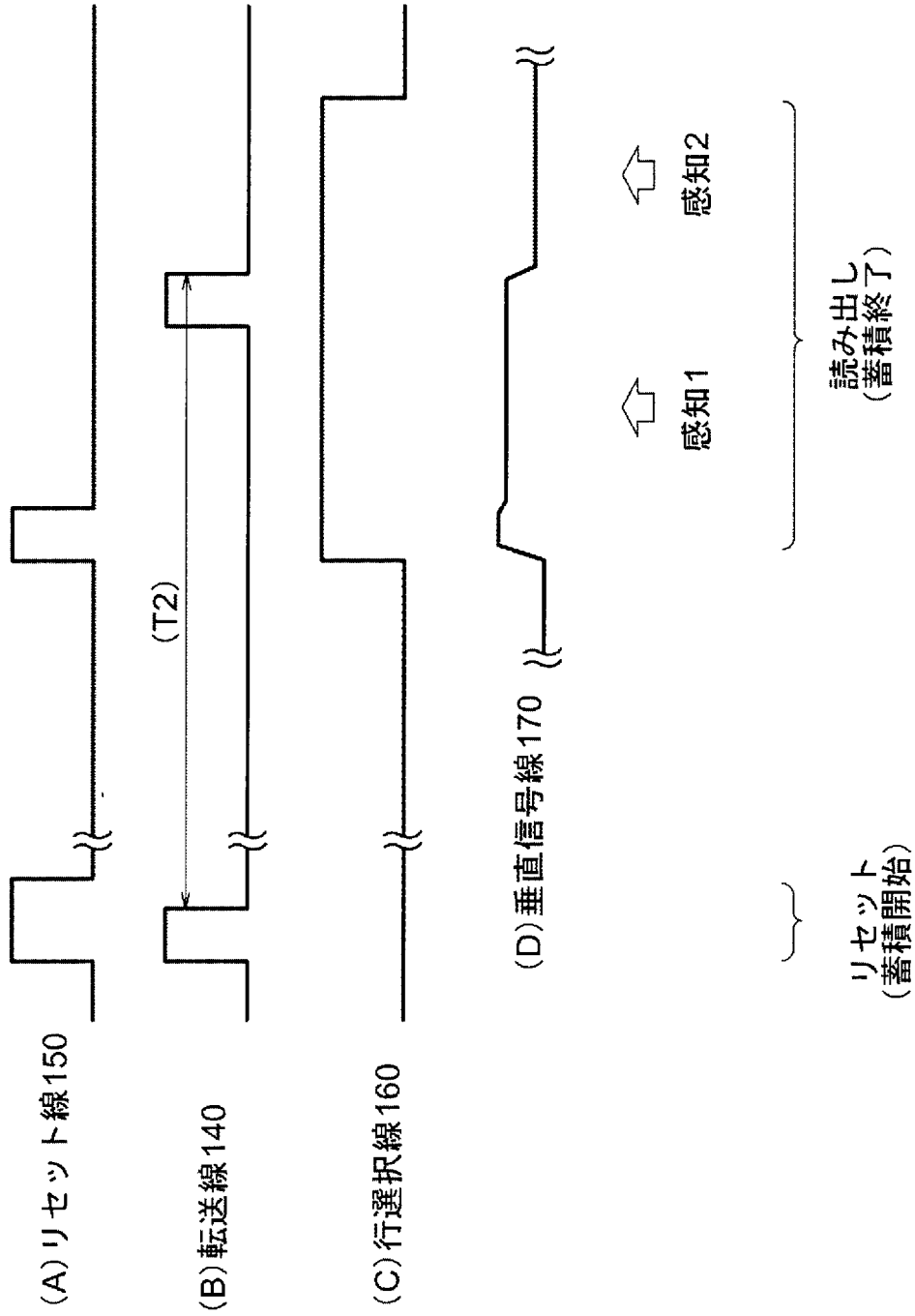
[図3]



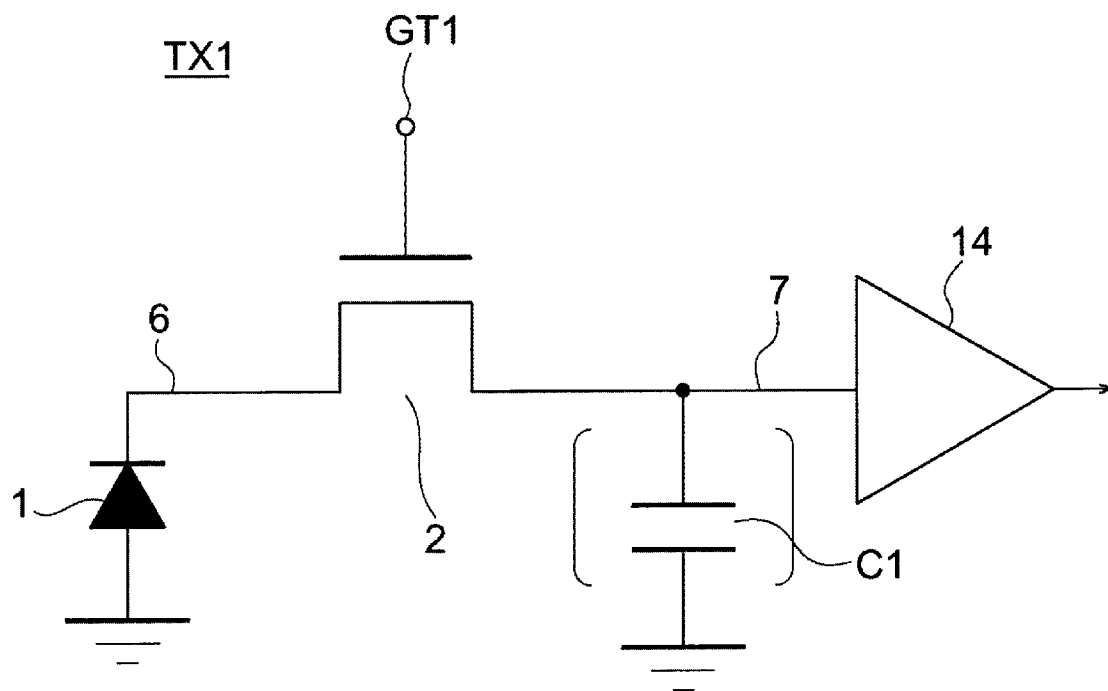
[図7]



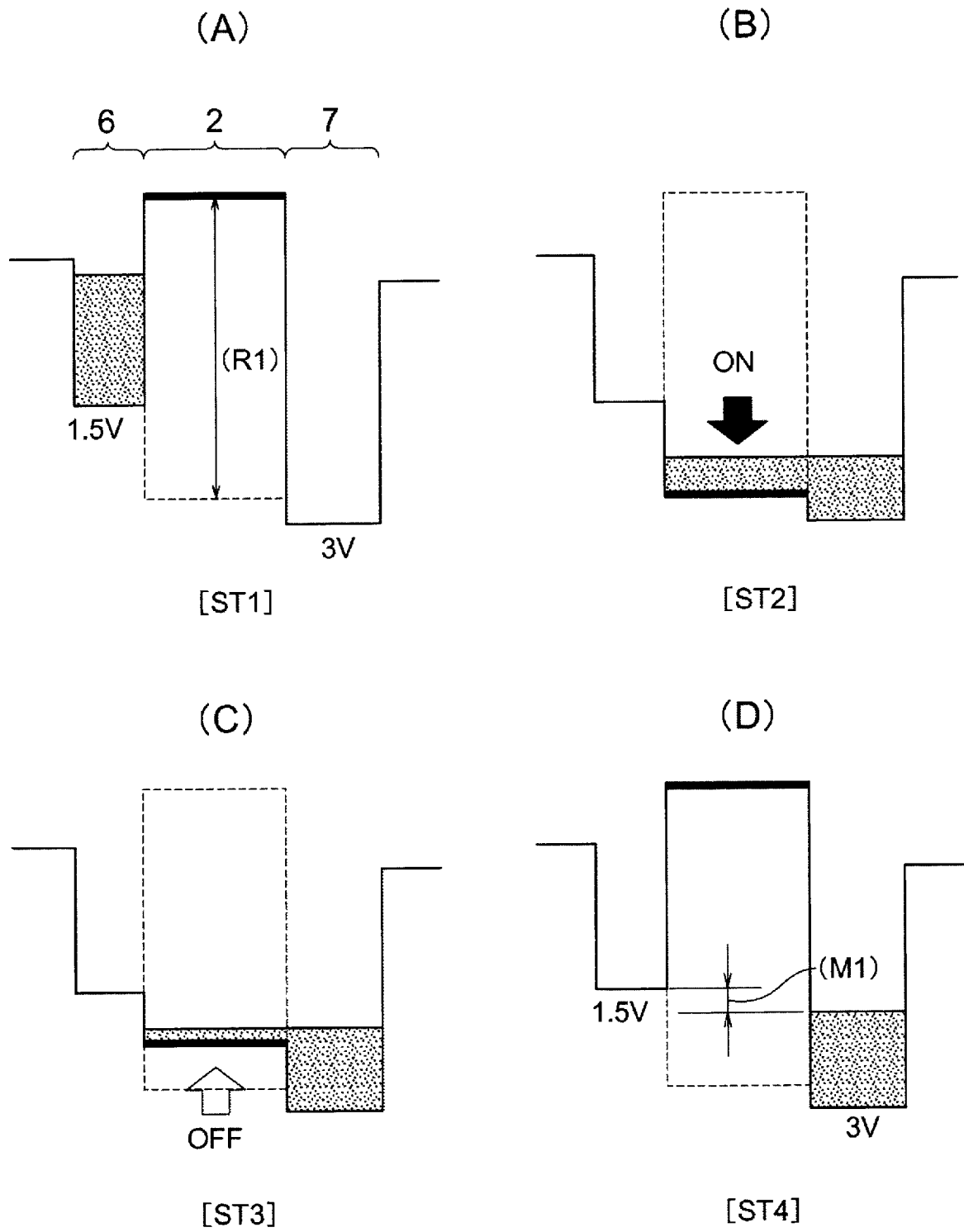
[図8]



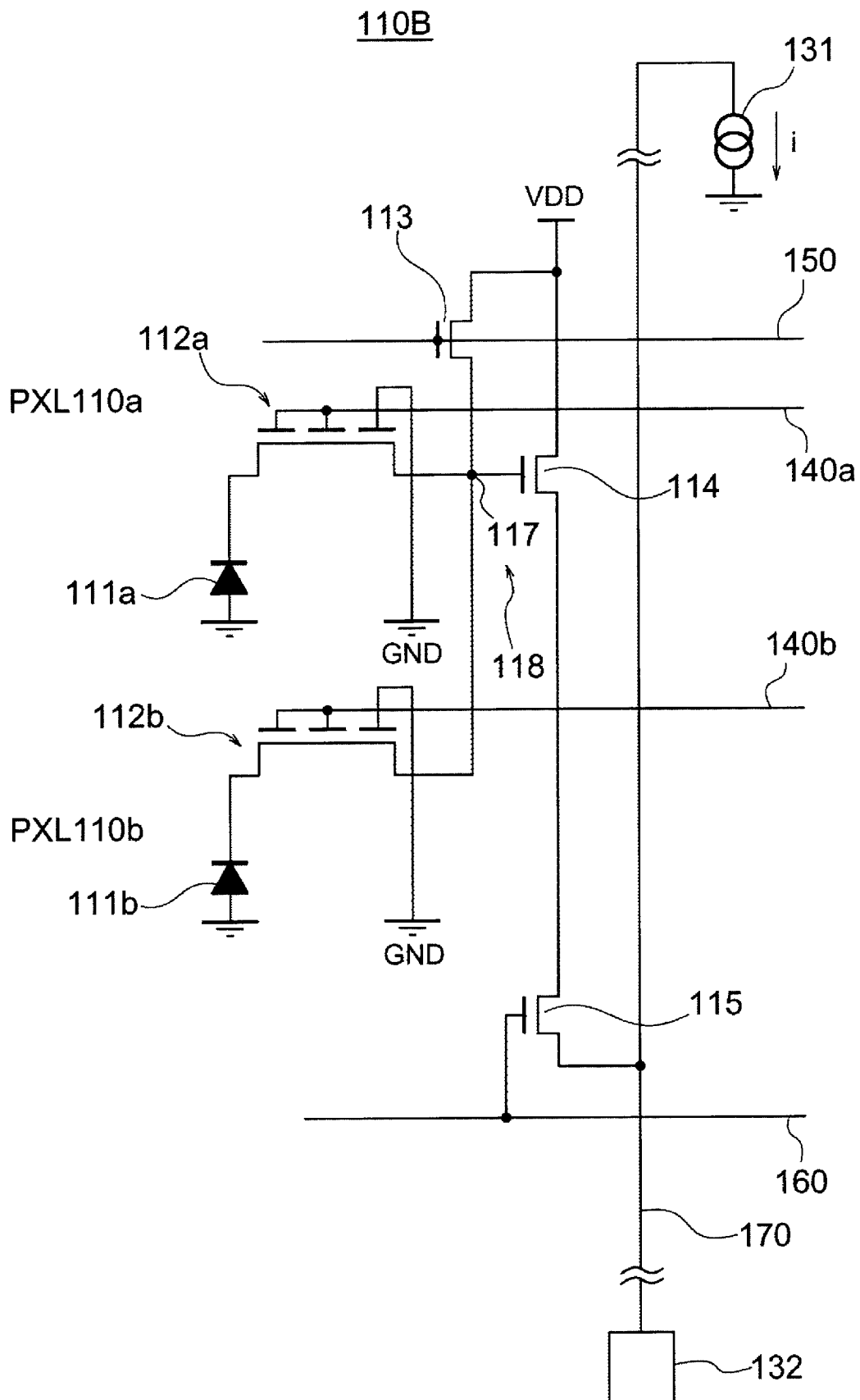
[図9]



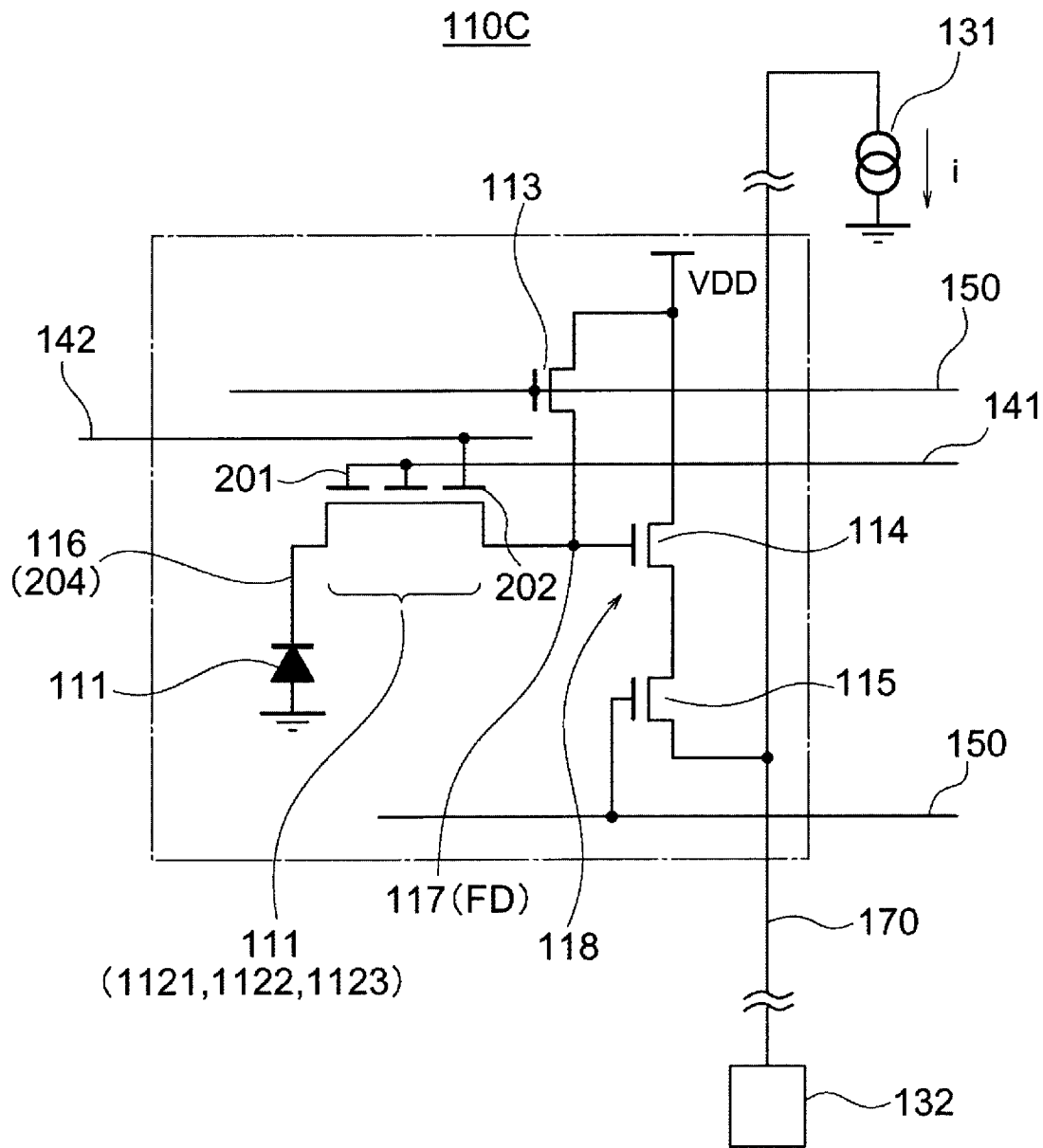
[図10]



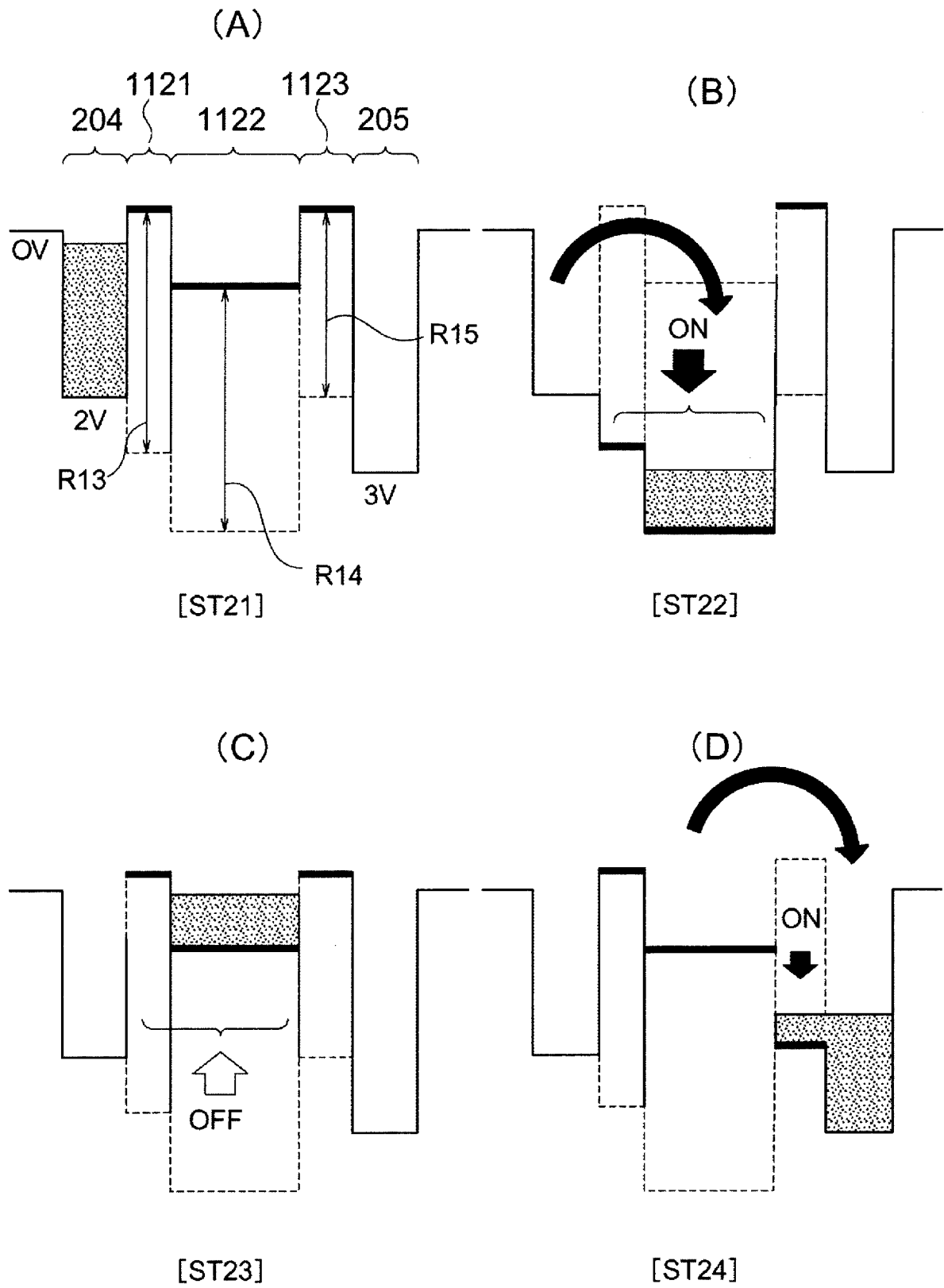
[図11]



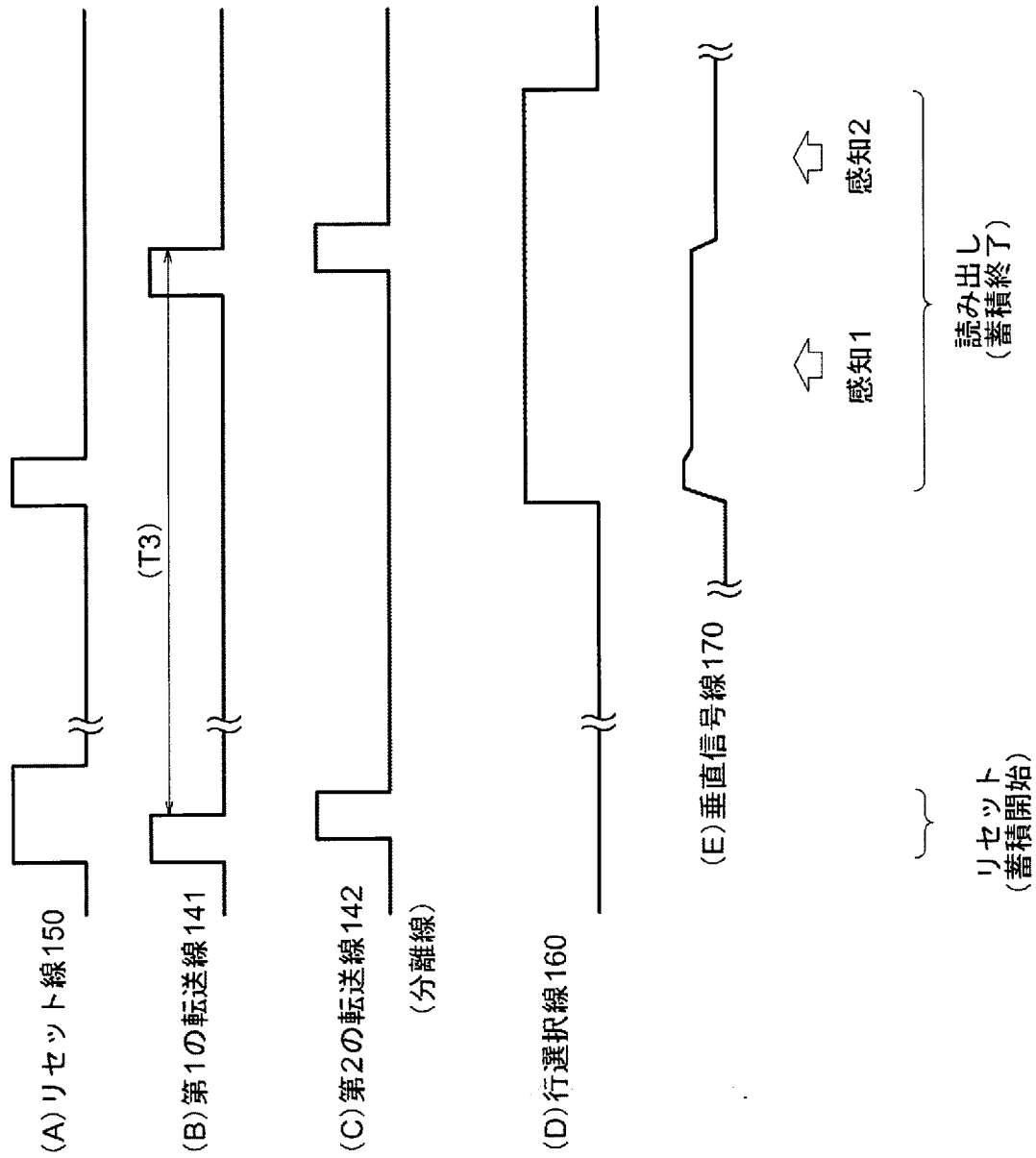
[図12]



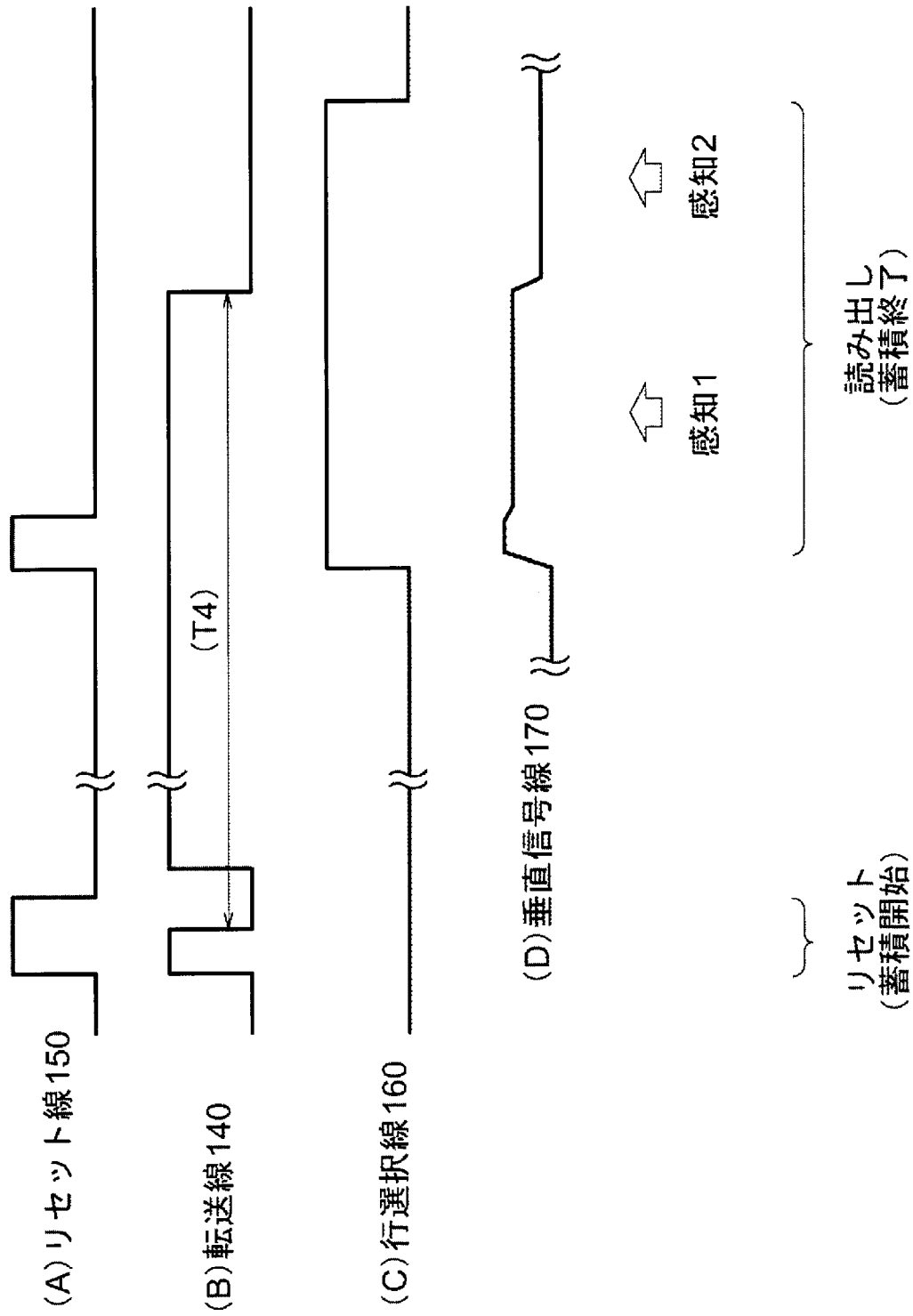
[図13]



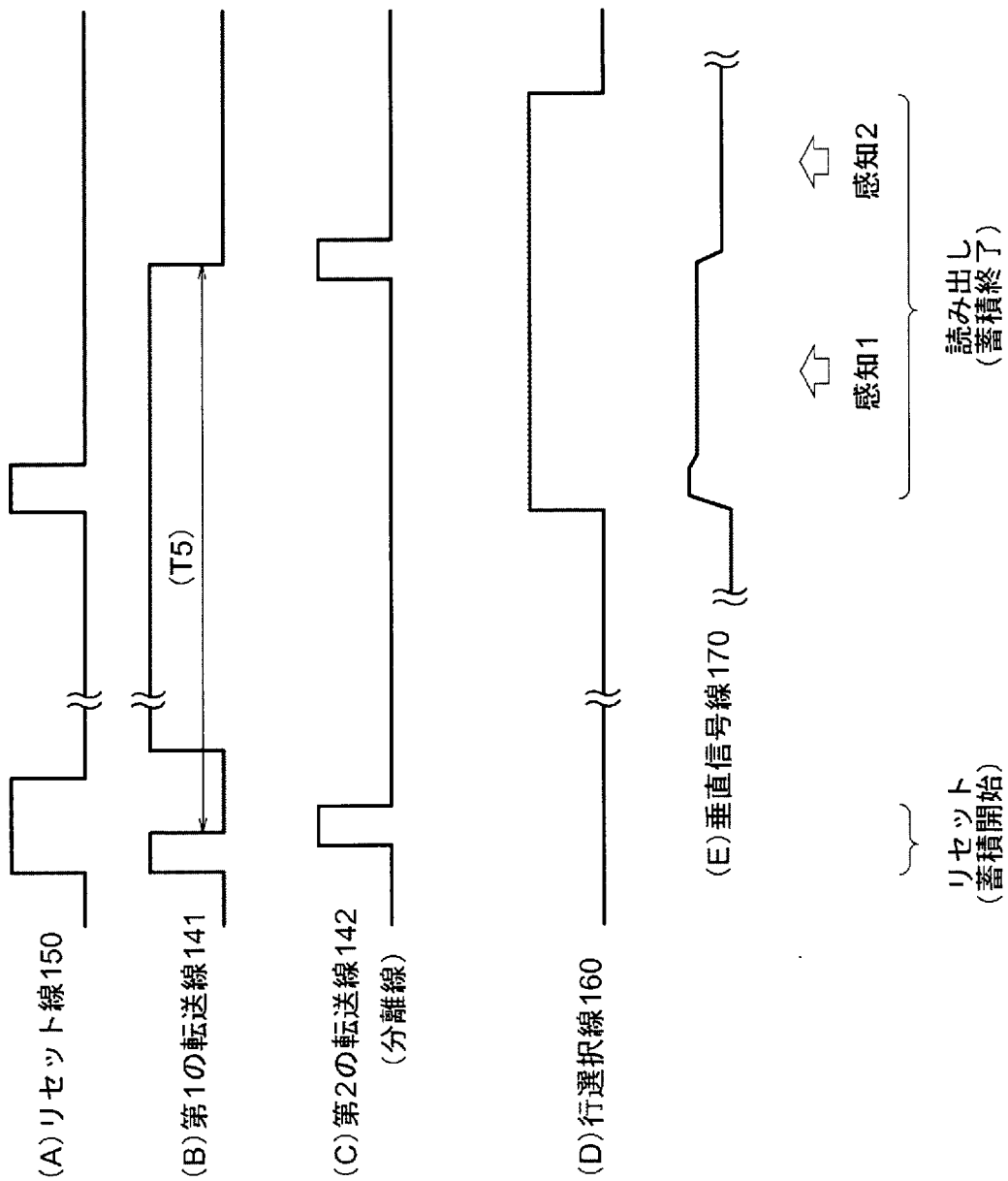
[図14]



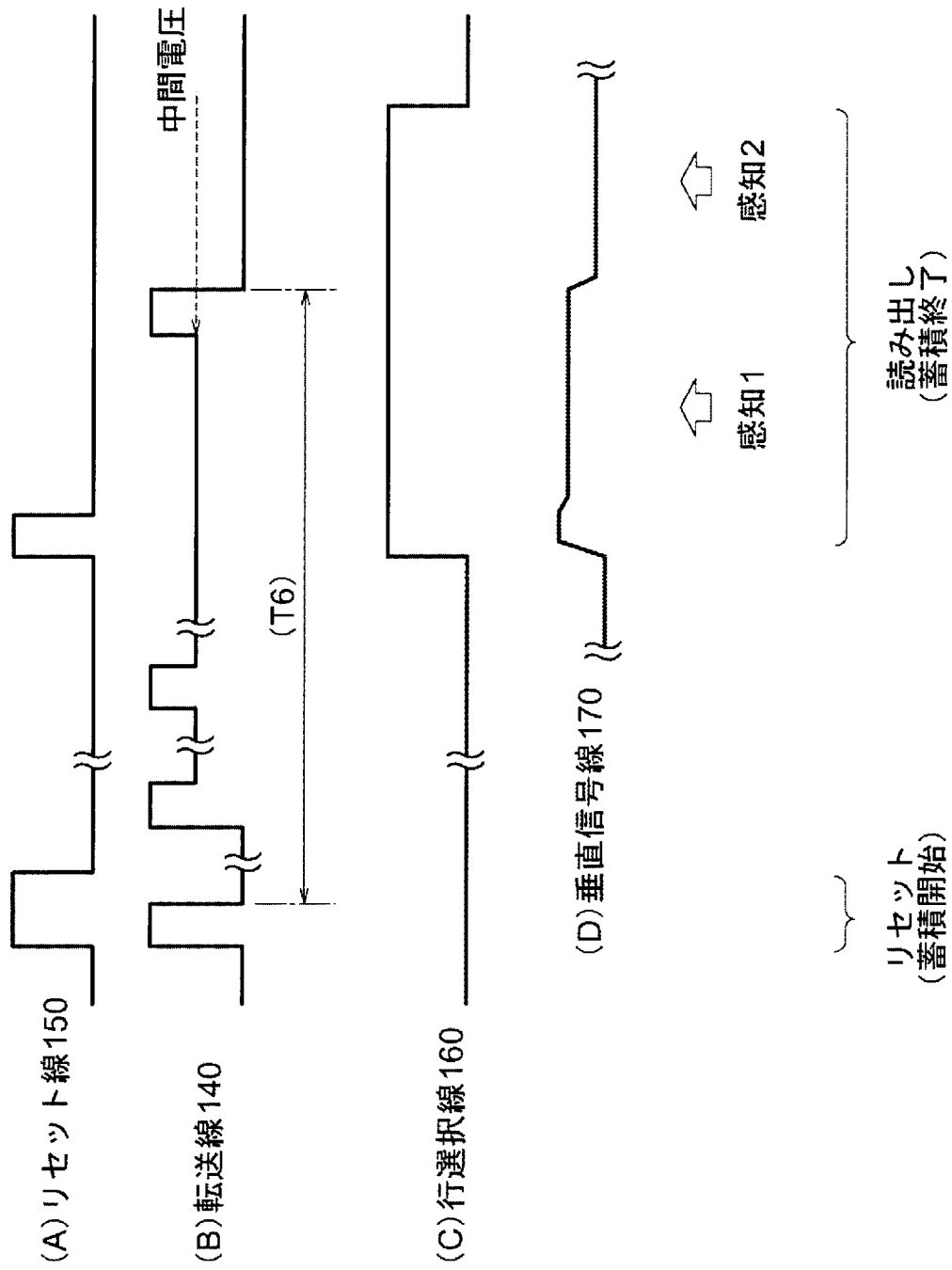
[図16]



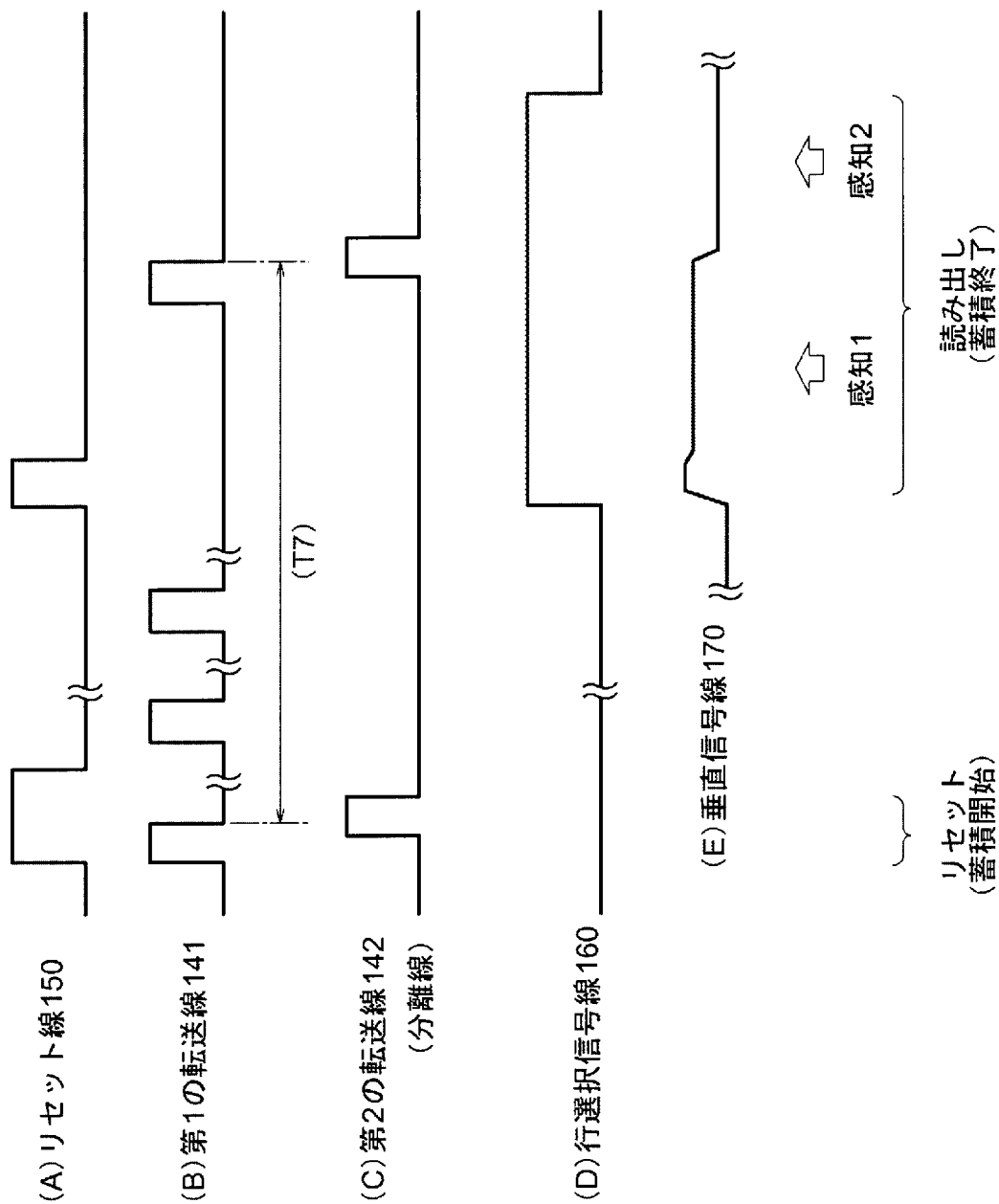
[図17]



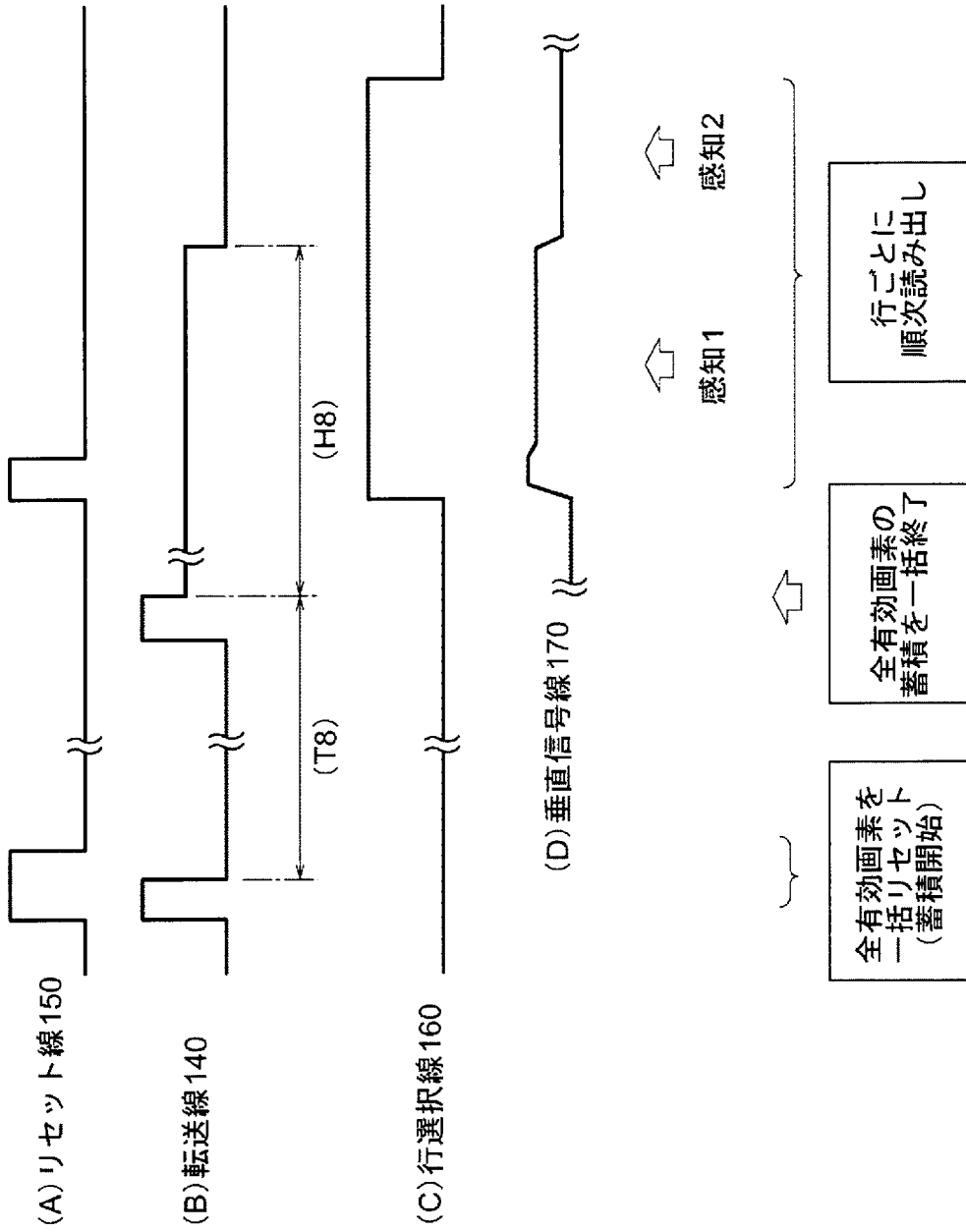
[図18]



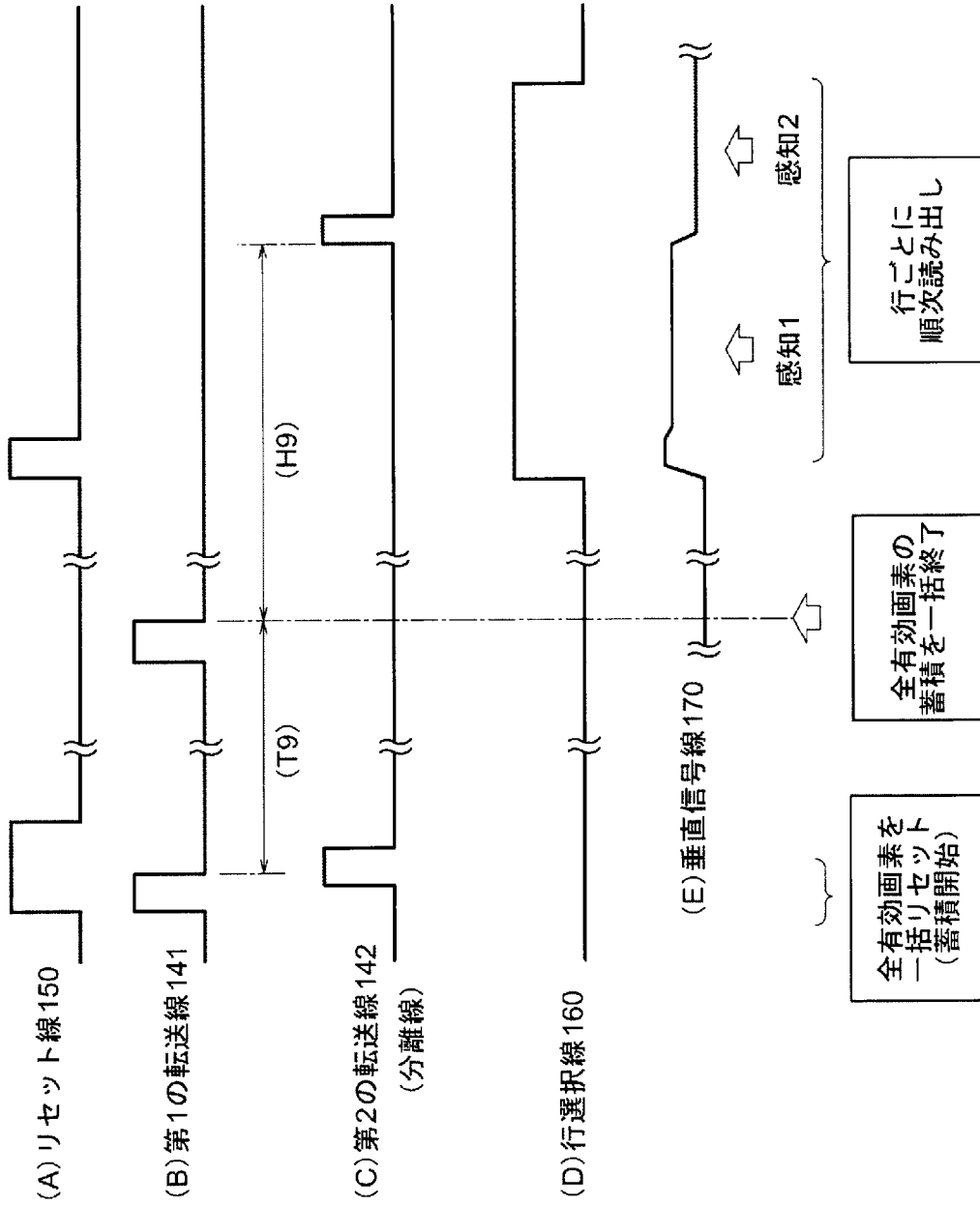
[図19]



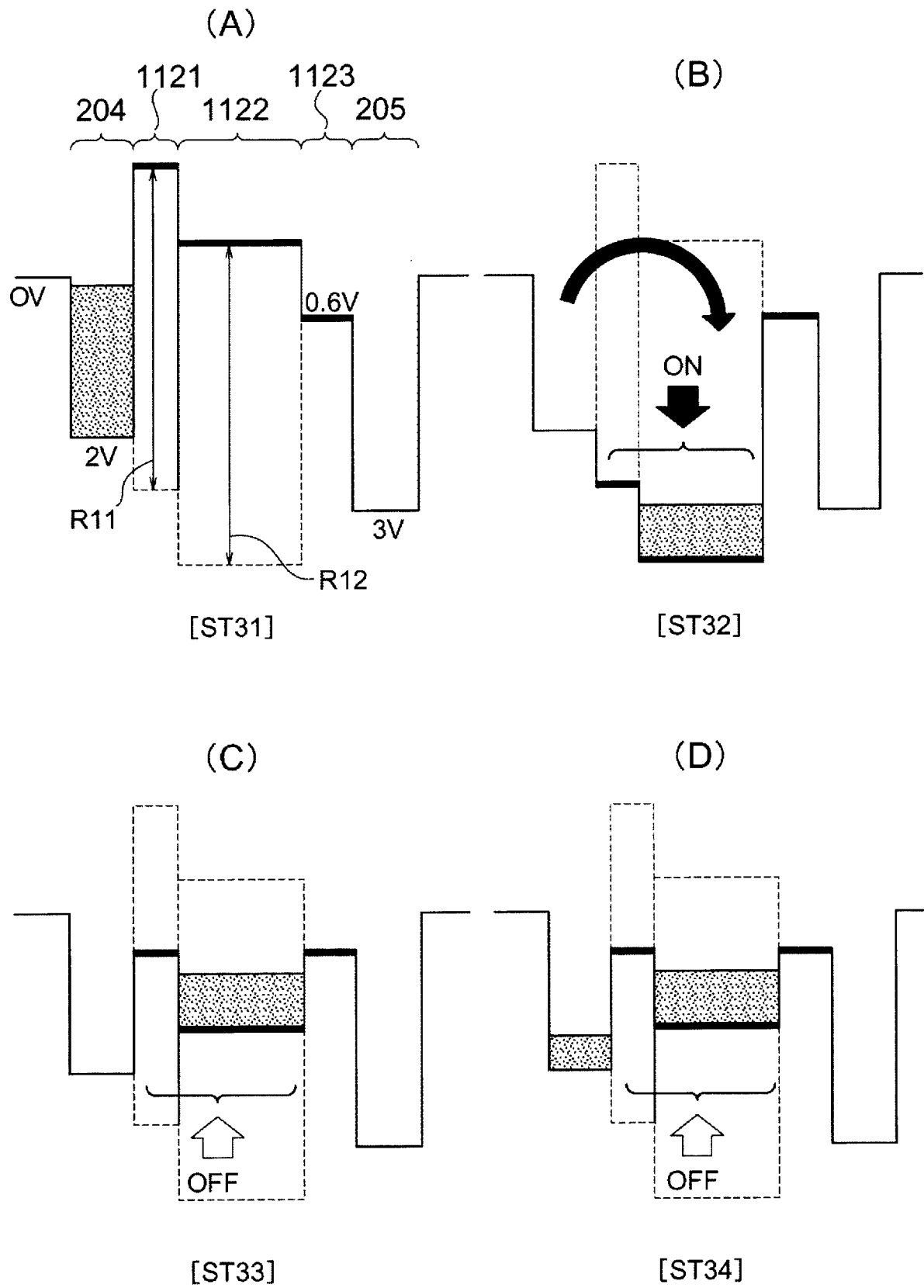
[図20]



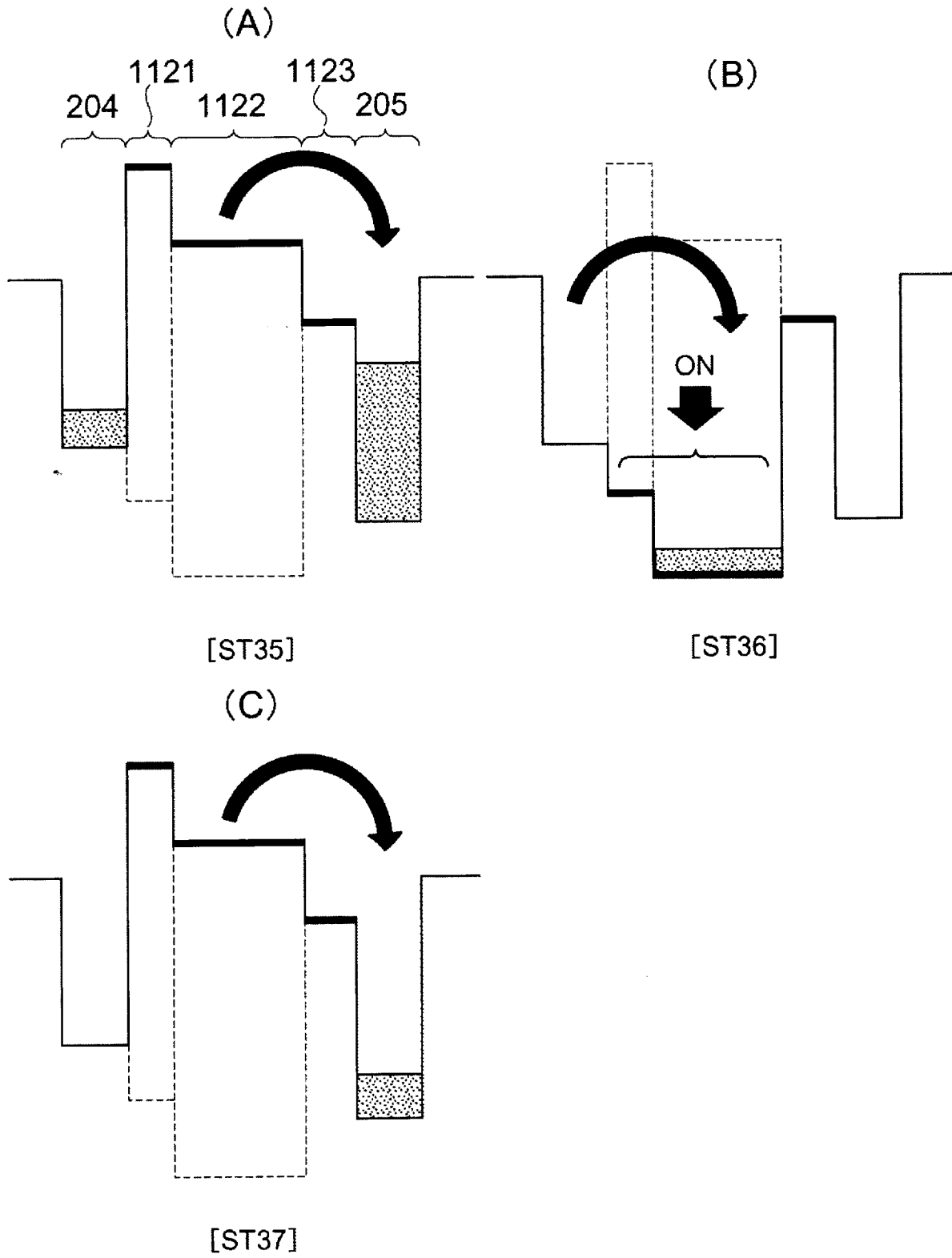
[図21]



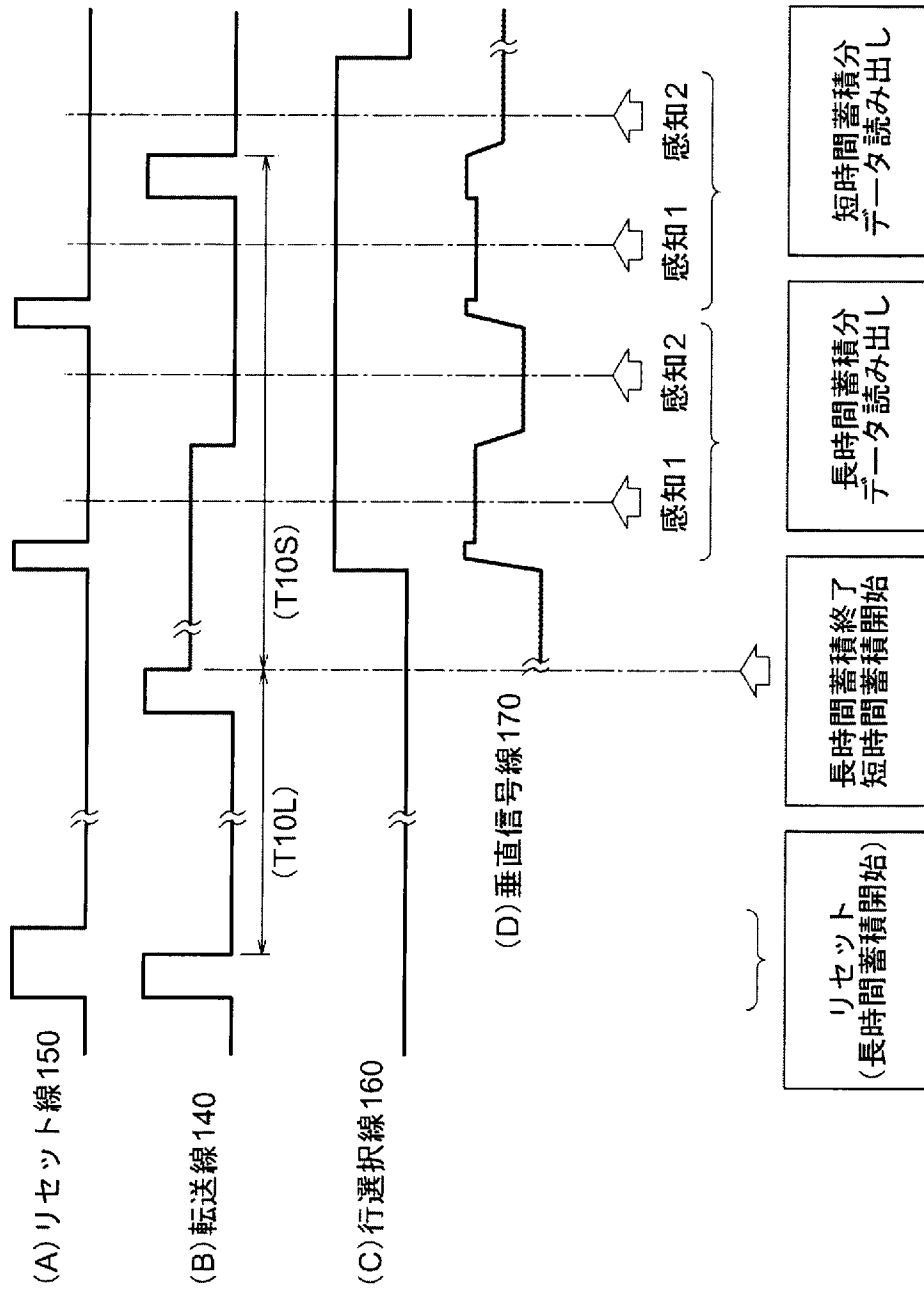
[図22]



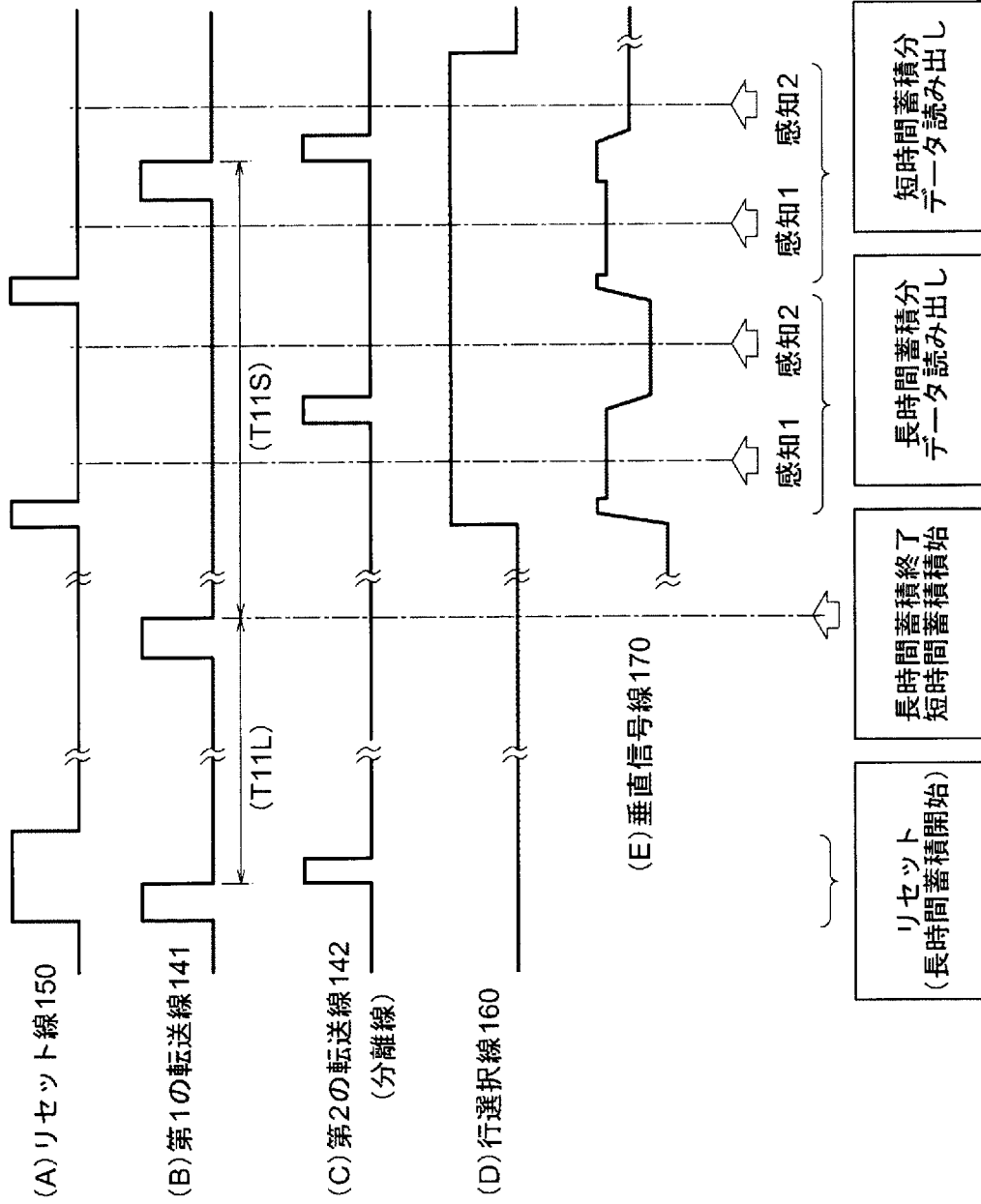
[図23]



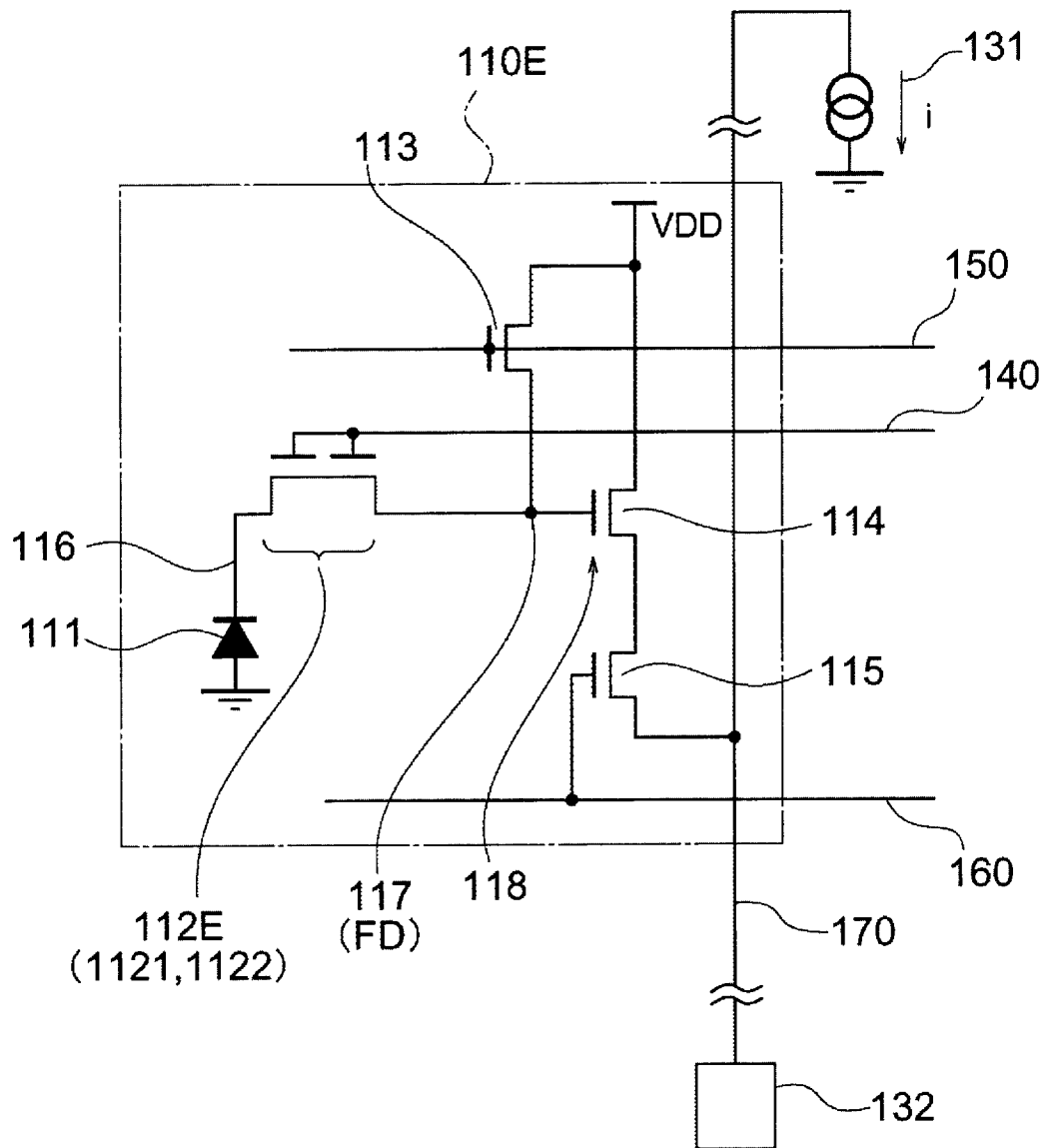
[図24]



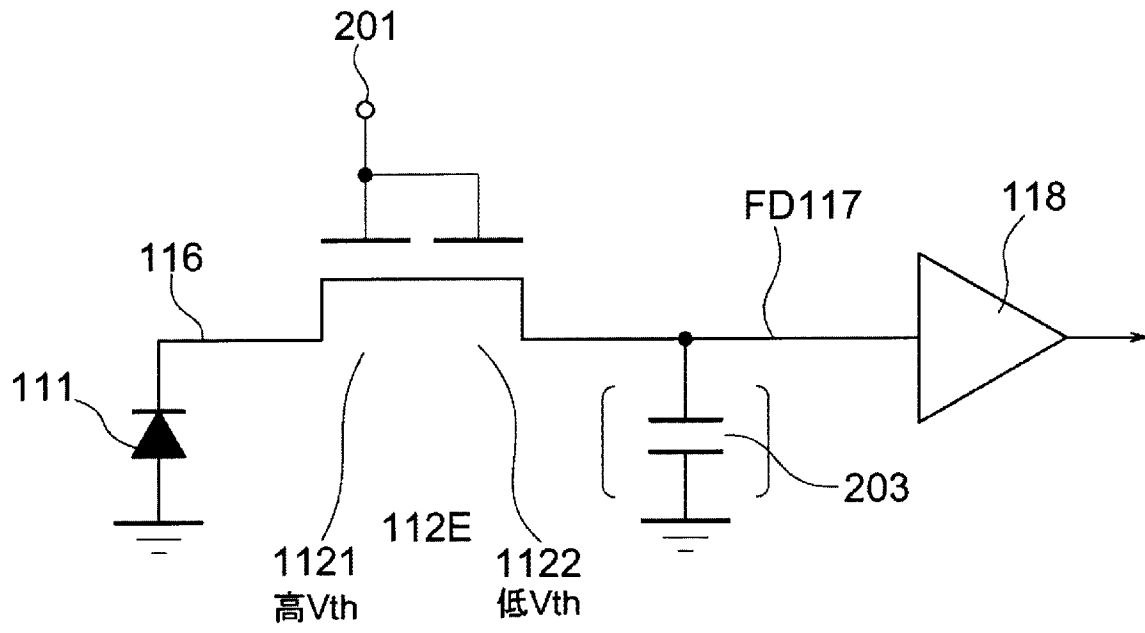
[図25]



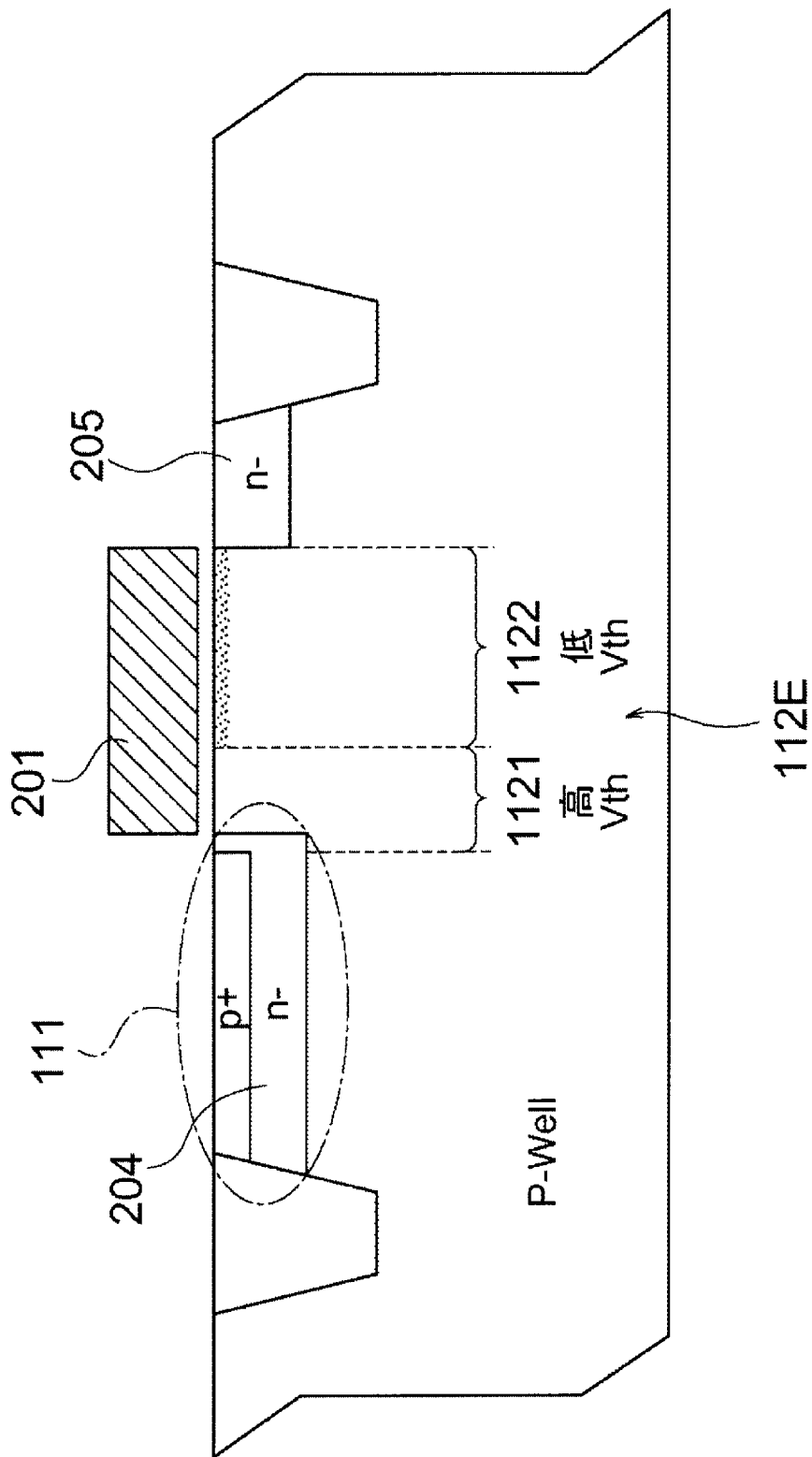
[図26]



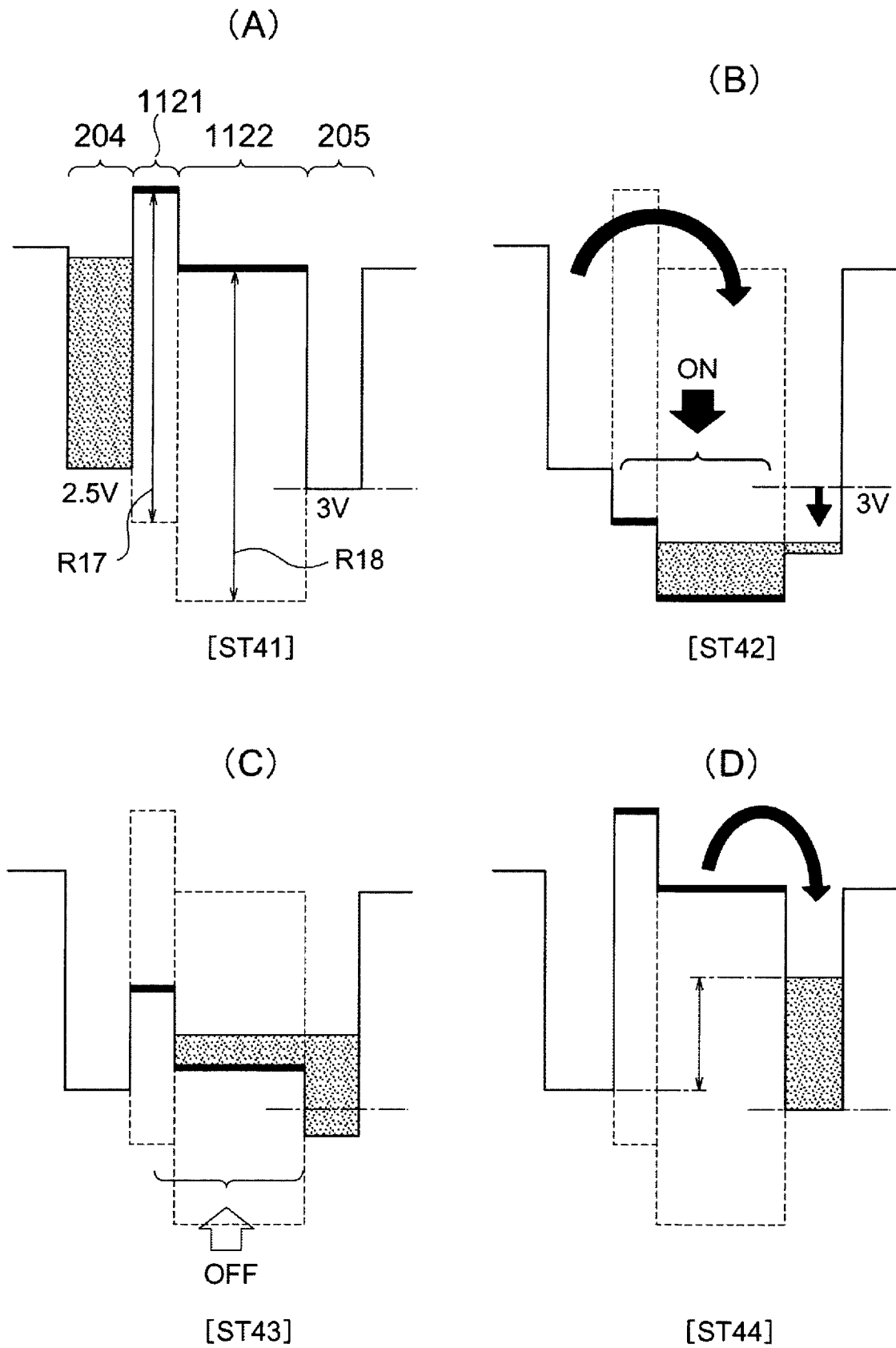
[图27]



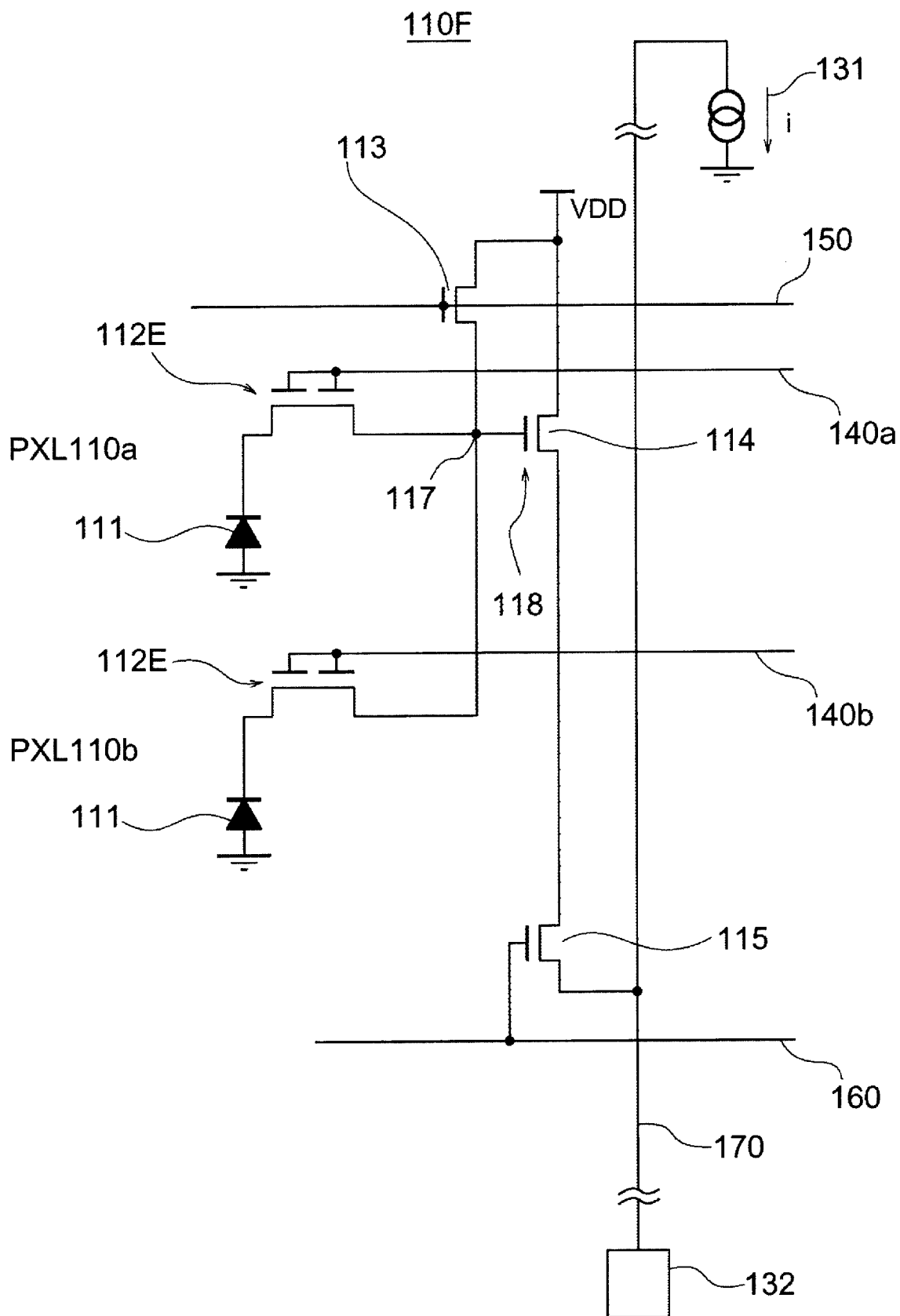
[図28]



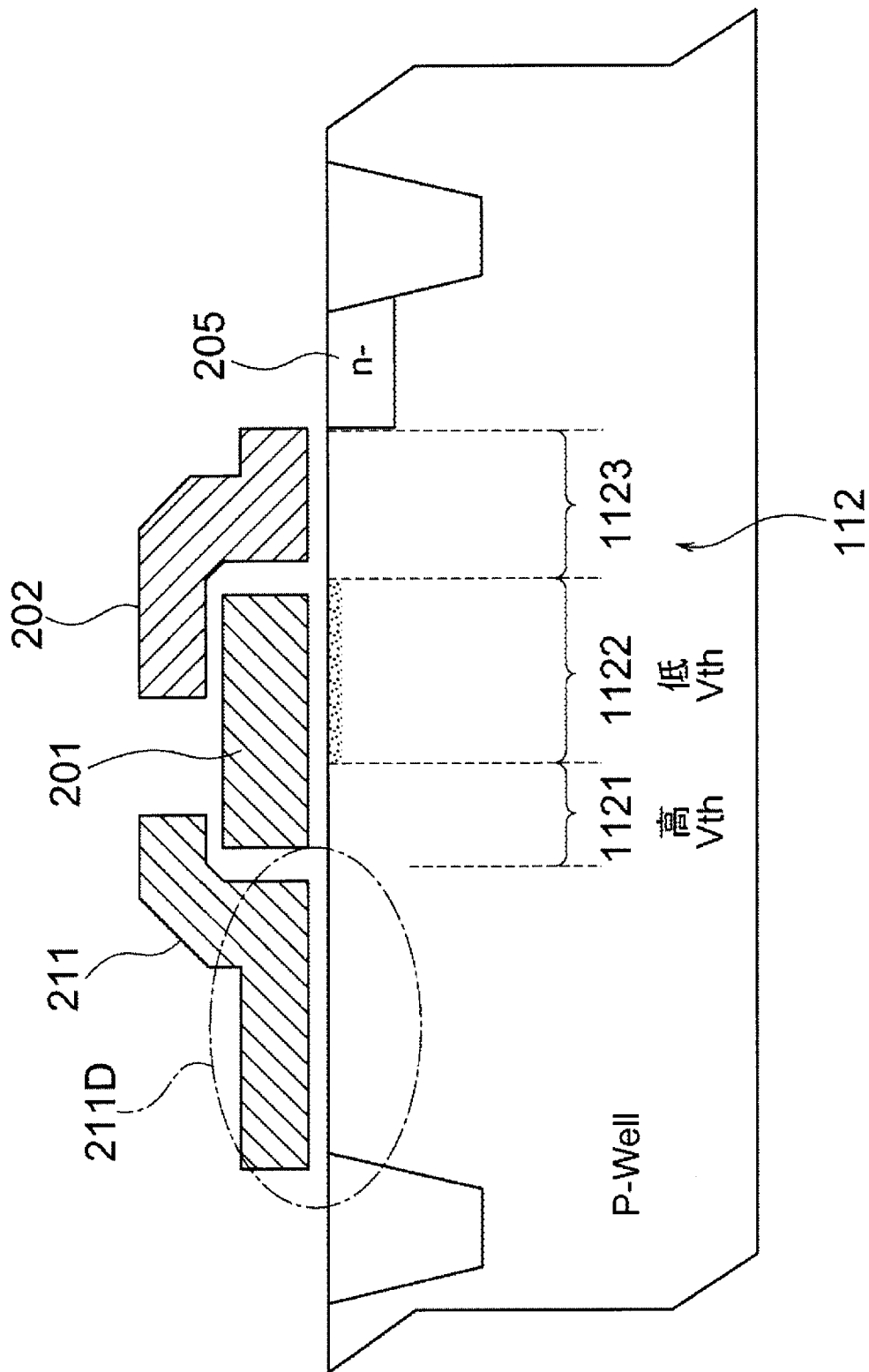
[図29]



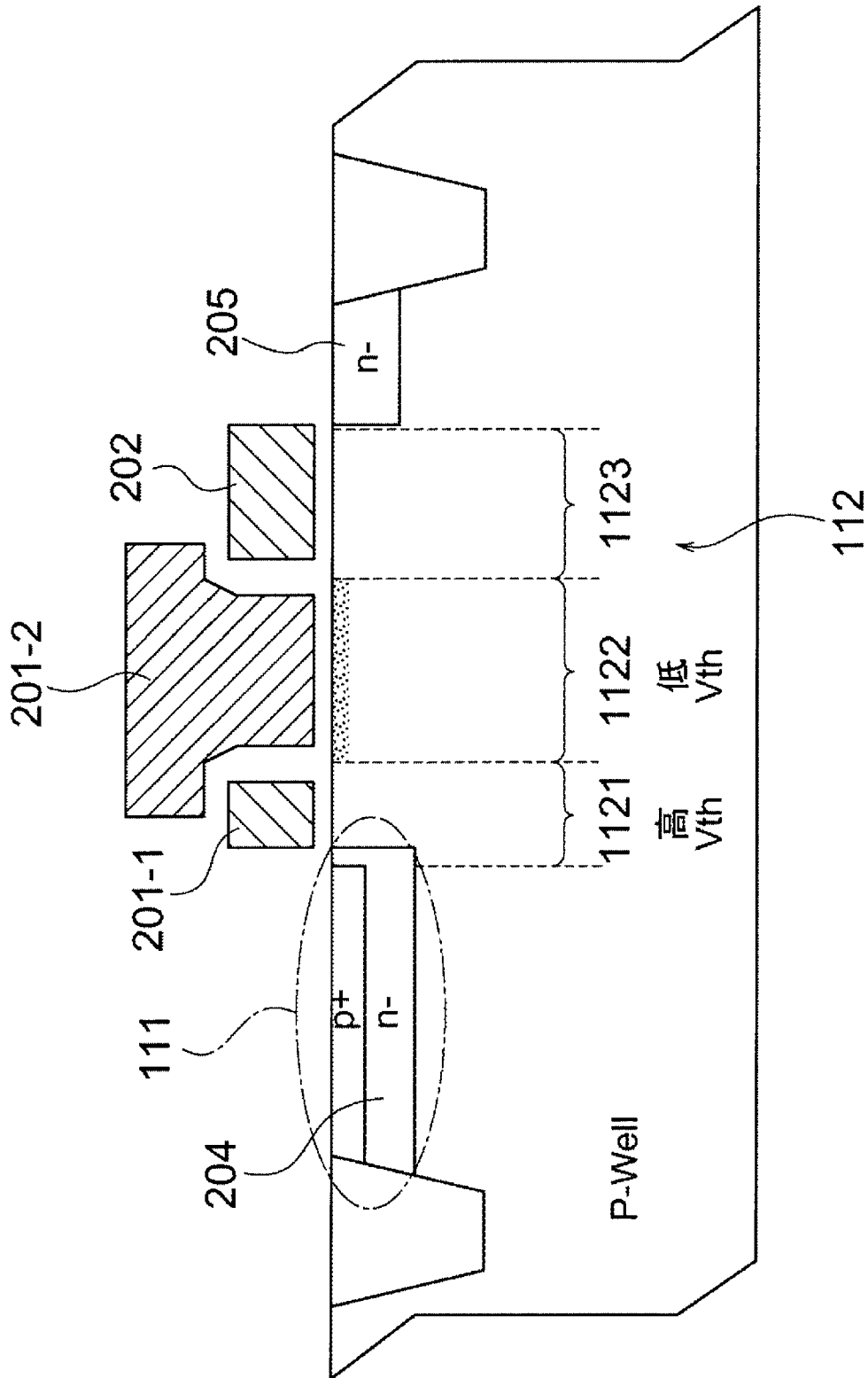
[図30]



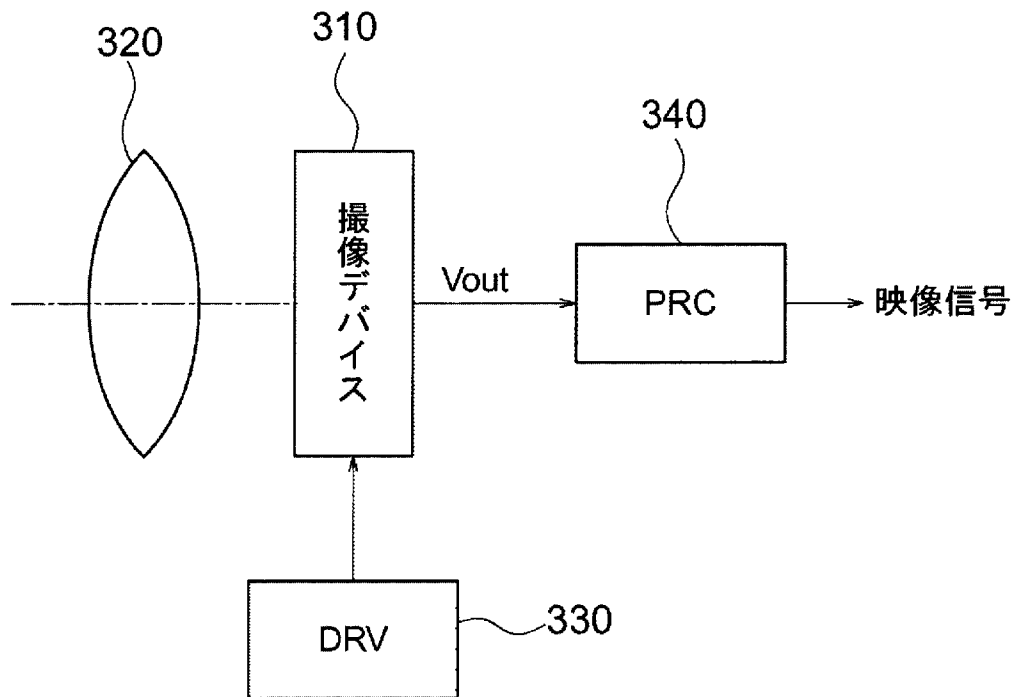
[図31]



[図32]



[図33]

300

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/069848

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/335(2006.01)i, H01L27/146(2006.01)i, H04N101/00(2006.01)n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/335, H01L27/146, H04N101/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2004-111590 A (Sony Corp.), 08 April 2004 (08.04.2004), paragraphs [0119], [0132] to [0133], [0151]; fig. 1 to 9 & US 2004/0051801 A1	1, 3, 5, 6, 11, 12, 16 8, 15 2, 4, 7, 13
X Y A	JP 2008-4692 A (Nikon Corp.), 10 January 2008 (10.01.2008), paragraphs [0041] to [0050]; fig. 1 to 4 (Family: none)	1, 3, 5, 6, 11, 12, 16 8, 15 2, 4, 7, 13
X Y	JP 2007-300083 A (MagnaChip Semiconductor Ltd.), 15 November 2007 (15.11.2007), paragraphs [0011] to [0013], [0018]; fig. 1, 3 & US 2007/0257280 A1 & KR 10-2007-0108011 A	9, 10, 14, 17 8, 15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 December, 2009 (15.12.09)Date of mailing of the international search report
28 December, 2009 (28.12.09)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/069848

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2008-78489 A (Asahi Kasei EMD Corp.), 03 April 2008 (03.04.2008), paragraphs [0024] to [0030]; fig. 1 to 2 (Family: none)	9, 14, 17 20
X Y	JP 2008-21925 A (Sony Corp.), 31 January 2008 (31.01.2008), paragraph [0037]; fig. 1 to 4 & US 2008/0012975 A1	9, 14, 17 10
A	JP 2002-64751 A (Victor Company Of Japan, Ltd.), 28 February 2002 (28.02.2002), paragraphs [0092] to [0100]; fig. 2, 6 (Family: none)	7

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04N5/335(2006.01)i, H01L27/146(2006.01)i, H04N101/00(2006.01)n

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04N5/335, H01L27/146, H04N101/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2009年
 日本国実用新案登録公報 1996-2009年
 日本国登録実用新案公報 1994-2009年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2004-111590 A (ソニー株式会社) 2004.04.08, 段落【0119】、 【0132】 - 【0133】、【0151】、図 1-9 & US 2004/0051801 A1	1, 3, 5, 6, 11, 12, 16 8, 15 2, 4, 7, 13
X Y A	JP 2008-4692 A (株式会社ニコン) 2008.01.10, 段落【0041】-【0050】、 図 1-4 (ファミリーなし)	1, 3, 5, 6, 11, 12, 16 8, 15 2, 4, 7, 13

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
--	---

国際調査を完了した日 15.12.2009	国際調査報告の発送日 28.12.2009
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鈴木 肇 5 D 9 8 4 7 電話番号 03-3581-1101 内線 3551

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2007-300083 A (マグナチップセミコンダクター有限会社) 2007. 11. 15, 段落【0011】-【0013】、【0018】、図 1、3 & US 2007/0257280 A1 & KR 10-2007-0108011 A	9, 10, 14, 17 8, 15
X Y	JP 2008-78489 A (旭化成エレクトロニクス株式会社) 2008. 04. 03, 段落【0024】 - 【0030】、図 1-2 (ファミリーなし)	9, 14, 17 10
X Y	JP 2008-21925 A (ソニー株式会社) 2008. 01. 31, 段落【0037】、図 1-4 & US 2008/0012975 A1	9, 14, 17 10
A	JP 2002-64751 A (日本ビクター株式会社) 2002. 02. 28, 段落【0092】 - 【0100】、図 2、6 (ファミリーなし)	7