

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月8日(08.09.2017)



(10) 国際公開番号

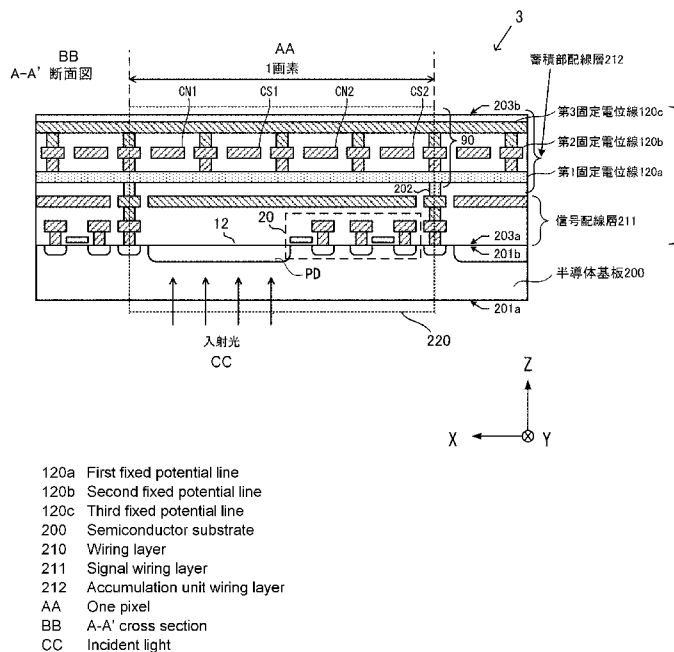
WO 2017/150469 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) H04N 5/363 (2011.01)
H01L 27/146 (2006.01)
- (21) 国際出願番号: PCT/JP2017/007548
- (22) 国際出願日: 2017年2月27日(27.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-038161 2016年2月29日(29.02.2016) JP
- (71) 出願人: 株式会社ニコン(NIKON CORPORATION)
[JP/JP]; 〒1086290 東京都港区港南二丁目15番3号 Tokyo (JP).
- (72) 発明者: 駒井 敦(KOMAI, Atsushi); 〒1086290 東京都港区港南二丁目15番3号 株式会社ニコン内 Tokyo (JP).
- (74) 代理人: 永井 冬紀, 外(NAGAI, Fuyuki et al.); 〒1080075 東京都港区港南一丁目6番41号 品川クリスタルスクエア 901 永井特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: IMAGING ELEMENT AND IMAGING DEVICE

(54) 発明の名称: 撮像素子および撮像装置

【図5】



120a First fixed potential line
120b Second fixed potential line
120c Third fixed potential line
200 Semiconductor substrate
210 Wiring layer
211 Signal wiring layer
212 Accumulation unit wiring layer
AA One pixel
BB A-A' cross section
CC Incident light

(57) Abstract: An imaging element provided with: a plurality of pixels having a photoelectric conversion unit for converting incident light entering from one side of a substrate into an electric charge and an output unit for outputting a signal deriving from the electric charge, the pixels being arranged in a first direction and a second direction that intersects the first direction; and an accumulation unit for accumulating the signal, the accumulation unit being provided by being layered with the photoelectric conversion unit on the other side of the substrate that is opposite the one side.

(57) 要約: 撮像素子は、基板の一方側から入射される入射光を電荷に変換する光電変換部と、前記電荷による信号を出力する出力部とを有し、第1方向と前記第1方向と交差する第2方向に配置される複数の画素と、前記基板の一方側とは反対側に前記光電変換部と積層して設けられ、前記信号を蓄積する蓄積部と、を備える。

明 細 書

発明の名称：撮像素子および撮像装置

技術分野

[0001] 本発明は、撮像素子および撮像装置に関する。

背景技術

[0002] 一つの画素列に複数の容量を設けることにより、ある行の画素から信号を読み出している間に、他の行の画素からの信号を水平転送することができる撮像素子が知られている（特許文献1）。しかし、従来技術では、多数の容量を設けることで撮像素子のチップ面積が増大するおそれがある。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2001-45375号公報

発明の概要

[0004] 本発明の第1の態様によると、撮像素子は、基板の一方側から入射される入射光を電荷に変換する光電変換部と、前記電荷による信号を出力する出力部とを有し、第1方向と前記第1方向と交差する第2方向に配置される複数の画素と、前記基板の一方側とは反対側に前記光電変換部と積層して設けられ、前記信号を蓄積する蓄積部と、を備える。

本発明の第2の態様によると、撮像素子は、半導体基板の第1面に入射した光を電荷に変換する光電変換部と、前記半導体基板の第2面に前記電荷による信号を出力する出力部と、を有する第1層と、前記第2面において前記第1層に積層され、前記出力部により出力された信号を蓄積する蓄積部を有する第2層と、を備える。

本発明の第3の態様によると、撮像素子は、入射面から入射した光を電荷に変換する光電変換部を有し、前記電荷に基づく信号を出力する複数の画素と、前記画素から出力された前記信号を蓄積する蓄積部と、を備え、前記蓄積部は、前記複数の画素の間に配置されている。

本発明の第４の態様によると、撮像素子は、入射面から入射した光を電荷に変換する光電変換部を有し、前記電荷に基づく信号を出力する複数の画素と、前記画素から出力された前記信号を蓄積する蓄積部と、を備え、前記画素は、前記入射面と前記蓄積部との間に配置されている。

本発明の第５の態様によると、撮像素子は、入射した光を電荷に変換する光電変換部と、前記光電変換部で光電変換された電荷が転送される第１の蓄積部と、前記第１の蓄積部に転送された電荷による信号を出力する出力部とを有する複数の画素と、前記第１の蓄積部に前記光電変換部から転送された電荷による画素信号と、前記第１の蓄積部の電荷をリセットしたりリセット信号とを切り替えて前記出力部から出力させる出力制御部と、前記出力部から出力された前記画素信号を蓄積する第２の蓄積部と、前記出力部から出力された前記リセット信号を蓄積する第３の蓄積部と、を有し、前記画素は、前記光が入射する面と、前記第２の蓄積部または前記第３の蓄積部との間に配置されている。

本発明の第６の態様によると、撮像装置は、第１～５のいずれか一態様の撮像素子と、前記撮像素子の前記信号に基づいて画像データを生成する画像生成部と、を備える。

図面の簡単な説明

[0005] [図１]第１の実施の形態に係る撮像装置の構成を示すブロック図。

[図２]第１の実施の形態に係る画素の構成を示す回路図。

[図３]第１の実施の形態に係る撮像素子の一部の構成を示す回路図。

[図４]第１の実施の形態に係る撮像素子の動作例を示すタイミングチャート。

[図５]第１の実施の形態に係る撮像素子の断面構造の一例を示す図。

[図６]第１の実施の形態に係る撮像素子の蓄積部配線層の一部の平面レイアウト例を示す図。

[図７]第２の実施の形態に係る撮像素子の一部の構成を示す回路図。

[図８]第２の実施の形態に係る撮像素子の動作例を示すタイミングチャート。

[図９]第２の実施の形態に係る撮像素子の断面構造の一例を示す図。

[図10]第2の実施の形態に係る撮像素子の蓄積部配線層の一部の平面レイアウト例を示す図。

[図11]第3の実施の形態に係る撮像素子の一部の構成を示す回路図。

[図12]第3の実施の形態に係る撮像素子の断面構造の一例を示す図。

[図13]第3の実施の形態に係る撮像素子の蓄積部配線層の一部の平面レイアウト例を示す図。

[図14]変形例1に係る撮像素子の一部の構成を示す回路図。

発明を実施するための形態

[0006] (第1の実施の形態)

図1は、第1の実施の形態に係る撮像装置1の構成を示すブロック図である。撮像装置1は、撮影光学系2、撮像素子3、および制御部4を備える。撮像装置1は、例えばカメラである。撮影光学系2は、撮像素子3に被写体像を結像する。撮像素子3は、撮影光学系2により形成された被写体像を撮像して画像信号を生成する。撮像素子3は、例えばCMOSイメージセンサである。制御部4は、撮像素子3の動作を制御するための制御信号を撮像素子3に出力する。また、制御部4は、撮像素子3から出力された画像信号に対して各種の画像処理を施し、画像データを生成する画像生成部として機能する。なお、撮影光学系2は、撮像装置1から着脱可能にしてもよい。

[0007] 図2は、第1の実施の形態に係る画素10の構成を示す回路図である。撮像素子3は、2次元状に配置された複数の画素10を有する。画素10は、例えばフォトダイオード(PD)等の光電変換部12および読み出し部20を有する。光電変換部12は、入射した光を電荷に変換し、光電変換された電荷を蓄積する機能を有する。読み出し部20は、転送部13と、排出部14と、フローティングディフュージョン(FD)15と、増幅部16と、選択部17とを有する。

[0008] 転送部13は、信号 V_{tx} により制御され、光電変換部12で光電変換された電荷をフローティングディフュージョン15に転送する。すなわち、転送部13は、光電変換部12およびフローティングディフュージョン15の

間に電荷転送路を形成する。フローティングディフュージョン15は電荷を保持（蓄積）する。増幅部16は、フローティングディフュージョン15に保持された電荷による信号を増幅し、選択部17を介して垂直信号線30に出力する。図2に示す例では、増幅部16は、ドレイン端子、ゲート端子およびソース端子がそれぞれ、電源VDD、フローティングディフュージョン15および選択部17に接続されるトランジスタM3により構成される。増幅部16のソース端子は、選択部17を介して垂直信号線30に接続される。増幅部16は、後述する電流源60を負荷電流源としてソースフォロワ回路の一部として機能する。

[0009] 排出部（リセット部）14は、信号Vrstにより制御され、フローティングディフュージョン15の電荷を排出し、フローティングディフュージョン15の電位をリセット電位（基準電位）にリセットする。選択部17は、信号Vselにより制御され、増幅部16からの信号を垂直信号線30に出力する。転送部13、排出部14、および選択部17は、例えば、それぞれトランジスタM1、トランジスタM2、トランジスタM4により構成される。

[0010] 読み出し部20は、転送部13により光電変換部12からフローティングディフュージョン15に転送された電荷に応じた信号（光電変換信号）と、フローティングディフュージョン15の電位をリセット電位にリセットしたときの信号（ノイズ信号）とを垂直信号線30に読み出す。ノイズ信号は、光電変換信号に対する基準レベルを示す基準信号となる。また、増幅部16および選択部17は、フローティングディフュージョン15に蓄積された電荷による信号を出力する出力部を構成し、出力部は、光電変換信号、ノイズ信号を垂直信号線30に出力する。

[0011] 図3は、第1の実施の形態に係る撮像素子3の一部の構成を示す回路図である。撮像素子3は、行列状に配置される複数の画素10と、垂直走査回路40と、選択回路50と、電流源60（電流源60a～電流源60d）と、第1スイッチ部70（第1スイッチ部70a～第1スイッチ部70d）と、

第2スイッチ部80（第2スイッチ部80a～第2スイッチ部80d）と、蓄積部90（蓄積部90a～蓄積部90d）と、水平走査回路100と、出力アンプ部110を有する。図3においては、回路図であり、理解を容易にするため画素10に並置して蓄積部90を描いているが、実際は画素10が行列状に稠密に配置された画素領域において半導体基板に積層して蓄積部90が配置される。画素領域は、光電変換部12および読み出し部20を有する画素10が二次元状に複数配置された領域である。すなわち、画素領域には、第1方向（例えば列方向）およびそれと交差する第2方向（例えば行方向）に複数の画素10が配置される。画素領域外には、周辺回路（垂直走査回路40や水平走査回路100等）が配置される。

[0012] 図3において左端の第1列目の画素列が配置される画素領域に蓄積部90aが設けられ、その右隣の第2列目の画素列が配置される画素領域に蓄積部90bが設けられる。同様に、第3列目の画素列に対応して、その右隣の第4列目の画素列に対応して、それぞれ、蓄積部90c、蓄積部90dが設けられている。本実施の形態では、蓄積部90は、画素領域において半導体基板に積層して設けられる。蓄積部90は、半導体基板に積層される方向において、画素10と並置して配置される。このため、チップ面積を増大させることなく大きな容量値を得ることが可能となる。

[0013] 列方向、すなわち縦方向に並んだ複数の画素10からなる画素列毎に、蓄積部90、電流源60、第1スイッチ部70、および第2スイッチ部80が設けられる。すなわち、図3において左端の第1列目の画素列に対応して、蓄積部90、電流源60、第1スイッチ部70、および第2スイッチ部80が設けられ、同様に、その右隣の第2列目の画素列に対応して、その右隣の第3列目の画素列に対応して、その右隣の第4列目の画素列に対応して、それぞれ、蓄積部90、電流源60、第1スイッチ部70、および第2スイッチ部80が設けられている。

[0014] また、画素10の各列に対応して垂直信号線30（垂直信号線30a～垂直信号線30d）が設けられる。なお、図3に示す例では、説明を簡略化す

るために、画素10は水平方向4画素×垂直方向4画素のみ図示している。

[0015] 電流源60a～電流源60dは、それぞれ垂直信号線30a～垂直信号線30dに対応して設けられ、垂直信号線30a～垂直信号線30dに接続される。また、電流源60a～電流源60dは、それぞれ垂直信号線30a～垂直信号線30dを介して各画素10に接続される。電流源60a～電流源60dは、各画素10から光電変換信号及びノイズ信号を読み出すための電流を生成する。電流源60a～電流源60dは、それぞれ生成した電流を、垂直信号線30a～垂直信号線30dおよび各画素10に供給する。

[0016] 垂直走査回路40は、信号 V_{txn} 、信号 V_{rstn} 、信号 V_{seln} などの制御信号を各画素10に供給する。垂直走査回路40は、信号 V_{txn} 等を各画素10に出力して、各画素10の動作を制御する。なお、 V_{txn} 、 V_{rstn} 、 V_{seln} の末尾の n は、画素の行番号を示している。例えば、信号 V_{tx1} は、1行目の画素10の転送部13を制御する信号である。

[0017] 第1スイッチ部70a～第1スイッチ部70dは、それぞれ垂直信号線30a～垂直信号線30dに対応して設けられ、垂直信号線30a～垂直信号線30dに接続される。第1スイッチ部70a～第1スイッチ部70dは、垂直信号線30a～垂直信号線30dと蓄積部90a～蓄積部90dとの間の電氣的な接続状態を切り替える。第1スイッチ部70a～第1スイッチ部70dは、選択回路50から出力される制御信号により制御され、各画素10から出力される光電変換信号およびノイズ信号を、それぞれ蓄積部90a～蓄積部90dに転送する。第1スイッチ部70a～第1スイッチ部70dは、それぞれがスイッチ T_{N1} と、スイッチ T_{S1} と、スイッチ T_{N2} と、スイッチ T_{S2} とを有する。スイッチ T_{N1} 、スイッチ T_{S1} 、スイッチ T_{N2} およびスイッチ T_{S2} は、トランジスタによりそれぞれ構成される。

[0018] 第2スイッチ部80a～第2スイッチ部80dは、それぞれ垂直信号線30a～垂直信号線30dに対応して設けられる。第2スイッチ部80a～第2スイッチ部80dは、蓄積部90a～蓄積部90dと出力アンプ部110

との間の電氣的な接続状態を切り替える。第2スイッチ部80a～第2スイッチ部80dは、水平走査回路100から出力される制御信号により制御され、蓄積部90a～蓄積部90dに蓄積された光電変換信号およびノイズ信号を、水平信号線Sおよび水平信号線Nを介して出力アンプ部110に転送する。第2スイッチ部80a～第2スイッチ部80dは、それぞれがスイッチPH1Nと、スイッチPH1Sと、スイッチPH2Nと、スイッチPH2Sとを有する。スイッチPH1N、スイッチPH1S、スイッチPH2NおよびスイッチPH2Sは、トランジスタによりそれぞれ構成される。

[0019] 選択回路50は、信号Vtn1、信号Vts1、信号Vtn2、信号Vts2などの制御信号を第1スイッチ部70a～第1スイッチ部70dに供給する。選択回路50は、制御信号を出力して、第1スイッチ部70a～第1スイッチ部70dの動作を制御する。

[0020] 水平走査回路100は、信号Vph11、信号Vph12、信号Vph21、信号Vph22、信号Vph31、信号Vph32、信号Vph41、信号Vph42などの制御信号を第2スイッチ部80a～第2スイッチ部80dに供給する。水平走査回路100は、制御信号を出力して、第2スイッチ部80a～第2スイッチ部80dの動作を制御する。

[0021] 蓄積部90a～蓄積部90dは、各画素10の列に対応して設けられ、各画素10から出力される光電変換信号およびノイズ信号を蓄積（記憶）する。蓄積部90a～蓄積部90dは、光電変換信号およびノイズ信号を蓄積するための容量を有する。容量は、例えば導体による容量であり、隣り合う金属により形成される容量などである。具体的には、例えば、光電変換信号またはノイズ信号が入力される導体と、所定の電位が与えられる導体との間に形成される容量である。なお、蓄積部90a～蓄積部90dの具体的な構成例は、後に図5および図6を用いて詳細に説明する。

[0022] 図3に示す例では、蓄積部90a～蓄積部90dの各々は、それぞれノイズ信号が入力される導体CN1及びCN2、光電変換信号が入力される導体CS1及びCS2を有する。また、蓄積部90a～蓄積部90dの各々は、

上述した所定の電位が与えられる導体として、固定電位線 120 を有する。

なお、図 3 においては、固定電位線 120 は、導体 CN1、導体 CS1、導体 CN2、導体 CS2 と区別するために、点線で示されている。

[0023] 図 3 に示す固定電位端子には、例えば電源電位または接地電位が供給されて、固定電位線 120 は電源電位または接地電位が与えられる。図 3 に示す複数の容量を示す符号 C は、導体 CN1 と固定電位線 120 との間、導体 CS1 と固定電位線 120 との間、導体 CN2 と固定電位線 120 との間、および導体 CS2 と固定電位線 120 との間にそれぞれ容量が形成されることを模式的に示したものである。本実施の形態では、導体 CN1 及び CN2 はノイズ信号を蓄積するノイズ用蓄積部として機能し、導体 CS1 及び CS2 は光電変換信号を蓄積する信号用蓄積部として機能する。

[0024] 出力アンプ部 110 は、水平信号線 N を介して入力されるノイズ信号と水平信号線 S を介して入力される光電変換信号との差分に基づく信号を、図 3 に示す出力端子に出力する。例えば、出力アンプ部 110 は、ノイズ信号と光電変換信号との差分を、所定のゲインで増幅した信号を出力する。

[0025] 図 4 は、第 1 の実施の形態に係る撮像素子 3 の動作例を示すタイミングチャートである。図 4 において、縦軸は制御信号の電圧レベルを示し、横軸は時刻を示す。図 4 に示すタイミングチャートでは、制御信号がハイレベル（例えば電源電位）の場合に制御信号が入力されるトランジスタがオン状態となり、制御信号がローレベル（例えば接地電位）の場合に制御信号が入力されるトランジスタがオフ状態となる。時刻 t_1 ～時刻 t_{10} 、時刻 t_{10} ～時刻 t_{22} 、時刻 t_{22} ～時刻 t_{34} 、時刻 t_{34} ～時刻 t_{46} 、および時刻 t_{46} ～時刻 t_{50} は、それぞれ 1 水平期間となる。

なお、光電変換部 12 に蓄積された電荷は、フローティングディフュージョン 15 の電荷の排出、すなわちフローティングディフュージョン 15 のリセットに同期して、リセットされるが、以下の説明では、説明の簡略化のために、光電変換部 12 のリセットについての説明は省略する。

[0026] 時刻 t_1 では、信号 V_{sel1} がハイレベルになることで、1 行目の各画

素10において、選択部17のトランジスタM4がオンになる。時刻t2では、信号V_{rst1}がハイレベルになることで、1行目の各画素10において、排出部14のトランジスタM2がオンになる。これにより、フローティングディフュージョン15の電位がリセット電位になる。さらに、1行目の各画素10のノイズ信号が、増幅部16および選択部17により、それぞれ垂直信号線30a～垂直信号線30dに出力される。時刻t3では、信号V_{rst1}がローレベルになることで、トランジスタM2がオフになる。時刻t4では、信号V_{tn1}がハイレベルになることで、第1スイッチ部70a～第1スイッチ部70dのそれぞれのスイッチTN1がオンになる。これにより、各画素10からのノイズ信号が、蓄積部90a～蓄積部90dの導体CN1に転送される。蓄積部90a～蓄積部90dの導体CN1に付加される容量は、それぞれ1行目の各画素10からのノイズ信号を蓄積する。時刻t5では、信号V_{tn1}がローレベルになることで、スイッチTN1がオフになる。スイッチTN1がオフされると、導体CN1に付加される容量は、ノイズ信号を保持（蓄積）する。

[0027] 時刻t6では、信号V_{tx1}がハイレベルになることで、1行目の各画素10において、転送部13のトランジスタM1がオンになる。これにより、光電変換部12で光電変換された電荷が、フローティングディフュージョン15に転送される。さらに、1行目の各画素10の光電変換信号が、増幅部16および選択部17により垂直信号線30a～垂直信号線30dに出力される。時刻t7では、信号V_{tx1}がローレベルになることで、トランジスタM1がオフになる。時刻t8では、信号V_{ts1}がハイレベルになることで、第1スイッチ部70a～第1スイッチ部70dのそれぞれのスイッチTS1がオンになる。これにより、光電変換信号が蓄積部90a～蓄積部90dの導体CS1に転送される。導体CS1に付加される容量は、1行目の各画素10からの光電変換信号を蓄積する。時刻t9では、信号V_{ts1}がローレベルになることで、スイッチTS1がオフになる。スイッチTS1がオフされると、導体CS1に付加される容量は光電変換信号を保持する。

[0028] 時刻 t_{10} では、信号 V_{ph11} および信号 V_{sel2} がハイレベルになる。信号 V_{ph11} がハイレベルになることで、第2スイッチ部80aのスイッチPH1N及びスイッチPH1Sがオンになる。これにより、各画素10の1列目に対応する蓄積部90aに蓄積されている1行目の画素10からの信号が、水平信号線S及び水平信号線Nに出力される。すなわち、蓄積部90aの導体CS1に蓄積されている光電変換信号は水平信号線Sに出力され、蓄積部90aの導体CN1に蓄積されているノイズ信号は水平信号線Nに出力される。出力アンプ部110は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

[0029] また、時刻 t_{10} において、信号 V_{sel2} がハイレベルになることで、2行目の各画素10のトランジスタM4がオンになる。時刻 t_{11} では、信号 V_{rst2} がハイレベルになることで、トランジスタM2がオンになり、フローティングディフュージョン15がリセットされる。さらに、2行目の各画素10のノイズ信号が、垂直信号線30a～垂直信号線30dに出力される。時刻 t_{12} では、信号 V_{rst2} がローレベルになることで、トランジスタM2がオフになる。時刻 t_{13} では、信号 V_{tn2} がハイレベルになることで、スイッチTN2がオンになる。これにより、ノイズ信号が蓄積部90a～蓄積部90dの導体CN2に転送される。導体CN2に付加される容量は、2行目の各画素10からのノイズ信号を蓄積する。

[0030] 時刻 t_{14} では、信号 V_{ph11} がローレベルになり、信号 V_{ph21} がハイレベルになる。信号 V_{ph11} がローレベルになることで、第2スイッチ部80aのスイッチPH1N及びスイッチPH1Sがオフになる。信号 V_{ph21} がハイレベルになることで、第2スイッチ部80bのスイッチPH1N及びスイッチPH1Sがオンになる。これにより、各画素10の2列目に対応する蓄積部90bに蓄積されている1行目の画素10からの光電変換信号が水平信号線Sに出力され、ノイズ信号が水平信号線Nに出力される。出力アンプ部110は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

- [0031] 時刻 t_{15} では、信号 V_{tn2} がローレベルになることで、スイッチ T_{N2} がオフになる。スイッチ T_{N2} がオフされると、導体 C_{N2} に付加される容量はノイズ信号を保持する。
- [0032] 時刻 t_{16} では、信号 V_{ph21} がローレベルになり、信号 V_{ph31} がハイレベルになる。信号 V_{ph21} がローレベルになることで、第2スイッチ部 $80b$ のスイッチ $PH1N$ 及びスイッチ $PH1S$ がオフになる。信号 V_{ph31} がハイレベルになることで、第2スイッチ部 $80c$ のスイッチ $PH1N$ 及びスイッチ $PH1S$ がオンになる。これにより、各画素 10 の3列目に対応する蓄積部 $90c$ に蓄積されている1行目の画素 10 からの光電変換信号が水平信号線 S に出力され、ノイズ信号が水平信号線 N に出力される。出力アンプ部 110 は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。
- [0033] 時刻 t_{17} では、信号 V_{tx2} がハイレベルになることで、2行目の各画素 10 において、トランジスタ $M1$ がオンになる。これにより、光電変換部 12 で光電変換された電荷が、フローティングディフュージョン 15 に転送される。さらに、2行目の各画素 10 の光電変換信号が、垂直信号線 $30a \sim$ 垂直信号線 $30d$ に出力される。時刻 t_{18} では、信号 V_{tx2} がローレベルになることで、トランジスタ $M1$ がオフになる。時刻 t_{19} では、信号 V_{ts2} がハイレベルになることで、第1スイッチ部 $70a \sim$ 第1スイッチ部 $70d$ のそれぞれのスイッチ $TS2$ がオンになる。これにより、光電変換信号が蓄積部 $90a \sim$ 蓄積部 $90d$ の導体 $CS2$ に転送される。導体 $CS2$ に付加される容量は、2行目の各画素 10 からの光電変換信号を蓄積する。
- [0034] 時刻 t_{20} では、信号 V_{ph31} がローレベルになり、信号 V_{ph41} がハイレベルになる。信号 V_{ph31} がローレベルになることで、第2スイッチ部 $80c$ のスイッチ $PH1N$ 及びスイッチ $PH1S$ がオフになる。信号 V_{ph41} がハイレベルになることで、第2スイッチ部 $80d$ のスイッチ $PH1N$ 及びスイッチ $PH1S$ がオンになる。これにより、各画素 10 の4列目に対応する蓄積部 $90d$ に蓄積されている1行目の画素 10 からの光電変換

信号が水平信号線Sに出力され、ノイズ信号が水平信号線Nに出力される。出力アンプ部110は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

[0035] 時刻 t_{21} では、信号 V_{ts2} がローレベルになることで、スイッチ TS_2 がオフになる。スイッチ TS_2 がオフされると、導体 CS_2 に付加される容量は光電変換信号を保持する。

[0036] 以上説明したように、時刻 t_{10} から時刻 t_{22} までの間では、2行目の各画素10から信号を蓄積部90に読み出している間に、蓄積部90に蓄積した1行目の各画素10からの信号を水平信号線S及び水平信号線Nに出力する水平転送が行われる。

[0037] 時刻 t_{22} では、信号 V_{ph41} がローレベルになり、信号 V_{ph12} および信号 V_{sel3} がハイレベルになる。信号 V_{ph41} がローレベルになることで、第2スイッチ部80dのスイッチ $PH1N$ 及びスイッチ $PH1S$ がオフになる。信号 V_{ph12} がハイレベルになることで、第2スイッチ部80aのスイッチ $PH2N$ 及びスイッチ $PH2S$ がオンになる。これにより、各画素10の1列目に対応する蓄積部90aに蓄積されている2行目の各画素10からの信号が、水平信号線S及び水平信号線Nに出力される。すなわち、蓄積部90aの導体 CS_2 に蓄積されている光電変換信号は水平信号線Sに出力され、蓄積部90aの導体 CN_2 に蓄積されているノイズ信号は水平信号線Nに出力される。出力アンプ部110は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

[0038] また、時刻 t_{22} において、信号 V_{sel3} がハイレベルになることで、3行目の各画素10のトランジスタ M_4 がオンになる。時刻 t_{23} では、信号 V_{rst3} がハイレベルになることで、トランジスタ M_2 がオンになり、フローティングディフュージョン15がリセットされる。さらに、3行目の各画素10のノイズ信号が、垂直信号線30a～垂直信号線30dに出力される。時刻 t_{24} では、信号 V_{rst3} がローレベルになることで、トランジスタ M_2 がオフになる。時刻 t_{25} では、信号 V_{tn1} がハイレベルにな

ることで、スイッチT N 1がオンになる。これにより、ノイズ信号が蓄積部9 0 a～蓄積部9 0 dの導体C N 1に転送される。導体C N 1に付加される容量は、3行目の各画素1 0からのノイズ信号を蓄積する。

[0039] 時刻t 2 6では、信号V p h 1 2がローレベルになり、信号V p h 2 2がハイレベルになる。信号V p h 1 2がローレベルになることで、第2スイッチ部8 0 aのスイッチP H 2 N及びスイッチP H 2 Sがオフになる。信号V p h 2 2がハイレベルになることで、第2スイッチ部8 0 bのスイッチP H 2 N及びスイッチP H 2 Sがオンになる。これにより、各画素1 0の2列目に対応する蓄積部9 0 bに蓄積されている2行目の各画素1 0からの光電変換信号が水平信号線Sに出力され、ノイズ信号が水平信号線Nに出力される。出力アンプ部1 1 0は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

[0040] 時刻t 2 7では、信号V t n 1がローレベルになることで、スイッチT N 1がオフになる。スイッチT N 1がオフされると、導体C N 1に付加される容量はノイズ信号を保持する。

[0041] 時刻t 2 8では、信号V p h 2 2がローレベルになり、信号V p h 3 2がハイレベルになる。信号V p h 2 2がローレベルになることで、第2スイッチ部8 0 bのスイッチP H 2 N及びスイッチP H 2 Sがオフになる。信号V p h 3 2がハイレベルになることで、第2スイッチ部8 0 cのスイッチP H 2 N及びスイッチP H 2 Sがオンになる。これにより、各画素1 0の3列目に対応する蓄積部9 0 cに蓄積されている2行目の各画素1 0からの光電変換信号が水平信号線Sに出力され、ノイズ信号が水平信号線Nに出力される。出力アンプ部1 1 0は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

[0042] 時刻t 2 9では、信号V t x 3がハイレベルになることで、3行目の各画素1 0において、トランジスタM 1がオンになる。これにより、光電変換部1 2で光電変換された電荷が、フローティングディフュージョン1 5に転送される。さらに、3行目の各画素1 0の光電変換信号が、垂直信号線3 0 a

～垂直信号線30dに出力される。時刻t30では、信号Vtx3がローレベルになることで、トランジスタM1がオフになる。時刻t31では、信号Vts1がハイレベルになることで、第1スイッチ部70a～第1スイッチ部70dのそれぞれのスイッチTS1がオンになる。これにより、光電変換信号が蓄積部90a～蓄積部90dの導体CS1に転送される。導体CS1に付加される容量は、3行目の各画素10からの光電変換信号を蓄積する。

[0043] 時刻t32では、信号Vph32がローレベルになり、信号Vph42がハイレベルになる。信号Vph32がローレベルになることで、第2スイッチ部80cのスイッチPH2N及びスイッチPH2Sがオフになる。信号Vph42がハイレベルになることで、第2スイッチ部80dのスイッチPH2N及びスイッチPH2Sがオンになる。これにより、各画素10の4列目に対応する蓄積部90dに蓄積されている2行目の画素10からの光電変換信号が水平信号線Sに出力され、ノイズ信号が水平信号線Nに出力される。出力アンプ部110は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

[0044] 時刻t33では、信号Vts1がローレベルになることで、スイッチTS1がオフになる。スイッチTS1がオフされると、導体CS1に付加される容量は光電変換信号を保持する。

[0045] 時刻t34～時刻t46では、時刻t10から時刻22までの期間や時刻t22から時刻34までの期間の場合と同様に、信号Vsel4、Vrst4、Vtn2、Vtx4、Vts2により制御されるトランジスタを順次オンオフさせる。これにより、導体CN2に付加される容量に4行目の各画素10からのノイズ信号を蓄積させ、導体CS2に付加される容量に4行目の各画素10からの光電変換信号を蓄積させる。また、時刻t34～時刻t46では、信号Vph11、Vph21、Vph31、Vph41により制御されるトランジスタを順次オンオフさせる。これにより、蓄積部90a～蓄積部90dにそれぞれ蓄積されている3行目の各画素10からのノイズ信号および光電変換信号を順次出力させる。出力アンプ部110は、蓄積部90

a～蓄積部90dから出力されるノイズ信号と光電変換信号との差分に基づく信号を、順次出力する。

[0046] 時刻t46～時刻t50では、信号Vph12、Vph22、Vph32、Vph42により制御されるトランジスタを順次オンオフさせる。これにより、蓄積部90a～蓄積部90dにそれぞれ蓄積されている4行目の各画素10からのノイズ信号および光電変換信号を順次出力させる。出力アンプ部110は、蓄積部90a～蓄積部90dから出力されるノイズ信号と光電変換信号との差分に基づく信号を、順次出力する。

[0047] 以上説明したように、本実施の形態では、ある行の画素10から信号を蓄積部90に読み出している間に、蓄積部90に蓄積した他の行の画素10からの信号を水平信号線S及び水平信号線Nに出力する水平転送が行われる。画素10からの読み出し期間中に水平転送動作を並行して行うことで、全画素10からの読み出し時間を短縮することができる。読み出し時間を短縮することで、高フレームレートの読み出しを実現できる。

[0048] 図5は、第1の実施の形態に係る撮像素子3の断面構造の一例を示す図である。図5は、後述する図6中のA-A'の断面図である。撮像素子3は、例えば、裏面照射型の撮像素子である。図5に示すように、入射光は、主にZ軸プラス方向へ向かって入射する。また、座標軸に示すように、Z軸に直交する紙面左方向をX軸プラス方向、Z軸およびX軸に直交する紙面奥方向をY軸プラス方向とする。以降のいくつかの図においては、図5の座標軸を基準として、それぞれの図の向きがわかるように座標軸を表示する。

[0049] 撮像素子3は、シリコン等の半導体材料により構成される半導体基板200と半導体基板200に積層される配線層210とを含んで構成される。撮像素子3は、さらに、不図示のマイクロレンズ層、カラーフィルタ層、およびパッシベーション層を有する。撮像素子3は、例えば、Z軸プラス方向に向かってマイクロレンズ層、カラーフィルタ層、パッシベーション層、半導体基板200、および配線層210の順に配置される。

[0050] 半導体基板200は、光が入射する入射面となる第1面201a、および

第1面201aとは異なる第2面201bを有する。第2面201bは第1面201aとは反対に位置する。本実施の形態では、撮像素子3の裏面は配線層210とは反対側に位置する第1面201aを示し、裏面照射型は裏面となる第1面201aから光を入射させる構成となる。配線層210は、半導体基板200の第2面201b側の面（第3面203a）と、第3面203aとは反対側の面（第4面203b）とを有する。

[0051] 半導体基板200は、第1面201aと第2面201bとの間に、光電変換部12および読み出し部20を有する。光電変換部12および読み出し部20を有する画素10は、X軸方向およびY軸方向に複数配置されている。光電変換部12は、半導体基板200の一方側、すなわち半導体基板200の第1面201a側から入射される入射光を電荷に変換する。蓄積部90は、半導体基板200の一方側とは反対側、すなわち半導体基板200の第2面201b側に光電変換部12と積層して設けられる。また、蓄積部90は、光電変換部12と配線層210の第4面203bとの間に設けられるともいえる。

[0052] 半導体基板200の第2面201bには、導体膜（金属膜）および絶縁膜を含む多層の配線層210が形成される。配線層210には、複数の配線やビアなどが配置される。導体膜には、銅、アルミニウム等が用いられる。絶縁膜は、導体膜間の絶縁膜やゲート絶縁膜などを含み、酸化膜や窒化膜などで構成される。

[0053] 配線層210は、各画素10に入力される制御信号 V_{txn} 、 V_{rstn} 、 V_{seln} 等の信号線や垂直信号線30が設けられた信号配線層211と、蓄積部90（蓄積部90a～蓄積部90d）を構成する蓄積部配線層212とを有する。信号配線層211は、半導体基板200の第2面201bに積層され、蓄積部配線層212は、信号配線層211aに積層される。

[0054] 蓄積部配線層212は、図3および図5において、第1列目の画素列が位置する画素領域に、第1列目の画素列に対応する蓄積部90aが信号配線層211を介して積層され、第2列目の画素列が位置する画素領域に、第2列

目の画素列に対応する蓄積部 90 b が信号配線層 211 を介して積層され、以下同様に、第 3 列目の画素列、第 4 列目の画素列にそれぞれ対応する蓄積部 90 c、90 d が信号配線層 211 を介して積層される。このように、蓄積部配線層 212 の蓄積部 90 a ～蓄積部 90 d の各々は、対応する画素列ごとの各画素領域 220 に設けられる。蓄積部配線層 212 の蓄積部 90 a ～蓄積部 90 d の各々の大きさは、1 列分の画素 10 に対応した大きさとなる。蓄積部配線層 212 の蓄積部 90 a ～蓄積部 90 d は互いに同様の構成を有しており、図 5 に示す蓄積部 90 は蓄積部 90 a ～蓄積部 90 d のいずれか 1 つに対応する。

[0055] 蓄積部 90 は、上述のように、導体 CN1、導体 CS1、導体 CN2、導体 CS2、固定電位線 120 を有する。固定電位線 120 は、例えば図 5 に示すように、第 1 固定電位線 120 a、第 2 固定電位線 120 b、および第 3 固定電位線 120 c を有し、それぞれ異なる層の導体膜により構成される。第 1 固定電位線 120 a および第 3 固定電位線 120 c は、配線層 210 の積層方向である Z 軸方向に互いに離間して配置される。第 1 固定電位線 120 a および第 3 固定電位線 120 c は、全ての蓄積部 90 a、90 b、90 c、90 d に共通であり、従って、撮像素子 3 の全ての画素 10 を覆うように形成される。第 1 固定電位線 120 a と第 3 固定電位線 120 c は、上述のように全ての蓄積部に共通に構成してもよいし、各蓄積部毎に構成してもよい。

[0056] 導体 CN1、導体 CS1、導体 CN2、および導体 CS2 は、各画素列を構成する複数の画素 10 の並び方向に延びている。導体 CN1、CS1、CN2、CS2 は、第 1 固定電位線 120 a および第 3 固定電位線 120 c の間に、第 1 固定電位線 120 a および第 3 固定電位線 120 c から離間して配置される。第 2 固定電位線 120 b は、導体 CN1、CS1、CN2、CS2 の各々の間に配置されて、第 1 固定電位線 120 a および第 3 固定電位線 120 c にビアを介して接続される。導体 CN1、CS1、CN2、CS2 と第 1 ～第 3 固定電位線 120 a ～120 c との間は、絶縁膜が設けられ

る。絶縁膜は、酸化膜や窒化膜などである。具体的には、シリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、又はこれらの膜の多層膜などである。

[0057] 蓄積部90では、導体CN1、CS1、CN2、CS2の各々と第1～第3固定電位線120a～120cとの間で容量が形成される。導体CN1、CS1、CN2、CS2の各々と第1～第3固定電位線120a～120cとの間の距離を近くすることで、容量を大きくすることができる。容量を大きくするためにシリコン酸化膜等よりも誘電率の高い高誘電材料を用いるようにしてもよい。また、MIM容量を用いるようにしてもよい。なお、導体CN1、CS1、CN2、CS2には、固定電位線とは異なる配線等との間に形成される容量も付加される。

[0058] 第1固定電位線120a、第2固定電位線120b、および第3固定電位線120cは、電源電位または接地電位などの所定の電位が与えられる。第1固定電位線120aは、信号配線層211の垂直信号線30や制御信号線等と導体CN1、CS1、CN2、CS2との間でのシールドとして機能する。第1固定電位線120aを設けることにより、垂直信号線30や制御信号線等と導体CN1、CS1、CN2、CS2との間に大きな寄生容量が形成されることを抑制することができる。また、垂直信号線30や制御信号線等と導体CN1、CS1、CN2、CS2との間のクロストークを抑制することができる。さらに、第1固定電位線120a、第2固定電位線120b、および第3固定電位線120cは、導体CN1、CS1、CN2、CS2の各々の四方を囲むように設けられることで、導体CN1、CS1、CN2、CS2の各々の間でのシールドとして機能する。導体CN1、CS1、CN2、CS2の各々の間で大きな寄生容量が生じることを回避でき、導体CN1、CS1、CN2、CS2の各々の間でのクロストークを抑制できる。

[0059] 図5に示す例では、第1固定電位線120aは、接地電位に設定されて、ビア202等を介して半導体基板200に接続されている。すなわち、第1固定電位線120aは、各画素10に接地電位を供給するための接地線（グラウンド線）として、各画素10に共通に接続されている。なお、第1固定電

位線 120a に電源電位を与えて、各画素 10 に共通の電源線として用いるようにしてもよい。このように、固定電位線は、導体 CN1、CS1、CN2、CS2 による容量を形成するための導体と、ノイズの混入を抑制するシールドと、各画素 10 の電源線または接地線とに共用される。固定電位線を各画素 10 の電源線または接地線として用いることで、電源線または接地線のための配線を別途設ける必要がなくなる。このため、配線層 210 の層数を減らすことができる。

[0060] 図 6 は、第 1 の実施の形態に係る撮像素子 3 の蓄積部配線層 212 の一部の平面レイアウト例を示す図である。図 6 (a) は第 3 固定電位線 120c が形成される層の平面レイアウトの一例を示す図、図 6 (b) は第 2 固定電位線 120b および導体 CN1、CS1、CN2、CS2 が形成される層の平面レイアウトの一例を示す図、図 6 (c) は第 1 固定電位線 120a が形成される層の平面レイアウトの一例を示す図である。

[0061] 第 3 固定電位線 120c および第 1 固定電位線 120a は、上述のように、図 6 に示すような面状に形成される。第 3 固定電位線 120c および第 1 固定電位線 120a は、例えば行列状に 2 次元配置される全ての画素 10 を覆うように形成される。第 2 固定電位線 120b、導体 CN1、導体 CS1、導体 CN2、導体 CS2 は、それぞれが線状に形成される。第 2 固定電位線 120b は、導体 CN1、CS1、CN2、CS2 に対向して配置される。第 2 固定電位線 120b の Y 軸方向の長さは、導体 CN1、CS1、CN2、CS2 の Y 軸方向の長さに応じた長さとなる。本実施の形態では、蓄積部 90a ~ 蓄積部 90d はそれぞれ各画素 10 の画素列に対応して設けられるため、第 2 固定電位線 120b および導体 CN1、CS1、CN2、CS2 の Y 軸方向の長さは、1 つの画素列に対応する長さとなる。第 3 固定電位線 120c と第 2 固定電位線 120b とは複数のビアを介して接続され、第 2 固定電位線 120b と第 1 固定電位線 120a とは複数のビアを介して接続される。

[0062] 上述した実施の形態によれば、次の作用効果が得られる。

(1) 撮像素子3は、基板200の一方側から入射される入射光を電荷に変換する光電変換部12と、電荷による信号を出力する出力部（増幅部16および選択部17）とを有し、第1方向と第1方向と交差する第2方向に配置される複数の画素10と、基板200の一方側とは反対側に光電変換部12と積層して設けられ、信号を蓄積する蓄積部90と、を備える。本実施形態では、蓄積部90は、画素領域220において、半導体基板200の第2面201bに積層して設けられる。従来技術では、画素領域220の周辺のアナログ／デジタル変換回路などが配置される領域に多数の容量を設けることで、撮像素子のチップ面積が増大する。これに対して、本実施の形態では、蓄積部90は、半導体基板200の第2面201bに積層して設けられる。このため、チップ面積の増大を抑制することができる。また、蓄積部90は画素領域220に設けられることで、画素領域220の周辺のアナログ／デジタル変換回路などが配置される領域の面積が増大することを回避することができる。さらに、1つの画素列等に対応して容量が設けられることにより、大きな容量を形成することができる。

(2) 撮像素子3は、半導体基板200の第1面201aに入射した光を電荷に変換する光電変換部12と、半導体基板200の第2面201bに電荷による信号を出力する読み出し部20と、第2面201bの画素領域220に積層して設けられ、読み出し部20により出力された信号を蓄積する蓄積部90と、を備える。このようにしたので、チップ面積の増大を抑制することができる。

[0063] (3) 蓄積部90は、第1方向に配置される複数の画素10に共通に接続される。このようにしたので、1つの画素列等に対応して容量を設けることができる。

(4) 撮像素子3は、第1方向に配置された複数の画素10に共通に接続され、読み出し部20により信号が出力される信号線（垂直信号線30）を更に備える。蓄積部90は、信号線を介して、複数の画素10に共通に接続される。このようにしたので、垂直信号線30を介して読み出される各画素1

0からの信号を蓄積部90に蓄積させることができる。

(5) 読み出し部20は、電荷による信号、及び、ノイズ信号を出力する。蓄積部90は、電荷による信号を蓄積する信号用蓄積部と、ノイズ信号を蓄積するノイズ用蓄積部とを有する。このようにしたので、読み出し部20から出力される光電変換信号およびノイズ信号を、蓄積部90にそれぞれ蓄積させることができる。

[0064] (6) 信号用蓄積部とノイズ用蓄積部との間に設けられ、一定電位（例えば電源電位または接地電位）が印加される第1配線（第2固定電位線120b）と、読み出し部20と蓄積部90との間に設けられ、一定電位が印加される第2配線（第1固定電位線120a）と、光が入射する側と反対側であって、蓄積部90と絶縁膜を介して設けられ、一定電位が印加される第3配線（第3固定電位線120c）とを有する。本実施の形態では、第1固定電位線120a、第2固定電位線120b、および第3固定電位線120cは、導体CN1、CS1、CN2、CS2の各々の四方を囲むように設けられる。このため、ノイズの混入を抑制することができる。

(7) 蓄積部90は、第1方向に配置された複数の画素10と接続される第1蓄積部（例えば蓄積部90a）と、複数の画素10とは異なる第1方向に配置された複数の画素と接続される第2蓄積部（例えば蓄積部90b）とを有し、第1蓄積部と第2蓄積部とは、第2方向に並んで複数設けられる。このようにしたので、例えば画素列ごとに蓄積部を設けることができ、大きな容量を得ることができる。

[0065] (8) 読み出し部90は、光電変換部12により変換された電荷を保持する保持部15と、電荷を保持部15に転送する転送部13と、保持部15により保持された電荷を排出する排出部14と、転送部13により転送された電荷による信号を増幅する増幅部16と、を有する。このようにしたので、各画素10から光電変換部12により光電変換された電荷に基づく光電変換信号を読み出すことができる。

(9) ノイズ信号は、保持部15に保持された電荷を排出したときの信号で

ある。このようにしたので、光電変換信号に対する基準レベルとなるノイズ信号を得ることができる。

[0066] (10) 撮像素子3は、半導体基板200の第1面201aに入射した光を電荷に変換する光電変換部12と、半導体基板200の第2面201bに電荷による信号を出力する読み出し部20と、を有する第1層（半導体基板200）と、第2面201bにおいて第1層に積層され、読み出し部20により出力された信号を蓄積する蓄積部90を有する第2層（蓄積部配線層212）と、を備える。このようにしたので、チップ面積を増大させることなく大きな容量値を得ることができる。

(11) 蓄積部90は、導体による容量を有する。このようにしたので、拡散容量を設ける場合と比較して、チップ面積の増大を抑制することができる。

[0067] (12) 撮像素子3は、入射した光を電荷に変換する光電変換部12と、光電変換部12で光電変換された電荷が転送される第1の蓄積部（フローティングディフュージョン15）と、第1の蓄積部に転送された電荷による信号を出力する出力部（増幅部16および選択部17）とを有する複数の画素10と、第1の蓄積部に光電変換部12から転送された電荷による画素信号（光電変換信号）と、第1の蓄積部の電荷をリセットしたりリセット信号（ノイズ信号）とを切り替えて出力部から出力させる出力制御部（垂直走査回路40）と、出力部から出力された画素信号を蓄積する第2の蓄積部（信号用蓄積部）と、出力部から出力されたりセット信号を蓄積する第3の蓄積部（ノイズ用蓄積部）と、を有する。画素10は、光が入射する面と、第2の蓄積部または第3の蓄積部との間に配置されている。このようにしたので、チップ面積の増大を抑制することができる。また、チップ面積を増大させることなく大きな容量値を得ることができる。

[0068] (第2の実施の形態)

第2の実施の形態に係る撮像装置は、第1の実施の形態に係る撮像装置1と同様の構成を有する。第2の実施の形態に係る撮像素子では、主に、画素

列ごとに複数の垂直信号線を設けて複数行の画素 10 の同時読み出しを行う点で、第 1 の実施の形態と異なる。なお、図中、第 1 の実施の形態と同一もしくは相当部分には、同一の参照番号を付し、相違点を主に説明する。

[0069] 図 7 は、第 2 の実施の形態に係る撮像素子 3 の一部の構成を示す回路図である。第 2 の実施の形態では、画素 10 の各列に対応して 2 つの垂直信号線（垂直信号線 30 A および垂直信号線 30 B）が設けられる。各列の画素 10 は 1 行ごとに異なる垂直信号線に接続される。また、第 2 の実施の形態では、撮像素子 3 は、選択回路 50（選択回路 50 A および選択回路 50 B）と、電流源 60（電流源 60 A 1～電流源 60 A 3、電流源 60 B 1～電流源 60 B 3）と、第 1 スイッチ部 70（第 1 スイッチ部 70 A 1～第 1 スイッチ部 70 A 3、第 1 スイッチ部 70 B 1～第 1 スイッチ部 70 B 3）と、第 2 スイッチ部 80（第 2 スイッチ部 80 A 1～第 2 スイッチ部 80 A 3、第 2 スイッチ部 80 B 1～第 2 スイッチ部 80 B 3）と、蓄積部 90（蓄積部 90 A 1～蓄積部 90 A 3、蓄積部 90 B 1～蓄積部 90 B 3）と、水平走査回路 100（水平走査回路 100 A および水平走査回路 100 B）と、出力アンプ部 110（出力アンプ部 110 A および出力アンプ部 110 B）を含んで構成される。図 7 に示す例では、説明を簡略化するために、画素 10 は水平方向 3 画素×垂直方向 4 画素のみ図示している。

[0070] 図 8 は、第 2 の実施の形態に係る撮像素子 3 の動作例を示すタイミングチャートである。図 8 において、時刻 t_1 ～時刻 t_{10} 、時刻 t_{10} ～時刻 t_{22} 、時刻 t_{22} ～時刻 t_{26} は、それぞれ 1 水平期間となる。

[0071] 時刻 t_1 では、信号 V_{sel1} および信号 V_{sel2} がハイレベルになることで、1 行目および 2 行目の各画素 10 において、選択部 17 のトランジスタ M4 がオンになる。時刻 t_2 では、信号 V_{rst1} および信号 V_{rst2} がハイレベルになることで、1 行目および 2 行目の各画素 10 において、排出部 14 のトランジスタ M2 がオンになり、フローティングディフュージョン 15 の電位がリセット電位になる。また、1 行目の各画素 10 のノイズ信号がそれぞれ垂直信号線 30 B 1～垂直信号線 30 B 3 に出力され、2 行

目の各画素10のノイズ信号がそれぞれ垂直信号線30A1～垂直信号線30A3に出力される。

[0072] 時刻t3では、信号Vrst1および信号Vrst2がローレベルになることで、トランジスタM2がオフになる。時刻t4では、信号Vtn1がハイレベルになることで、第1スイッチ部70A1～第1スイッチ部70A3および第1スイッチ部70B1～第1スイッチ部70B3のそれぞれのスイッチTN1がオンになる。これにより、1行目の各画素10からのノイズ信号が蓄積部90B1～蓄積部90B3の導体CN1Bに転送され、2行目の各画素10からのノイズ信号が蓄積部90A1～蓄積部90A3の導体CN1Aに転送される。時刻t5では、信号Vtn1がローレベルになることで、スイッチTN1がオフになる。スイッチTN1がオフされると、蓄積部90B1～蓄積部90B3の導体CN1Bに付加される容量は、それぞれ1行目の各画素10からのノイズ信号を保持する。また、蓄積部90A1～蓄積部90A3の導体CN1Aに付加される容量は、それぞれ2行目の各画素10からのノイズ信号を保持する。

[0073] 時刻t6では、信号Vtx1および信号Vtx2がハイレベルになることで、1行目および2行目の各画素10において、転送部13のトランジスタM1がオンになり、光電変換部12で光電変換された電荷がフローティングディフュージョン15に転送される。また、1行目の各画素10の光電変換信号がそれぞれ垂直信号線30B1～垂直信号線30B3に出力され、2行目の各画素10の光電変換信号がそれぞれ垂直信号線30A1～垂直信号線30A3に出力される。時刻t7では、信号Vtx1および信号Vtx2がローレベルになることで、トランジスタM1がオフになる。

[0074] 時刻t8では、信号Vts1がハイレベルになることで、第1スイッチ部70A1～第1スイッチ部70A3および第1スイッチ部70B1～第1スイッチ部70B3のスイッチTS1がオンになる。これにより、1行目の各画素10からの光電変換信号が蓄積部90B1～蓄積部90B3の導体CS1Bに転送され、2行目の各画素10からの光電変換信号が蓄積部90A1

～蓄積部90A3の導体CS1Aに転送される。時刻t9では、信号Vts1がローレベルになることで、スイッチTS1がオフになる。スイッチTS1がオフされると、蓄積部90B1～蓄積部90B3の導体CS1Bに付加される容量は、それぞれ1行目の各画素10からの光電変換信号を保持する。また、蓄積部90A1～蓄積部90A3の導体CS1Aに付加される容量は、それぞれ2行目の各画素10からの光電変換信号を保持する。

[0075] 以上説明したように、時刻t1から時刻t10までの間では、1行目の各画素10の信号が蓄積部90B1～蓄積部90B3に読み出されると共に、2行目の各画素10の信号が蓄積部90A1～蓄積部90A3に読み出される。

[0076] 時刻t10～時刻t22では、時刻t1から時刻t10までの期間の場合と同様に、信号Vsel3、Vsel4、Vrst3、Vrst4、Vtn2、Vtx3、Vtx4、Vts2により制御されるトランジスタを順次オンオフさせる。これにより、蓄積部90B1～蓄積部90B3の導体CN2Bおよび導体CS2Bに付加される容量に、それぞれ3行目の各画素10からのノイズ信号および光電変換信号を蓄積させる。また、蓄積部90A1～蓄積部90A3の導体CN2Aおよび導体CS2Aに付加される容量に、それぞれ4行目の各画素10からのノイズ信号および光電変換信号を蓄積させる。このように、本実施の形態では、導体CN1A、CN2A、CN1B、およびCN2Bは、ノイズ信号を蓄積するノイズ用蓄積部として機能する。また、導体CS1A、CS2A、CS1B、およびCS2Bは、光電変換信号を蓄積する信号用蓄積部として機能する。

[0077] また、時刻t10では、信号Vph11がハイレベルになることで、第2スイッチ部80A1および第2スイッチ部80B1のスイッチPH1N及びスイッチPH1Sがオンになる。これにより、蓄積部90B1に蓄積されている1行目の画素10からの信号が、水平信号線BS及び水平信号線BNに出力される。また、蓄積部90A1に蓄積されている2行目の画素10からの信号が、水平信号線AS及び水平信号線ANに出力される。出力アンプ部

110Aおよび出力アンプ部110Bの各々は、ノイズ信号と光電変換信号との差分に基づく信号を出力する。

[0078] 時刻 t_{14} では、信号 V_{ph21} がハイレベルになることで、第2スイッチ部80A2および第2スイッチ部80B2のスイッチPH1N及びスイッチPH1Sがオンになる。これにより、蓄積部90B2に蓄積されている1行目の画素10からの信号が水平転送され、蓄積部90A2に蓄積されている2行目の画素10からの信号が水平転送される。時刻 t_{16} では、信号 V_{ph31} がハイレベルになることで、第2スイッチ部80A3および第2スイッチ部80B3のスイッチPH1N及びスイッチPH1Sがオンになる。これにより、蓄積部90B3に蓄積されている1行目の画素10からの信号が水平転送され、蓄積部90A3に蓄積されている2行目の画素10からの信号が水平転送される。

[0079] 時刻 t_{22} ～時刻 t_{25} では、信号 V_{ph12} 、 V_{ph22} 、 V_{ph32} により制御されるトランジスタを順次オンオフさせる。これにより、蓄積部90B1～蓄積部90B3にそれぞれ蓄積されている3行目の各画素10からのノイズ信号および光電変換信号を順次出力させる。また、蓄積部90A1～蓄積部90A3にそれぞれ蓄積されている4行目の各画素10からのノイズ信号および光電変換信号を順次出力させる。出力アンプ部110Aおよび出力アンプ部110Bは、ノイズ信号と光電変換信号との差分に基づく信号を順次出力する。

[0080] 図9は、第2の実施の形態に係る撮像素子3の断面構造の一例を示す図である。図9は、後述する図10中のA-A'の断面図である。配線層210には、蓄積部90A（蓄積部90A1～蓄積部90A3）を有する蓄積部配線層212Aおよび蓄積部90B（蓄積部90B1～蓄積部90B3）を有する蓄積部配線層212Bが設けられる。蓄積部配線層212Bは、半導体基板200の第2面201bの画素領域220において、蓄積部配線層212Aに積層して設けられる。また、蓄積部90Aおよび蓄積部90Bの各々の大きさは、1列分の画素10に対応した大きさとなる。

[0081] 固定電位線 120 は、図 9 に示すように、第 1 固定電位線 120 a、第 2 固定電位線 120 b、第 3 固定電位線 120 c、第 4 固定電位線 120 d、および第 5 固定電位線 120 e を有し、それぞれ異なる層の導体膜により構成される。蓄積部配線層 212 A では、主に導体 CN 1 A、CS 1 A、CN 2 A、CS 2 A の各々と第 1 ～第 3 固定電位線 120 a ～120 c との間で容量が形成される。また、蓄積部配線層 212 B では、主に導体 CN 1 B、CS 1 B、CN 2 B、CS 2 B の各々と第 3 ～第 5 固定電位線 120 c ～120 e との間で容量が形成される。第 3 固定電位線 120 c は、蓄積部 90 A の導体 CN 1 A、CS 1 A、CN 2 A、CS 2 A と、蓄積部 90 B の導体 CN 1 B、CS 1 B、CN 2 B、CS 2 B との間でのシールドとして機能する。

[0082] 図 10 は、第 2 の実施の形態に係る撮像素子 3 の蓄積部配線層 212 の一部の平面レイアウト例を示す図である。図 10 (a) は第 5 固定電位線 120 e が形成される層の平面レイアウトの一例を示す図、図 10 (b) は第 4 固定電位線 120 d および導体 CN 1 B、CS 1 B、CN 2 B、CS 2 B が形成される層の平面レイアウトの一例を示す図、図 10 (c) は第 3 固定電位線 120 c が形成される層の平面レイアウトの一例を示す図である。また、図 10 (d) は第 2 固定電位線 120 b および導体 CN 1 A、CS 1 A、CN 2 A、CS 2 A が形成される層の平面レイアウトの一例を示す図、図 10 (e) は第 1 固定電位線 120 a が形成される層の平面レイアウトの一例を示す図である。

[0083] 第 5 固定電位線 120 e は、第 3 固定電位線 120 c および第 1 固定電位線 120 a と同様に、例えば行列状に 2 次元配置される全ての画素 10 を覆うように形成される。第 4 固定電位線 120 d は、第 2 固定電位線 120 b と同様に線状に形成される。本実施の形態では、蓄積部 90 A および蓄積部 90 B はそれぞれ各画素 10 の画素列に対応して設けられるため、第 4 固定電位線 120 d、導体 CN 1 B、CS 1 B、CN 2 B、CS 2 B の Y 軸方向の長さは、1 つの画素列に対応する長さとなる。第 5 固定電位線 120 e と

第4固定電位線120dとは複数のビアを介して接続され、第4固定電位線120dと第3固定電位線120cとは複数のビアを介して接続される。

[0084] 上述した実施の形態によれば、第1の実施の形態と同様の作用効果に加えて、次の作用効果が得られる。

(13) 蓄積部90は、第1方向に配置された複数の画素10のうちの第1の複数の画素10と接続される第1蓄積部90Aと、第1方向に配置された複数の画素10のうちの第2の複数の画素10と接続される第2蓄積部90Bとを有する。本実施の形態では、撮像素子3は、第2層（蓄積部配線層212A）に積層される第3層（蓄積部配線層212B）を更に備える。このようにしたので、チップ面積の拡大を抑制すると共に、複数の蓄積部90を設けることができる。また、画素列ごとに複数の蓄積部90を設けることで、複数行の画素10の同時読み出しを実現することができる。

[0085] (第3の実施の形態)

第3の実施の形態に係る撮像装置は、第1の実施の形態に係る撮像装置1と同様の構成を有する。第3の実施の形態に係る撮像素子では、主に、蓄積部90Aと蓄積部90Bとを積層することなく各々を配置する点で、第2の実施の形態と異なる。なお、図中、第1及び第2の実施の形態と同一もしくは相当部分には、同一の参照番号を付し、相違点を主に説明する。

[0086] 図11は、第3の実施の形態に係る撮像素子3の一部の構成を示す回路図である。第3の実施の形態に係る撮像素子は、第2の実施の形態に係る撮像素子3と同様の回路構成を有する。第2の実施の形態では、蓄積部90Aおよび蓄積部90Bの各々は、1列分の画素10に対応した大きさに設ける例について説明した。これに対して、第3の実施の形態では、蓄積部90Aおよび蓄積部90Bの各々は、1列分の画素10のうち所定数の画素10に対応した大きさに設けられる。例えば、蓄積部90Aおよび蓄積部90Bの大きさは、1列の半分の画素10に対応した大きさとなる。なお、第3の実施の形態に係る撮像素子3の動作は、第2の実施の形態に係る撮像素子3と同様となる。

[0087] 図12は、第3の実施の形態に係る撮像素子3の断面構造の一例を示す図である。図12(a)は後述する図13中のA-A'の断面図、図12(b)は後述する図13中のB-B'の断面図である。配線層210の蓄積部配線層212には、蓄積部90A(蓄積部90A1~蓄積部90A4)および蓄積部90B(蓄積部90B1~蓄積部90B4)が設けられる。図12(a)に示す断面図では、蓄積部90Bが示されている。また、図12(b)に示すように、蓄積部90Aおよび蓄積部90Bは、同じ層の導体膜や絶縁膜を用いて形成される。

[0088] 図13は、第3の実施の形態に係る撮像素子3の蓄積部配線層210の一部の平面レイアウト例を示す図である。図13(a)は第3固定電位線120cが形成される層の平面レイアウトの一例を示す図、図13(b)は第2固定電位線120bおよび導体CN1A、CS1A、CN2A、CS2A、CN1B、CS1B、CN2B、CS2Bが形成される層の平面レイアウトの一例を示す図、図13(c)は第1固定電位線120aが形成される層の平面レイアウトの一例を示す図である。

[0089] 第2固定電位線120bは、蓄積部90Aの導体CN1A、CS1A、CN2A、CS2Aの各々の間に配置される。また、第2固定電位線120bは、蓄積部90Bの導体CN1B、CS1B、CN2B、CS2Bの各々の間に配置される。本実施の形態では、蓄積部90Aおよび蓄積部90Bの各々の大きさは1つの画素列のうちの所定数の画素10に対応した大きさとなるため、導体CN1A、CS1A、CN2A、CS2A及び導体CN1B、CS1B、CN2B、CS2BのY軸方向の長さは、1つの画素列のうちの所定数の画素10に対応する長さとなる。また、第2固定電位線120bは、蓄積部90Aの導体CN1A、CS1A、CN2A、CS2Aと、蓄積部90Bの導体CN1B、CS1B、CN2B、CS2Bとの間でのシールドとして機能する。

[0090] 上述した実施の形態によれば、第1の実施の形態と同様の作用効果に加えて、次の作用効果が得られる。

(14) 蓄積部90は、第1方向に配置された複数の画素10のうちの第1の複数の画素10と接続される第1蓄積部90Aと、第1方向に配置された複数の画素10のうちの第2の複数の画素と接続される第2蓄積部90Bとを有する。本実施の形態では、複数の蓄積部90の各々は、複数の画素列の各々に対応し、対応する画素列の画素10から読み出された信号を記憶する。複数の蓄積部90は、対応する画素列のうちの所定数の画素を含む画素領域200に設けられる。このようにしたので、複数の蓄積部90を積層することなく配置することができる。このため、配線層210の層数を減らすことができる。

[0091] 次のような変形も本発明の範囲内であり、変形例の一つ、もしくは複数の上述の実施形態と組み合わせることも可能である。

[0092] (変形例1)

図14は、変形例1に係る撮像素子3の一部の構成を示す回路図である。変形例1に係る撮像素子3では、各垂直信号線30に接続される増幅器(バッファ)130を備える。増幅器130(増幅器130a~増幅器130d)は、画素10から読み出される信号を増幅した信号を出力する。このため、各画素10と各蓄積部90との間における信号遅延や信号レベルの低下を抑制することができる。この結果、例えば蓄積部90の容量が大きい場合等においても、高フレームレートの読み出しを行うことができる。

[0093] また、変形例1に係る撮像素子3では、画素列ごとに2つのアナログ/デジタル変換回路(AD変換回路140AおよびAD変換回路140B)を設ける。AD変換回路140AおよびAD変換回路140Bは、それぞれが対応する画素列からの光電変換信号およびノイズ信号の差分に基づくデジタル信号を出力する。AD変換回路140Aから出力されるデジタル信号およびAD変換回路140Bから出力されるデジタル信号は平均化される。AD変換回路140A1から出力されるデジタル信号とAD変換回路140B1から出力されるデジタル信号とが平均化され、AD変換回路140A2から出力されるデジタル信号とAD変換回路140B2から出力されるデジタル信

号とが平均化される。同様に、A D変換回路140A3から出力されるデジタル信号とA D変換回路140B3から出力されるデジタル信号とが平均化され、A D変換回路140A4から出力されるデジタル信号とA D変換回路140B4から出力されるデジタル信号とが平均化される。平均化された信号は、図14に示す出力端子に出力される。本変形例では、蓄積部90に蓄積された各画素10からの信号を、A D変換回路140AおよびA D変換回路140Bの各々でデジタル信号に変換し、2つのデジタル信号の平均化を行う。このため、蓄積部90から第2スイッチ部80への信号の転送時などに混入するノイズを低減した信号を、出力端子に出力することができる。

[0094] (変形例2)

上述した実施の形態では、光電変換信号およびノイズ信号を蓄積するための容量として、導体による容量を設ける例について説明した。しかし、導体以外の材料を用いた容量を、半導体基板の第2面201bに積層して設けるようにしてもよい。

[0095] (変形例3)

上述した実施の形態では、信号配線層211を半導体基板200の第2面201bに積層し、蓄積部配線層212を信号配線層211に積層する例について説明した。しかし、蓄積部配線層212を半導体基板200の第2面201bに積層し、信号配線層211を蓄積部配線層212に積層するようにしてもよい。また、蓄積部配線層212は、半導体基板200の第2面201bに導体膜や絶縁膜を介して積層してもよいし、直接積層してもよい。

[0096] (変形例4)

上述した実施の形態では、撮像素子3は、裏面照射型の構成とする例について説明した。しかし、撮像素子3を、光が入射する入射面に配線層210を設ける表面照射型の構成としてもよい。この場合、撮像素子3は、半導体基板200の第2面201bに光が入射する構成となる。画素10は、第1方向（例えば列方向）およびそれと交差する第2方向（例えば行方向）に複数配置される。蓄積部90を、複数の画素の間、例えば、第2方向に配置さ

れた複数の画素の間に配置するようにしてもよい。

[0097] (変形例 5)

上記の実施の形態および変形例では、画素 10 からの光電変換信号およびノイズ信号を蓄積する蓄積部 90 について説明した。しかし、蓄積部は、撮像素子 3 に含まれる他の回路の蓄積部としても適用可能である。

[0098] 上記では、種々の実施の形態および変形例を説明したが、本発明はこれらの内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

[0099] 次の優先権基礎出願の開示内容は引用文としてここに組み込まれる。

日本国特許出願 2016 年第 38161 号 (2016 年 2 月 29 日出願)

符号の説明

[0100] 3 撮像素子、12 光電変換部、20 読み出し部、90 蓄積部、200 半導体基板

請求の範囲

- [請求項1] 基板の一方側から入射される入射光を電荷に変換する光電変換部と、
前記電荷による信号を出力する出力部とを有し、第1方向と前記第1方向と交差する第2方向に配置される複数の画素と、
前記基板の一方側とは反対側に前記光電変換部と積層して設けられ、
前記信号を蓄積する蓄積部と、
を備える撮像素子。
- [請求項2] 請求項1に記載の撮像素子において、
前記基板の前記反対側に設けられ、前記第1方向に配置される複数の前記画素から前記信号が出力される信号線を有し、
前記蓄積部は、前記信号線に出力される前記信号を蓄積する撮像素子。
- [請求項3] 請求項1または請求項2に記載の撮像素子において、
前記画素は、半導体基板に設けられ、
前記入射光は、前記半導体基板の第1面から入射され、
前記出力部は、前記半導体基板の前記第1面とは反対側の第2面に設けられ、
前記蓄積部は、前記画素と積層して設けられる撮像素子。
- [請求項4] 請求項1から請求項3までのいずれか一項に記載の撮像素子において、
前記蓄積部は、前記第1方向に配置される複数の画素に共通に接続される撮像素子。
- [請求項5] 請求項4に記載の撮像素子において、
前記出力部は、前記電荷による信号、及び、ノイズ信号を出力し、
前記蓄積部は、前記電荷による信号を蓄積する信号用蓄積部と、前記ノイズ信号を蓄積するノイズ用蓄積部とを有する撮像素子。
- [請求項6] 請求項5に記載の撮像素子において、
前記信号用蓄積部と前記ノイズ用蓄積部との間に設けられ、一定電

位が印加される第1配線と、

前記出力部と前記蓄積部との間に設けられ、前記一定電位が印加される第2配線と、

光が入射する側と反対側であって、前記蓄積部と絶縁膜を介して設けられ、前記一定電位が印加される第3配線と、を更に備える撮像素子。

[請求項7]

請求項5または請求項6に記載の撮像素子において、

前記蓄積部は、前記第1方向に配置された複数の画素と接続される第1蓄積部と、前記複数の画素とは異なる前記第1方向に配置された複数の画素と接続される第2蓄積部とを有し、

前記第1蓄積部と前記第2蓄積部とは、前記第2方向に並んで複数設けられる撮像素子。

[請求項8]

請求項5または請求項6に記載の撮像素子において、

前記蓄積部は、前記第1方向に配置された前記複数の画素のうちの第1の複数の画素と接続される第1蓄積部と、前記第1方向に配置された前記複数の画素のうちの第2の複数の画素と接続される第2蓄積部とを有する撮像素子。

[請求項9]

請求項7または請求項8に記載の撮像素子において、

前記出力部は、前記光電変換部により変換された電荷を保持する保持部と、前記電荷を前記保持部に転送する転送部と、前記保持部により保持された電荷をリセットするリセット部と、前記転送部により転送された電荷による信号を増幅する増幅部と、を有する撮像素子。

[請求項10]

請求項9に記載の撮像素子において、

前記ノイズ信号は、前記保持部に保持された前記電荷をリセットしたときの信号である撮像素子。

[請求項11]

半導体基板の第1面に入射した光を電荷に変換する光電変換部と、前記半導体基板の第2面に前記電荷による信号を出力する出力部と、を有する第1層と、

前記第2面において前記第1層に積層され、前記出力部により出力された信号を蓄積する蓄積部を有する第2層と、
を備える撮像素子。

[請求項12] 入射面から入射した光を電荷に変換する光電変換部を有し、前記電荷に基づく信号を出力する複数の画素と、

前記画素から出力された前記信号を蓄積する蓄積部と、を備え、
前記蓄積部は、前記複数の画素の間に配置されている撮像素子。

[請求項13] 請求項12に記載の撮像素子において、

前記画素は、第1方向と前記第1方向と交差する第2方向に複数配置され、

前記第1方向に配置された複数の前記画素から前記信号が出力される信号線を有し、

前記蓄積部は、前記第2方向に配置された画素と画素の間に配置され、前記信号線に出力された信号を蓄積する撮像素子。

[請求項14] 入射面から入射した光を電荷に変換する光電変換部を有し、前記電荷に基づく信号を出力する複数の画素と、

前記画素から出力された前記信号を蓄積する蓄積部と、を備え、

前記画素は、前記入射面と前記蓄積部との間に配置されている撮像素子。

[請求項15] 請求項14に記載の撮像素子において、

光が入射する第1面と前記第1面とは反対側の第2面とを有し、前記第1面と前記第2面との間に前記複数の画素を有する半導体層と、

前記半導体層の第2面に形成され、第2面側の第3面と、前記第3面とは反対側の第4面とを有する配線層と、

前記画素と前記第4面の間の前記配線層に配置され、前記画素から出力された前記信号を蓄積する蓄積部と、
を備える撮像素子。

[請求項16] 請求項14または請求項15に記載の撮像素子において、

前記画素と前記蓄積部との間に設けられ、一定電位が印加される第1配線と、

光が入射する側と反対側であって、前記蓄積部と絶縁膜を介して設けられ、前記一定電位が印加される第2配線と、を更に備える撮像素子。

[請求項17] 請求項1から請求項16までのいずれか一項に記載の撮像素子において、

前記蓄積部は、導体による容量を有する撮像素子。

[請求項18] 入射した光を電荷に変換する光電変換部と、前記光電変換部で光電変換された電荷が転送される第1の蓄積部と、前記第1の蓄積部に転送された電荷による信号を出力する出力部とを有する複数の画素と、

前記第1の蓄積部に前記光電変換部から転送された電荷による画素信号と、前記第1の蓄積部の電荷をリセットしたりセット信号とを切り替えて前記出力部から出力させる出力制御部と、

前記出力部から出力された前記画素信号を蓄積する第2の蓄積部と、

前記出力部から出力された前記リセット信号を蓄積する第3の蓄積部と、を有し、

前記画素は、前記光が入射する面と、前記第2の蓄積部または前記第3の蓄積部との間に配置されている撮像素子。

[請求項19] 請求項18に記載の撮像素子において、

前記第2の蓄積部と前記第3の蓄積部との間に設けられ、一定電位が印加される第1配線と、

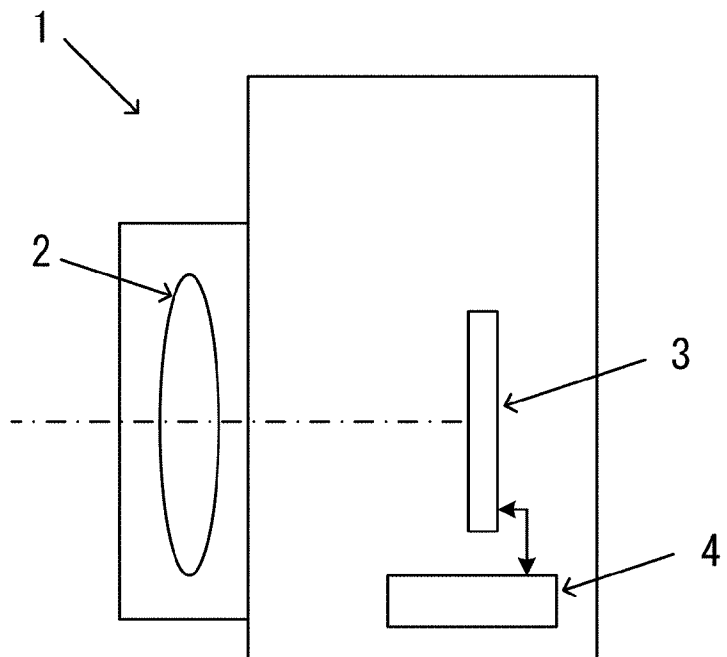
前記出力部と前記第2及び第3の蓄積部の各々との間に設けられ、前記一定電位が印加される第2配線と、

光が入射する側と反対側であって、前記第2及び第3の蓄積部の各々と絶縁膜を介して設けられ、前記一定電位が印加される第3配線と、を更に備える撮像素子。

[請求項20] 請求項 1 から請求項 1 9 までのいずれか一項に記載の撮像素子と、
前記撮像素子の前記信号に基づいて画像データを生成する画像生成部と、
を備える撮像装置。

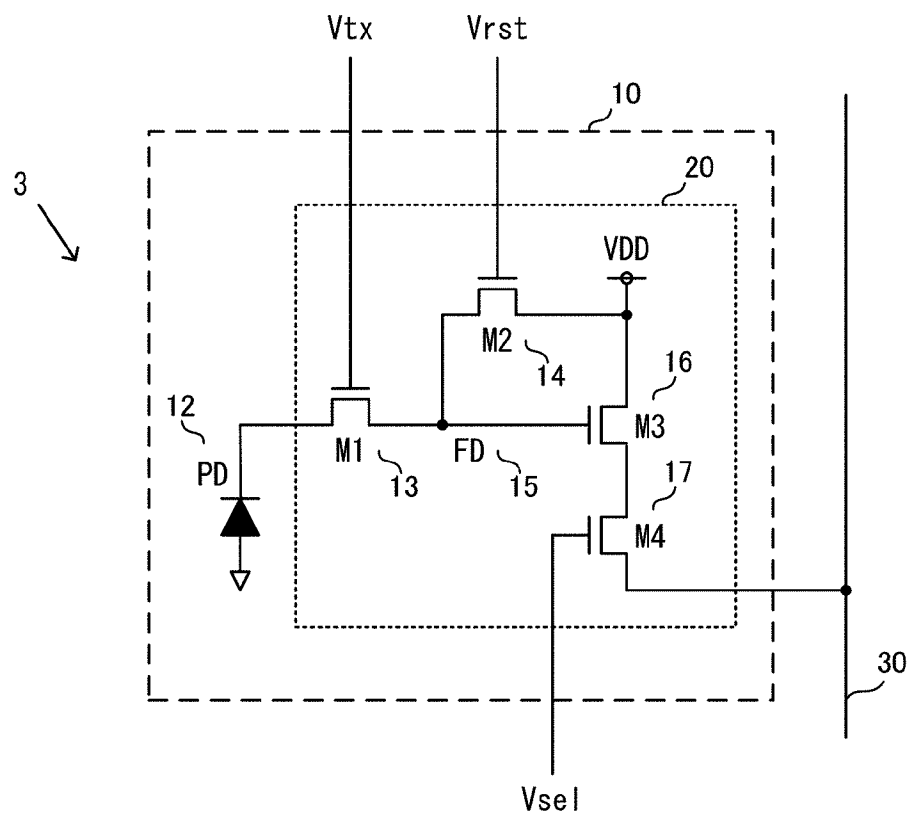
[図1]

【図 1】

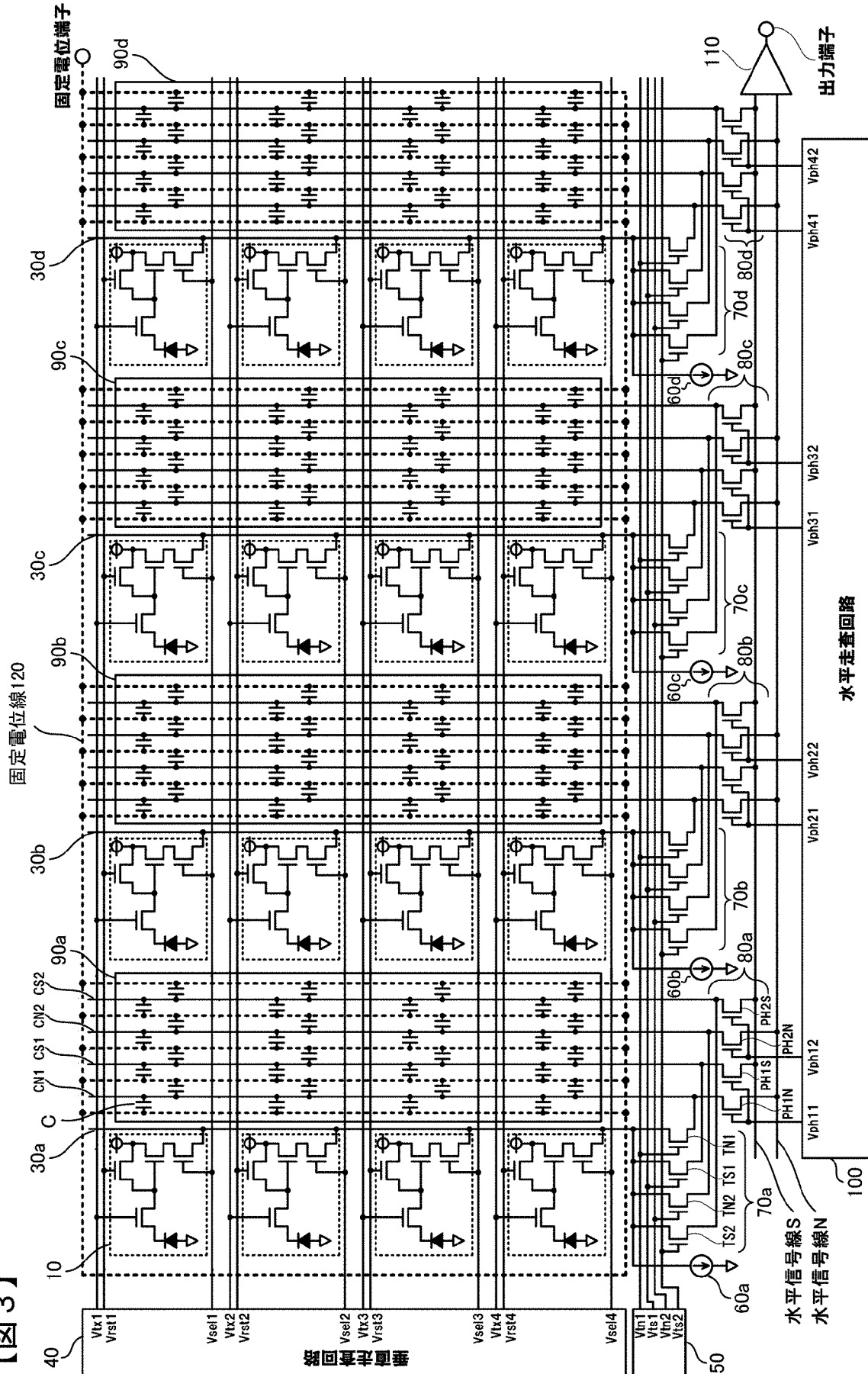


[図2]

【図 2】

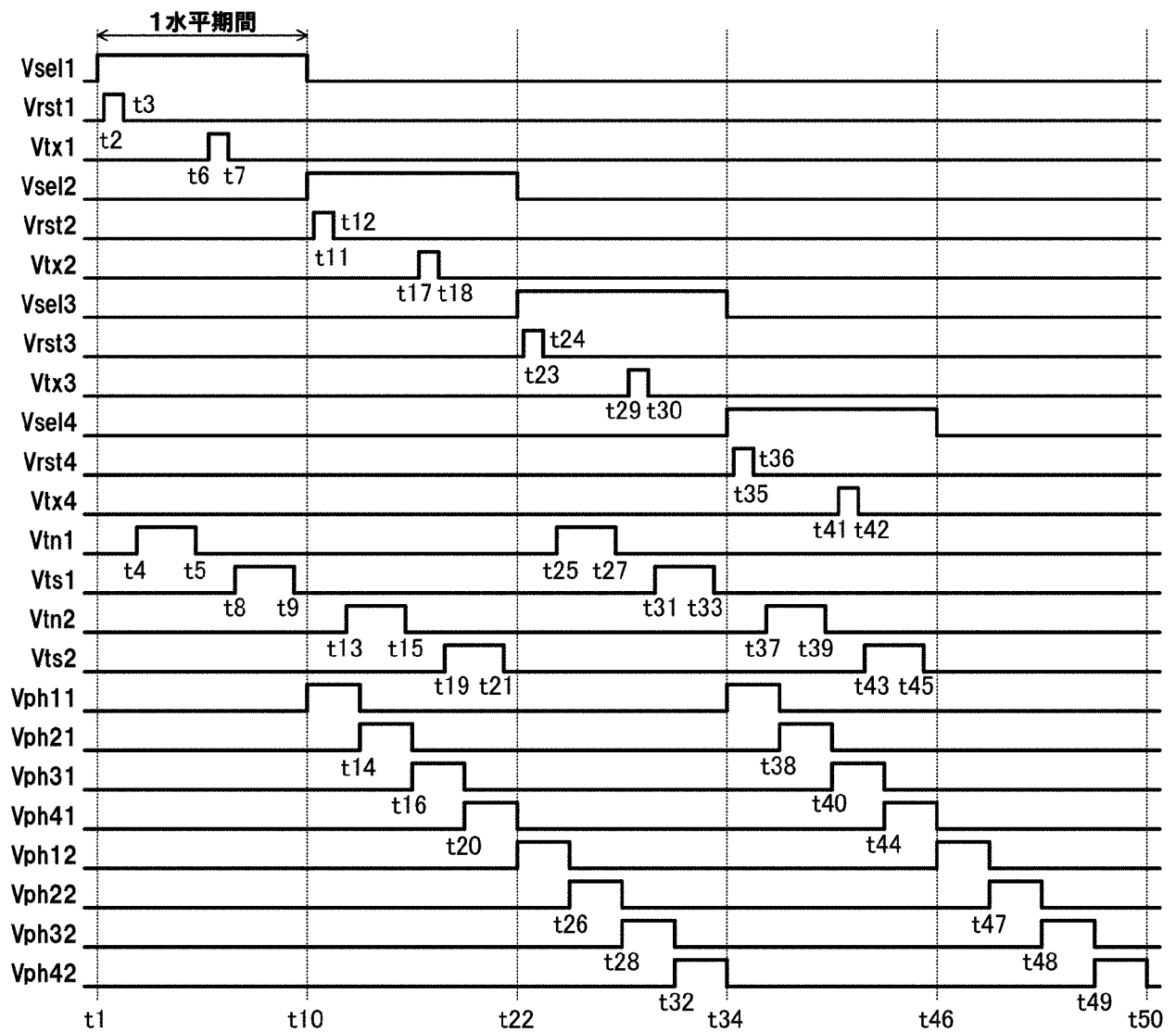


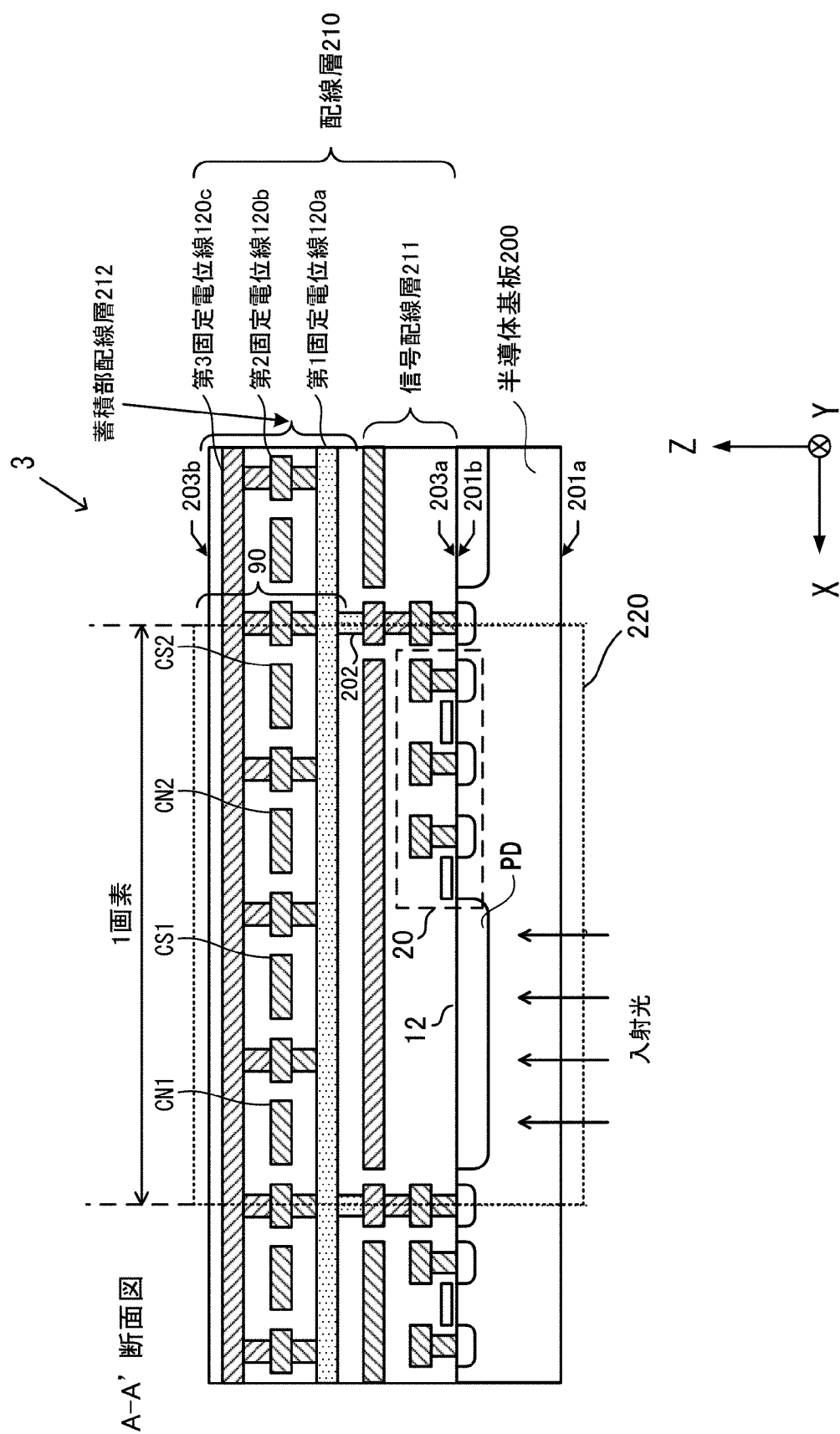
【3】



[図4]

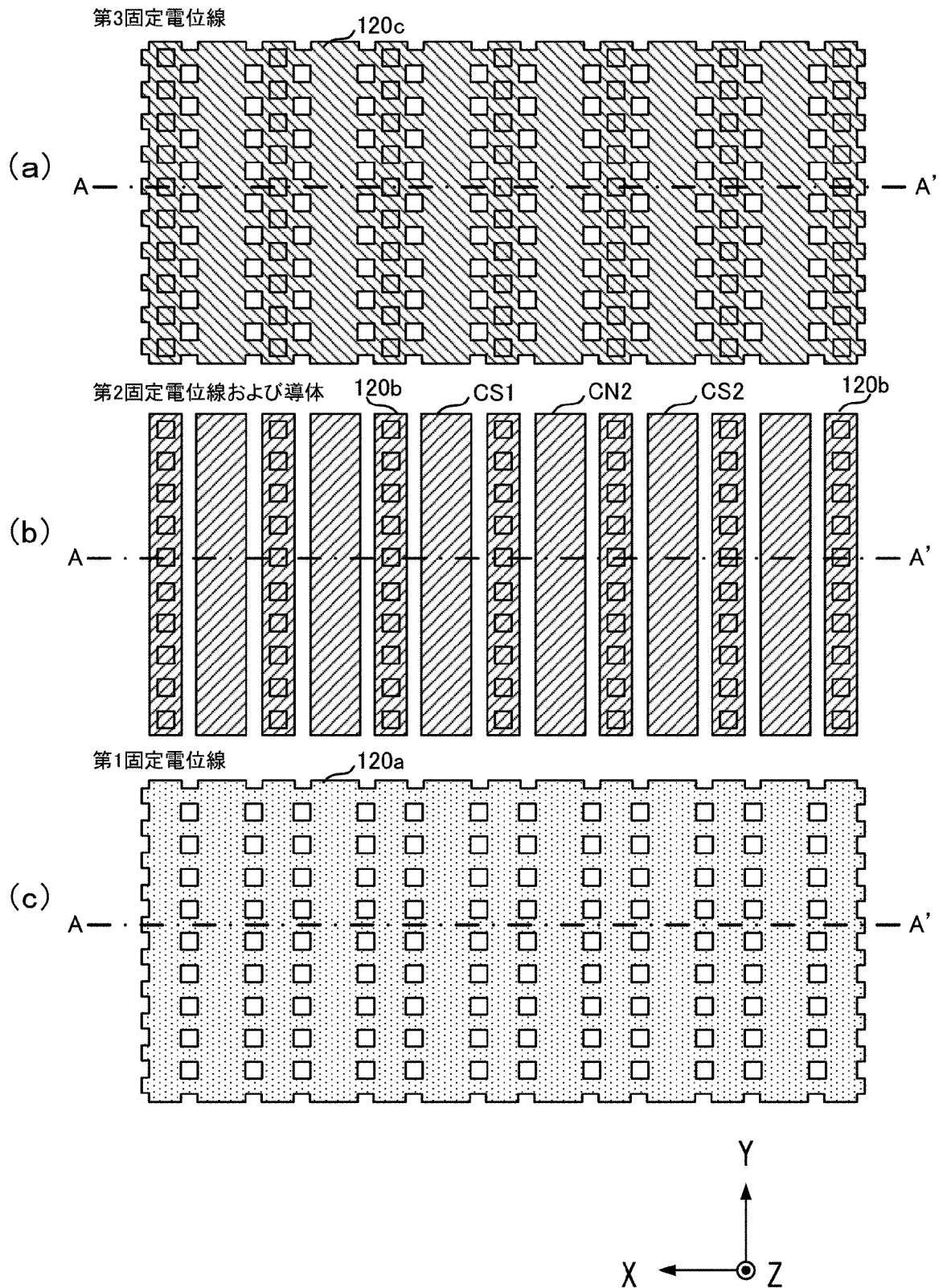
【図 4】



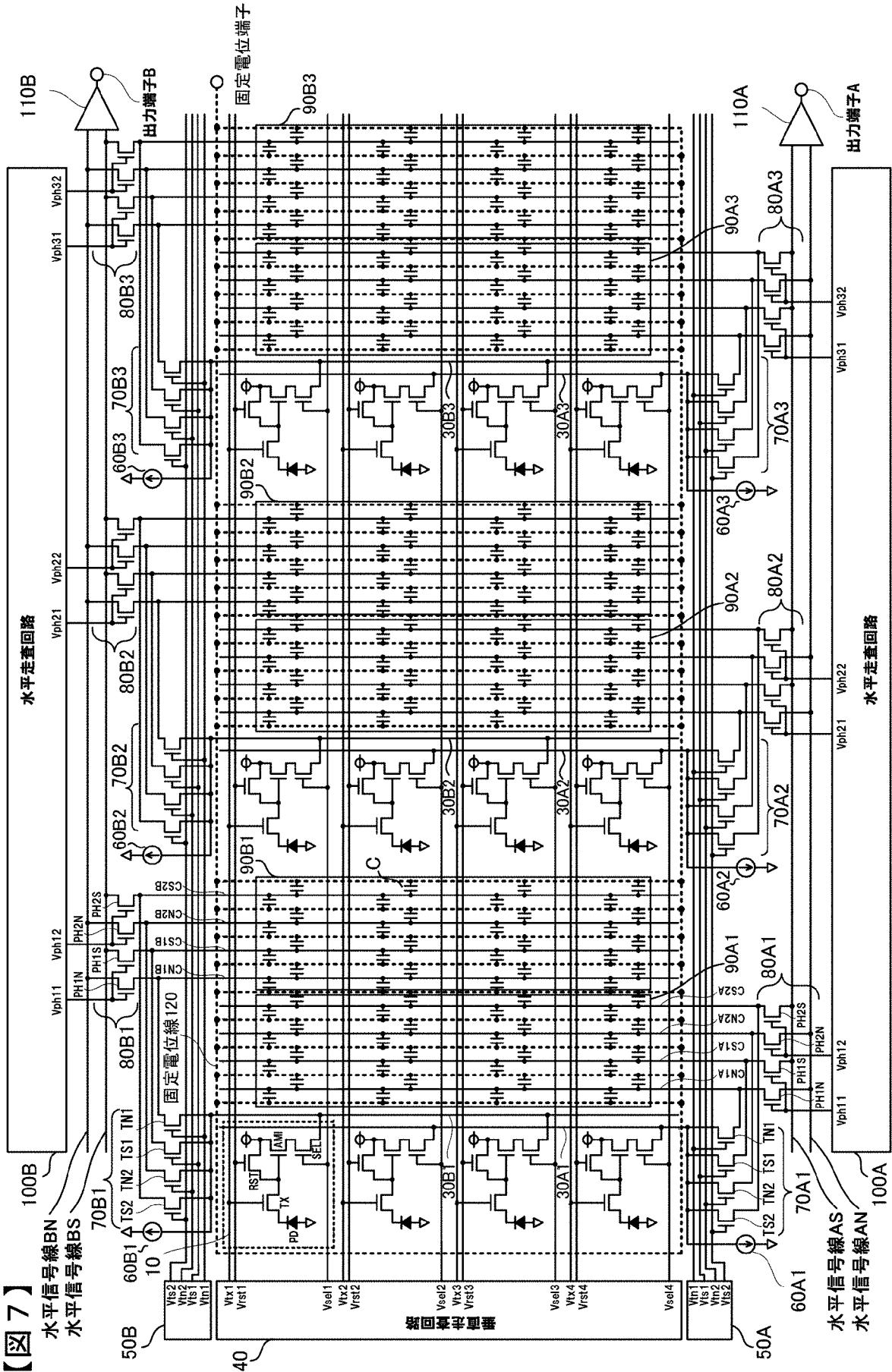
【5】

[図6]

【図 6】

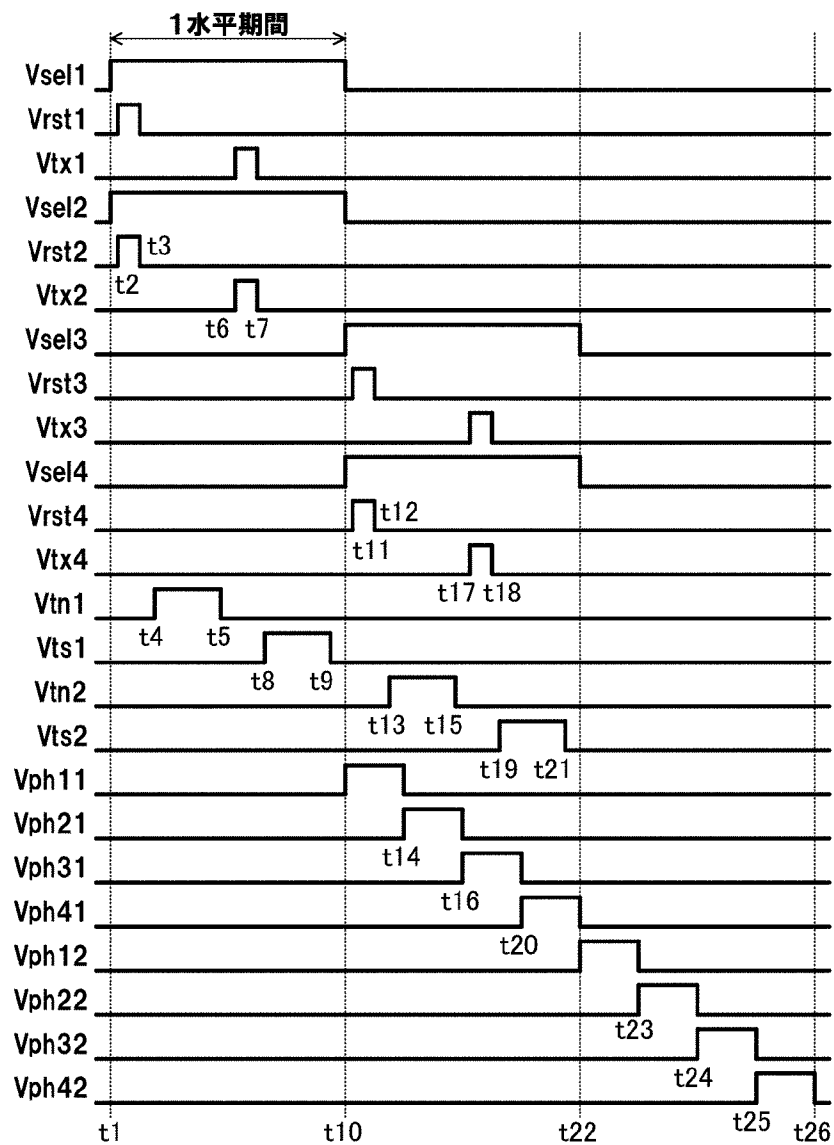


【図7】



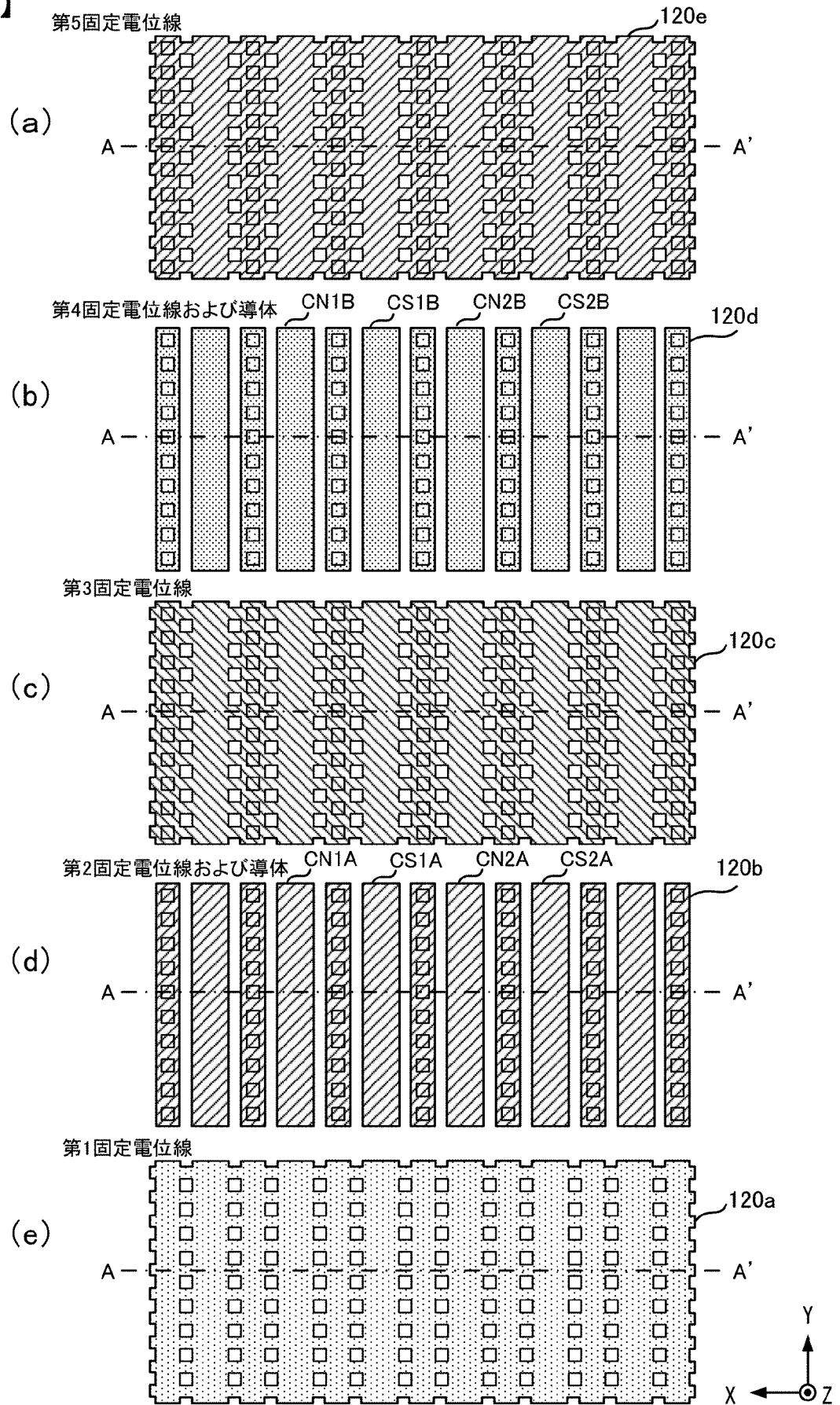
[図8]

【図 8】

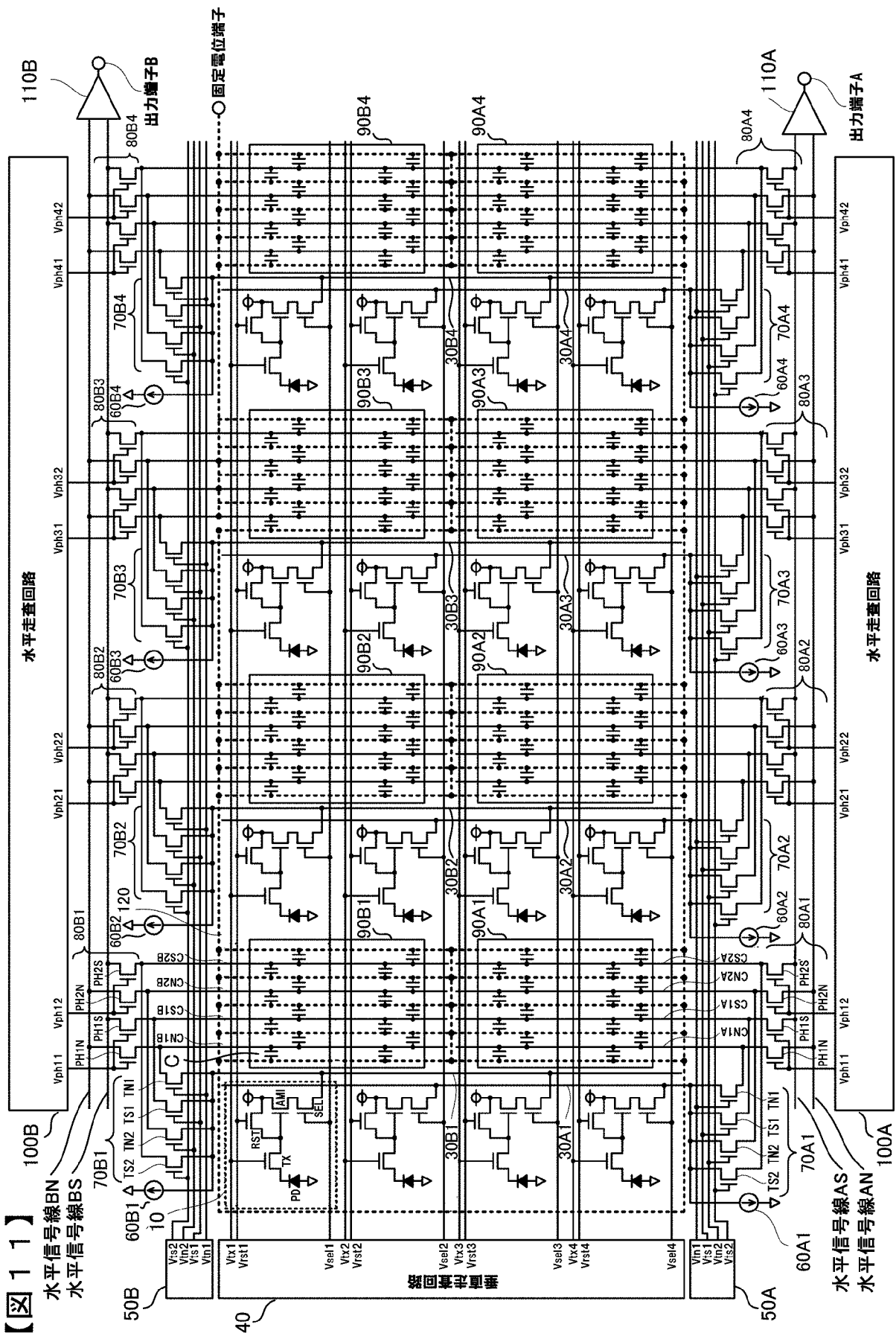


[図10]

【図10】

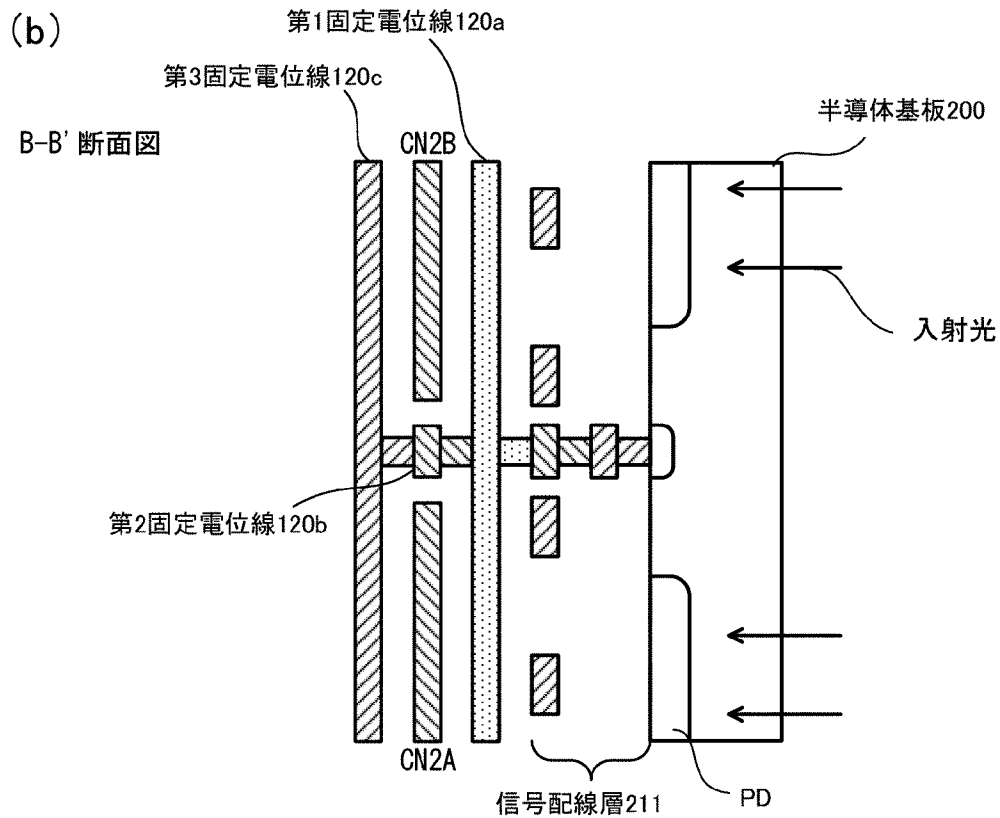
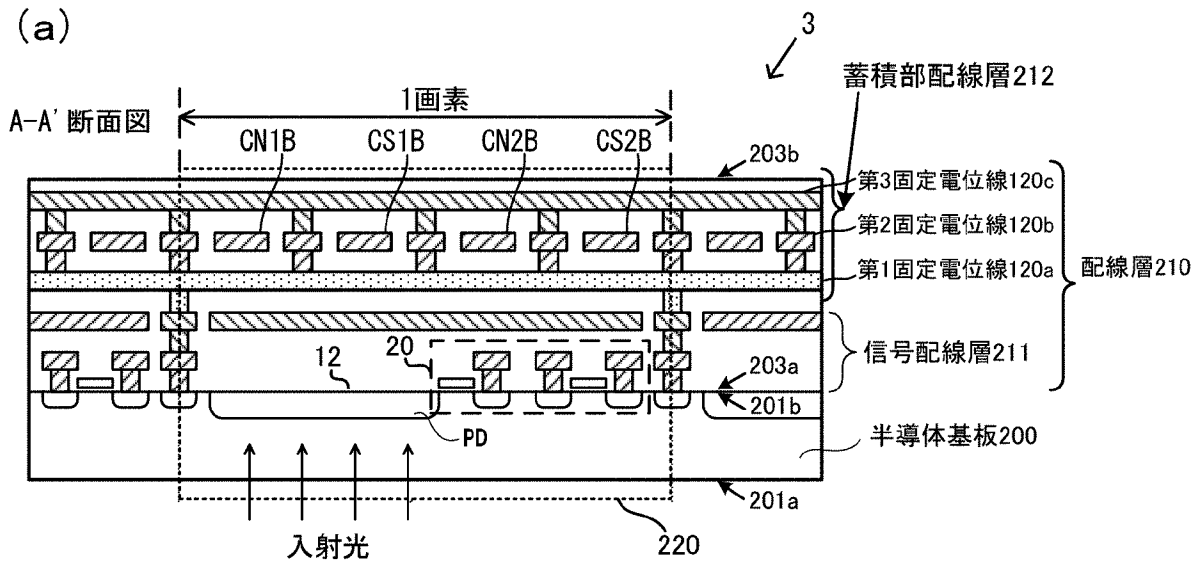


【图 11】



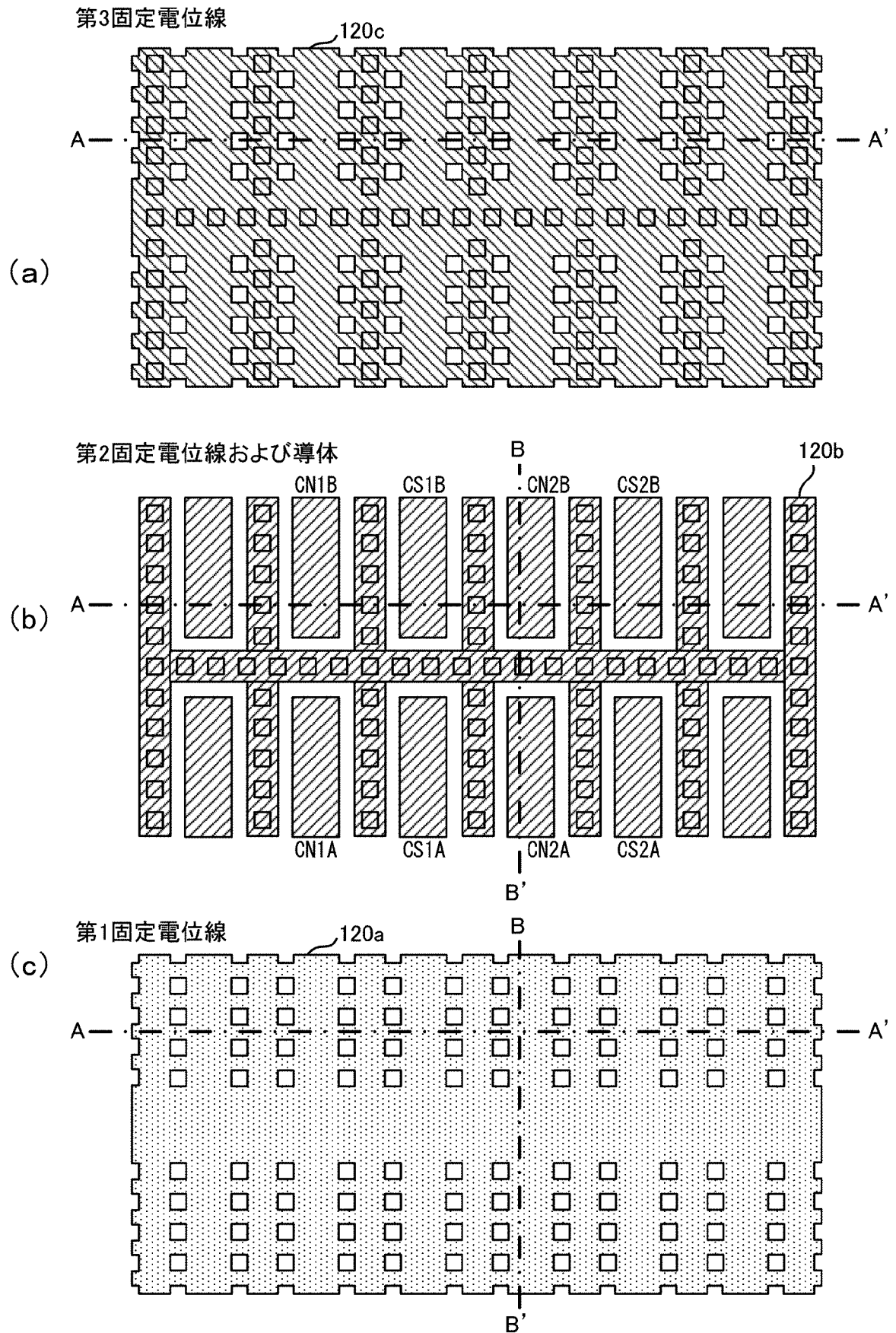
[図12]

【図 1 2】



[図13]

【図 1 3】



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007548

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N5/363(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745, H01L27/146, H04N5/363

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016/009943 A1 (Brillnics Japan Inc.), 21 January 2016 (21.01.2016), paragraphs [0001] to [0151] & TW 201618535 A	1-20
Y	JP 2005-303621 A (Link Research Kabushiki Kaisha), 27 October 2005 (27.10.2005), paragraphs [0001] to [0046] (Family: none)	1-20
Y	JP 2014-195112 A (Sony Corp.), 09 October 2014 (09.10.2014), paragraphs [0001] to [0184] & US 2006/0197007 A1 paragraphs [0001] to [0198]	1-20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
28 March 2017 (28.03.17)

Date of mailing of the international search report
04 April 2017 (04.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/007548

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-228388 A (Sony Corp.), 17 December 2015 (17.12.2015), paragraphs [0001] to [0199] & US 2015/0228693 A1 paragraphs [0001] to [0438]	1-20
Y	JP 2013-126174 A (Canon Inc.), 24 June 2013 (24.06.2013), paragraphs [0001] to [0171] & US 2013/0153752 A1 paragraphs [0001] to [0190]	5-10, 18-20

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N5/363(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H04N5/3745, H01L27/146, H04N5/363

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2016/009943 A1（ブリルニクスジャパン株式会社）2016.01.21, 段落[0001]-[0151] & TW 201618535 A	1-20
Y	JP 2005-303621 A（リンク・リサーチ株式会社）2005.10.27, 段落[0001]-[0046]（ファミリーなし）	1-20
Y	JP 2014-195112 A（ソニー株式会社）2014.10.09, 段落[0001]-[0184] & US 2006/0197007 A1, 段落[0001]-[0198]	1-20

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28.03.2017

国際調査報告の発送日

04.04.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松永 隆志

5 V

4228

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2015-228388 A (ソニー株式会社) 2015. 12. 17, 段落 [0001]-[0199] & US 2015/0228693 A1, 段落[0001]-[0438]	1-20
Y	JP 2013-126174 A (キヤノン株式会社) 2013. 06. 24, 段落 [0001]-[0171] & US 2013/0153752 A1, 段落[0001]-[0190]	5-10, 18-20