

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年3月4日(2010.3.4)

【公開番号】特開2007-329483(P2007-329483A)

【公開日】平成19年12月20日(2007.12.20)

【年通号数】公開・登録公報2007-049

【出願番号】特願2007-151238(P2007-151238)

【国際特許分類】

H 01 L 21/338 (2006.01)

H 01 L 29/778 (2006.01)

H 01 L 29/812 (2006.01)

【F I】

H 01 L 29/80 H

【手続補正書】

【提出日】平成22年1月15日(2010.1.15)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置であって、

基板(1)と、

基板上の第1活性層(2)と、

第1活性層上の第2活性層(3)であって、第1活性層と比較した場合、より大きなバンドギャップを有する第2活性層(3)と、

第2活性層上のパッシベーション層(5)と、

パッシベーション層(5)の上に直接接触したソースコンタクト(8)およびドレインコンタクト(9)と、

パッシベーション層(5)の中にあり、パッシベーション層の下の層の中には無い少なくとも1つの孔(6)であって、ソースとドレインの間に配置された孔(6)と、

孔の中のゲートコンタクト(7)と、を含み、

2次元電子ガス層(4)は、ゲートコンタクト(7)の位置の外側の、活性層(2、3)の間に存在し、

ゲートとソースコンタクトが同電圧の場合に、ゲートコンタクト(7)の直下の、活性層の間には実質的に2次元電子ガス層(4)が存在しないことを特徴とする半導体装置。

【請求項2】

更に、パッシベーション層(5)の少なくとも一部の上と孔(6)の中に誘電体層(10)を含み、ゲートコンタクト(7)が誘電体層(10)の上に存在することを特徴とする請求項1に記載の半導体装置。

【請求項3】

基板(1)が、シリコン、サファイア、SiC、GaN、AlN、GaAs、およびダイアモンドからなる組から選択される材料を含む請求項1または2に記載の半導体装置。

【請求項4】

第1および/または第2活性層(2、3)は、III族ナイトライド半導体材料を含む請求項1～3のいずれか1つに記載の半導体装置。

【請求項5】

第1活性層(2)が、GaN、AlGaN、InGaN、InAlGaN、およびBNからなる組から選択される材料を含む請求項4に記載の半導体装置。

【請求項6】

第2活性層(3)が、AlGaN、AlInN、およびAlInGaNからなる組から選択される材料を含む請求項4に記載の半導体装置。

【請求項7】

第2活性層(3)が、1nmと10nmの間の厚みである請求項1～6のいずれか1つに記載の半導体装置。

【請求項8】

第2活性層(3)が、3nmと8nmの間の厚みである請求項7に記載の半導体装置。

【請求項9】

パッシベーション層(5)が、電子供給元素と窒素を含む材料を含む請求項1～8のいずれか1つに記載の半導体装置。

【請求項10】

パッシベーション層(5)が、SiN、BN、Si、CN、およびGeNからなる組から選択される材料を含む請求項9に記載の半導体装置。

【請求項11】

パッシベーション層(5)が、1nmと5000nmの間の厚みである請求項1～10のいずれか1つに記載の半導体装置。

【請求項12】

パッシベーション層(5)が、3nmと20nmの間の厚みである請求項11に記載の半導体装置。

【請求項13】

誘電体層(10)が、SiO₂、Al₂O₃、Ta₂O₅、HfO₂、ZrO₂、SiN、およびSiONからなる組から選択される材料を含む請求項2に記載の半導体装置。

【請求項14】

パッシベーション層(5)が、孔(6)の中で完全に除去された請求項1～13のいずれか1つに記載の半導体装置。

【請求項15】

パッシベーション層が、孔(6)中で完全には除去されていない請求項1～13のいずれか1つに記載の半導体装置。

【請求項16】

更に、第1活性層と第2活性層との間にスペーサ層を含む請求項1～15のいずれか1つに記載の半導体装置。

【請求項17】

スペーサ層が、AlN層である請求項16に記載の半導体装置。

【請求項18】

半導体装置を製造する方法であって、
反応チャンバ内に基板(1)を配置する工程と、
基板上に第1活性層(2)を形成する工程と、
第1活性層上に第2活性層(3)を形成する工程であって、第2活性層は第1活性層に比較して大きなバンドギャップを有する工程と、
第2活性層上にパッシベーション層(5)を形成する工程と、

パッシベーション層(5)に直接、電気的に接続されたソース電極(8)とドレイン電極(9)とを形成する工程と、
パッシベーション層(5)の中に少なくとも1つの孔(6)をエッチングし、パッシベーション層の下の層の中にはエッチングしない工程であって、孔はソースコンタクトとドレインコンタクト(8、9)の間に配置される工程と、

孔(6)の中にゲートコンタクト(7)を形成する工程と、を含む半導体装置の製造方法。

【請求項 19】

第2活性層(3)は、第2活性層の上に追加の層が形成されない場合、第1活性層(2)と第2活性層(3)の間に2次元電子ガスが存在しないような組成、厚さ、および歪を有し、

パッシベーション層の形成後に、第1活性層と第2活性層の間に2次元電子ガス(4)が形成されるようにかつそのような材料特性を有するようにパッシベーション層(5)が形成され、

ゲートコンタクト(7)は、ゲートコンタクトとソースコンタクトが同電圧の場合に、実質的に2次元電子ガスがゲートコンタクトの下に存在しないようにかつ材料特性を有するようにゲートコンタクトが形成される請求項18に記載の製造方法。

【請求項 20】

第2活性層(3)は、第2活性層の上に追加の層が形成されない場合、第1活性層(2)と第2活性層(3)の間に2次元電子ガスが存在するような組成、厚さ、および歪を有し、

パッシベーション層の形成後に、第1活性層と第2活性層の間に2次元電子ガス(4)が形成されるようにかつそのような材料特性を有するようにパッシベーション層(5)が形成され、

孔(6)は、パッシベーション層(5)の全膜厚を通してエッティングされ、

更に、孔に対応する位置の2次元電子ガスを除去するために、孔(6)により露出した第2活性層の一部をプラズマ処理する工程を含む請求項18に記載の製造方法。

【請求項 21】

第2活性層(3)は、第2活性層の上に追加の層が形成されない場合、第1活性層(2)と第2活性層(3)の間に2次元電子ガスが存在するような組成、厚さ、および歪を有し、

パッシベーション層の形成後に、第1活性層と第2活性層の間に2次元電子ガス(4)が形成されるようにかつそのような材料特性を有するようにパッシベーション層(5)が形成され、

ゲートコンタクト(7)は、ゲートコンタクト(7)の下の2次元電子ガス(4)を除去するような仕事関数を有する請求項18に記載の製造方法。

【請求項 22】

孔(6)のエッティング後に、第2活性層(3)の上に誘電体層(10)を形成する工程を含み、ゲートコンタクト(7)は誘電体層(10)の上に形成される請求項18～21のいずれか1つに記載の製造方法。

【請求項 23】

パッシベーション層(5)は、第2活性層(3)の上にその場成長される請求項18～22のいずれか1つに記載の製造方法。

【請求項 24】

第1活性層(2)、第2活性層(3)、およびパッシベーション層(5)は、金属有機物化学気相成長(MOCVD)で形成される請求項18～23のいずれか1つに記載の製造方法。

【請求項 25】

ドレイン電極(9)がソース(8)に比較して大きなポテンシャルを有するように、ソースコンタクトとドレインコンタクト(8、9)の間に電圧を与える工程と、

ソースコンタクトのポテンシャルに対して正の、しきい値電圧を超える電圧を、ゲートコンタクト(7)に与え、ゲートコンタクトの下の、第1活性層と第2活性層の間に、2次元電子ガス層を形成し、これによりソースコンタクトとドレインコンタクトの間に電流を形成する請求項1～17のいずれか1つに記載の半導体装置を使用する方法。