

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 11 月 10 日 (10.11.2005)

PCT

(10) 国際公開番号
WO 2005/106929 A1

(51) 国際特許分類: **H01L 21/02**, 21/027, 21/768

崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社
社内 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2004/006059

(22) 国際出願日: 2004 年 4 月 27 日 (27.04.2004)

(74) 代理人: 國分 孝悦 (KOKUBUN, Takayoshi); 〒1700013
東京都豊島区東池袋 1 丁目 1 7 番 8 号 池袋 T G ホー
メストビル 5 階 Tokyo (JP).

(25) 国際出願の言語: 日本語

(81) 指定国 (表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS,
LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,
NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,
SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, YU, ZA, ZM, ZW.

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株
式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈
川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa
(JP).

(72) 発明者; および

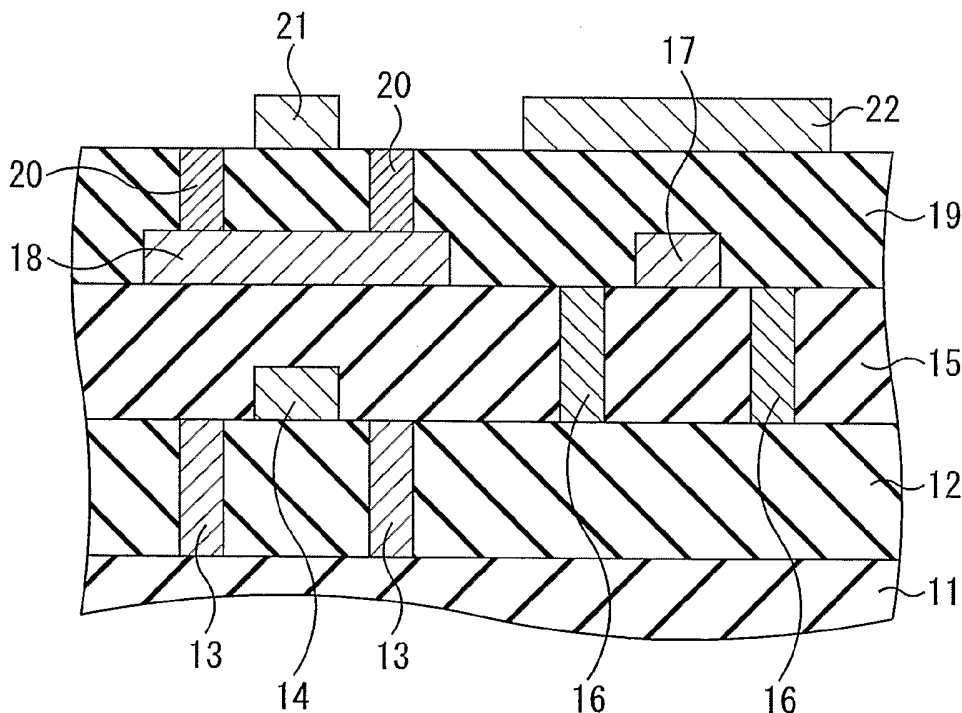
(75) 発明者/出願人 (米国についてのみ): 八重樫 鉄男
(YAEGASHI, Tetsuo) [JP/JP]; 〒2118588 神奈川県川

(84) 指定国 (表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

/ 続葉有 /

(54) Title: SEMICONDUCTOR WAFER AND METHOD OF PRODUCING THE SAME

(54) 発明の名称: 半導体ウェハ及びその製造方法



(57) Abstract: After alignment marks (13) have been formed, an insulation film (15) covering the alignment marks (13) is formed on an insulation film (12). The insulation film (15) is flattened. A light shielding film (18) is formed on the insulation film (15) to cover the alignment marks (13) from above. An insulation film (19) is formed on the light shielding film (15). Alignment marks (20) are formed on the insulation film (19) in such a manner that they are superposed above the alignment marks (13) as seen in a plan view.

/ 続葉有 /



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 絶縁膜(12)に、アライメントマーク(13)を形成した後、アライメントマーク(13)を覆う絶縁膜(15)を形成する。絶縁膜(15)を平坦化する。絶縁膜(15)上に、アライメントマーク(13)を上方から隠す遮光膜(18)を形成する。遮光膜(15)上に、絶縁膜(19)を形成する。そして、絶縁膜(19)に、平面視でアライメントマーク(13)と重なり合うアライメントマーク(20)を形成する。

明 細 書

半導体ウェハ及びその製造方法

技術分野

本発明は、複数の層を備えた半導体ウェハ及びその製造方法に関する。なお、本件において、半導体ウェハとは、半導体基板そのものではなく、その上に形成された層をも含むものをいう。

背景技術

半導体装置の製造過程では、膜の形成及びパターニングが繰り返される。膜のパターニングにおいては、既に形成されているパターンとの位置合わせを行う必要がある。そして、パターンの位置合わせでは、基準としてアライメントマークが用いられている。アライメントマークは、位置合わせの度に用いることが望まれている。しかし、層の数が多いほど、位置合わせの回数が多くなり、要求されるアライメントマークの数も多くなる。

一般に、アライメントマークは、ウェハから複数のチップを切り出す際の切断しろであるスクライブ領域に形成される。図4A乃至図4Cは、従来の強誘電体メモリの製造方法において用いるレチクルを示す模式図である。この方法では、多数回の位置合わせが行われるが、図4A乃至図4Cには、3回の位置合わせで用いられるレチクルを示す。

図4A、図4B及び図4Cに示すように、バルク層を形成する際に用いるアライメントマークの領域101a、キャパシタ層を形成する際に用いるアライメントマークの領域101b及び配線層を形成する際に用いるアライメントマークの領域101cは、夫々、レチクル105a、105b及び105cのスクライブ領域102内に形成されている。また、スクライブ領域102は、遮光領域103とアライメントデータ領域104とに区画されている。遮光領域103は、隣り合う2個のチップの間でアライメントマーク同士が重なり合わないようするために設けられている。従って、遮光領域103及びアライメントデータ領域104の各面積は、いずれもスクライブ領域102の1/2程度となっている。また、アライメントマークの領域101a、101b及び101

1 c は、半導体ウェハに転写されたときに、平面視で互いに重なり合わないよう配置されている。これは、下層に形成されているアライメントマークに伴う段差が上層のアライメントマークを形成する時に擬似エッジとなり、アライメント不良が発生する虞があるからである。

このため、位置合わせの度にアライメントマークを形成することが困難となっている。即ち、層数が多くなるほど、アライメントマークを多く形成する必要があるが、アライメントデータ領域内に互いに重なり合わないよう形成することができるアライメントマークの数が限られているのである。

例えば、位置合わせに必要なアライメントデータ領域の長さが 6 mm である場合、レチクルのショットサイズが 15 mm 角であれば、アライメントデータ領域の長さは 7.5 mm であるため、すべてのアライメントマークを配置することが可能である。しかし、レチクルのショットサイズが 11 mm 角であると、すべてのアライメントマークを配置することはできない。そして、すべてのアライメントマークを配置できない場合には、アライメントマークの位置合わせが不正確になる虞がある。

また、ショットサイズが 15 mm 角で、7.5 mm のアライメントデータ領域の全体にわたってアライメントマークが配置されている場合には、その後に配線層の追加等を行おうとしても、既にアライメントデータ領域は埋め尽くされているため、新たにアライメントマークを配置することができない。

そこで、位置合わせの度にアライメントマークを用いるために、アライメントデータ領域を大きくすべく、レチクルを大きくするという手段もある。しかし、この手段を採用すると、1 枚のウェハに形成することができるチップの数が減少してしまう。

また、特許文献 1 には、レチクルに形成したアライメントマークの転写の可否を、転写先の位置に応じて切り換える方法が開示されている。しかし、この方法では、その側方にアライメントマークが転写されないチップも存在するため、十分な位置合わせを行うことができない。

特許文献 1

特開 2002-170769 号公報

発明の開示

本発明の目的は、アライメントデータ領域が狭い場合であっても十分な精度の位置合わせを行うことができる半導体ウェハ及びその製造方法を提供することにある。

従来の半導体装置の製造方法では、図 4 A乃至図 4 Cに示すように、領域 1 0 1 a、1 0 1 b 及び 1 0 1 c が、半導体ウェハに転写されたときに、平面視で互いに重なり合わないよう配置されている。これは、前述のように、アライメント不良を回避するためである。しかし、本願発明者が鋭意研究を重ねた結果、このようなアライメント不良は、平坦化された膜にアライメントマークを形成し、位置合わせを行った後に不要となったアライメントマークを上方から隠す遮光膜を形成することにより、回避できることを見出した。

本願発明に係る半導体装置では、第 1 の膜に、第 1 のアライメントマークを形成した後、前記第 1 のアライメントマークを覆う第 2 の膜を形成する。次に、前記第 2 の膜を平坦化する。次いで、前記第 2 の膜上に、前記第 1 のアライメントマークを上方から隠す遮光膜を形成する。その後、前記遮光膜上に、第 3 の膜を形成する。そして、前記第 3 の膜に、平面視で前記第 1 のアライメントマークと重なり合う第 2 のアライメントマークを形成する。

図面の簡単な説明

図 1 A乃至図 1 C は、本発明の実施形態に係る強誘電体メモリの製造方法において用いるレチクルを示す模式図である。

図 2 A乃至図 2 F は、本発明の実施形態に係る配線層の形成方法を工程順に示す平面図である。

図 3 A乃至図 3 F は、本発明の実施形態に係る配線層の形成方法を工程順に示す断面図である。

図 4 A乃至図 4 C は、従来の強誘電体メモリの製造方法において用いるレチクルを示す模式図である。

発明を実施するための最良の形態

以下、本発明の実施形態について、添付の図面を参照して具体的に説明する。図 1 A乃至図 1 C は、本発明の実施形態に係る強誘電体メモリ（半導体装置）の製造方法にお

いて用いるレチクルを示す模式図である。この製造方法では、多数回の位置合わせが行われるが、図 1 A乃至図 1 Cには、3 回の位置合わせで用いられるレチクルを示す。

図 1 A、図 1 B及び図 1 Cに示すように、バルク層を形成する際に用いるアライメントマークが存在する領域 1 a、キャパシタ層を形成する際に用いるアライメントマークが存在する領域 1 b及び配線層を形成する際に用いるアライメントマークが存在する領域 1 cは、夫々、レチクル 5 a、5 b及び 5 cのスクライブ領域 2 内に形成されている。

また、スクライブ領域 2 は、遮光領域 3 とアライメントデータ領域 4 とに区画されている。遮光領域 3 は、隣り合う 2 個のチップの間でアライメントマーク同士が重なり合わないようするために設けられている。従って、遮光領域 3 及びアライメントデータ領域 4 の各面積は、いずれもスクライブ領域 2 の 1/2 程度となっている。

また、本実施形態では、図 1 A及び図 1 Bに示すように、例えば、アライメントマークが存在する領域 1 a と領域 1 b とは、半導体ウェハに転写されたときに、平面視で互いに重なり合わないよう配置されている。同様に、図 1 B及び図 1 Cに示すように、領域 1 b と領域 1 c とは、半導体ウェハに転写されたときに、平面視で互いに重なり合わないよう配置されている。但し、図 1 A及び図 1 Cに示すように、領域 1 a と領域 1 c とは、半導体ウェハに転写されたときに、平面視で互いに重なり合うよう配置されている。

そして、本実施形態では、領域 1 a、1 b又は 1 cに存在するアライメントマークを転写する膜を予め平坦化しておく。そして、この膜に転写されたアライメントマークを用いた位置合わせを行い、そのアライメントマークを用いた位置合わせを以降の工程で行わなくなった後に、そのアライメントマークを覆う遮光膜を形成する。

次に、上述のレチクルと同様のレチクルを用いた半導体装置の配線層の形成方法について説明する。図 2 A乃至図 2 Fは、本発明の実施形態に係る配線層の形成方法を工程順に示す平面図であり、図 3 A乃至図 3 Fは、本発明の実施形態に係る配線層の形成方法を工程順に示す断面図である。なお、図 3 A乃至図 3 Fは、夫々、図 2 A乃至図 2 F中の I-I 線に沿った断面を示している。また、図 2 A乃至図 2 F及び図 3 A乃至図 3 Fには、ウェハのスクライブ領域を示す。

本実施形態では、先ず、半導体基板（図示せず）の上又は上方にトランジスタ及び強

誘電体キャパシタ等の素子（図示せず）を形成する。

その後、図 3 Aに示すように、絶縁膜 1 1 を全面に形成し、その平坦化を行う。次に、絶縁膜 1 1 内に、配線用のプラグ（図示せず）等を形成する。次いで、図 2 A及び図 3 Aに示すように、絶縁膜 1 1 上に、シリコン酸化膜等の絶縁膜 1 2 を形成し、その平坦化を行う。続いて、レチクルを用いたパターニングを行うことにより、絶縁膜 1 2 に、プラグ用の孔及びアライメントマーク用の孔を形成する。このとき、レチクルとしては、例えば、図 1 Aに示すレチクル 5 a と同様のアライメントマークの領域を備えたものを用いる。そして、プラグ用の孔内にコンタクトプラグ（図示せず）を形成すると共に、アライメント用の孔内に導電膜 1 3 を第 1 のアライメントマークとして形成する。

次に、図 2 B及び図 3 Bに示すように、全面に A 1 膜等の導電膜を形成し、そのパターニングを行うことにより、配線層（図示せず）を形成すると共に、導電膜 1 3 の近傍に、導電膜 1 4 を残存させる。この状態で、導電膜 1 4 と導電膜 1 3 との位置関係を観察することにより、どの程度の位置ずれが生じているかを把握することができ、以降の工程でどのような修正を行うことが好ましいのか把握することができる。

次いで、図 2 C及び図 3 Cに示すように、絶縁膜 1 2 上に、シリコン酸化膜等の絶縁膜 1 5 を形成し、その平坦化を行う。続いて、レチクルを用いたパターニングを行うことにより、絶縁膜 1 5 に、プラグ用の孔及びアライメントマーク用の孔を形成する。このとき、レチクルとしては、例えば、図 1 Bに示すレチクル 5 b と同様のアライメントマークの領域を備えたものを用いる。そして、プラグ用の孔内にコンタクトプラグ（図示せず）を形成すると共に、アライメント用の孔内に導電膜 1 6 を第 3 のアライメントマークとして形成する。このとき、導電膜 1 6 は導電膜 1 3 から離間した位置に形成する。

次に、図 2 D及び図 3 Dに示すように、全面に A 1 膜等の導電膜を形成し、そのパターニングを行うことにより、配線層（図示せず）を形成すると共に、導電膜 1 6 の近傍に、導電膜 1 7 を残存させる。この状態で、導電膜 1 7 と導電膜 1 6 との位置関係を観察することにより、どの程度の位置ずれが生じているかを把握することができ、以降の工程でどのような修正を行うことが好ましいのか把握することができる。また、導電膜 1 7 を残存させる際に、導電膜 1 3 及び 1 4 を間接的に覆う導電膜 1 8 を遮光膜として残存させる。

次いで、図 2 E 及び図 3 E に示すように、絶縁膜 1 5 上に、シリコン酸化膜等の絶縁膜 1 9 を形成し、その平坦化を行う。続いて、レチクルを用いたパターンニングを行うことにより、絶縁膜 1 9 に、プラグ用の孔及びアライメントマーク用の孔を形成する。このとき、レチクルとしては、例えば、図 1 C に示すレチクル 5 c と同様のアライメントマークの領域を備えたものを用いる。そして、プラグ用の孔内にコンタクトプラグ（図示せず）を形成すると共に、アライメント用の孔内に導電膜 2 0 を第 2 のアライメントマークとして形成する。このとき、導電膜 2 0 は、平面視で導電膜 1 3 と重なり合う位置に形成する。

次に、図 2 F 及び図 3 F に示すように、全面に A 1 膜等の導電膜を形成し、そのパターンニングを行うことにより、配線（図示せず）を形成すると共に、導電膜 2 0 の近傍に、導電膜 2 1 を残存させる。この状態で、導電膜 2 1 と導電膜 2 0 との位置関係を観察することにより、どの程度の位置ずれが生じているかを把握することができ、以降の工程でどのような修正を行うことが好ましいのか把握することができる。このとき、導電膜 2 0 及び 2 1 の下方には、導電膜 1 3 及び 1 4 が存在するが、これらの間に、遮光膜として導電膜 1 8 が介在しているため、導電膜 1 3 及び 1 4 のためにアライメント不良が生じることはない。また、導電膜 2 1 を残存させる際に、導電膜 1 6 及び 1 7 を間接的に覆う導電膜 2 2 も残存させる。

その後、同様にして、遮光膜を形成しつつアライメントマークを平面視で重なり合わせながら、所望の数だけ配線層を形成する。そして、最後にカバー膜等を形成して半導体装置を完成させる。

このような本発明の実施形態によれば、使用済みで不要となったアライメントマークを覆う遮光膜を、平坦化された膜の上に形成しているため、平面視で 2 以上のアライメントマークが重なり合っても、アライメント不良の発生を回避することができる。従って、アライメントデータ領域が狭い場合であっても、常にアライメントマークを形成することができ、高い位置合わせ精度を得ることができる。また、アライメントマークの数に対する制限が緩和されるため、配線層の数を増やそうとする場合であっても、アライメントデータ領域及びスクライブ領域を拡大する必要がなく、1 枚のウェハから作製することが可能なチップの数を多く維持することができる。

なお、上述の実施形態では、アライメントマークを形成する領域を、アライメントデ

一タ領域内の2箇所としているが、3箇所以上にアライメントマークの領域を設けてもよい。即ち、例えば、第1層目のアライメントマーク、第4層目のアライメントマーク、第7層目のアライメントマーク、・・・を平面視で重なり合うように形成し、第2層目のアライメントマーク、第5層目のアライメントマーク、第8層目のアライメントマーク、・・・を平面視で重なり合うように形成し、第3層目のアライメントマーク、第6層目のアライメントマーク、第9層目のアライメントマーク、・・・を平面視で重なり合うように形成してもよい。

また、遮光膜の材料は導電体に限定されず、遮光できるものであれば絶縁体又は半導体を用いてもよい。

産業上の利用可能性

以上詳述したように、本発明によれば、アライメントデータ領域が狭い場合であっても十分な精度の位置合わせを行うことができる。従って、半導体装置の微細化が促進されても、高い信頼度の半導体装置を得ることができる。また、層数を増加させたいという要望にも、容易に応じることができる。

請 求 の 範 囲

1. 第1の膜に形成された第1のアライメントマークと、
前記第1のアライメントマークを覆い、平坦化された第2の膜と、
前記第2の膜上に形成され、前記第1のアライメントマークを上方から隠す遮光膜と、
、
前記遮光膜上に形成された第3の膜と、
前記第3の膜に形成され、平面視で前記第1のアライメントマークと重なり合う第2のアライメントマークと、
を有することを特徴とする半導体ウェハ。
2. 前記遮光膜と同一の原料膜から、平面視で前記第1のアライメントマークから離間した位置に形成された第3のアライメントマークを有することを特徴とする請求項1に記載の半導体ウェハ。
3. 前記遮光膜として導電膜が形成されていることを特徴とする請求項1に記載の半導体ウェハ。
4. 前記第2及び第3の膜が繰り返し形成されていることを特徴とする請求項1に記載の半導体ウェハ。
5. 前記第1及び第2のアライメントマークは、スクライプ領域に形成されていることを特徴とする請求項1に記載の半導体ウェハ。
6. 前記第1及び第2の膜として、絶縁膜が形成されていることを特徴とする請求項1に記載の半導体ウェハ。
7. 前記第1の膜内に形成された配線用のプラグを有することを特徴とする請求項1に記載の半導体ウェハ。

８． 前記第３の膜内に形成された配線用のプラグを有することを特徴とする請求項１に記載の半導体ウェハ。

９． 前記第２の膜上に形成された配線層を有することを特徴とする請求項１に記載の半導体ウェハ。

１０． 第１の膜に、第１のアライメントマークを形成する工程と、
前記第１のアライメントマークを覆う第２の膜を形成する工程と、
前記第２の膜を平坦化する工程と、
前記第２の膜上に、前記第１のアライメントマークを上方から隠す遮光膜を形成する工程と、
前記遮光膜上に、第３の膜を形成する工程と、
前記第３の膜に、平面視で前記第１のアライメントマークと重なり合う第２のアライメントマークを形成する工程と、
を有することを特徴とする半導体ウェハの製造方法。

１１． 前記遮光膜を形成する工程は、
前記遮光膜の原料膜を形成する工程と、
前記原料膜をパターニングすることにより、前記遮光膜を形成すると共に、平面視で前記第１のアライメントマークから離間した位置に第３のアライメントマークを形成する工程と、
を有することを特徴とする請求項１０に記載の半導体ウェハの製造方法。

１２． 前記遮光膜として導電膜を形成することを特徴とする請求項１０に記載の半導体ウェハの製造方法。

１３． 前記第２の膜を形成する工程から前記第２のアライメントマークを形成する工程までを繰り返し行うことを特徴とする請求項１０に記載の半導体ウェハの製造方法。

14. 前記第1及び第2のアライメントマークをスクライブ領域に形成することを特徴とする請求項10に記載の半導体ウェハの製造方法。

15. 前記第1及び第2の膜として、絶縁膜を形成することを特徴とする請求項10に記載の半導体ウェハの製造方法。

16. 前記第1のアライメントマークを形成すると同時に、前記第1の膜内に、配線用のプラグを形成することを特徴とする請求項10に記載の半導体ウェハの製造方法。

17. 前記第2のアライメントマークを形成すると同時に、前記第3の膜内に、配線用のプラグを形成することを特徴とする請求項10に記載の半導体ウェハの製造方法。

18. 前記遮光膜を形成すると同時に、配線層を形成することを特徴とする請求項10に記載の半導体ウェハの製造方法。

図1A

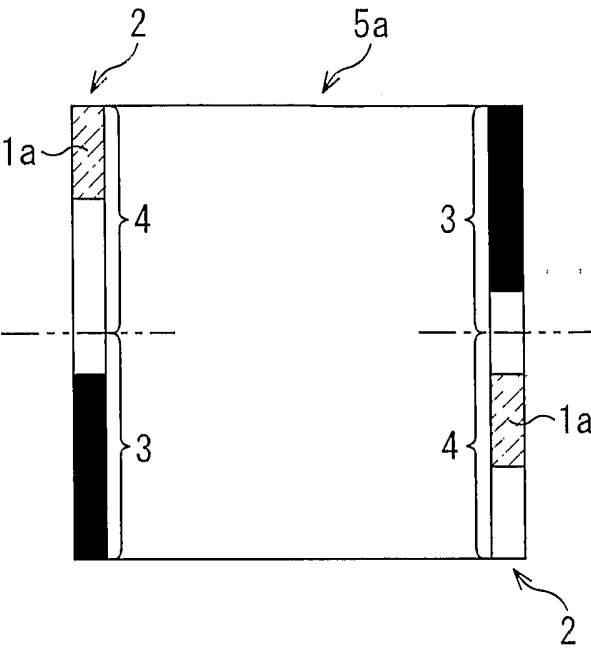


図1B

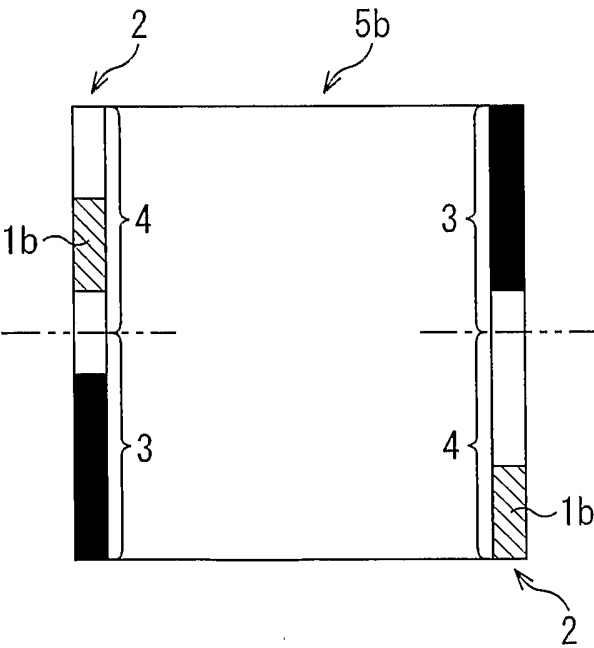


図1C

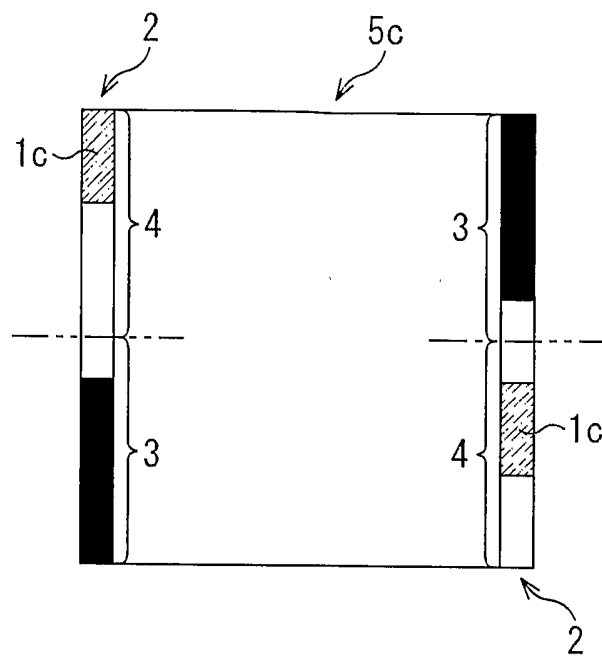


図2A

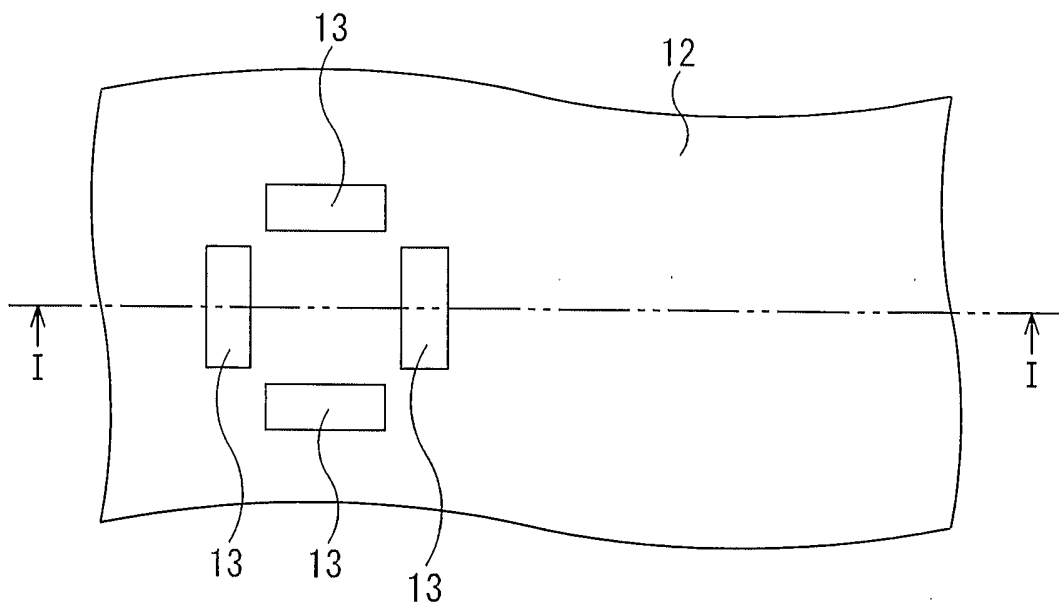


図2B

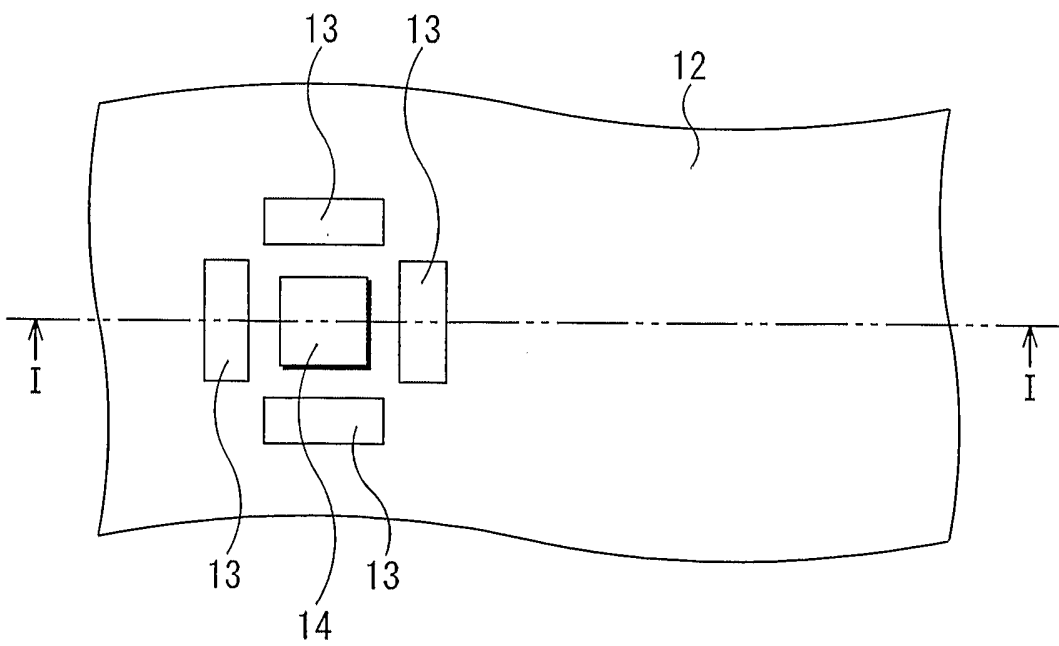


図2C

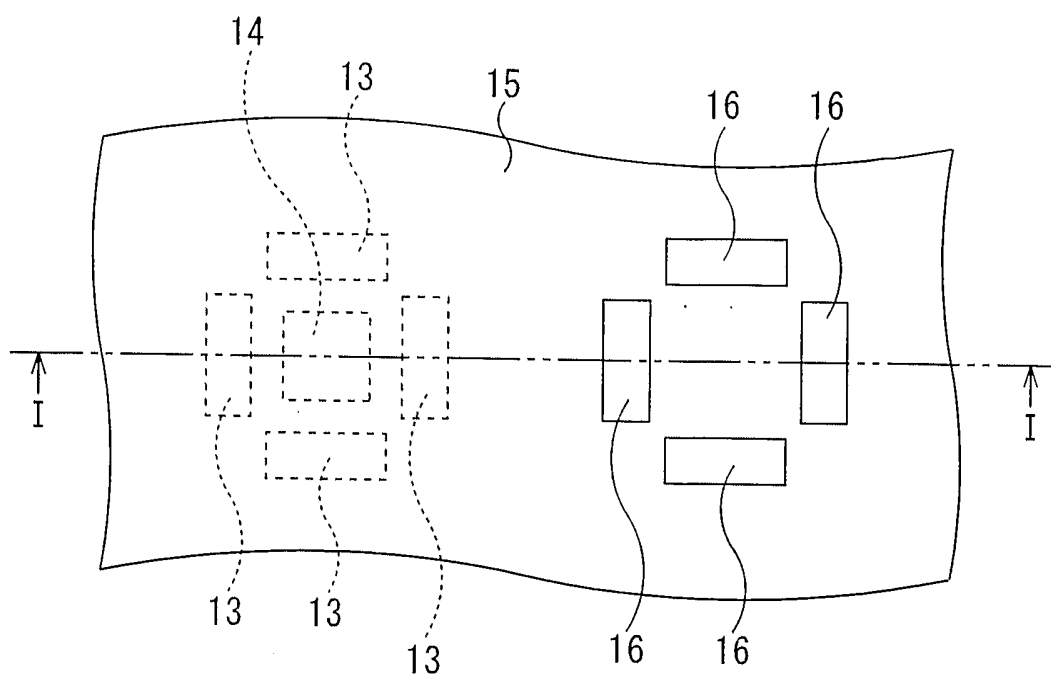


図2D

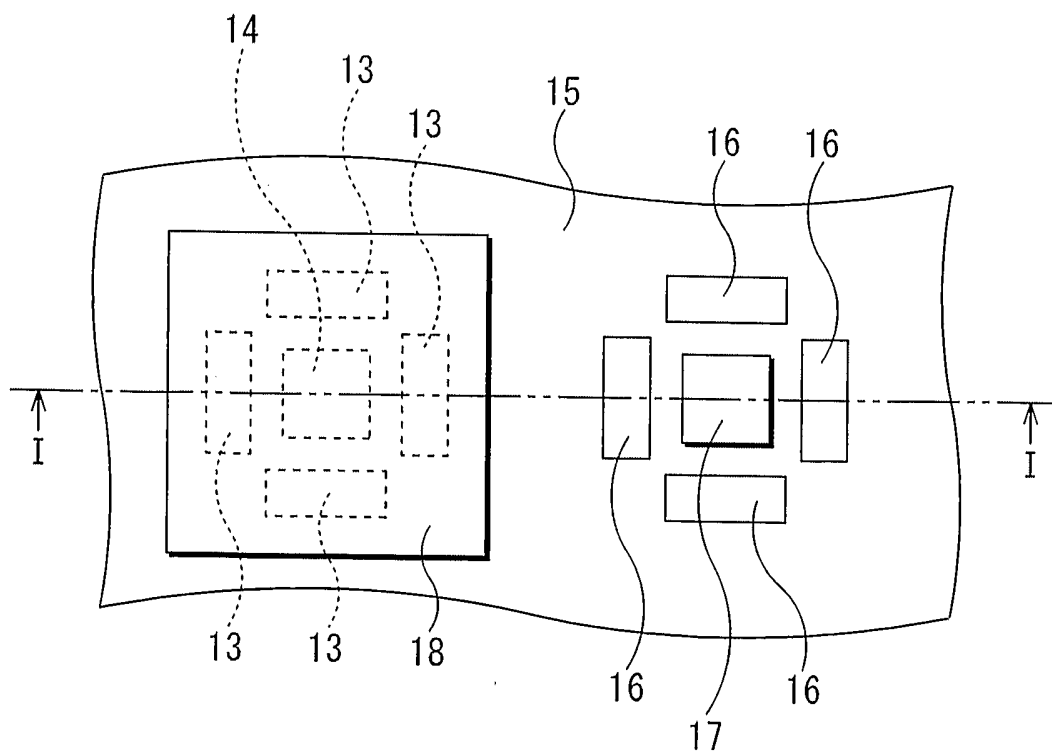


図2E

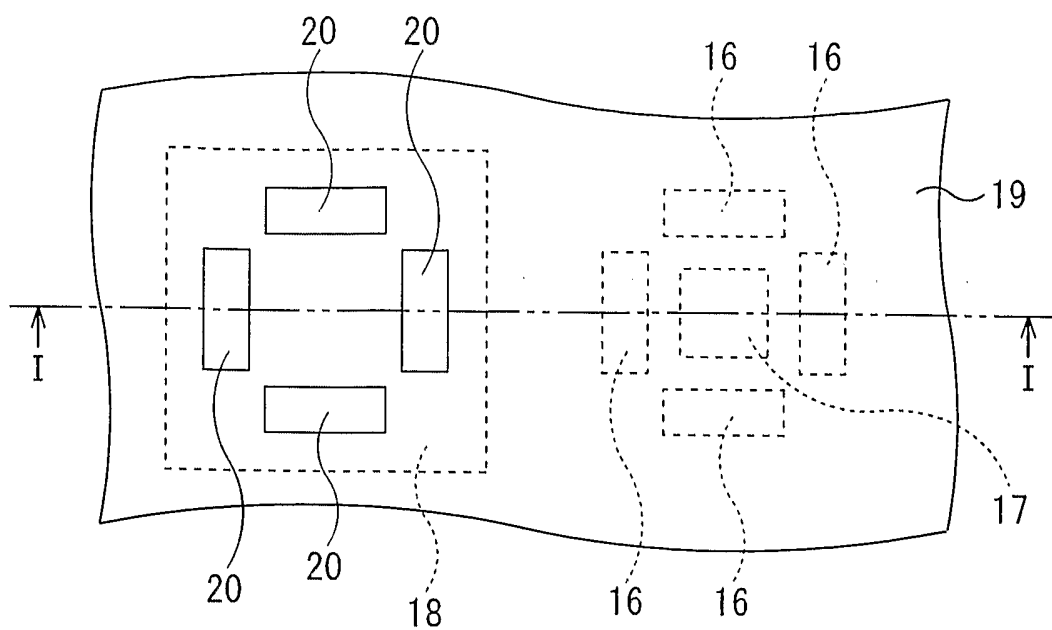


図2F

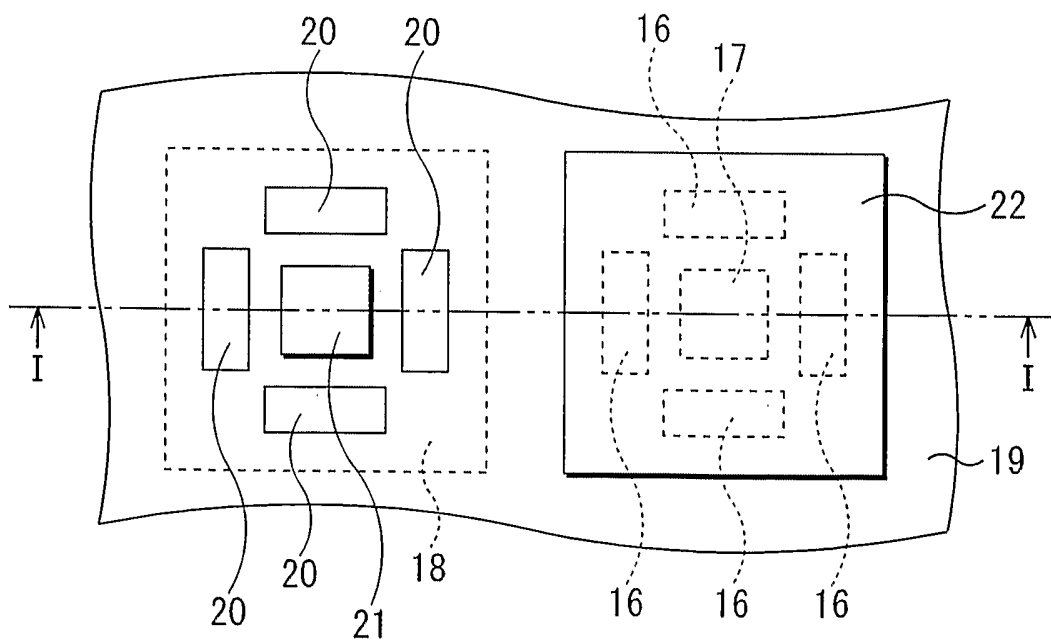


図3A

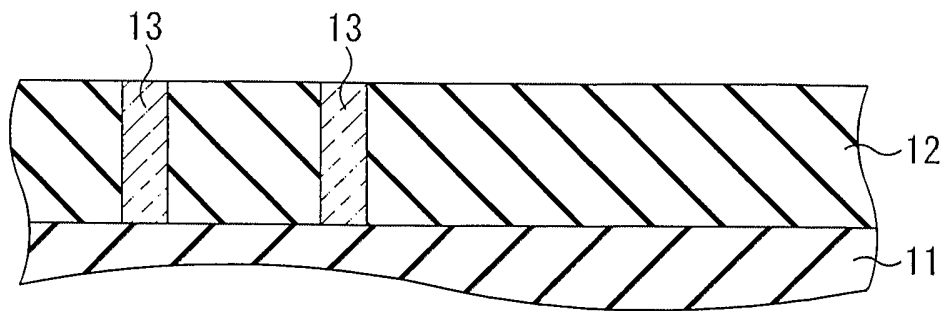


図3B

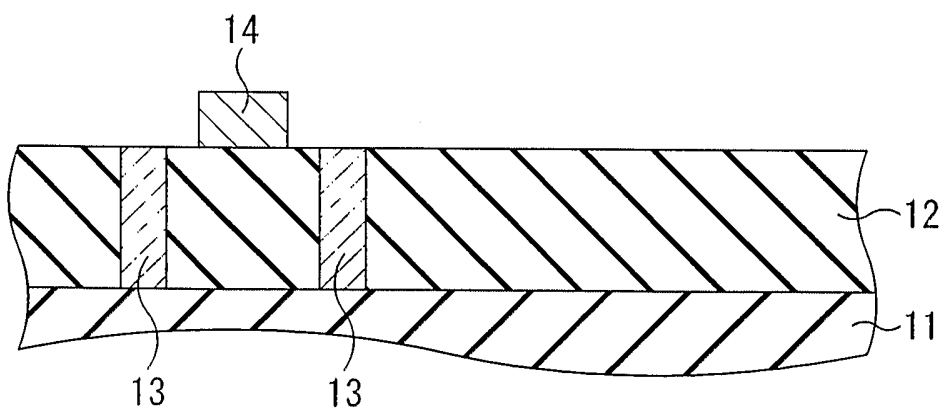


図3C

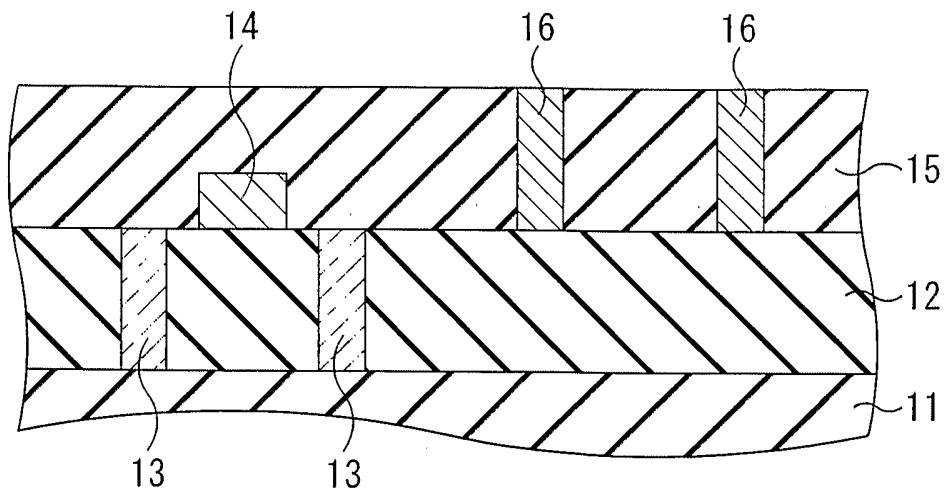


図3D

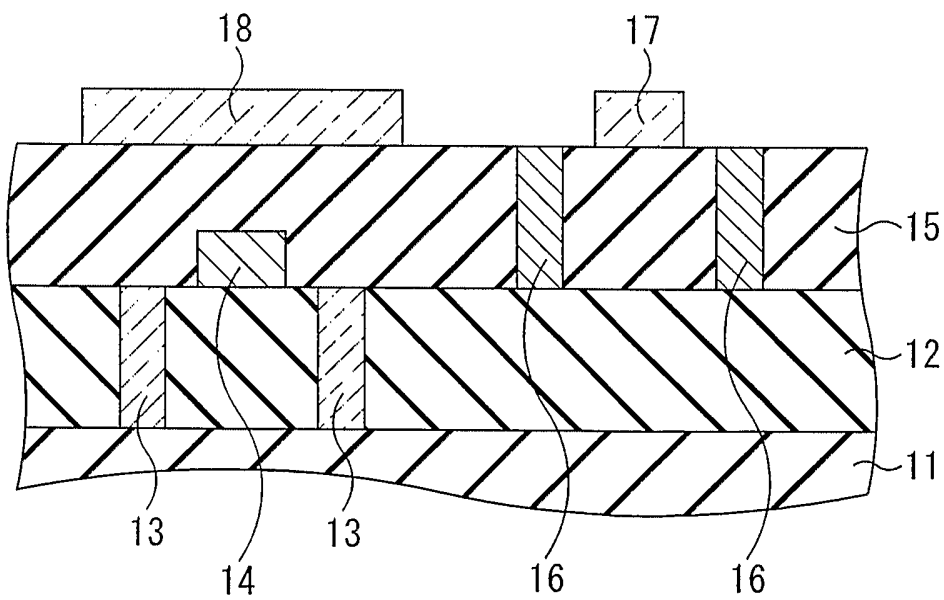


図3E

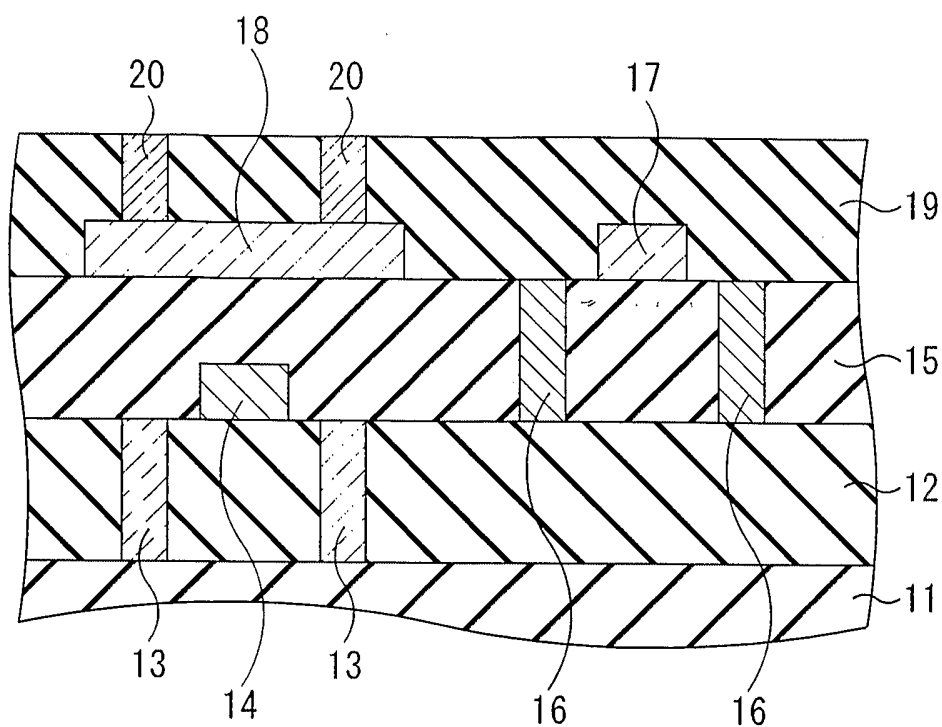


図3F

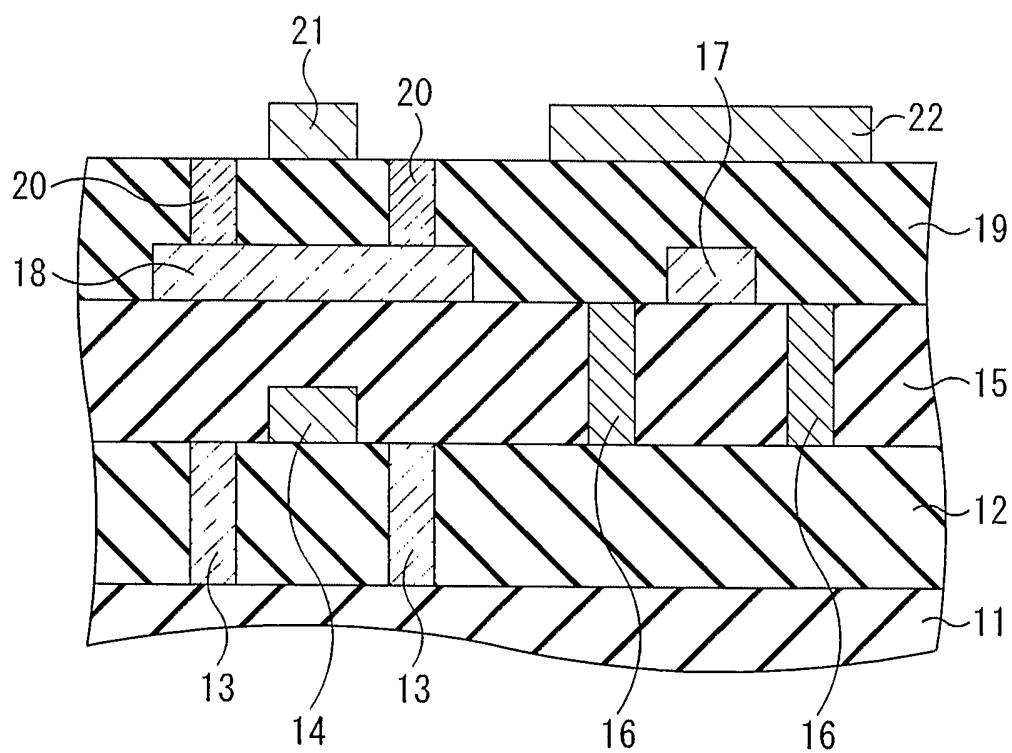


図4A

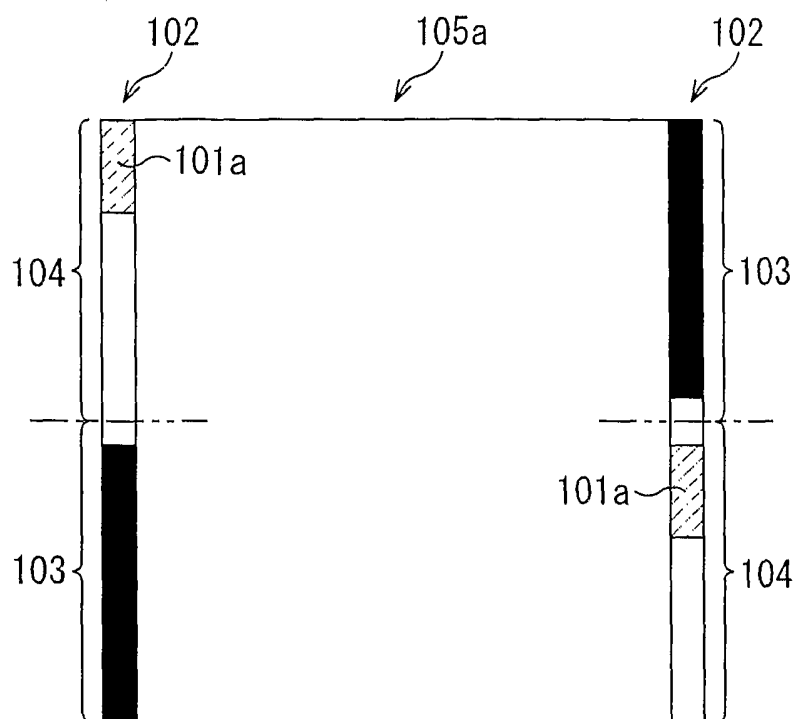


図4B

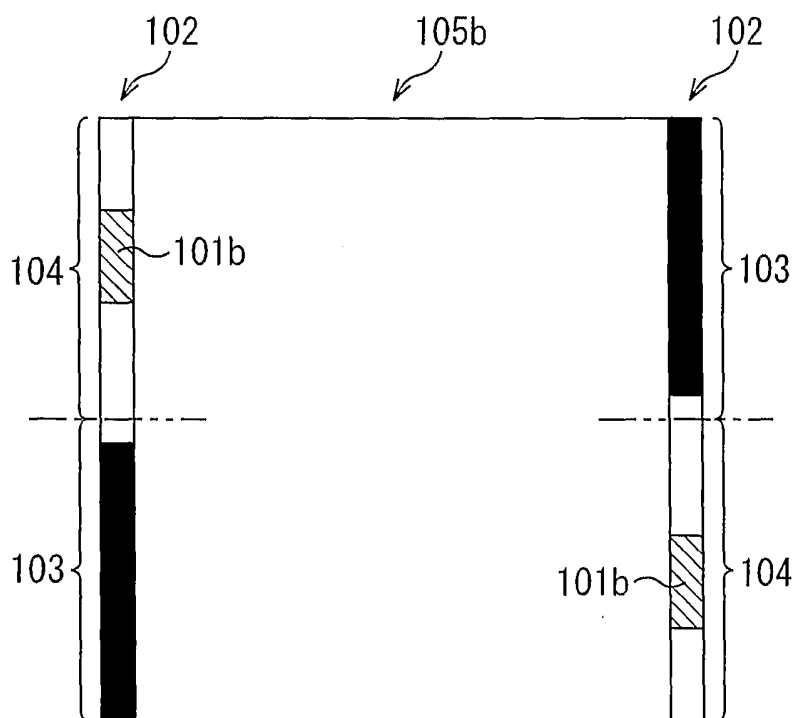
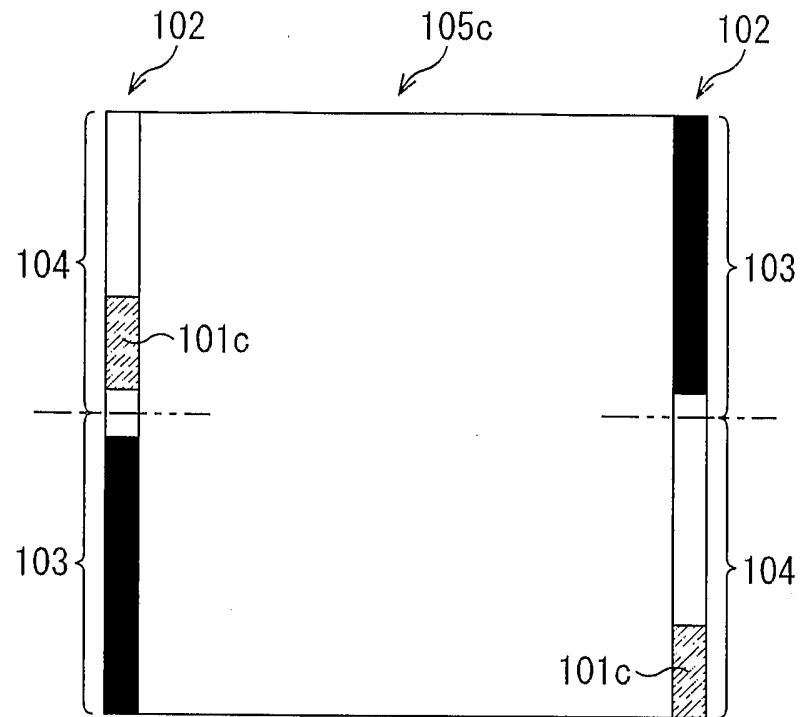


図4C



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006059

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/02, H01L21/027, H01L21/768

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/02, H01L21/027, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 9-232207 A (Fujitsu Ltd.), 05 September, 1997 (05.09.97), Full text; Figs 1 to 4 (Family: none)	1-18
X	JP 2001-358048 A (NEC Corp.), 26 December, 2001 (26.12.01), Full text; Figs. 17 to 19 & US 2001/0050437 A1 & US 2003/0057452 A1 & EP 1164639 A2	1-18
A	JP 2002-17906 A (Fujitsu Ltd.), 10 April, 2002 (10.04.02), Full text; Figs. 1 to 13 (Family: none)	1-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 July, 2004 (26.07.04)

Date of mailing of the international search report

10 August, 2004 (10.08.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int, C17 H01L21/02, H01L21/027, H01L21/768

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int, C17 H01L21/02, H01L21/027, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 9-232207 A (富士通株式会社) 1997. 09. 05, 全文, 第1-4図 (ファミリーなし)	1-18
X	JP 2001-358048 A (日本電気株式会社) 2001. 12. 26, 全文, 第17-19図 & US 2001/0050437 A1 & US 2003/0057452 A1 & EP 1164639 A2	1-18

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

26. 07. 2004

国際調査報告の発送日

10. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

4 L

9170

電話番号 03-3581-1101 内線 6764

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2002-107906 A (富士通株式会社) 2002.04.10, 全文, 第1-13図 (ファミリーなし)	1-18