

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl. <sup>6</sup> H01L 27/04	(45) 공고일자 2001년 11월 02일
(21) 출원번호 10-1998-0054634	(11) 등록번호 10-0302251
(22) 출원일자 1998년 12월 12일	(24) 등록일자 2001년 07월 02일
(30) 우선권주장 98-163440 1998년 06월 11일 일본(JP)	(65) 공개번호 특2000-0004876
	(43) 공개일자 2000년 01월 25일

(73) 특허권자 미쓰비시덴키 가부시키가이샤	다니구찌 이찌로오, 기타오카 다카시 일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고
(72) 발명자 히라노 유이찌	일본 도쿄도 지요다구 마루노우찌 2초메 2-3미쓰비시덴기 가부시키가이샤 내
(74) 대리인 구영창, 장수길, 주성민	

**심사관 : 정해근**

**(54) 동적 임계치MOS트랜지스터를 사용한 버퍼**

**요약**

동적 임계치 MOS 트랜지스터를 사용한 버퍼의 소비 전력을 삭감한다.

입력 신호(S1)의 변화와 인버터(I1)의 출력 신호(S3)의 변화에는 지연이 있기 때문에, 현재 입력 신호(S1)가 Low이고 High로 천이하고자 하는 경우에는, Low로부터 High로의 입력 신호(S1)의 변화가 얼마 동안은 보디(body)에도 전해진다. 그렇게 하면, 보디 전위가 높아지므로 임계치는 낮아지고, 트랜지스터(N1)가 ON될 때까지의 시간이 단축된다. 그 후, 출력 신호(S3)가 완전히 High가 되면 트랜지스터(P2)가 OFF되고, 입력 신호(S1)는 보디에는 전해지지 않게 된다. 동시에 트랜지스터(N2)가 ON되므로 보디 전위는 접지되어 확실히 저전위가 되므로, 트랜지스터(N1)의 임계치는 원래대로 높아지고, 보디로부터 소스에는 전류가 흐르지 않게 되어 소비 전력을 저감시킬 수 있다.

**대표도**

**도1**

**명세서**

**도면의 간단한 설명**

- <1> 도 1은 본 발명의 실시예 1의 구성을 나타내는 회로도.
- <2> 도 2는 본 발명의 실시예 1의 동작을 나타내는 타임차트.
- <3> 도 3은 본 발명의 실시예 2의 구성을 나타내는 회로도.
- <4> 도 4는 본 발명의 실시예 2의 동작을 나타내는 타임차트.
- <5> 도 5는 본 발명의 실시예 3의 구성을 나타내는 회로도.
- <6> 도 6은 본 발명의 실시예 3의 동작을 나타내는 타임차트.
- <7> 도 7은 본 발명의 실시예 4의 구성을 나타내는 회로도.
- <8> 도 8은 종래 기술의 소자의 구조를 나타내는 도면.
- <9> 도 9는 종래 기술의 소자의 구조를 나타내는 도면.
- <10> 도 10은 종래 기술의 구성을 나타내는 회로도.
- <11> 도 11은 종래 기술의 동작의 특성을 나타내는 도면.
- <12> 도 12는 종래 기술의 동작의 특성을 나타내는 도면.
- <13> 도 13은 종래 기술의 동작의 특성을 나타내는 도면.
- <14> <도면의 주요 부분에 대한 부호의 설명>
- <15> N1 ~ N3 : NMOS 트랜지스터
- <16> P1 ~ P3 : PMOS 트랜지스터
- <17> I1 ~ I4 : 인버터

- <18> S1 : 입력 신호
- <19> S2, S3 : 출력 신호
- <20> SB1, SB2 : 보디의 입력 신호

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술분야 및 그 분야의 종래기술

- <21> 본 발명은 MOS 트랜지스터의 동작을 고속화하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 관한 것이다.
- <22> 동적 임계치 MOS 트랜지스터 (Dynamic Threshold - voltage MOS 트랜지스터: 이하, "DTMOS 트랜지스터"라 함)는 MOS 트랜지스터 구조를 개량하여 보다 고속의 동작을 얻을 수 있도록 한 소자이다. 이 소자의 특징은 SOI 구조의 경우의 보디 (벌크 구조의 경우는 백 게이트)에도 게이트로의 입력 신호를 제공하는 점에 있다. 도 8에 NMOS 트랜지스터의 구조도를 도시하고, 도 9에 PMOS 트랜지스터의 구조도를 도시한다. 도 8 및 도 9는 모두 SOI 구조의 경우를 나타내고 있으며, 도 8에서는  $p^-$  영역이 보디로 되고, 도 9에서는  $n^-$  영역이 보디로 되어 있다. 이하, SOI 구조의 경우를 중심으로 살펴본다. 도 12 및 도 13은 각각 NMOS 트랜지스터 및 PMOS 트랜지스터의 보디 전위와 임계치 전압의 관계를 나타내고 있고, SOI 구조 및 벌크 구조 모두에서 대략 이러한 형태가 된다. SOI 구조의 경우의 보디 전위와 임계치 전압의 관계에 대해서는 예를 들면, Jean Pierre Colinge "Silicon on Insulator Technology Material to VLSI" p. 118, Kluwer Academic Publishers, 1991에 기재되어 있고, 벌크 구조의 경우의 보디 전위와 임계치 전압의 관계에 대해서는, 예를 들면 柳井久義, 永田穰 공동 저술 "개정 집적 회로 공학(1)" p. 69, 코로나사, 1987에 기재되어 있다. NMOS 트랜지스터의 경우에는 도 12와 같이 보디로의 인가 전압을 포지티브 방향으로 증가시키면, 임계치 전압은 내려가서 이윽고 0으로 떨어진다. PMOS 트랜지스터의 경우에는 반대로, 보디로의 인가 전압을 네거티브 방향으로 증가시키면, 임계치 전압은 포지티브 방향으로 증가하여 이윽고 0으로 떨어진다.

- <23> 이 DTMOS 트랜지스터를 사용한 예로서, CMOS 버퍼를 도 10에 도시한다. 도 10에서의 NMOS 트랜지스터(N1)의 동작에 대해 살펴보면, 입력 신호가 로우(Low) 레벨로부터 하이(High) 레벨로 천이할 때, 보디 전위도 로우 레벨로부터 하이 레벨로 천이하여, 도 12에 도시된 그래프로부터 알 수 있듯이 NMOS 트랜지스터(N1)의 임계치 전압이 0에 근접한다. 그 때문에 NMOS 트랜지스터(N1)가 ON되는 타이밍이 빨라지고, CMOS 버퍼의 방전 능력이 증가한다. 마찬가지로 PMOS 트랜지스터(P1)의 동작에 대해서도, 입력 신호가 하이 레벨로부터 로우 레벨로 천이할 때, 보디 전위도 하이 레벨로부터 로우 레벨로 천이하여, 도 13에 도시된 그래프로부터 PMOS 트랜지스터(P1)의 임계치 전압이 0에 근접하므로, PMOS 트랜지스터(P1)가 ON되는 타이밍이 빨라져, CMOS 버퍼의 충전 능력이 증가한다.

#### 발명이 이루고자 하는 기술적 과제

- <24> DTMOS 트랜지스터는 고속성을 얻을 수 있는 반면, 소비 전력이 크다고 하는 결점이 있다. 예를 들면, NMOS 트랜지스터에서, 입력 신호가 하이 레벨일 때, 보디 전위도 하이 레벨이 되므로, 보디의  $p^-$ 와 소스의  $n^+$ 가 순바이어스의 PN 접합을 형성하게 된다. PN 접합의 전류 전압 특성은 잘 알려져 있듯이 도 11의 그래프와 같이 되고,  $I_{pn}$ 은 NMOS 트랜지스터의 경우의 보디로부터 소스로 흐르는 전류를 나타내고,  $V_{BN}$ 은 보디 전위를 나타내고 있다. 또한, 상승 전압은 대략 0.6 V이다. 일반적으로 하이 신호는 0.6 V보다 높으므로, 입력 신호가 하이인 기간 중에는 계속해서 보디 소스간에 전류가 흐르게 되고, 그 때문에 소비 전력이 커진다. PMOS 트랜지스터에 대해서도 마찬가지로, 입력 신호가 로우 레벨일 때, 고 전위의 소스의  $p^+$ 와 보디의  $n^-$ 가 순바이어스의 PN 접합을 형성하므로 소스로부터 보디를 통해 입력측으로 흐르는 전류가 로우 기간 중에 존재하게 된다.

- <25> 따라서, 본 발명은 DTMOS 트랜지스터의 고속성을 유지하면서, 그 보디에 항상 흐르는 전류를 감소시키는 것을 목적으로 한다. 이 목적을 달성하기 위해서는, NMOS 트랜지스터의 경우에는 신호의 천이 시에만 보디에 인가하는 전압을 높혀 임계치를 낮추고, 천이가 완료하면 보디에 인가되는 전압을 낮추어 임계치를 높이도록 하면 된다. PMOS 트랜지스터에 대해서도 전압 방향을 반대로 하는 것 외에는 마찬가지로 하면 된다.

- <26> 그런데, 이러한 목적을 갖지는 않지만, 잠재적으로 상기한 과제에 효과를 끼칠 수 있는 선행 기술이 존재한다. 일 예는 일본 특허 공개 평9-83338호에 개시된 기술로서, CMOS 구성의 버퍼 회로에서, NMOS 트랜지스터가 ON되었을 때의 방전 전류에 의해 그라운드 레벨이 전위 변동을 일으키는 것을 억제하는 것을 목적으로 한 것이다. 이 기술에 따르면, NMOS 트랜지스터의 출력단에 CMOS 구성과는 별도의 PMOS 트랜지스터의 소스를 접속하고, 그 드레인에 NMOS 트랜지스터의 보디 (이 보디는 항상 정전압원에 접속되어 있음)를 접속하고, 게이트에는 CMOS 버퍼의 게이트로의 입력 신호가 천이될 때에만 펄스가 제공되도록 구성되어 있다. 이것은, 입력 신호가 천이되기 시작할 때에만 PMOS 트랜지스터를 ON하여 CMOS 구성의 NMOS 트랜지스터의 보디에 전류가 흐르도록 하고, 그 이외의 경우에는 NMOS 트랜지스터에 전류가 흐르지 않게 하여, 전류가 흐름에 따른 그라운드 전위의 변동을 방지하는 것이다. 항상 보디에 접속하는 전압원 등의 설정에도 의존하지만, 이러한 구성 하에서는 입력 신호가 로우로부터 하이로 천이되었을 때에 NMOS 트랜지스터의 보디 전위가 일시적으로 상승하도록 설정할 수 있으므로 상기한 바와 같은 효과를 초래할 수 있다고도 생각할 수 있다.

<27> 또 다른 예는 T. W. Houston "A Novel Dynamic Vt Circuit Configuration" Proceedings 1997 IEEE International SOI Conference, Oct. 1997, pp. 154-155에 개시된 기술로서, 이것은 동작의 고속화를 목적으로 한 것이다. 이 기술도 앞서 예시한 일본 특허 공개 평9-83338호의 기술과 마찬가지로, NMOS 트랜지스터의 출력단에 CMOS 구성과는 별도의 PMOS 트랜지스터의 소스를 접속하고, 그 드레인에 NMOS 트랜지스터의 보디를 접속하고 있다. 단, 이 PMOS 트랜지스터의 게이트에는, 주목되는 CMOS 버퍼의 한층 앞에 있는 인버터에의 입력 신호가 입력된다. 이러한 구성으로 하면, CMOS 버퍼의 입력 신호가 로우 레벨로부터 하이 레벨로 천이될 때에는, 이 PMOS 트랜지스터가 이미 ON되어 있고, 아직 하이 상태에 있는 CMOS 버퍼로부터의 출력이 NMOS 트랜지스터의 보디로 전해져 임계치를 낮추게 되어 천이 시간을 단축시키는 기능을 가지므로, 고속화가 달성된다. 그리고, 다음 천이가 이루어질 때까지는 CMOS 버퍼로부터의 출력 레벨이 로우로 유지되고, CMOS 구성과는 별도의 PMOS 트랜지스터도 ON 상태를 유지하므로, NMOS 트랜지스터의 보디 전위는 낮게 유지되고, 보디로부터 소스에는 전류가 거의 흐르지 않아, 소비 전력을 낮게 억제하는 것이 가능해진다. 또한, CMOS 구성의 PMOS 트랜지스터에도 마찬가지로 CMOS 구성과는 별도의 NMOS 트랜지스터가 접속되어 있지만, 그에 대한 설명은 상기한 바와 동일하므로 생략한다.

<28> 그러나, 전자의 기술의 경우에는, 입력 신호의 천이 시에 펄스를 발생시키기 위한 회로로서 인버터와 AND 회로가 필요하고, 회로 규모가 증대한다고 하는 결점이 있다.

<29> 또한, 후자의 기술의 경우에는, CMOS 버퍼로 입력되는 신호가 그 후 하이 레벨로부터 로우 레벨로 천이되었을 때, CMOS 구성과는 별도의 PMOS 트랜지스터가 OFF 상태로 되어 있어, CMOS 버퍼를 구성하는 NMOS 트랜지스터의 보디 전위가 플로팅된다. 이 플로팅된 전위가 노이즈에 의해 높아져 버리면 임계치 전압이 낮아지므로, 접지 전위가 변동하여 임계치 전압을 상회하고, NMOS 트랜지스터를 OFF해 버린다고 하는 오동작의 우려가 발생한다 (PMOS 트랜지스터에서도 마찬가지임).

<30> 본 발명은 DTMOS 트랜지스터의 고속성을 유지하면서 그 보디에 항상 흐르는 전류를 감소시키는 것을 주 목적으로 하며, 아울러 이를 문제점도 해결하기 위한 것이다.

<31> 본 발명의 청구항 1은, 제1 논리에 대응하는 제1 전위로부터 제2 논리에 대응하는 제2 전위로 천이되는 입력 신호가 입력되는 입력 단자, 출력 단자, 상기 입력 단자에 접속된 게이트 전극, 상기 제1 논리에 대응하는 제3 전위가 제공되는 제1 전류 전극, 상기 출력 단자에 접속된 제2 전류 전극, 및 보디 전극을 가지며, 상기 제3 전위로부터 제1 임계치의 절대치만큼 상기 제2 전위 쪽으로 떨어진 전위가 상기 게이트 전극에 제공되어 도통되는 제1 트랜지스터, 및 상기 제1 트랜지스터의 상기 제1 전류 전극에서의 전위가 상기 제2 논리에 대응하는 경우에, 상기 입력 신호를 상기 제1 트랜지스터의 상기 보디 전극에 전달하는 전달 회로를 구비하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 관한 것이다.

<32> 본 발명의 청구항 2는, 청구항 1에 있어서, 상기 전달 회로는 상기 제1 트랜지스터의 상기 제2 전류 전극에 접속된 입력단과 출력단을 갖는 인버터, 및 상기 인버터의 상기 출력단에 접속된 게이트 전극, 상기 입력 단자에 접속된 제1 전류 전극, 및 상기 제1 트랜지스터의 상기 보디 전극에 접속된 제2 전류 전극을 가지며, 상기 제1 트랜지스터와는 도전형이 반대인 제2 트랜지스터를 구비하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 관한 것이다.

<33> 본 발명의 청구항 3은, 청구항 2에 있어서, 상기 제2 트랜지스터의 상기 게이트 전극에 접속된 게이트 전극, 상기 제1 논리에 대응하는 제4 전위에 접속된 제1 전류 전극, 및 상기 제1 트랜지스터의 상기 보디 전극에 접속된 제2 전류 전극을 가지며, 상기 제1 트랜지스터와 동일 도전형의 제3 트랜지스터를 더 구비하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 관한 것이다.

<34> 본 발명의 다른 특징에 따르면, 청구항 1에 있어서, 상기 입력 신호는 상기 제2 전위로부터 상기 제1 전위로도 천이되고, 상기 입력 단자에 접속된 게이트 전극, 상기 제2 논리에 대응하는 제4 전위가 제공되는 제1 전류 전극, 상기 출력 단자에 접속된 제2 전류 전극, 및 보디 전극을 가지며, 상기 제4 전위로부터 제2 임계치의 절대치만큼 상기 제1 전위 쪽으로 떨어진 전위가 제공되어 도통되는 제2 트랜지스터, 및 상기 제2 트랜지스터의 상기 제2 전류 전극에서의 전위가 상기 제1 논리에 대응하는 경우에, 상기 입력 신호를 상기 제2 트랜지스터의 상기 보디 전극으로 전달하는 제2 전달 회로를 더 구비하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼가 제공된다.

<35> 본 발명의 다른 특징에 따르면, 청구항 1에 있어서, 상기 제1 트랜지스터의 상기 보디 전극에서의 전위와 상기 제1 전류 전극에서의 전위의 전위차의 절대치가, 상기 보디 전극과 상기 제1 전류 전극으로 형성되는 PN 접합의 확산 전위를 넘지 않는 동적 임계치 MOS 트랜지스터를 사용한 버퍼가 제공된다.

### 발명의 구성 및 작용

<36> 실시예 1

<37> NMOS 트랜지스터를 본 발명에 따른 DTMOS 트랜지스터로 하고, 이것을 CMOS 버퍼에 응용한 회로예를 도 1에 도시한다. 우선 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)가 CMOS 버퍼를 구성하고 있고, PMOS 트랜지스터(P1)의 소스에는 전원 전위( $V_{DD}$ )가 제공되고, NMOS 트랜지스터(N1)의 소스에는 접지 전위(GND)가 제공된다. PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)의 양 게이트에 제공되는 입력 신호(S1)를 PMOS 트랜지스터(P2)의 소스에도 제공한다. PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)의 양 쪽의 드레인은 공통적으로 인버터(I1)의 입력단에 접속된다. PMOS 트랜지스터(P2)의 게이트는 NMOS 트랜지스터(N2)의 게이트와 공통되고, 거기에는 CMOS 버퍼 직후의 인버터(I1)로부터의 출력 신호(S3)가 제공된다. 그리고, PMOS 트랜지스터(P2)의 드레인은 NMOS 트랜지스터(N2)의 드레인과 공통되어 NMOS 트랜지스터(N1)의 보디에 접속되어 있다. NMOS 트랜지스터(N2)의 소스는 접지되어 있다.

<38> 이러한 구성의 회로의 동작을 도 2에 도시한다. 예를 들어, 우선 입력 신호(S1)가 로우로부터 하이로 천이되는 시각 t1 부근에서의 각 소자의 동작을 살펴본다. 시각 t1에서는 인버터(I1)의 출력 신호(S3)는 아직 로우 레벨의 상태에 있으므로 PMOS 트랜지스터(P2)는 ON 상태이고, NMOS 트랜지스터(N1)의 보디로의 신호(SB1)의 논리치는 입력 신호(S1)와 동일하게 로우 레벨의 상태이므로 저전위이며, 보디로의

인가 전압이 낮기 때문에 NMOS 트랜지스터(N1)의 임계치 전압( $V_{THN}$ )은 높다 (도 12 참조). 그러나, 그 후, 입력 신호(S1)가 상승하기 시작하면 NMOS 트랜지스터(N1)의 보디로의 신호(SB1)도 고전위로 천이되기 때문에 NMOS 트랜지스터(N1)의 임계치 전압( $V_{THN}$ )이 내려가기 시작한다. 상승하고 있는 입력 신호(S1)와 하강하기 시작한 임계치 전압( $V_{THN}$ )이 동일한 값이 되었을 때에 NMOS 트랜지스터(N1)가 ON 상태가 되므로, NMOS 트랜지스터(N1)는 보디에 전압이 인가되지 않았을 때에 비해 빨리 ON으로 된다. 그런데, 그 후 입력 신호(S1)의 천이가 인버터(I1)에 전해지고, 그 출력 신호(S3)에도 입력 신호(S1)의 천이의 영향이 미치게 된다. 출력 신호(S3)가 수직 상승하기 시작하면 PMOS 트랜지스터(P2)의 게이트 전위가 로우 레벨로부터 하이 레벨로 천이되어 버리므로 PMOS 트랜지스터(P2)는 출력 신호(S3)의 천이 도중에 OFF가 된다. 그 대신에 NMOS 트랜지스터(N2)가 ON되므로, NMOS 트랜지스터(N1)의 보디로의 신호(SB1)는 입력 신호(S1)로부터 점지 전위(GND)로 변해 버린다. 그렇게 하면, 도 12로부터 NMOS 트랜지스터(N1)의 임계치 전압( $V_{THN}$ )은 다시 높아지고, 노이즈에 의해 변동된 점지 전위가 임계치 전압을 상회하여 OFF되어 버리지 않고, NMOS 트랜지스터(N1)의 ON 상태를 유지한다.

<39> 이어서, 출력 신호(S3)의 전위가 안정된 후에 입력 신호(S1)가 시각 t2에서 하이 레벨로부터 로우 레벨로 천이되기 시작할 때에 대해 살펴본다. 시각 t2에서는 아직 출력 신호(S3)가 하이 레벨인 상태이므로, NMOS 트랜지스터(N1)의 보디는 NMOS 트랜지스터(N2)를 통해 점지되어 있고, NMOS 트랜지스터(N1)의 임계치 전압( $V_{THN}$ )은 높다. 그 후 입력 신호(S1)가 저하되어, 임계치 전압( $V_{THN}$ )보다 작아지면 NMOS 트랜지스터(N1)는 OFF되기 시작하고, 출력 신호(S3)가 저하되기 시작하면 PMOS 트랜지스터(P2)가 NMOS 트랜지스터(N2)를 대신하여 ON되기 시작하고, 다시 입력 신호(S1)가 NMOS 트랜지스터(N1)의 보디로 전해지게 된다. 그러나, 이 때에는, 입력 신호(S1)가 하이로부터 로우로의 천이 도중이고, NMOS 트랜지스터(N1)의 보디에는 소스 전위보다 충분히 높은 전압은 인가되지 않게 되어, NMOS 트랜지스터(N1)의 임계치 전압( $V_{THN}$ )은 그만큼 내려가지 않기 때문에, NMOS 트랜지스터(N1)가 OFF 상태로 천이되는 것이 방해되기 어렵다. 그리고, NMOS 트랜지스터(N1)의 보디 전위는 다음의 천이까지 로우 레벨 상태이므로, 임계치 전압은 절대치가 크게 유지되어 NMOS 트랜지스터(N1)를 확실하게 OFF의 상태로 유지한다. 즉, 인버터(I1)의 입력 신호(S2)는 NMOS 트랜지스터(N1)가 OFF 상태이므로 로우 레벨로는 되지 않고 PMOS 트랜지스터(P1)가 도통함으로써 하이 레벨이 되어, 적정한 CMOS 버퍼 동작을 행할 수 있음을 알 수 있다.

<40> 이하, 마찬가지의 동작이 계속되지만, 이렇게 함으로써 입력 신호의 로우 레벨로부터 하이 레벨로의 천이가 근소한 시간만 보디 전압을 높은 상태로 하여 DTMOS 트랜지스터의 임계치 전압을 낮추고, 그 이외의 경우에는 임계치 전압을 높게 하므로, DTMOS 트랜지스터의 고속성을 유지하면서 보디와 소스간에 흐르는 전류를 감소시켜, 소비 전력을 삭감할 수 있게 된다.

<41> 또한, PMOS 트랜지스터(P2)로의 신호에는, CMOS 버퍼에 계속되는 인버터(I1)로부터의 출력 신호(S3)를 이용하지만, 이 인버터(I1)에 CMOS 인버터를 채용하면, DTMOS 트랜지스터에 소자를 2개만 늘리면 되어, 회로 규모는 증대하지 않는다.

<42> 또한, NMOS 트랜지스터(N2)의 존재에 의해 입력 신호(S1)의 천이 기간 이외의 경우에는, 확실하게 보디를 저전위로 유지할 수 있어, 노이즈의 형태에 따른 오동작을 방지한다.

<43> 또한, PMOS 트랜지스터(P2) 및 NMOS 트랜지스터(N2)는 큰 부하를 구동하는 것이 아니라 단순히 전압 신호를 전할 뿐이므로, CMOS 버퍼를 구성하는 NMOS 트랜지스터(N1) 및 PMOS 트랜지스터(P1)에 비해 1/10~1/100 정도의 크기로 되기 때문에, 침 면적이 증대되는 문제는 없다.

<44> 또한, 기생 용량이 작은 점, 누설 전류가 적은 점, 또한 저  $V_{DD}$ 화가 진행되고 있다는 점 등으로부터 DTMOS 트랜지스터에는 SOI 구조를 이용하는 것이 일반적이지만, 본 발명에서는 보디에 전압을 인가함으로써 임계치를 변화시키는, 소위 기판 바이어스 효과를 이용하고 있을 뿐이며, 이 현상 자체는 벌크 구조에서도 마찬가지로 발생하는 것이므로, 본 발명에 따른 구성의 회로를 벌크 구조로 실현하는 것도 가능하다.

<45> 또한, 트랜지스터(N1)의 보디로 인가되는 전압이, 트랜지스터(N1)의 소스 전위를 기준으로 해서 0~+0.6 V의 범위 내가 되도록, PMOS 트랜지스터(P2)의 트랜지스터 사이즈를 조정해 두면, 소비 전력을 최소한으로 억제할 수 있다. 이것은 도 11에 도시한 바와 같이 pn 접합의 전류가 흘러나오는 임계치 전압이 0.6 V 정도이기 때문에, 이 범위 내에 있으면 전류는 거의 흐르지 않는다고 하는 이유에 따른 것이다.

<46> 실시예 2

<47> PMOS 트랜지스터를 본 발명에 따른 DTMOS 트랜지스터로 하고, 이것을 CMOS 버퍼에 응용한 회로 예를 도 3에 도시한다. 실시예 1과는 대칭적인 구성을 취한다. 우선 PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)로 이루어지는 CMOS 버퍼의 구성은 실시예 1과 동일하다. PMOS 트랜지스터(P1), NMOS 트랜지스터(N1)의 양 게이트에 제공되는 입력 신호(S1)를 NMOS 트랜지스터(N3)의 소스에도 제공한다. 실시예 1과 마찬가지로, PMOS 트랜지스터(P1)와 NMOS 트랜지스터(N1)의 양 쪽의 드레인은 공통되어 인버터(I1)의 입력단에 접속된다. PMOS 트랜지스터(P3)의 게이트는 NMOS 트랜지스터(N3)의 게이트와 공통되어 있고, 거기에는 인버터(I1)로부터의 출력 신호(S3)가 제공된다. 그리고, NMOS 트랜지스터(N3)의 드레인은 PMOS 트랜지스터(P3)의 드레인과 공통되어 PMOS 트랜지스터(P1)의 보디와 접속되어 있다. PMOS 트랜지스터 P3의 소스에는 전원 전위( $V_{DD}$ )가 제공되어 있다.

<48> 이러한 구성의 회로의 동작을 도 4에 도시하며, 실시예 1과는 대칭적인 동작을 한다. 예를 들어, 우선 입력 신호(S1)가 하이로부터 로우로 천이되는 시각 t3 부근에서의 각 소자의 동작을 살펴본다. 시각 t3에서는 인버터(I1)의 출력 신호(S3)는 아직 하이 레벨인 상태에 있으므로 NMOS 트랜지스터(N3)는 ON 상태이고, PMOS 트랜지스터(P1)의 보디로의 신호(SB2)의 논리치는 입력 신호(S1)와 동일하게 하이 레벨의 상태이므로 고 전위이고, 보디로의 인가 전압이 높기 때문에 PMOS 트랜지스터(P1)의 임계치 전압( $V_{THP}$ )은 낮다 (네거티브 방향으로 높음, 도 13 참조). 그러나, 그 후, 입력 신호(S1)가 하강하기 시작하면 PMOS 트랜지스터(P1)의 보디로의 신호(SB2)도 저전위로 천이하기 때문에 PMOS 트랜지스터(P1)의

임계치 전압( $V_{THP}$ )이 포지티브 방향으로 상승하기 시작한다. 하강하고 있는 입력 신호(S1)와 상승하기 시작한 임계치 전압( $V_{THP}$ )이 동일한 값이 되었을 때에 PMOS 트랜지스터(P1)가 ON 상태가 되므로, PMOS 트랜지스터(P1)는 보디에 전압이 인가되지 않았을 때에 비해 빨리 ON하게 된다. 그런데, 그 후 입력 신호(S1)의 천이가 인버터(I1)로 전해지고, 그 출력 신호(S3)에도 입력 신호(S1)의 천이의 영향이 미치게 된다. 출력 신호(S3)가 하강하기 시작하면 NMOS 트랜지스터(N3)의 게이트 전위가 하이 레벨로부터 로우 레벨로 천이되어 버리므로, NMOS 트랜지스터(N3)는 출력 신호(S3)의 천이 도중에 OFF가 된다. 그 대신에 PMOS 트랜지스터(P3)가 ON되므로, PMOS 트랜지스터(P1)의 보디로의 신호(SB2)는 입력 신호(S1)로부터 전원 전위( $V_{DD}$ )로 변해 버린다. 그렇게 하면, 도 13으로부터 PMOS 트랜지스터(P1)의 임계치 전압( $V_{THP}$ )은 다시 낮아지고 (네거티브 방향으로 높아짐), 노이즈에 의해 변동된 전원 전위( $V_{DD}$ )가 임계치 전압을 하회하여 OFF되는 일 없이 PMOS 트랜지스터(P1)의 ON 상태를 유지한다.

<49> 이어서, 출력 신호(S3)의 전위가 안정된 후에 입력 신호(S1)가 시각  $t_4$ 에서 로우 레벨로부터 하이 레벨로 천이하기 시작할 때에 대해 살펴본다. 시각  $t_4$ 에서는 아직 출력 신호(S3)가 로우의 상태이므로, PMOS 트랜지스터(P1)의 보디는 PMOS 트랜지스터(P3)를 통해 전원 전위  $V_{DD}$ 에 접속되어 있고, PMOS 트랜지스터(P1)의 임계치 전압( $V_{THP}$ )은 낮다. 그 후, 입력 신호(S1)가 상승하고, 전원 전위( $V_{DD}$ )로부터 임계치 전압( $V_{THP}$ )만큼 낮은 전위보다 커지면 PMOS 트랜지스터(P1)는 OFF되기 시작하고, 출력 신호(S3)가 상승하기 시작하면 NMOS 트랜지스터(N3)가 PMOS 트랜지스터(P3)를 대신하여 ON되기 시작하고, 다시 입력 신호(S1)가 PMOS 트랜지스터(P1)의 보디로 전해지게 된다. 그러나, 이 때에는, 입력 신호(S1)가 로우로부터 하이로의 천이 도중이고, PMOS 트랜지스터(P1)의 보디에는 소스 전위보다 충분히 낮은 전압은 인가되지 않게 되어, PMOS 트랜지스터(P1)의 임계치 전압( $V_{THP}$ )은 그만큼 오르지 않기 때문에 (절대치가 0인 방향으로 향하지 않음) PMOS 트랜지스터(P1)가 OFF 상태로 천이하는 것이 방해되기 어렵다. 그리고, PMOS 트랜지스터(P1)의 보디 전위는 다음의 천이까지 하이 레벨인 상태이므로, 임계치 전압은 절대치가 크게 유지되어 PMOS 트랜지스터(P1)를 확실하게 OFF 상태로 유지한다. 즉, 인버터(I1)의 입력 신호(S2)는 PMOS 트랜지스터(P1)가 OFF 상태이므로 하이 레벨로는 되지 않고 NMOS 트랜지스터(N1)가 도통됨으로써 로우 레벨이 되어, 적정한 CMOS 버퍼 동작을 행할 수 있음을 알 수 있다.

<50> 이하, 마찬가지의 동작이 계속되지만, 실시예 1과 마찬가지로, 이렇게 함으로써 입력 신호의 하이 레벨로부터 로우 레벨로의 천이가 근소한 기간만 보디 전압을 낮은 상태로 하여 DTMOS 트랜지스터 임계치 전압을 0에 가까운 상태로 하고, 그 이외의 경우에는 임계치 전압을 네거티브 방향으로 높게 하므로, DTMOS 트랜지스터의 고속성을 유지하면서 보디와 소스간에 흐르는 전류를 감소시켜, 소비 전력을 삭감할 수 있게 된다.

<51> 또한, NMOS 트랜지스터(N3)로의 신호에는, CMOS 버퍼에 계속되는 인버터(I1)로부터의 출력 신호(S3)를 이용하지만, 실시예 1과 마찬가지로, 이 인버터(I1)에 CMOS 인버터를 채용하면, 회로 규모는 증대하지 않는다.

<52> 또한, 실시예 1과 마찬가지로, PMOS 트랜지스터(P3)의 존재에 의해 입력 신호(S1)의 천이 기간 이외의 경우에는, 확실하게 보디를 고 전위로 유지할 수 있어, 노이즈의 영향에 따른 오동작을 방지한다.

<53> 또한, 실시예 1과 마찬가지로, NMOS 트랜지스터(N3) 및 PMOS 트랜지스터(P3)는 NMOS 트랜지스터(N1) 및 PMOS 트랜지스터(P1)에 비해 1/10~1/100 정도의 크기로 되기 때문에, 칩 면적의 증대의 문제는 없다.

<54> 또한, 실시예 1과 같은 이유에 의해, 본 실시예에 따른 구성의 회로를 별크 구조로 실현하는 것도 가능하다.

<55> 또한, 실시예 1과 마찬가지로, 트랜지스터(P1)의 보디에 인가되는 전압이, 트랜지스터(P1)의 소스 전위를 기준으로 하여 0~-0.6 V의 범위 내가 되도록, NMOS 트랜지스터(N3)의 트랜지스터 사이즈를 조정해 두면, 소비 전력을 최소한으로 억제할 수 있다.

<56> 실시예 3

<57> 도 5는 CMOS 버퍼의 NMOS 트랜지스터 및 PMOS 트랜지스터 모두 본 발명에 따른 DTMOS 트랜지스터로 한 회로를 도시한다. 이 회로의 구성은 실시예 1과 실시예 2를 결합시킨 것이다. 또한, 동작에 대해서도 도 6에 도시한 바와 같이 실시예 1과 실시예 2를 결합시킨 것이다.

<58> 이렇게 함으로써, 입력 신호의 로우 레벨로부터 하이 레벨로의 천이 및 하이 레벨로부터 로우 레벨로의 천이의 양방이 근소한 기간만 보디 전압을 변화시켜, DTMOS 트랜지스터 임계치 전압을 변화시켜 ON되기 쉬워지며, 실시예 1 또는 2를 단독으로 이용할 때 보다도 한층, DTMOS 트랜지스터의 고속성을 유지하면서, 보디와 소스간에 흐르는 전류를 삭감하고, 소비 전력을 삭감할 수 있게 된다.

<59> 또한, 실시예 1 및 2에서 설명한 그 밖의 효과도 본 실시예는 모두 갖추고 있다.

<60> 실시예 4

<61> 도 7은 실시예 1의 변형예를 도시한다. 실시예 1에서는 CMOS 버퍼의 직후에 접속된 인버터(I1)로부터의 출력 신호(S3)를 PMOS 트랜지스터(P2) 및 NMOS 트랜지스터(N2)의 게이트에 제공하고 있었지만, 본 실시예에서는 예를 들면 3단 후의 인버터(I3)로부터의 출력 신호(S5)를 제공하고 있다.

<62> 즉, 도 2의 그래프 중의 S3의 신호 파형을 보면 알 수 있듯이, CMOS 버퍼로의 입력 신호의 변화와 동일한 논리치의 변화를 하는 신호이고 어느 정도 지연된 것이면, CMOS 버퍼의 보디 전압 제어는 가능하다. 결국, CMOS 버퍼 후에 계속되는 인버터 중 훨수단째의 어느 하나의 출력을 PMOS 트랜지스터(P2) 및 NMOS 트랜지스터(N2)의 게이트에 제공하면 된다.

<63> 본 실시예는, CMOS 버퍼 후에 인버터의 직렬 접속으로 구성되는 지연단 등이 계속되는 경우에,

회로 배치 상 접속하기 쉬운 장소로부터 배선할 수 있다고 하는 점에서 유효하다.

<64> 물론, 이러한 방법은 실시예 2 및 3에도 이용할 수 있다.

### 발명의 효과

<65> 본 발명의 청구항 1에 따른 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 의하면, 전달 회로가 도통 상태에 있을 때에는, 제1 트랜지스터의 보디 전위는 거의 입력 신호의 전위와 동일하며, 입력 신호의 전위가 변화하면 보디 전위도 그에 따라 변화한다. 보디 전위와 제3 전위의 전위차의 절대치가 커지면, 보디 전위가 제1 전위에 있을 때에 비해 제1 임계치는 작아지므로, 입력 신호가 제1 전위로부터 제2 전위로 전이될 때에, 제1 트랜지스터는 도통하기 쉬워진다.

<66> 본 발명의 청구항 2에 따른 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 의하면, 인버터의 출력이 제1 논리에 대응하여 제2 트랜지스터를 도통시키므로, 제1 트랜지스터의 보디 전위를 거의 입력 신호의 전위로 하여 청구항 1에 따른 발명의 효과를 얻을 수 있다.

<67> 본 발명의 청구항 3에 따른 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 의하면, 입력 신호가 제2 전위로 전이되면, 인버터의 출력이 제2 논리에 대응하여 제2 트랜지스터를 도통시키지 않게 하는 한편, 제3 트랜지스터를 도통시키므로, 제1 트랜지스터의 보디 전위는 거의 제4 전위가 된다. 따라서, 제1 트랜지스터의 보디 전극과 제1 전류 전극간에 흐르는 전류는 입력 신호가 전이되는 단기간에 머물어 소비 전력을 삼감할 수 있다. 또한, 제1 트랜지스터의 보디 전위가 거의 제4 전위가 되어 제1 임계치가 커지기 때문에, 입력 신호가 제2 전위에 있을 때에 잡음에 따른 오동작을 억제할 수 있다.

<68> 본 발명의 다른 특징에 따른 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 의하면, 전달 회로가 도통 상태에 있을 때에는, 제2 트랜지스터의 보디 전위는 거의 입력 신호의 전위와 동일하며, 입력 신호의 전위가 변화하면 보디 전위도 그에 따라 변화한다. 보디 전위와 제4 전위의 전위차의 절대치가 커지면, 보디 전위가 제2 전위에 있을 때에 비해 제2 임계치는 작아지므로, 입력 신호가 제2 전위로부터 제1 전위로 전이할 때에, 제2 트랜지스터는 도통하기 쉬워진다.

<69> 본 발명의 또 다른 특징에 따른 동적 임계치 MOS 트랜지스터를 사용한 버퍼에 의하면, 제1 트랜지스터의 보디 전극과 제1 전류 전극으로 형성되는 PN 접합에서의 순바이어스에 기인하는, 보디 전극으로부터 제1 전류 전극으로 흐르는 전류가 제한되므로, 소비 전력을 최소화할 수 있다.

### (57) 청구의 범위

#### 청구항 1

제1 논리에 대응하는 제1 전위로부터 제2 논리에 대응하는 제2 전위로 전이되는 입력 신호가 입력되는 입력 단자,

출력 단자,

상기 입력 단자에 접속된 게이트 전극, 상기 제1 논리에 대응하는 제3 전위가 제공되는 제1 전류 전극, 상기 출력 단자에 접속된 제2 전류 전극, 및 보디 전극(body electrode)을 가지며, 상기 제3 전위로부터 제1 임계치의 절대치만큼 상기 제2 전위 쪽으로 떨어진 전위가 상기 게이트 전극에 제공되어 도통되는 제1 트랜지스터, 및

상기 제1 트랜지스터의 상기 제2 전류 전극에서의 전위가 상기 제2 논리에 대응하는 경우에, 상기 입력 신호를 상기 제1 트랜지스터의 상기 보디 전극에 전달하는 전달 회로

를 구비하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼.

#### 청구항 2

제1항에 있어서, 상기 전달 회로는,

상기 제1 트랜지스터의 상기 제2 전류 전극에 접속된 입력단과 출력단을 갖는 인버터,

상기 인버터의 상기 출력단에 접속된 게이트 전극, 상기 입력 단자에 접속된 제1 전류 전극, 및 상기 제1 트랜지스터의 상기 보디 전극에 접속된 제2 전류 전극을 가지며, 상기 제1 트랜지스터와는 도전 형이 반대인 제2 트랜지스터

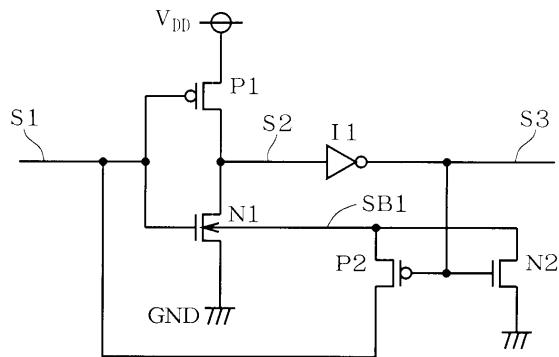
를 구비하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼.

#### 청구항 3

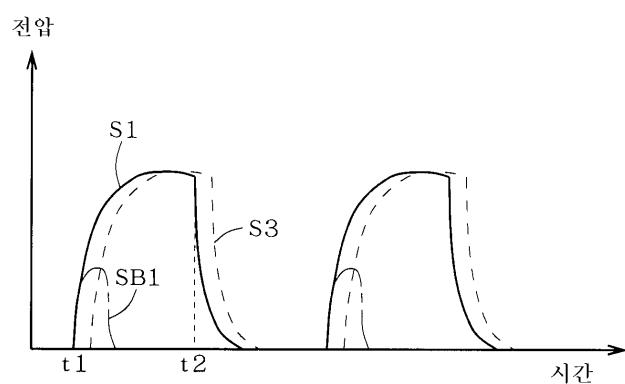
제2항에 있어서, 상기 제2 트랜지스터의 상기 게이트 전극에 접속된 게이트 전극, 상기 제1 논리에 대응하는 제4 전위가 제공된 제1 전류 전극, 및 상기 제1 트랜지스터의 상기 보디 전극에 접속된 제2 전류 전극을 구비하고, 상기 제1 트랜지스터와 동일한 도전형의 제3 트랜지스터를 더 구비하는 동적 임계치 MOS 트랜지스터를 사용한 버퍼.

### 도면

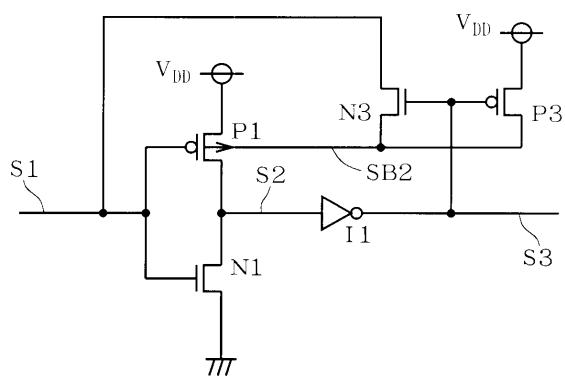
## 도면1



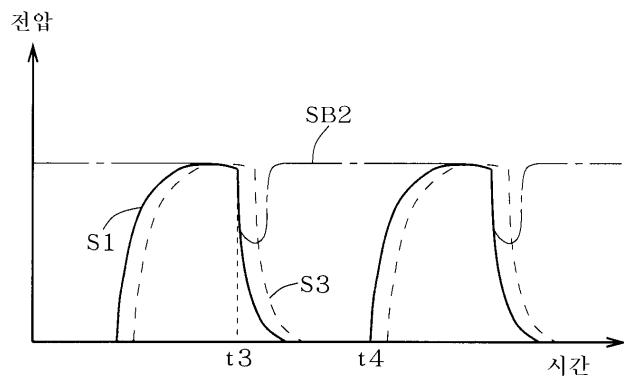
## 도면2



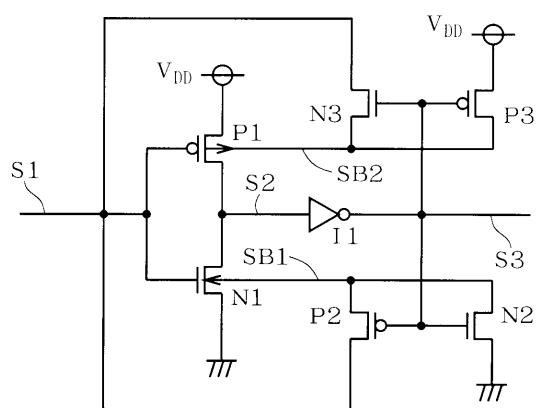
### 도면3



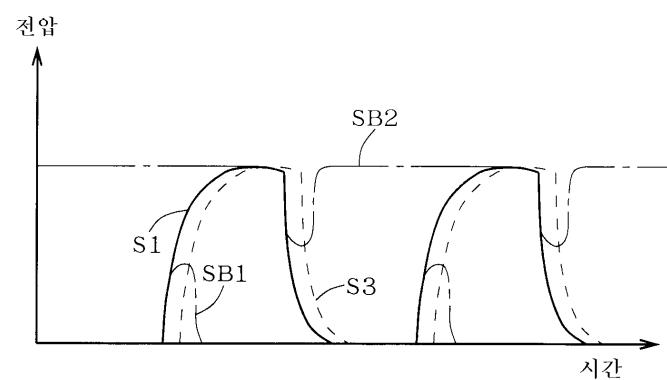
도면4



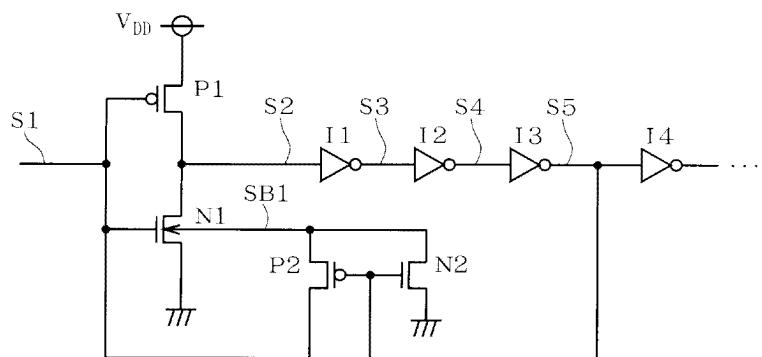
도면5



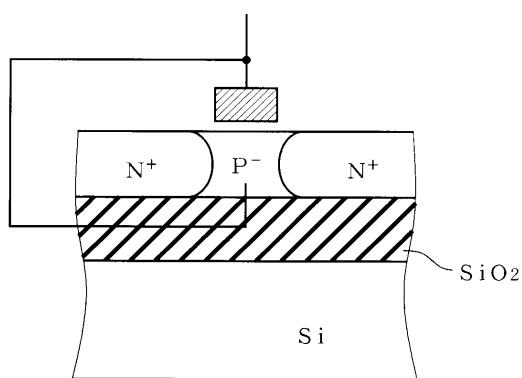
도면6



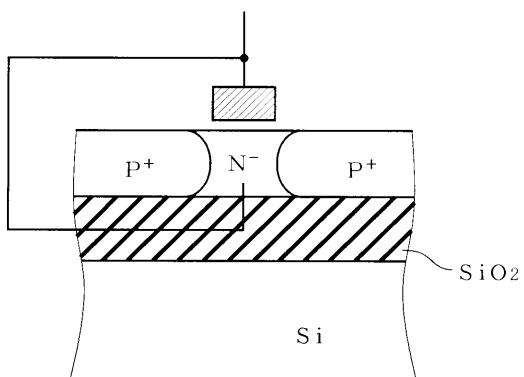
## 도면7



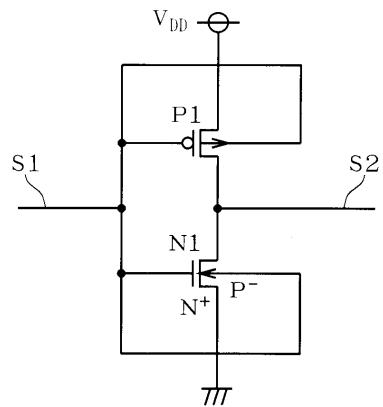
## 도면8



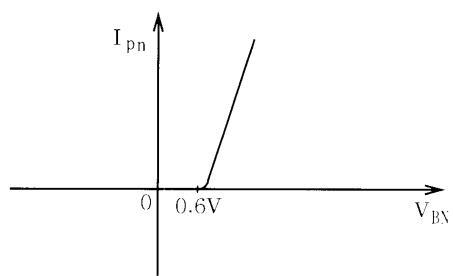
## 도면9



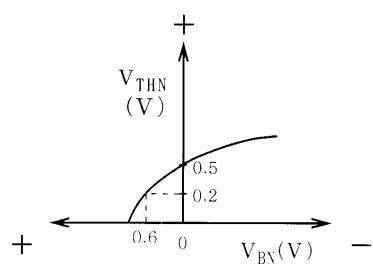
도면10



도면11



도면12



도면13

