



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년12월31일
(11) 등록번호 10-1216688
(24) 등록일자 2012년12월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
(21) 출원번호 10-2005-0036798
(22) 출원일자 2005년05월02일
심사청구일자 2010년05월03일
(65) 공개번호 10-2006-0114744
(43) 공개일자 2006년11월08일
(56) 선행기술조사문헌
JP64052129 A*
KR1020030034855 A*
KR1019960018734 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박용한
경기도 수원시 영통구 청명남로50번길 13-14, 10
4호 (영통동)
전진
경기도 수원시 장안구 화산로187번길 19, 삼성래
미안아파트 107동 204호 (천천동)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 12 항

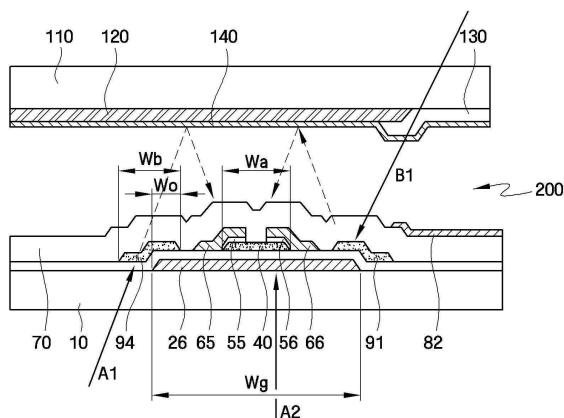
심사관 : 임동재

(54) 발명의 명칭 박막 트랜지스터 기판 및 이를 포함하는 액정 표시 장치

(57) 요 약

광 누설 전류를 효과적으로 최소화할 수 있는 박막 트랜지스터 기판과 이를 포함하는 액정 표시 장치가 제공된다. 박막 트랜지스터 기판은, 절연 기판 위에 형성된 게이트 전극을 가지는 게이트선과, 게이트 전극 상에 절연되어 형성된 반도체층과, 게이트 전극과 적어도 일부분이 중첩되어 게이트 전극의 주위에 배치된 광차단막과, 게이트선과 교차하고 반도체층과 적어도 일부분이 중첩되는 소스 전극을 가지는 데이터선과, 게이트 전극을 중심으로 소스 전극과 대향하여 반도체층과 적어도 일부분이 중첩되는 드레인 전극과, 결과물 상에 절연되어 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.

대 표 도 - 도1c



특허청구의 범위

청구항 1

절연 기판 위에 형성된 게이트 전극을 가지는 게이트선;

상기 게이트 전극 상에 절연되어 형성된 반도체층;

상기 게이트 전극 상에 절연되어 형성되고, 상기 게이트 전극과 일부 영역이 중첩되어 상기 게이트 전극의 주위에 배치되고, 상기 반도체층과 동일한 층인 광차단막;

상기 게이트선과 교차하고 상기 반도체층과 일부 영역이 중첩되는 소스 전극을 가지는 데이터선;

상기 게이트 전극을 중심으로 상기 소스 전극과 대향하며 상기 반도체층과 일부 영역이 중첩되는 드레인 전극; 및

상기 소스 전극과 상기 드레인 전극 상에 절연되어 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함하되,

상기 광차단막은 서로 이격된 복수의 서브 광차단막을 포함하고,

상기 반도체층은 상기 게이트 전극과 완전히 중첩하고,

상기 복수의 서브 광차단막은 상기 소스 전극 및 상기 드레인 전극 중 어느 하나의 전극과만 중첩되는 제1 서브 광차단막을 포함하는 박막 트랜지스터 기판.

청구항 2

삭제

청구항 3

제1 항에 있어서,

상기 광차단막은 상기 반도체층과 동일한 물질로 이루어진 박막 트랜지스터 기판.

청구항 4

제1 항에 있어서,

상기 광차단막은 광흡수물질로 이루어진 박막 트랜지스터 기판.

청구항 5

제4 항에 있어서,

상기 광차단막은 비정질 규소로 이루어진 박막 트랜지스터 기판.

청구항 6

제1 항에 있어서,

상기 복수의 서브 광차단막은 상기 소스 전극 및 상기 드레인 전극 중 어느 전극과도 중첩되지 않는 제2 서브 광차단막을 포함하는 박막 트랜지스터 기판.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

제1 항에 있어서,

상기 광차단막은 $4 \mu\text{m}$ 내지 $8 \mu\text{m}$ 의 폭을 가지는 박막 트랜지스터 기판.

청구항 12

절연 기판 위에 형성된 게이트 전극과, 상기 게이트 전극과 완전히 중첩되어 상기 게이트 전극 상에 절연되어 형성된 반도체층과, 상기 게이트 전극 상에 형성되고, 상기 반도체층과 동일한 층에 위치하고, 상기 게이트 전극과 일부 영역이 중첩되어 상기 게이트 전극의 주위에 배치된 광차단막과, 상기 반도체층과 일부 영역이 중첩되는 소스 전극과, 상기 게이트 전극을 중심으로 상기 소스 전극과 대향하며 상기 반도체층과 일부 영역이 중첩되는 드레인 전극과, 상기 소스 전극과 상기 드레인 전극상에 절연되어 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함하는 박막 트랜지스터 기판; 및

절연 기판 위에 상기 화소 전극과 대향하도록 형성된 색필터 및 공통 전극을 포함하되,

상기 광차단막은 서로 이격된 복수의 서브 광차단막을 포함하고,

상기 반도체층은 상기 게이트 전극과 완전히 중첩하고,

상기 복수의 서브 광차단막은 상기 소스 전극 및 상기 드레인 전극 중 어느 하나의 전극과만 중첩되는 제1 서브 광차단막을 포함하는 액정 표시 장치.

청구항 13

제12 항에 있어서,

상기 광차단막은 상기 반도체층과 동일한 물질로 이루어진 액정 표시 장치.

청구항 14

제12 항에 있어서,

상기 광차단막은 광흡수물질로 이루어진 액정 표시 장치.

청구항 15

제14 항에 있어서,

상기 광차단막은 비정질 규소로 이루어진 액정 표시 장치.

청구항 16

제12 항에 있어서,

상기 복수의 서브 광차단막은 상기 소스 전극 및 상기 드레인 전극 중 어느 전극과도 중첩되지 않는 제2 서브 광차단막을 포함하는 액정 표시 장치.

청구항 17

삭제

청구항 18

삭제

청구항 19

작제

청구항 20

제12 항에 있어서,

상기 광차단막은 4 μm 내지 8 μm 의 폭을 가지는 액정 표시 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0017] 본 발명은 박막 트랜지스터 기판 및 이를 포함하는 액정 표시 장치에 관한 것으로, 보다 구체적으로는 채널 영역의 광 누설 전류를 차단할 수 있는 박막 트랜지스터 기판 및 이를 포함하는 액정 표시 장치에 관한 것이다.
- [0018] 액정 표시 장치는 컬러필터를 포함하는 컬러필터 기판과 박막 트랜지스터 어레이를 포함하는 박막 트랜지스터 기판을 포함한다. 컬러필터 기판과 박막 트랜지스터 기판은 서로 대향하며 두 기판 사이에 개재된 실라인(seal line)에 의해 서로 접합되고, 그 사이에 형성된 일정한 공극에 액정층이 형성된다. 이와 같이 액정 표시 장치는 전극이 형성되어 있는 두 장의 기판(컬러필터 기판과 박막 트랜지스터 기판)과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절함으로써 소정의 영상을 디스플레이할 수 있도록 구성된 장치이다. 액정 표시 장치는 비발광소자이기 때문에 박막 트랜지스터 기판의 후면에는 빛을 공급하기 위한 백라이트 유닛이 위치한다. 백라이트에서 조사된 빛은 액정의 배열상태에 따라 투과량이 조정된다.
- [0019] 박막 트랜지스터 기판의 각 화소는 스위칭 소자를 구비한다. 스위칭 소자는 케이트선에 연결된 제어 단자, 데이터선에 연결된 입력단자. 그리고 화소 전극에 연결된 출력단자를 가지는 삼단 소자이다.
- [0020] 이러한 스위칭 소자를 이용한 액정 표시 장치에 있어서, 스위칭 소자의 채널 영역에 대하여 광이 입사하면 광 누설 전류(light leakage current)가 발생하여, 명암 대비비(contrast ratio)를 저하시키거나 플리커링(flickering) 등의 표시 불량의 원인이 된다. 이러한 광 누설 전류는 외부 자연광 또는 액정 표시 장치의 백라이트로부터 방출된 빛에 의해 야기될 수 있다.

발명이 이루고자 하는 기술적 과제

- [0021] 본 발명이 이루고자 하는 기술적 과제는, 광 누설 전류를 방지할 수 있는 박막 트랜지스터 기판을 제공하고자 하는 것이다.
- [0022] 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 이러한 박막 트랜지스터 기판을 포함하는 액정 표시 장치를 제공하고자 하는 것이다.
- [0023] 본 발명의 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

- [0024] 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 박막 트랜지스터 기판은, 절연 기판 위에 형성된 케이트 전극을 가지는 케이트선과, 상기 케이트 전극 상에 절연되어 형성된 반도체층과, 상기 케이트 전극과 적어도 일부분이 중첩되어 상기 케이트 전극의 주위에 배치된 광차단막과, 상기 케이트선과 교차하고 상기 반도체층과 적어도 일부분이 중첩되는 소스 전극을 가지는 데이터선과, 상기 케이트 전극을 중심으로 상기 소스 전극과 대향하여 상기 반도체층과 적어도 일부분이 중첩되는 드레인 전극과, 상기 결과물 상에 절연되어 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함한다.
- [0025] 상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 절연 기판 위에 형성된 케이트 전극과, 상기 케이트 전극과 완전히 중첩되어 상기 케이트 전극 상에 절연되어 형성된 반도체층과, 상기 반도체층과 동일한 층에 위치하여 상기 케이트 전극과 적어도 일부분이 중첩되어 상기 케이트 전극의 주위에 배

치된 광차단막과, 상기 반도체층과 적어도 일부분이 중첩되는 소스 전극과, 상기 게이트 전극을 중심으로 상기 소스 전극과 대향하며 상기 반도체층과 적어도 일부분이 중첩되는 드레인 전극과, 상기 결과물 상에 절연되어 상기 드레인 전극과 전기적으로 연결된 화소 전극을 포함하는 박막 트랜지스터 기판과, 절연 기판 위에 상기 화소 전극과 대향하도록 형성된 색필터 및 공통 전극을 포함한다.

[0026] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

[0027] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시 예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0028] 이하 첨부된 도 1a 내지 도 1c를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치용 박막 트랜지스터 기판을 상세히 설명한다.

[0029] 도 1a는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 배치도이고, 도 1b는 도 1a에 도시한 박막 트랜지스터 기판의 I b-I b' 선에 대한 단면도이고, 도 1c는 도 1a의 박막 트랜지스터 기판 상에 컬러필터 기판을 배치한 액정 표시 장치의 I c-I c' 선에 대한 단면도이다. 도 1a 및 도 1b를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치용 박막 트랜지스터 기판을 설명한 후, 도 1c를 참조하여 이를 포함하는 액정 표시 장치를 설명한다.

[0030] 도 1a 및 도 1b를 참조하면, 절연 기판(10) 위에 게이트 배선(22, 24, 26)이 형성되어 있다. 여기서, 게이트 배선(22, 24, 26)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 24, 26)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 24, 26)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 24, 26)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0031] 게이트 배선(22, 24, 26)은 가로 방향으로 뻗어 있는 게이트선(22), 게이트선(22)의 끝에 연결되어 있어 외부로부터의 게이트 신호를 인가받아 게이트선으로 전달하는 게이트선 끝단(24) 및 게이트선(22)에 연결되어 있는 박막 트랜지스터의 게이트 전극(26)을 포함한다. 게이트선(22)은 주로 가로 방향으로 뻗어 있고 물리적, 전기적으로 서로 분리되어 있으며 게이트 신호를 전달한다. 게이트선 끝단(24)는 외부와의 연결을 위하여 면적이 넓게 형성될 수 있다.

[0032] 기판(10) 위에는 질화 규소(SiNx) 따위로 이루어진 게이트 절연막(30)이 게이트 배선(22, 24, 26)을 덮고 있다.

[0033] 게이트 전극(26)의 게이트 절연막(30) 상부에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다른 결정 규소 등의 반도체로 이루어진 반도체층(40)이 섬 모양으로 형성되어 있다. 여기서, 박막 트랜지스터 기판의 후면에 배치된 백라이트로부터 반도체층(40)으로 빛이 직접 유입되는 것을 방지하기 위해 반도체층(40)은 게이트 전극(26)과 완전히 중첩(overlap)되도록 형성될 수 있다. 반도체층(40)의 모양은 다양하게 변형될 수 있다.

[0034] 그리고, 게이트 절연막(30) 상부에는 반도체층(40)과 동일한 층에 위치한 광차단막(91, 92, 93, 94)이 형성되어 있다. 광차단막(91, 92, 93, 94)은 백라이트로부터 게이트 전극(26)의 주위에 소정의 경사를 가지고 유입된 빛이 컬러필터 기판(미도시) 상의 공통 전극(미도시)에 반사된 후 반도체층(40)으로 재유입되는 것을 방지하기 위한 막이다. 따라서, 광차단막(91, 92, 93, 94)은 게이트 전극(26)과 적어도 일부분이 중첩되도록 게이트 전극(26)의 주위에 배치될 수 있다. 광차단막(91, 92, 93, 94)은 게이트 전극(26)의 가장자리를 따라 게이트 전극(26)과 중첩되게 배치됨으로써, 소정의 입사각을 가지고 게이트 전극(26)의 주위를 통과하여 반도체층(40)으로 재유입되는 빛을 효율적으로 차단할 수 있다. 이 때, 광차단막(91, 92, 93, 94)은 게이트 전극(26)의 가장자리와 중첩되게 배치하되, 기생 용량(parasitic capacitance)을 최소화하기 위해 게이트 전극(26)과 중첩되는 부분

을 최소화하는 것이 바람직하다. 따라서, 광차단막(91, 92, 93, 94)을 게이트 전극(26)의 가장자리에 정렬(align)되도록 배치하여 기생 용량을 최소화할 수 있다. 다만, 공정 마진을 고려하여 광차단막(91, 92, 93, 94)과 게이트 전극(26)은 약 3 μ m 이하의 폭을 가지고 중첩되도록 배치할 수 있다. 광차단막(91, 92, 93, 94)은 빛을 효율적으로 흡수할 수 있는 물질을 사용할 수 있다. 예를 들어, 광차단막(91, 92, 93, 94)은 반도체층(40)과 동일한 물질로 형성될 수 있다.

[0035] 본 실시예에서 광차단막(91, 92, 93, 94)은 서로 이격된 다수의 서브(sub) 광차단막으로 구성될 수 있다. 여기서, 서브 광차단막은 게이트 전극(26)의 위쪽, 원쪽, 오른쪽, 아래쪽에 각각 위치하는 제1 광차단막(91), 제2 광차단막(92), 제3 광차단막(93), 제4 광차단막(94)을 포함한다. 각 광차단막(91, 92, 93, 94)은 섬모양으로 형성되어 서로 분리되어 있다. 본 실시예에서는 광 누설 전류를 차단하기 위해 4개의 광차단막(91, 92, 93, 94)을 사용하여 설명하였으나, 본 발명은 이에 한정되지 않으며 광 누설 전류를 효과적으로 차단할 수 있다면 이를 중 어느 하나 이상의 광차단막을 사용할 수 있다.

[0036] 다만, 광차단막(91, 92, 93, 94)이 도전성을 가지는 경우, 후술하는 소스 전극(65)과 드레인 전극(66)이 단락(short)되지 않도록 배치하는 것이 바람직하다. 즉, 광차단막(91, 92, 93, 94)은 소스 전극(65) 및 드레인 전극(66) 중 어느 하나의 전극과만 중첩되도록 형성하는 것이 바람직하다. 더욱 바람직하게는 데이터 신호를 효율적으로 전달하기 위해 제1 광차단막(91) 및 제4 광차단막(94)과 같이 소스 전극(65) 또는 드레인 전극(66)과 중첩되지 않게 형성할 수 있다. 앞서 언급한 것 이외에, 본 발명의 광차단막(91, 92, 93, 94)의 형상은 다양하게 변형될 수 있다.

[0037] 반도체층(40)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어진 저항성 접촉층(ohmic contact layer)(55, 56)이 각각 형성되어 있다. 저항성 접촉층(55, 56)은 쌍(pair)을 이루어 반도체층(40) 위에 위치한다.

[0038] 저항성 접촉층(55, 56) 및 게이트 절연막(30) 위에는 데이터 배선(62, 65, 66, 68)이 형성되어 있다. 데이터 배선(62, 65, 66, 68)은 주로 세로 방향으로 형성되어 게이트선(22)과 교차하여 화소를 정의하는 데이터선(62), 데이터선(62)의 분지이며 저항성 접촉층(55)의 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있으며 외부로부터의 화상 신호를 인가받는 데이터선 끝단(68), 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하는 저항성 접촉층(56) 상부에 형성되어 있는 드레인 전극(66)을 포함한다. 이 때, 데이터선(62)의 한 쪽 끝 부분인 데이터선 끝단(68)은 외부 회로와의 연결을 위하여 폭이 확장되어 있다.

[0039] 데이터 배선(62, 65, 66, 68)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.

[0040] 소스 전극(65)은 반도체층(40)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로 소스 전극(65)과 대향하며 반도체층(40)과 적어도 일부분이 중첩된다. 여기서, 앞서 언급한 저항성 접촉층(55, 56)은 그 하부의 반도체층(40)과, 그 상부의 소스 전극(65) 및 데이터선(62) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

[0041] 광차단막(91, 92, 93, 94)은 소스 전극(65) 또는 드레인 전극(66)과 중첩될 수 있으나, 데이터 배선(62, 65, 66, 68)을 통해 인가되는 데이터 신호를 효율적으로 전달하고 기생 용량을 줄이기 위해서는 이들의 중첩을 최소화하는 것이 바람직하다. 제1 광차단막(91) 및 제4 광차단막(94)과 같이 소스 전극(65) 또는 드레인 전극(66)과 중첩되지 않도록 형성하거나, 제2 광차단막(92) 및 제3 광차단막(93)과 같이 소스 전극(65) 또는 드레인 전극(66)과 중첩되도록 형성할 수 있다. 광차단막(91, 92, 93, 94)은 소스 전극(65) 및 드레인 전극(66)과 동시에 중첩되지 않는 한 각 전극(65, 66)과 소정의 부분이 중첩되도록 형성될 수 있다.

[0042] 데이터 배선(62, 65, 66, 68) 및 이들에 의해 노출된 반도체층(40) 상부에는 보호막(passivation layer)(70)이 형성되어 있다. 보호막(70)은 질화규소(SiNx), 산화규소로 이루어진 무기물, PECVD(plasma enhanced chemical vapor deposition) 방법에 의하여 증착된 a-Si:C:O 막 또는 a-Si:O:F 막(저유전율 CVD막), 또는 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 아크릴계 유기 절연막 등으로 이루어질 수 있다. PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 유전 상수가 4이하(유전 상수는 2에서 4사이의 값을 가진다.)로 유전율이 매우 낮다. 따라서 두께가 얇아도 기생 용량 문제가 발생하지 않는다. 또 다른 막과의 접

착성 및 스텝 커버리지(step coverage)가 우수하다. 또한 무기질 CVD막이므로 내열성이 유기 절연막에 비하여 우수하다. 아울러 PECVD 방법에 의하여 증착된 a-Si:C:O 막과 a-Si:O:F 막(저유전율 CVD막)은 증착 속도나 식각 속도가 질화 규소막에 비하여 4 내지 10배 빠르므로 공정 시간 면에서도 매우 유리하다. 또한 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(40) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다.

[0043] 보호막(70)에는 드레인 전극(66) 및 데이터선 끝단(68)을 각각 드러내는 접촉 구멍(76, 78)이 형성되어 있으며, 게이트 절연막(30)과 함께 게이트선 끝단(24)을 드러내는 접촉 구멍(74)이 형성되어 있다. 이때, 게이트선 및 데이터선 끝단(24, 68)을 드러내는 접촉 구멍(74, 78)은 각을 가지거나 원형의 다양한 모양으로 형성될 수 있고, 외부 회로와의 연결을 위하여 폭이 확장되어 형성될 수 있다.

[0044] 보호막(70) 위에는 접촉 구멍(76)을 통하여 드레인 전극(66)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 화소 전극(82)이 형성되어 있다. 또한, 보호막(70) 위에는 접촉 구멍(74, 78)을 통하여 각각 게이트선 끝단(24) 및 데이터선 끝단(68)과 연결되어 있는 보조 게이트선 끝단(86) 및 보조 데이터선 끝단(88)이 형성되어 있다. 여기서, 화소 전극(82)과 보조 게이트 및 데이터선 끝단(86, 88)은 ITO(indium tin oxide) 또는 IZO 등의 투명 도전체 또는 알루미늄 등의 반사성 도전체로 이루어질 수 있다.

[0045] 여기서, 화소 전극(82)은 도 1a 및 도 1b에서 보는 바와 같이, 게이트선(22)과 중첩되어 유지 축전기를 이루며, 유지 용량이 부족한 경우에는 게이트 배선(22, 24, 26)과 동일한 층에 유지 용량용 배선을 추가할 수도 있다.

[0046] 또한, 화소 전극(82)은 데이터선(62)과도 중첩하도록 형성하여 개구율을 극대화하고 있다. 이처럼 개구율을 극대화하기 위하여 화소 전극(82)을 데이터선(62)과 중첩시켜 형성하더라도 보호막(70)의 유전율이 낮기 때문에 이들 사이에서 형성되는 기생 용량은 문제가 되지 않을 정도로 작게 유지할 수 있다. 그리고, 측면 시인성을 개선하기 위해 화소 전극(82)에는 게이트선(22)에 대하여 사선 방향으로 다수의 절개부 또는 돌기가 형성될 수 있다.

[0047] 이하, 본 발명의 일 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 제조 방법에 대하여 도 1a 및 도 1b를 참조하여 상세히 설명한다.

[0048] 먼저, 기판(10) 위에 게이트 배선용 다층 금속막(미도시)를 적층한 후, 패터닝하여 게이트선(22), 게이트 전극(26) 및 게이트선 끝단(24)을 포함하는 가로 방향으로 뻗어 있는 게이트 배선(22, 24, 26)을 형성한다.

[0049] 다음, 질화 규소 등으로 이루어진 게이트 절연막(30), 반도체층용 비정질 규소층(미도시), 도핑된 비정질 규소층의 삼층막을 연속하여 적층하고, 반도체층용 비정질 규소층, 도핑된 비정질 규소층을 사진 식각하여 게이트 전극(26) 상부의 게이트 절연막(30) 위에 섬 모양의 반도체층(40)과 게이트 전극(26)과 적어도 일부분이 중첩되도록 게이트 전극(26)의 주위에 배치된 광차단막(91, 92, 93, 94)과 반도체층(40) 상에 위치하는 도핑된 비정질 규소층 패턴(미도시)을 형성한다.

[0050] 다음, 상기 결과물 상에, 데이터 금속층(미도시)을 적층하고 마스크를 이용한 사진 식각으로 패터닝하여, 게이트선(22)과 교차하는 데이터선(62), 데이터선(62)과 연결되어 게이트 전극(26) 상부까지 연장되어 있는 소스 전극(65), 데이터선(62)의 한쪽 끝에 연결되어 있는 데이터선 끝단(68) 및 소스 전극(65)과 분리되어 있으며 게이트 전극(26)을 중심으로 소스 전극(65)과 마주하는 드레인 전극(66)을 포함하는 데이터 배선(62, 65, 66, 68)을 형성한다.

[0051] 이어, 데이터 배선(62, 65, 66, 68)에 의해 노출된 비정질 규소층 패턴을 식각하여 게이트 전극(26)을 중심으로 양쪽으로 분리된 저항성 접촉층 패턴(55, 56)을 형성하는 한편, 양쪽의 저항성 접촉층 패턴(55, 56) 사이의 반도체층(40)을 노출시킨다. 이어, 노출된 반도체층(40)의 표면을 안정화시키기 위하여 산소 플라스마를 실시하는 것이 바람직하다.

[0052] 다음으로, 질화규소막, a-Si:C:O 막 또는 a-Si:O:F 막을 화학 기상 증착(CVD) 법에 의하여 성장시키거나 유기 절연막을 도포하여 보호막(70)을 형성한다.

[0053] 이어, 사진 식각 공정으로 게이트 절연막(30)과 함께 보호막(70)을 패터닝하여, 게이트선의 끝 부분(24), 드레인 전극(66) 및 데이터선의 끝 부분(68)을 드러내는 접촉구멍(74, 76, 78)을 형성한다. 여기서, 접촉 구멍(74, 76, 78)은 각을 가지는 모양 또는 원형의 모양으로 형성할 수 있다.

[0054] 다음, ITO막 또는 IZO막을 증착하고 사진 식각하여 제1 접촉 구멍(76)을 통하여 드레인 전극(66)과 연결되는 화소 전극(82)과 제2 및 제3 접촉 구멍(74, 78)을 통하여 게이트선 끝단(24) 및 데이터선 끝단(68)과 각각 연결되

는 보조 게이트선 끝단(86) 및 보조 데이터선 끝단(88)을 형성한다. ITO나 IZO를 적층하기 전의 예열(heating) 공정에서 사용하는 기체는 질소를 이용하는 것이 바람직하다. 이는 접촉 구멍(74, 76, 78)을 통해 노출되어 있는 금속막(24, 66, 68)의 상부에 금속 산화막이 형성되는 것을 방지하기 위함이다.

[0055] 이하, 도 1c를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치에 의해 광 누설 전류가 차단되는 과정을 설명한다.

[0056] 도 1c에 도시된 바와 같이, 아래에 위치하는 박막 트랜지스터 기판과 대향하도록 컬러필터 기판이 배치된다. 컬러필터 기판은 투명한 유리 등으로 이루어진 절연 기판(110) 위에 빛샘을 방지하기 위한 블랙 매트릭스(120)와 적색, 녹색, 청색의 색필터(130) 및 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(common electrode)(140)이 형성되어 있다. 여기서, 블랙 매트릭스(120)는 게이트선(22)과 데이터선(62)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분으로 형성될 수 있다. 또한, 블랙 매트릭스(120)는 화소 전극(82)과 박막 트랜지스터 부근에서의 빛샘을 차단하기 위하여 다양한 모양을 가질 수 있다. 그리고, 측면 시인성을 개선하기 위해 공통 전극(140)에는 게이트선(22)에 대하여 사선 방향으로 다수의 절개부 또는 돌기가 형성될 수 있다.

[0057] 본 발명의 일 실시예에 의한 액정 표시 장치는 컬러필터 기판과, 이에 대향하는 박막 트랜지스터 기판과 그 사이에 삽입되는 액정층(200)을 포함한다. 박막 트랜지스터 기판 상의 화소 전극(82)과 컬러필터 기판 상의 공통 전극(140)에 전압을 인가하여 액정층(200)의 액정 분자들을 재배열시켜 투과되는 빛의 양을 조절함으로써 소정의 영상을 디스플레이할 수 있도록 구성된 장치이다.

[0058] 일반적으로 액정 표시 장치의 광 누설 전류는 주로 백라이트로부터 방출되는 빛(A1, A2)과 외부로부터 유입되는 빛(B1)에 의해 야기된다. 본 발명의 일 실시예에 의한 액정 표시 장치는 게이트 전극(26)과 광차단막(91, 92, 93, 94)에 의해 광 누설 전류를 최소화한다.

[0059] 즉, 반도체층(40)이 게이트 전극(26)과 완전히 중첩되도록 형성하여 백라이트로부터 발생되어 빛(A2)이 직접 반도체층(40)으로 유입되는 것을 방지할 수 있다. 도 1c에 도시된 바와 같이, 반도체층(40)의 폭(Wa)보다 게이트 전극(26)의 폭(Wg)을 더 크게 형성하는 것이 바람직하다.

[0060] 만약 광차단막(91, 92, 93, 94)이 없는 경우, 백라이트로부터 게이트 전극(26)의 주위에 소정의 경사를 가지고 유입된 빛(A1)이 컬러필터 기판 상의 공통 전극(140)에 반사된 후 반도체층(40)으로 재유입될 수 있다. 그러나, 본 발명과 같이 광차단막(91, 92, 93, 94)을 게이트 전극(26)의 가장자리를 따라 게이트 전극(26)과 중첩되게 배치됨으로써, 이러한 빛(A1)을 흡수하여 광 누설 전류를 최소화할 수 있다. 따라서, 도 1c에 도시된 바와 같이, 게이트 전극(26)의 주위로부터 유입된 빛(A1)을 효율적으로 차단하기 위해 광차단막(91, 92, 93, 94)과 게이트 전극(26)은 적어도 일부분이 중첩되도록 형성할 수 있으며, 예를 들어, 광차단막(91, 92, 93, 94)과 게이트 전극(26)은 약 3 μm 이하의 폭(Wo)을 가지고 중첩되도록 배치할 수 있다.

[0061] 또한, 본 발명의 광차단막(91, 92, 93, 94)이 없는 경우, 외부로부터 블랙 매트릭스(120)의 주위에 소정의 입사각을 가지고 입사된 빛(B1)은 게이트 전극(26)과 공통 전극(140)에 차례대로 반사되어 반도체층(40)으로 재유입될 수 있다. 그러나, 본 발명과 같이 광차단막(91, 92, 93, 94)을 게이트 전극(26)의 가장자리를 따라 게이트 전극(26)과 중첩되게 배치됨으로써, 이러한 빛(B1)이 게이트 전극(26)에 반사되기 전에 광차단막(91, 92, 93, 94)에 흡수되기 때문에 광 누설 전류를 최소화할 수 있다.

[0062] 이와 같은 광차단막(91, 92, 93, 94)의 폭(Wb)은 끊을수록 광 누설 전율을 최소화할 수 있으나, 이 경우 개구율이 낮아질 수 있다. 따라서, 광차단막(91, 92, 93, 94)은 약 10 μm 이하의 폭(Wb)을 가지는 것이 바람직하다. 더욱 바람직하게는 광차단막(91, 92, 93, 94)은 약 4-8 μm 의 폭을 가질 수 있다.

[0063] 이하, 도 2 내지 도 5를 참조하여 본 발명의 박막 트랜지스터 기판의 변형 실시예를 설명한다. 설명의 편의상, 도 1a 내지 도 1c의 실시예의 도면에 나타낸 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

[0064] 도 2는 본 발명의 변형 실시예에 의한 박막 트랜지스터 기판의 배치도로서, 다음을 제외하고는 기본적으로 동일한 구조를 갖는다. 즉, 도 2에 도시된 바와 같이, 광차단막(9124)은 게이트 전극(26)의 위쪽으로부터 왼쪽을 거쳐 아래쪽으로 연장되어 위치하고, 광차단막(93)은 게이트 전극(26)의 오른쪽에 위치한다.

[0065] 도 3은 본 발명의 다른 변형 실시예에 의한 박막 트랜지스터 기판의 배치도로서, 다음을 제외하고는 기본적으로 동일한 구조를 갖는다. 즉, 도 3에 도시된 바와 같이, 광차단막(9134)은 게이트 전극(26)의 위쪽으로부터 오른쪽을 거쳐 아래쪽으로 연장되어 위치하고, 광차단막(92)은 게이트 전극(26)의 왼쪽에 위치한다.

- [0066] 도 4는 본 발명의 또 다른 변형 실시예에 의한 박막 트랜지스터 기판의 배치도로서, 다음을 제외하고는 기본적으로 동일한 구조를 갖는다. 즉, 도 4에 도시된 바와 같이, 광차단막(912)은 게이트 전극(26)의 위쪽으로부터 왼쪽으로 연장되어 위치하고, 광차단막(934)은 게이트 전극(26)의 오른쪽으로부터 아래쪽으로 연장되어 위치한다.
- [0067] 도 5는 본 발명의 또 다른 변형 실시예에 의한 박막 트랜지스터 기판의 배치도로서, 다음을 제외하고는 기본적으로 동일한 구조를 갖는다. 즉, 도 5에 도시된 바와 같이, 광차단막(913)은 게이트 전극(26)의 위쪽으로부터 오른쪽으로 연장되어 위치하고, 광차단막(924)은 게이트 전극(26)의 왼쪽으로부터 아래쪽으로 연장되어 위치한다.
- [0068] 이와 같이, 광차단막(91, 92, 93, 94, 9124, 9134, 912, 934, 913, 924)은 게이트 전극(26)과 적어도 일부분이 중첩되도록 형성하면서, 소스 전극(65)과 드레인 전극(66)이 단락되지 않는 범위에서 다양한 형상을 가질 수 있다.
- [0069] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

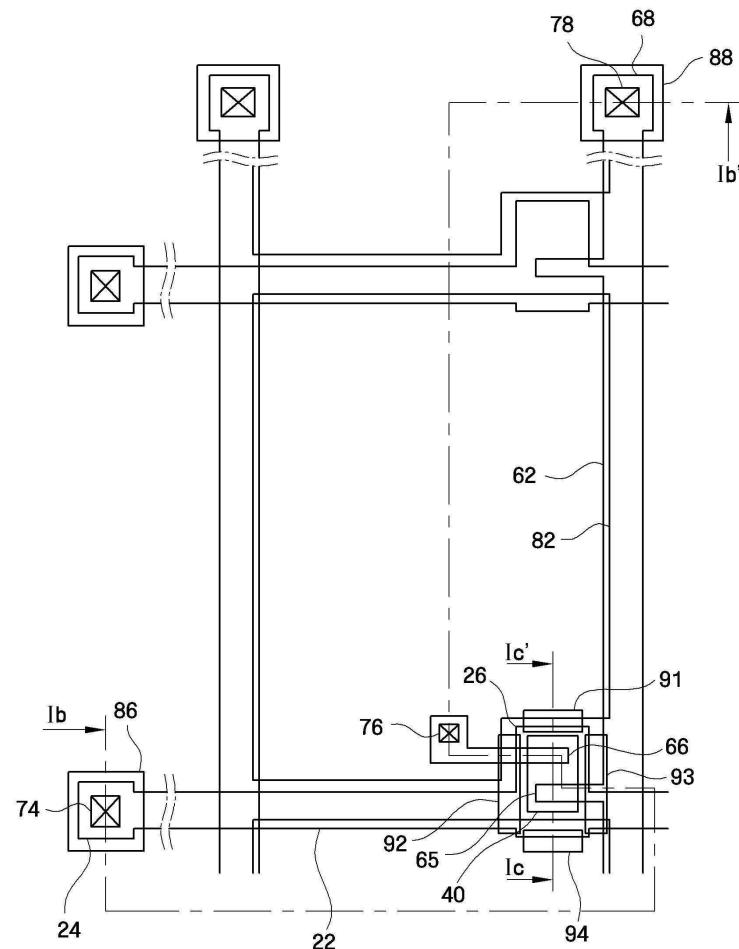
- [0070] 상술한 바와 같이 본 발명에 따른 박막 트랜지스터 기판과 이를 포함하는 액정 표시 장치에 의하면, 광 누설 전류를 효과적으로 최소화하여 명암 대비비를 높이거나 폴리커링 등의 표시 불량을 제거할 수 있다.

도면의 간단한 설명

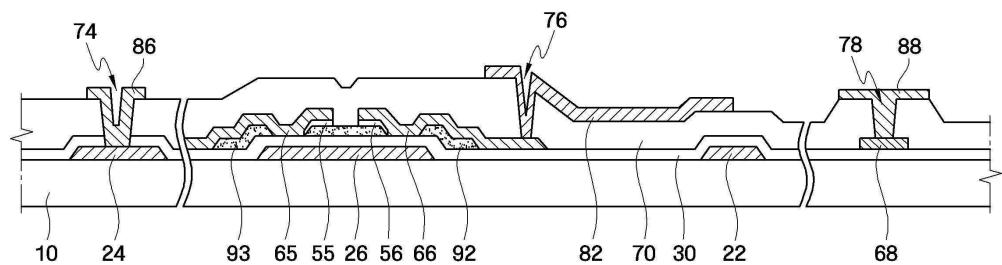
- [0001] 도 1a는 본 발명의 일 실시예에 따른 박막 트랜지스터 기판의 배치도이다.
- [0002] 도 1b는 도 1a에 도시한 박막 트랜지스터 기판의 I b- I b' 선에 대한 단면도이다.
- [0003] 도 1c는 도 1a의 박막 트랜지스터 기판 상에 컬러필터 기판을 배치한 액정 표시 장치의 I c- I c' 선에 대한 단면도이다.
- [0004] 도 2는 본 발명의 변형 실시예에 의한 박막 트랜지스터 기판의 배치도이다.
- [0005] 도 3은 본 발명의 다른 변형 실시예에 의한 박막 트랜지스터 기판의 배치도이다.
- [0006] 도 4는 본 발명의 또 다른 변형 실시예에 의한 박막 트랜지스터 기판의 배치도이다.
- [0007] 도 5는 본 발명의 또 다른 변형 실시예에 의한 박막 트랜지스터 기판의 배치도이다.
- [0008] <도면의 주요부분에 대한 부호의 설명>
- | | |
|---|-------------------|
| [0009] 22: 게이트선 | 24: 게이트선 끝단 |
| [0010] 26: 게이트 전극 | 40: 반도체층 |
| [0011] 55, 56: 저항성 접촉층 | 62: 데이터선 |
| [0012] 65: 소스 전극 | 66: 드레인 전극 |
| [0013] 68: 데이터선 끝단 | 74, 76, 78: 접촉 구멍 |
| [0014] 82: 화소 전극 | 86: 보조 게이트선 끝단 |
| [0015] 88: 보조 데이터선 끝단 | |
| [0016] 91, 92, 93, 94, 9124, 9134, 912, 934, 913, 924: 광차단막 | |

도면

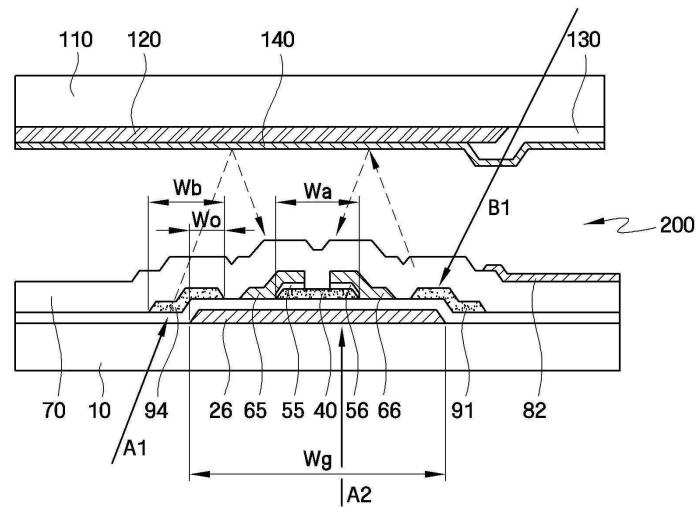
도면1a



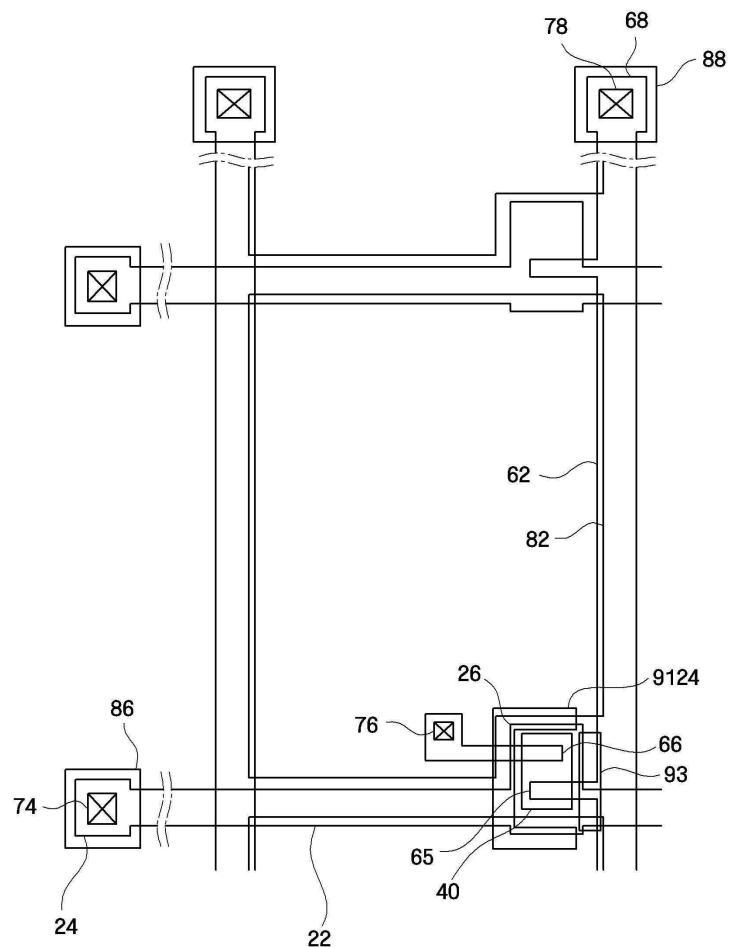
도면1b



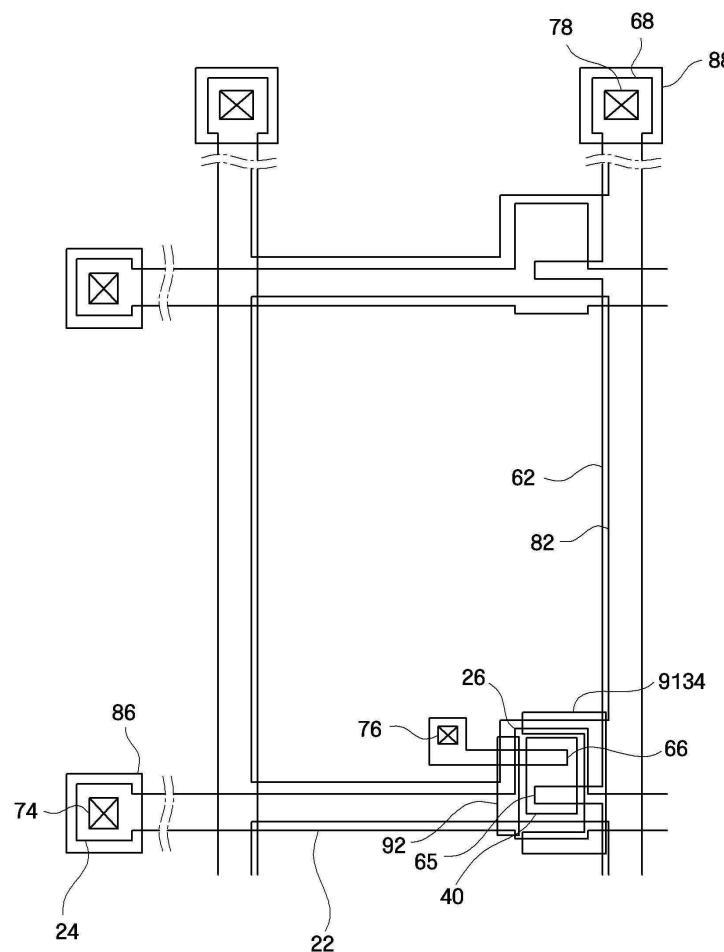
도면1c



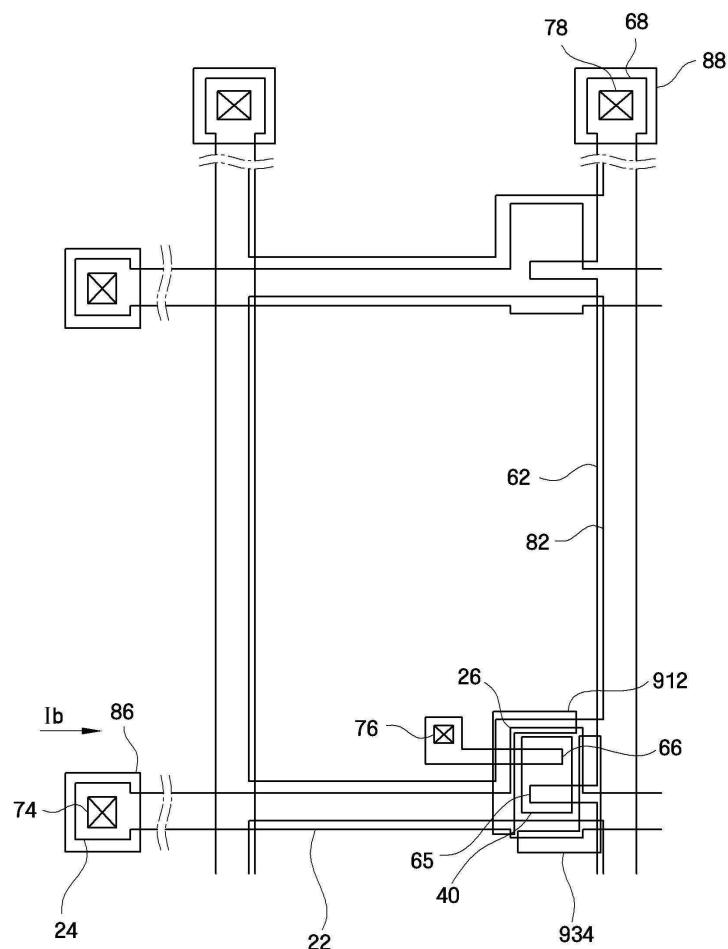
도면2



도면3



도면4



도면5

