

發明專利說明書

594972

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※申請案號：92106052

※IPC分類：H01L 25/065

※申請日期：92年03月19日

壹、發明名稱：

(中文) 半導體裝置及其製造方法、電路基板以及電子機器

(英文) 半導體裝置及びその製造方法、回路基板並及びに電子機器

貳、發明人(共 1 人)

發明人 1

姓名：(中文) 宮澤郁也

(英文) 宮沢郁也

住居所地址：(中文) 日本國長野縣諏訪市大和三丁目三番五號
精工愛普生股份有限公司內

(英文) 日本国長野県諏訪市大和3丁目3番5号
セイコーエプソン株式会社内

參、申請人(共 1 人)

申請人 1

姓名或名稱：(中文) 精工愛普生股份有限公司

(英文) セイコーエプソン株式会社

住居所地址：(中文) 日本國東京都新宿區西新宿二丁目四番一號
(或營業所) (英文) _____

國籍：(中文) 日本

(英文) JAPAN

代表人：(中文) 1. 草間三郎

(英文) _____

捌、聲明事項

■主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1.日本 ; 2002/03/19 ; 2002-076307

2.日本 ; 2003/01/15 ; 2003-007276

(1)

玖、發明說明**【發明所屬之技術領域】**

本發明係有關半導體裝置及其製造方法、電路基板以及電子機器。

【先前技術】

有開發著三維性之安裝形態的半導體裝置。又爲了能達成三維性安裝，要形成貫穿電極於半導體晶片乃所周知。雖以難於產生氧化之材料來形成貫穿電極前端部時，可增進電性的連接性，但僅使前端部由與其他部分爲另一材料來形成之事極爲困難。又難於氧化之材料爲高價位，因而以如此的材料來形成貫穿電極並非爲現實性。

【發明內容】

本發明係要解決習知（先前）之問題者，其目的係擬擴大選擇貫穿電極材料的界限（餘地）而發明者。

（1） 有關本發明之半導體裝置的製造方法係包括有：

（a） 對於形成有積體電路之半導體基板，從第1面形成凹部；

（b） 配設絕緣層於前述凹部內面；

（c） 配設第1導電部於前述絕緣層之內側；

（d） 以與前述第1導電部爲相異材料來形成第2導電部於在於前述絕緣層內側且在前述第1導電部上；及

(2)

(e) 從與前述半導體基板之前述第1面為相反側的第2面予以露出前述第1導電部，之各製程（過程）。

依據本發明，因令會露出之第1導電部由與第2導電部為相異材料所形成，因而，能以鑑於露出而會產生影響或成本等來選擇第1及第2的導電部材料。

(2) 於本半導體裝置的製造方法，前述(e)製程（過程）也可包括研磨前述半導體基板之前述第2面的過程。

(3) 於本半導體裝置的製造方法，在前述(e)製程也可蝕刻前述第2面，以令前述第1導電部成為突出。

(4) 於本半導體裝置的製造方法，第1導電部也可作成為較前述第2導電部難於產生氧化。

(5) 於本半導體裝置的製造方法，也可作成為以Au來形成前述第1導電部，而以Cu來形成前述第2導電部之至少中心部。

(6) 於本半導體裝置的製造方法，也可在前述(c)製程，以噴墨方式來填充用於形成前述第1導電部用之材料於前述凹部。

(7) 於本半導體裝置的製造方法，前述半導體基板係半導體晶圓，形成有複數之前述積體電路且成對應於各前述積體電路來形成前述凹部，也可更包括有用於切斷前述半導體基板之過程。

(8) 於本半導體裝置的製造方法，用於切斷前述半導體基板之過程也包括有用於沿著前述半導體基板的切

(3)

斷線來形成溝用之過程，及從前述第2面去除前述溝底部，以令前述溝成為縫隙的過程。

(9) 於本半導體裝置的製造方法，也可由切削來形成前述溝。

(10) 於本半導體裝置的製造方法，也可由蝕刻來形成前述溝。

(11) 於本半導體裝置的製造方法，也可在前述(a)過程，以與前述凹部同樣之製程(處理步驟)來形成前述溝。

(12) 於本半導體裝置的製造方法，也可形成前述溝成為較前述凹部更深，而由研磨前述半導體基板之前述第2面來去除前述溝底部。

(13) 於本半導體裝置的製造方法，也可在前述(b)過程來配設前述絕緣層於前述溝內。

(14) 於本半導體裝置的製造方法，前述(e)過程也可包括有：

(e₁) 由對於前述半導體基板之蝕刻量會成為大於對於前述絕緣層的蝕刻量之性質的第1蝕刻劑來蝕刻前述半導體基板之前述第2面，以令前述第1導電部成為由前述絕緣層被覆蓋之狀態來使之突出的過程；及

(e₂) 由不會形成殘留物於前述第1導電部之狀態而至少可蝕刻前述絕緣層的性質之第2蝕刻劑來蝕刻前述絕緣層中之至少形成於前述凹部的前述底面之部分，以露出前述第1導電部的過程，

(4)

且也可在前述過程 (e_1)，會形成於前述溝底部的前述絕緣層從前述第2面突出，並在前述 (e_2) 過程，由前述第2蝕刻劑來蝕刻形成於前述溝底部之前述絕緣層。

(15) 於本半導體裝置的製造方法，也可令去除前述溝底部之過程，以露出前述半導體基板之材料於前述溝內之狀態來進行。

(16) 於本半導體裝置的製造方法，前述 (e) 過程也可包括有：

(e_1) 由對於前述半導體基板之蝕刻量會成為大於對於前述絕緣層的蝕刻量之性質的第1蝕刻劑來蝕刻前述半導體基板之前述第2面，以令前述第1導電部成為由前述絕緣層被覆蓋之狀態來使之突出的過程；及

(e_2) 由不會形成殘留物於前述第1導電部之狀態而至少可蝕刻前述絕緣層的性質之第2蝕刻劑來蝕刻前述絕緣層中之至少形成於前述凹部的前述底面之部分，以露出前述第1導電部的過程，

且在前述 (e_1) 過程，也可由第1蝕刻劑來蝕刻以前述半導體基板之一部分所構成而形成之前述溝底部來加以去除。

(17) 於本半導體裝置的製造方法，用於切斷前述半導體基板之過程，也可由黏貼前述半導體基板的前述第1面於保持板來進行切斷，以令所切斷之複數半導體晶片使之不會脫落。

(18) 於本半導體的製造方法，也可令前述溝僅形

(5)

成於劃分具有前述複數之積體電路的複數半導體晶片用的區域。

(19) 有關本發明之半導體裝置的製造方法，係包括疊層由上述方法所製造之複數之半導體裝置，而藉由前述導電部來意圖電性連接。

(20) 有關本發明之半導體裝置，係由上述方法來製造所形成者。

(21) 有關本發明之半導體裝置，係具備有：具有成電性連接於積體電路的電極於第1面，且形成有貫穿孔的半導體基板；配設於前述貫穿孔內面之絕緣層；及在前述絕緣層內側，朝前述半導體基板厚度方向疊層的第1及第2的導電部，

而前述第1及第2之導電部係以相異材料所形成，且前述第1導電部係形成從與前述半導體基板的前述第1面為相反側之第2面露出。

依據本發明，會露出之第1導電部乃由與第2導電部為不同材料所形成者，因此，可鑑於（考量）由露出而會產生之影響或成本來選擇第1及第2的導電部之材料。

(22) 於本半導體裝置，也可令前述第1導電部從前述第2面突出。

(23) 於本半導體裝置，前述第1導電部也可為較前述第2導電部難於氧化。

(24) 於本半導體裝置，也可成為前述第1導電部係以Au所形成，而前述第2導電部之至少中心部係由Cu所

(6)

形成。

(25) 有關本發明之半導體裝置，具有上述之複數半導體裝置，而前述複數之半導體係以疊層且藉由前述導電部來意圖電性連接所形成者。

(26) 有關本發明的電路基板，係以組裝上述半導體裝置所形成者。

(27) 有關本發明的電子機器，係具有上述半導體裝置。

【實施方式】

以下，將參照圖式來說明本發明之實施形態。

(第1實施形態)

圖1A~圖4B係用於說明有關適用本發明的第1實施形態之半導體裝置的製造方法用的圖。於本實施形態，將使用半導體基板10。圖1A所示之半導體基板10雖為半導體晶圓，但也可為半導體晶片。而在半導體基板10，至少形成有一個（在半導體晶圓為複數個，而在半導體晶片為一個）積體電路（例如具有電晶體或記憶體的電路）12。於半導體基板12，形成有複數之電極（例如凸部，襯墊）14。電極14係成電性連接於積體電路12。各電極14也可由鋁來形成。電極14的表面形狀雖未特別予以限定，通常為矩形者為多。半導體基板10為半導體晶圓時，將會形成2個以上（1組）之電極14。

(7)

在半導體基板 10，形成有一層或一層以上之層數的鈍化膜 16、18。鈍化膜 16、18 可由例如 SiO_2 、 SiN ，聚醯亞胺樹脂來形成。在於圖 1A 所示之例子，形成有電極 14，及連接積體電路 12 與電極 14 用的配線（未圖示）。又另外之鈍化膜 18 係以躲開電極 14 表面的至少一部分來形成。鈍化膜 18 也可在形成覆蓋電極 14 表面後，以蝕刻其一部分來露出電極 14 之一部分。對於蝕刻，可適用乾式蝕刻及濕式蝕刻的任何之一。也可在蝕刻鈍化膜 18 時，蝕刻電極 14 表面。

於本實施形態，將在半導體基板 10，從其第 1 面 20 形成凹部 22（參照圖 1C）。第 1 面 20 係形成有電極 14 之面。凹部 22 係迴避（躲避）積體電路 12 之元件及配線來形成。也可如圖 1B，形成貫穿孔 24 於電極 14。對於形成貫穿孔 24，也可適用蝕刻（乾式蝕刻或濕式蝕刻）。蝕刻也可在由平板印刷術過程來形成圖型形成抗蝕劑（未圖示）之後，方予以實施。當形成有鈍化膜 16 於電極 14 下面時，也要對於鈍化膜 16 形成貫穿孔 26（參照圖 1C）。倘若蝕刻電極 14 時，會在鈍化膜 16 停止蝕刻時，也可更換使用於蝕刻電極 14 的蝕刻劑為另一種蝕刻劑來形成貫穿孔 26。該時，也可再度由平版印刷術過程來形成圖型形成之抗蝕劑（未圖示）。

如圖 1C 所示，對於半導體基板形成凹部 22，以令與貫穿孔（及貫穿孔 26）形成連通。亦可合併貫穿孔 24（及貫穿孔 26）和凹部 22 來稱呼為凹部。對於形成凹部 22，也可

(8)

適用蝕刻（乾式蝕刻或濕式蝕刻）。蝕刻可在由平版印刷術過程來形成圖型形成的抗蝕劑（未圖示）後才進行。或者，也可使用雷射（例如CO₂雷射，YAG雷射等）來形成凹部22。雷射也可適用於形成貫穿孔24、26。也可由一種類之蝕刻劑或雷射來成連續地實施凹部22及貫穿孔24、26之形成。

如圖2A所示，予以形成絕緣層28於凹部22內面。絕緣層可為氧化膜，例如半導體基板10之基材（母材）為Si時，絕緣層28可為SiO₂，也可為SiN。絕緣層28係要形成於凹部22的內壁面上。絕緣層28也可形成於凹部22之底面。但絕緣層28並不能形成為埋設凹部22，亦即，由絕緣層28來形成凹部。絕緣層28也可形成於鈍化膜16之貫穿孔26的內壁面。絕緣層28也可形成於鈍化膜18上。

絕緣層28也可形成於電極14之貫穿孔24的內壁面。絕緣層28需要以迴避電極14之一部分（例如其上面）來形成。也可形成絕緣層28覆蓋著電極14表面整體，並蝕刻其一部分（乾式蝕刻或濕式蝕刻）來露出電極14的一部分。蝕刻也可在由平版印刷術過程來形成圖型形成之抗蝕劑（未圖示）後才實施。

如圖2B所示，配設第1導電部30於絕緣層28的內側。第1導電部30係由例如Au來形成。第1導電部30也可為較將後述之第2導電部32難於氧化的材料。第1導電部30也可僅配設於凹部22（或以絕緣層28所形成之凹部）底部。第1導電部30也可由噴墨方式來填充其材料（例如含有構成

(9)

第1導電部30用材料的溶劑)於凹部22。由於介居有絕緣層28於凹部22內面和第1導電部30之間，因而，會遮斷兩者的電性連接。

接著，配設第2導電部32(參照圖3A)於絕緣層28內側之第1導電部30上。第1及第2的導電部30、32係成電性連接著，也可形成為緊密地黏著。第2導電部32係由與第1導電部30為相異材料(例如Cu或W等)來形成。也可如圖2C所示，予以形成第2導電部32的外層部33後，予以形成如圖3A所示之其中心部34。中心部34可由Cu、W、摻雜多晶矽(例如低溫多晶矽)的任何之一來形成。外層部33也可至少包括有障(壁)層。障層係用於防止中心部34或將說明之種(籽晶)層的材料擴散於半導體基板10(例如Si)之情事用者。障層也可由與中心部34為相異材料(例如TiW、TiN、TaN)來形成。當由電解電鍍來形成中心部34時，外層部33也可包含著種層。種層係在形成障層後才予以形成。種(籽晶)層係由與中心部34同樣材料(例如Cu)來形成。再者，第2導電部32也可由無電解電鍍或噴墨方式來形成。

再者，第1導電部30係如上述可在形成絕緣層28之後且在形成外層部33之前來形成，但也可予以形成絕緣層28和外層部33(參照圖16A)，然後，才形成第1導電部30(參照圖16B)。

如圖2C及圖3A所示，當外層部33也形成於鈍化膜18上時，將以如圖3B所示，予以蝕刻外層部33之鈍化膜18上

(10)

部分。而在形成外層部33後，予以形成中心部34，就可配設第2導電部32。第2導電部32之一部分會位於半導體基板10的凹部22內。由於絕緣層28會介居於凹部22內面和第2導電部32之間，因而可遮斷兩者的電性連接。第2導電部32係與電極14成電性連接。例如也可令第2導電部32形成接觸於從電極14之絕緣層28露出的露出部。第2導電部32之一部分也可位於鈍化膜18上。第2導電部32也可僅配設於電極14的區域內。第2導電部32也可成為至少突出於凹部22上方。例如第2導電部32也可從鈍化膜形成突出著。

再者，作為變形例，也可令外層部33留在（殘留）於鈍化膜18上之狀態下來形成中心部34。該狀態時，由於與中心部34成連續的層也會形成於鈍化膜18上，因而該層要蝕刻。

如圖3C所示，亦可配設焊料層36於第2導電部32上，焊料層36係以例如焊錫所形成，也可由軟焊料及硬焊料之任何之一來形成。焊料層36也可由抗蝕劑覆蓋第2導電部32以外之區域來形成。由以上之過程（製程），可由第2導電部32或對於其添加焊料層36來形成凸出（Bump）。

在本實施形態係如圖4A所示，將從半導體基板10之第2面（與第1面20為相反側的面）38露出第1導電部30。例如也可由機械性研磨及化學性研磨之至少其中的一方法來切削半導體基板10之第2面38。該時也可切削第1導電部30的一部分。

也可如圖4B所示，予以蝕刻第2面38，以令第1導電部

(11)

30 成爲突出。而蝕刻也可使用 SF_6 或 CF_4 或 Cl_2 之氣體。蝕刻也可使用乾式蝕刻裝置來進行。當第 1 導電部 30 以 Au 所形成時，由於難於附著蝕刻氣體的構成分子於露出面，且難於產生氧化，因此，對於電性連接極合適。

再者，圖 4A~圖 4B 中之至少一製程，也可配設例如由樹脂層或樹脂帶所形成的加強構件於半導體基板 10 的第 1 面 20 側來進行。

由以上之製程而可令第 1 導電部 30 從半導體基板 10 的第 2 面 38 突出。而所突出的第 1 導電部 30，將成爲突起電極。至於第 1 及第 2 之導電部 30、32，也成爲第 1 及第 2 的面 20、38 之貫穿電極。依據本實施形態乃由與第 2 導電部 32 爲相異材料來形成露出的第 1 導電部 30，因此，可考量由露出而產生之影響或成本等來選擇第 1 及第 2 的導電部 30、32 之材料。

如圖 5 所示，當半導體基板 10 爲晶圓時，也可由以對應於各個積體電路 12（參照圖 1A）來形成凹部 22，而切斷例如（Dicing：切成小片）半導體基板 10。至於有關切斷，也可使用切斷器（例如 Dicer：切片器）40 或雷射（例如 CO_2 雷射、YAG 雷射等）。

由以上之製程而可製造半導體裝置。半導體裝置係具有成電性連接於積體電路 12 的電極 14 於第 1 面 20，且具有形成貫穿孔 24 所形成之半導體基板。半導體裝置係具有配設於貫穿孔 24 內面的絕緣層 28。半導體裝置乃具有朝半導體基板 10 之厚度方向疊層的第 1 及第 2 的導電部 30、32。其

(12)

他之結構係由上述的製造方法而可獲得之內容。

又如圖6所示，也可由疊層由上述方法所製造之複數的半導體裝置，並藉由第1導電部30來意圖各個的電性連接。本實施形態係在實施如此之三維組裝時，極具有效果性。圖6所示的半導體裝置具有複數的半導體基板10。位於在第1面20之最外側（在圖6為最下面側）的半導體基板10乃具有外部端子（例如焊球）42。外部端子42係配設於形成在樹脂層（例如應力緩和層）44上之配線46上。配線46係在第1面20側被連接於第2導電部32。

於圖7顯示有組裝了以疊層複數的半導體晶片所形成之半導體裝置1的電路基板1000。而複數之半導體晶片係由上述之第1導電部30而成電性連接著。作為具有上述之半導體裝置的電子機器，在圖8係顯示有筆記型個人電腦2000，而在圖9則顯示有攜帶電話（大哥大）3000。

（第2實施形態）

圖10A~圖10C係第2實施形態，用於說明圖4A~圖4B所示過程之變形例用的圖。於本實施形態係如圖10A所示，由例如機械性研磨、研削及化學性研磨、研削中之至少其中的一方法來切削半導體基板10的第2面（與第1面為相反側之面）38。該過程係切削直至形成於凹部22的絕緣層28會露出之前為止。再者，也可省略圖10A所示的過程而進行其次之圖10B所示的過程。

如圖10B所示，予以蝕刻半導體基板10之第2面38直至

(13)

露出絕緣層 28 爲止。又蝕刻半導體基板 10 之第 2 面 38 能形成第 1 導電部 30 被絕緣層 28 覆蓋著狀態來突出。而蝕刻係由具有對於半導體基板（例如以 Si 作爲母材）10 的蝕刻量會大於對於絕緣層（例如以 SiO_2 所形成）28 之蝕刻量的性質之蝕刻劑的第 1 蝕刻劑來進行。第 1 蝕刻劑也可爲 SF_6 或 CF_4 或 Cl_2 氣體。蝕刻也可使用乾式蝕刻裝置來進行。或者，第 1 蝕刻劑也可爲氟酸及硝酸之混合液或氟酸、硝酸及醋酸的混合液。

如圖 10C 所示，至少蝕刻形成於絕緣層 28 凹部 22 底面之部分，以露出第 1 導電部 30。也可僅露出第 1 導電部 30 前端面，而第 1 導電部 30 的外周面被絕緣層 28 覆蓋著。也可蝕刻第 1 導電部 30 之外層部 33（例如障層）。蝕刻也可由具有至少能蝕刻絕緣層 28 成爲不會形成殘留物於第 1 導電部 30 的性質之第 2 蝕刻劑來進行。第 2 蝕刻液也可使用不會與第 1 導電部 30 材料產生反應（或反應爲低）者。第 2 蝕刻劑也可爲 Ar、 CF_4 之混合氣體或 O_2 、 CF_4 的混合氣體。或由第 2 蝕刻劑所進行之蝕刻也可爲對於半導體基板 10 的蝕刻速度較慢於由第 1 蝕刻劑所實施之蝕刻。依據此一實施例，因在令第 1 導電部 30 從絕緣層 28 露出時，並不會殘留（留下）殘留物於第 1 導電部，因此，可形成高品質的貫穿電極。

（第 3 實施形態）

圖 11A~圖 11C 係說明有關適用了本發明之第 3 實施形

(14)

態的半導體裝置之製造方法用的圖。於本實施形態，將形成溝100於半導體基板10（詳言之係其第1面20）。溝100係沿著半導體基板10的切斷線來形成。溝100可由切削來形成，也可由蝕刻來形成。溝100也可由形成圖1C所示之凹部22的過程，且以與凹部22同一處理過程（例如同時）來形成。也可配設絕緣層28於溝100內。溝100深度也可與凹部22大致成為同一深度，也可較凹部22深，也可較凹部22淺。

而後，實施在第2實施形態所說明之圖10A~圖10C所示之製程。圖11A~圖11C係各顯示進行圖10A~圖10C的製程時之溝100附近的構造圖。例如以進行圖10A所示之製程來研磨半導體基板10的第2面38直至絕緣層28之前為止（參照圖11A）。又進行圖10B所示的製程來形成如圖11B所示，從第2面38突出形成於溝100底部之絕緣層28。

而進行圖10C所示的製程來形成如圖11C所示，由第2蝕刻劑來蝕刻去除形成於溝100底部之絕緣層28。以如此地從第2面去除溝100底部，以令溝100成為縫隙102。亦即，會使半導體基板10形成沿著溝100被切斷。

依據本實施形態，能簡單地切斷半導體基板10。又最後之切斷半導體基板10係由第2蝕刻劑所進行，因此，難於形成碎屑。再者，於本實施形態，因形成了絕緣層28於溝100內，由而半導體晶片會具有絕緣層28於側面。因此，該半導體晶片難於產生邊緣短路。至於其他內容則相當於在第1及第2的實施形態所說明之內容。

(15)

(第4實施形態)

圖12A~圖12B係說明有關適用了本發明之第4實施形態的半導體裝置之製造方法用的圖。於本實施形態係如圖12A所示，將用於去除溝100底部用之製程，以露出半導體基板10材料於溝100內的狀態所進行者。例如也可在進行形成圖2A所示之絕緣層28於凹部22內的過程後，方予以形成溝100；或者也可配設抗蝕劑等於溝100內，以令絕緣層28不會附著。也可予以去除進入於溝100內的絕緣層28。除此之外的內容係相當於在第3實施形態所說明之內容。

於本實施形態，係進行在第2實施形態所說明的圖10B之製程（過程）後，由第1蝕刻劑來蝕刻去除由半導體基板的一部分所構成之溝100底部。以如此地時，就會如圖12B所示，能從第2面去除溝100底部，致使溝100形成爲縫隙102。亦即，可沿著溝100來切斷半導體基板10。其他內容則相當於在第1、第2及第3之實施形態所說明的內容。

(第5實施形態)

圖13A~圖13係說明有關適用了本發明之第5實施形態的半導體裝置之製造方法用的圖。於本實施形態，係如圖13A所示，予以形成溝110成爲較凹部22更深者。較凹部22更深的溝110係以利用蝕刻的性質（廣度愈廣潤愈能實施深的深度之性質），就可容易地形成。

(16)

而如圖 13B 所示，由研磨半導體基板 10 之第 2 面 38（參照使用圖 4A 之說明）來去除溝 110 底部。以如此地來從第 2 面去除溝 110 底部時，就會使溝 110 成為縫隙 112。亦即，會沿著溝 110 來切斷半導體基板 10。其他的內容則相當於在第 1、第 2、第 3 及第 4 之實施形態所說明之內容。又在本實施形態，係以形成有絕緣層 28 於溝 110 內的狀態來切斷半導體基板，但也可在露出半導體基板 10 之材料的狀態下來進行切斷半導體基板 10。

（第 6 實施形態）

圖 14 係說明有關適用了本發明之第 6 實施形態的半導體裝置之製造方法用的圖。本實施形態之內容也可適用於第 3 至第 5 的任一實施形態。於本實施形態係僅在劃分具有複數之積體電路 12（參照圖 1A）的複數半導體晶片用之區域予以形成溝 120 者。構成爲如此時，半導體基板 10 的不需要部分（例如外周圍端部），並不會散開，以致可防止破損將成為製成品之半導體晶片。

（第 7 實施形態）

圖 15 係說明有關適用了本發明之第 7 實施形態的半導體裝置之製造方法用的圖。於本實施形態，係令切斷半導體基板之過程以黏貼半導體基板 10 的第 1 面 20 於保持板 130 來進行者。保持板 130 可為黏帶或黏著片。依據如此時，即使予以切斷半導體基板 10，也不會令複數之半導體晶片

(17)

脫落。本實施形態的內容均可適用於第1至第6之任一實施形態。

本發明係並不僅限定於上述的實施形態而已，而可實施種種之變形者。例如本發明乃包括有與在實施形態所說明之結構形成實質性的同一結構（例如，功能、方法及結果為同一的結構、或目的及結果為同一之結構）者。又本發明乃包括有換置在實施形態所說明之結構的非本質性部分之結構者。又本發明包括有與在實施形態所說明的結構可發揮同一作用效果或達成同一目的之結構者。又本發明包括有附加公知技術於在實施形態所說明的結構者。

【圖式簡單說明】

圖1A~圖1C係說明有關適用了本發明之第1實施形態的半導體裝置製造方法用之圖。

圖2A~圖2C係說明有關適用了本發明之第1實施形態的半導體裝置製造方法用之圖。

圖3A~圖3C係說明有關適用了本發明之第1實施形態的半導體裝置製造方法用之圖。

圖4A~圖4B係說明有關適用了本發明之第1實施形態的半導體裝置製造方法用之圖。

圖5係說明有關適用了本發明之第1實施形態的半導體裝置製造方法用之圖。

圖6係說明有關適用了本發明之第1實施形態的半導體裝置製造方法用之圖。

(18)

圖 7 係顯示有關本發明第 1 實施形態之電路基板的圖。

圖 8 係顯示有關本發明第 1 實施形態之電子機器的圖。

圖 9 係顯示有關本發明第 1 實施形態之電子機器的圖。

圖 10A~圖 10C 係說明有關適用了本發明之第 2 實施形態的半導體裝置製造方法用之圖。

圖 11A~圖 11C 係說明有關適用了本發明之第 3 實施形態的半導體裝置製造方法用之圖。

圖 12A~圖 12B 係說明有關適用了本發明之第 4 實施形態的半導體裝置製造方法用之圖。

圖 13A~圖 13B 係說明有關適用了本發明之第 5 實施形態的半導體裝置製造方法用之圖。

圖 14 係說明有關適用了本發明之第 6 實施形態的半導體裝置製造方法用之圖。

圖 15 係說明有關適用了本發明之第 7 實施形態的半導體裝置製造方法用之圖。

圖 16A~圖 16B 係說明有關適用了本發明之第 1 實施形態的半導體裝置製造方法之變形例用的圖。

【符號說明】

10	半導體基板
12	積體電路
20	第 1 面
22	凹部
28	絕緣層

(19)

- 3 0 第 1 導 電 部
- 3 2 第 2 導 電 部
- 3 3 外 層 部
- 3 4 中 心 部
- 3 8 第 2 面

肆、中文發明摘要

發明之名稱：半導體裝置及其製造方法、電路基板
以及電子機器

本發明係如圖 1A、3A 及 4A 所示，從第 1 面(20)形成凹部(22)於形成有積體電路(12)之半導體基板(10)。配設絕緣層(28)於凹部(22)內面。配設第 1 導電部(30)於絕緣層(28)內側。以與第 1 導電部 30 為相異材料來形成第 2 導電部(32)於在於絕緣層(28)內側的第 1 導電部(30)上。且從與半導體基板(10)之第 1 面(20)為相反側的第 2 面(38)露出第 1 導電部(30)。

伍、英文發明摘要

發明之名稱：

陸、(一)、本案指定代表圖為：第 4A 圖
(二)、本代表圖之元件代表符號簡單說明：

10	半 導 體 基 板
14	電 極
16	鈍 化 膜
18	鈍 化 膜
20	第 1 面
28	絕 緣 層
30	第 1 導 電 部
32	第 2 導 電 部
33	外 層 部
34	中 心 部
36	焊 料 層
38	第 2 面

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(1)

拾、申請專利範圍

1. 一種半導體裝置的製造方法，包括有下述製程：

(a) 對於形成有積體電路之半導體基板，從第1面形成凹部；

(b) 配設絕緣層於前述凹部內面；

(c) 配設第1導電部於前述絕緣層之內側；

(d) 以與前述第1導電部為相異材料來形成第2導電部於前述絕緣層內側且在前述第1導電部上；及

(e) 從與前述半導體基板之前述第1面為相反側的第2面予以露出前述第1導電部。

2. 如申請專利範圍第1項之半導體裝置的製造方法，其中前述(e)製程，包括研磨前述半導體基板的前述第2面之製程。

3. 如申請專利範圍第1項之半導體裝置的製造方法，其中在前述(e)製程，予以蝕刻前述第2面來使前述第1導電部突出。

4. 如申請專利範圍第1項之半導體裝置的製造方法，其中前述第1導電部是較前述第2導電部更難產生氧化。

5. 如申請專利範圍第4項之半導體裝置的製造方法，其中以Au來形成前述第1導電部，而以Cu來形成前述第2導電部之至少中心部。

6. 如申請專利範圍第1、2、3、4或5項之半導體裝置的製造方法，其中在前述(c)製程，以噴墨方式來填充用於形成前述第1導電部的材料。

(2)

7. 如申請專利範圍第1、2、3、4或5項之半導體裝置的製造方法，其中前述半導體基板係半導體晶圓，形成有複數之前述積體電路且成對應於各前述積體電路來形成前述凹部，並更包括有用於切斷前述半導體基板用的製程。

8. 如申請專利範圍第7項之半導體裝置的製造方法，其中前述用於切斷前述半導體基板用之製程，包括有：用於在前述第1面，沿著前述半導體基板的切斷線來形成溝用之製程、及從前述第2面去除前述溝底部，以令前述溝成為縫隙。

9. 如申請專利範圍第8項之半導體裝置的製造方法，其中以切削來形成前述溝。

10. 如申請專利範圍第8項之半導體裝置的製造方法，其中以蝕刻來形成前述溝。

11. 如申請專利範圍第8項之半導體裝置的製造方法，其中在前述（a）製程，以與前述凹部同樣之製程來形成前述溝。

12. 如申請專利範圍第8項之半導體裝置的製造方法，其中前述（e）製程，包括有研磨前述半導體基板之前述第2面用的製程，且形成前述溝成為較前述凹部更深，而由研磨前述半導體基板之前述第2面來去除前述溝的底部。

13. 如申請專利範圍第8項之半導體裝置的製造方法，其中在前述（b）製程，也配設前述絕緣層於前述溝內。

(3)

14. 如申請專利範圍第13項之半導體裝置的製造方法，其中前述(e)製程包括有：

(e₁) 由對於前述半導體基板之蝕刻量會成為大於對於前述絕緣層的蝕刻量之性質的第1蝕刻劑，來蝕刻前述半導體基板之前述第2面，以令前述第1導電部成為由前述絕緣層被覆蓋之狀態來之使突出的製程；及

(e₂) 由不會形成殘留物於前述第1導電部之狀態而至少可蝕刻前述絕緣層的性質之第2蝕刻劑，來蝕刻前述絕緣層中之至少形成於前述凹部的前述底面之部分，以露出前述第1導電部的製程，

且也可在前述過程(e₁)，將形成於前述溝底部的前述絕緣層從前述第2面突出，並在前述(e₂)過程，由前述第2蝕刻劑來蝕刻形成於前述溝底部之前述絕緣層將其去除。

15. 如申請專利範圍第8項之半導體裝置的製造方法，其中去除前述溝的底部用之製程，以露出前述半導體基板之材料於前述溝內之狀態來進行。

16. 如申請專利範圍第15項之半導體裝置的製造方法，其中前述(e)製程包括有：

(e₁) 由對於前述半導體基板之蝕刻量會成為大於對於前述絕緣層的蝕刻量之性質的第1蝕刻劑，來蝕刻前述半導體基板之前述第2面，以令前述第1導電部成為由前述絕緣層被覆蓋之狀態來使之突出的製程；及

(e₂) 由不會形成殘留物於前述第1導電部之狀態而

(4)

至少可蝕刻前述絕緣層的性質之第2蝕刻劑，來蝕刻前述絕緣層中之至少形成於前述凹部的前述底面之部分，以露出前述第1導電部的製程，

且在前述（e₁）製程，由第1蝕刻劑來蝕刻以前述半導體基板之一部分所構成而形成之前述溝底部來加以去除。

17. 如申請專利範圍第8項之半導體裝置的製造方法，其中前述用於切斷前述半導體基板之製程，以黏貼前述半導體基板的前述第1面於保持板，以令所切斷之複數的半導體晶片使之成為不會脫落。

18. 如申請專利範圍第8項之半導體裝置的製造方法，其中僅形成前述溝於用於劃分具有前述複數之積體電路的複數半導體晶片用的區域。

19. 一種半導體裝置的製造方法，包括有：藉由包括：

（a）對於形成有積體電路之半導體基板，從第1面形成凹部；

（b）配設絕緣層於前述凹部內面；

（c）配設第1導電部於前述絕緣層之內側；

（d）以與前述第1導電部為相異材料來形成第2導電部於在於前述絕緣層內側且在前述第1導電部上；及

（e）從與前述半導體基板之前述第1面為相反側面的第2面予以露出前述第1導電部之方法來製造複數的半導體裝置，以及

(5)

疊層前述複數之半導體裝置，並通過前述導電部來進行電性連接者。

20. 一種半導體裝置，具備有：具有電性連接於積體電路的電極於第1面，且形成有貫穿孔的半導體基板；配設於前述貫穿孔內面之絕緣層；及在前述絕緣層內側，朝前述半導體基板厚度方向疊層的第1及第2的導電部，

而前述第1及第2之導電部係以相異材料所形成，且前述第1導電部係形成從與前述半導體基板的前述第1面為相反側之第2面露出。

21. 如申請專利範圍第20項之半導體裝置，其中前述第1導電部係從前述第2面突出所形成者。

22. 如申請專利範圍第20或21項之半導體裝置，其中前述第1導電部係較前述第2導電部更難產生氧化者。

23. 如申請專利範圍第22項之半導體裝置，其中前述第1導電部係由Au所形成，且前述第2導電部的至少中心部係由Cu所形成者。

24. 一種半導體裝置，具有複數的半導體裝置，而半導體裝置具備有：具有電性連接於積體電路的電極於第1面，且形成有貫穿孔的半導體基板；配設於前述貫穿孔內面之絕緣層；及在前述絕緣層內側，朝前述半導體基板厚度方向疊層的第1及第2之導電部，而前述第1及第2之導電部係以相異材料所形成，且前述第1導電部，形成從與前述半導體基板的前述第1面為相反側之第2面露出，

而前述複數的半導體裝置，係被疊層且通過前述導電

(6)

部來達成電性連接。

25. 一種電路基板，是安裝有半導體裝置的電路基板，該半導體裝置具備有：具有電性連接於積體電路的電極於第1面，且形成有貫穿孔的半導體基板；配設於前述貫穿孔內面之絕緣層；及在前述絕緣層內側，朝前述半導體基板厚度方向疊層的第1及第2之導電部，而前述第1及第2的導電部係以相異材料所形成，且前述第1導電部，係形成從與前述半導體基板之前述第1面為相反側之第2面露出。

26. 一種電路基板，是安裝有半導體裝置的電路基板，上述半導體裝置具有複數的半導體裝置，而半導體裝置具備有：具有電性連接於積體電路的電極於第1面，且形成有貫穿孔之半導體基板；配設於前述貫穿孔內面的絕緣層；及在前述絕緣層內側，朝前述半導體基板厚度方向疊層之第1及第2的導電部，而前述第1及第2之導電部係以相異材料所形成，且前述第1導電部，係形成從與前述半導體基板之前述第1面為相反側之第2面露出，

前述複數的半導體裝置被疊層且通過前述導電部來達成電性連接。

27. 一種電子機器，是具有半導體裝置的電子機器，該半導體裝置具備有：具有電性連接於積體電路的電極於第1面，且形成有貫穿孔之半導體基板；配設於前述貫穿孔內面的絕緣層；及在前述絕緣層內側，朝前述半導體基板厚度方向疊層之第1及第2的導電部，而前述第1及第2之

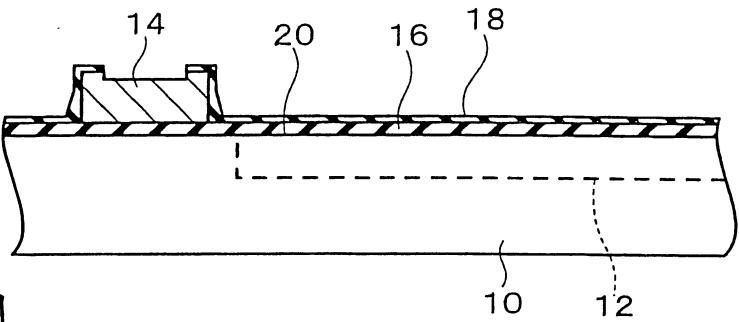
(7)

導電部係以相異材料所形成，且前述第1導電部，係形成從與前述半導體基板的前述第1面為相反側之第2面露出。

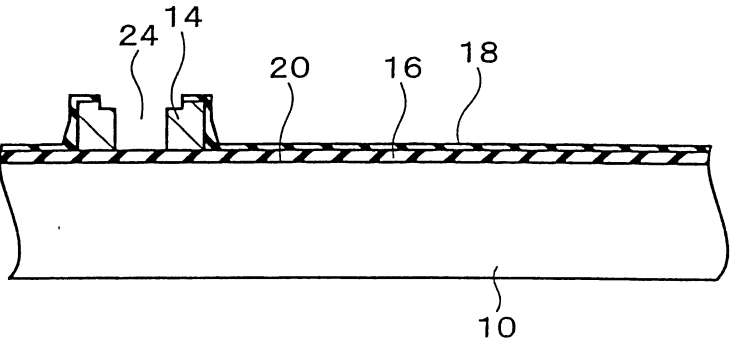
28. 一種電子機器，是具有半導體裝置的電子機器，該半導體裝置具有複數的半導體裝置，上述半導體裝置具備有：具有電性連接於積體電路的電極於第1面，且形成有貫穿孔之半導體基板；配設於前述貫穿孔內面的絕緣層；及在前述絕緣層內側，朝前述半導體基板厚度方向疊層之第1及第2的導電部，而前述第1及第2之導電部係以相異材料所形成，且前述第1導電部，係形成從與前述半導體基板的前述第1面為相反側之第2面露出，

前述複數的半導體裝置被疊層且通過前述導電部來達成電性連接。

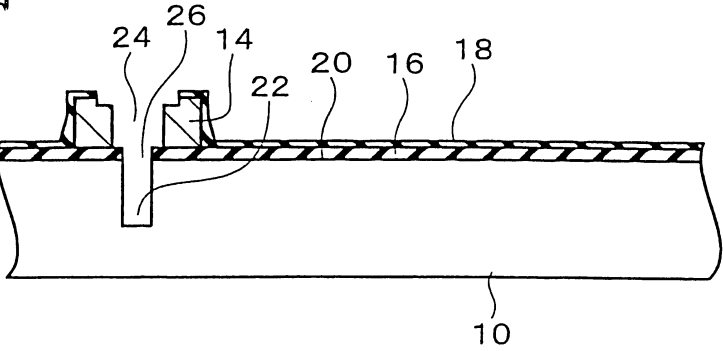
第 1A 圖



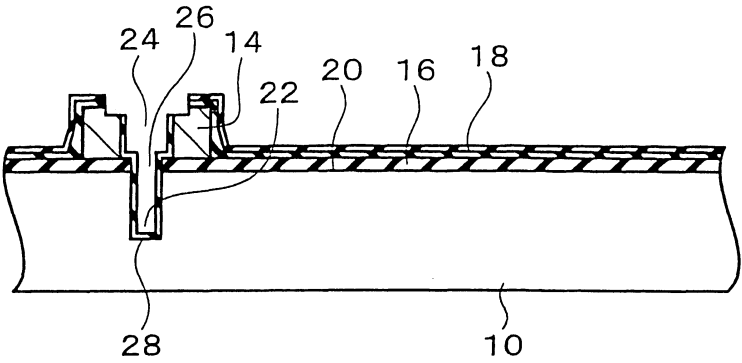
第 1B 圖



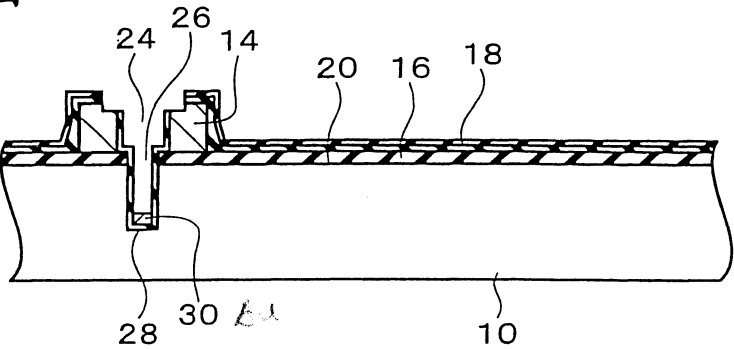
第 1C 圖



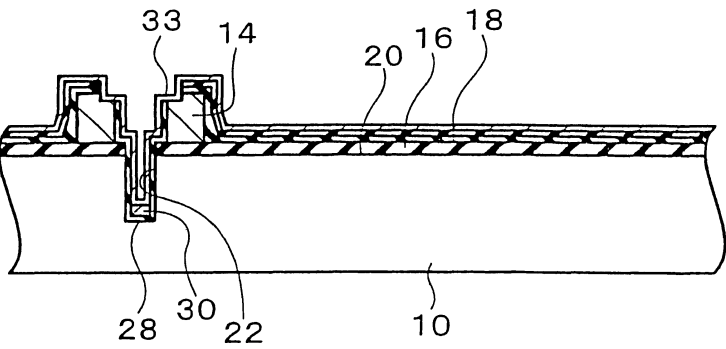
第 2A 圖



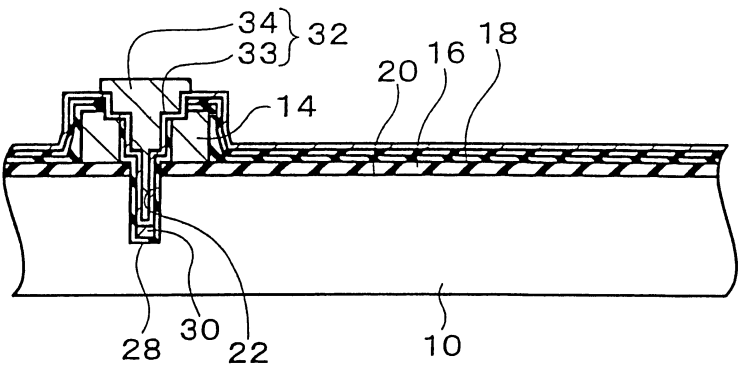
第 2B 圖



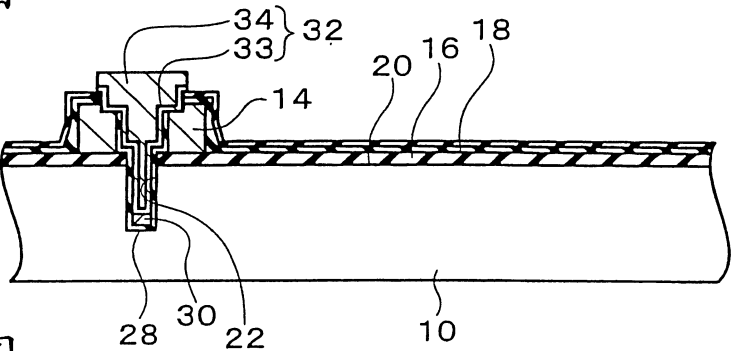
第 2C 圖



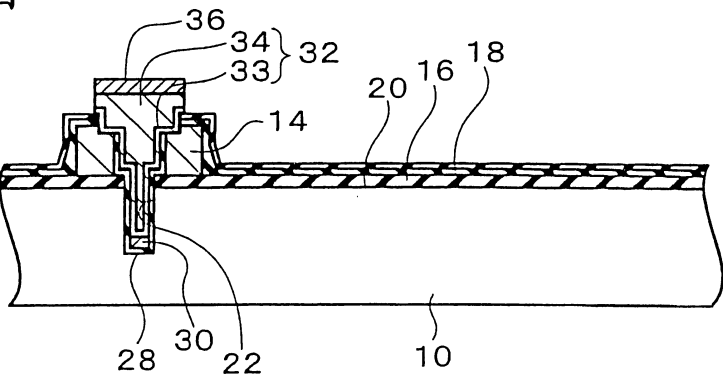
第 3A 圖



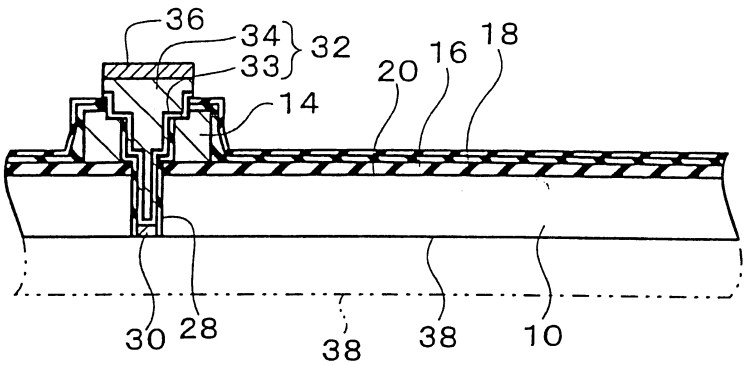
第 3B 圖



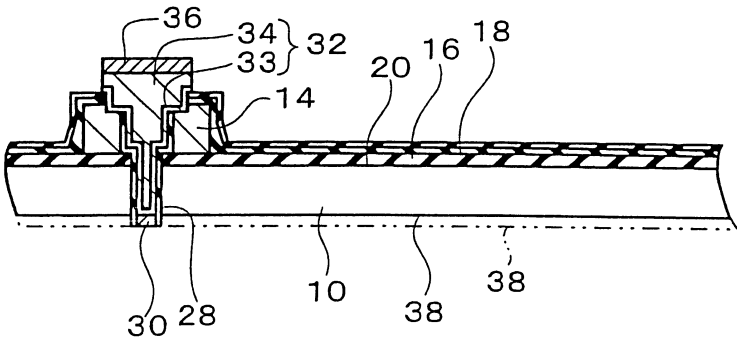
第 3C 圖



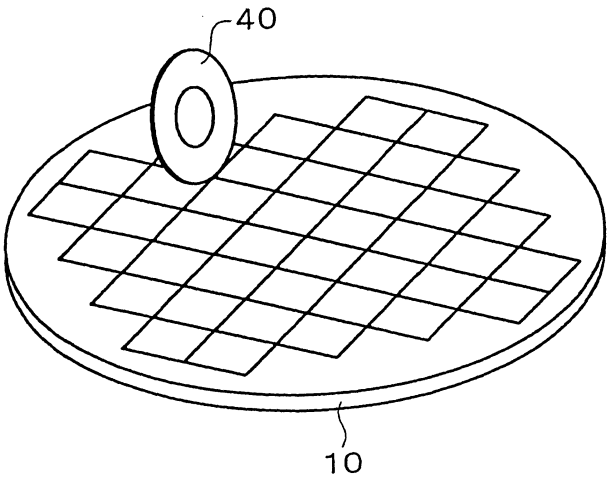
第 4A 圖



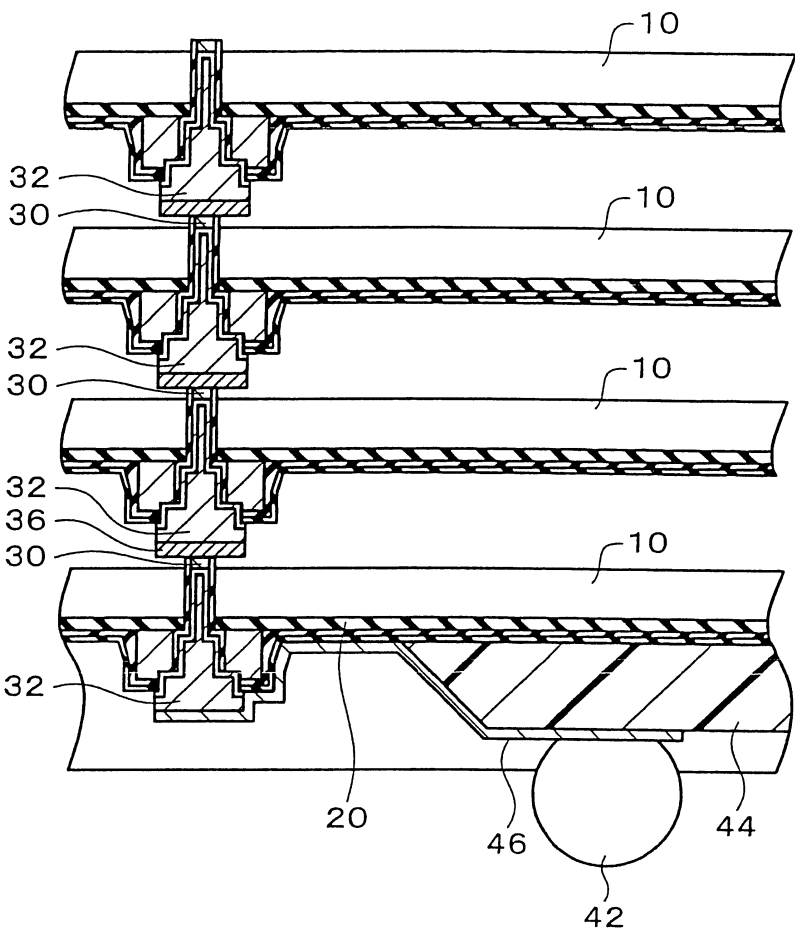
第 4B 圖



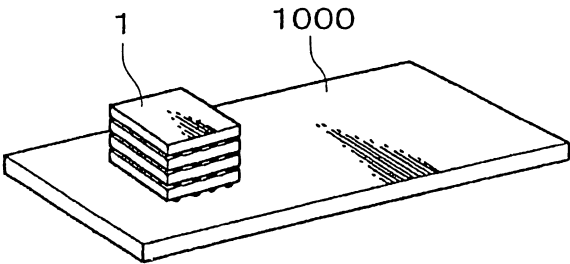
第 5 圖



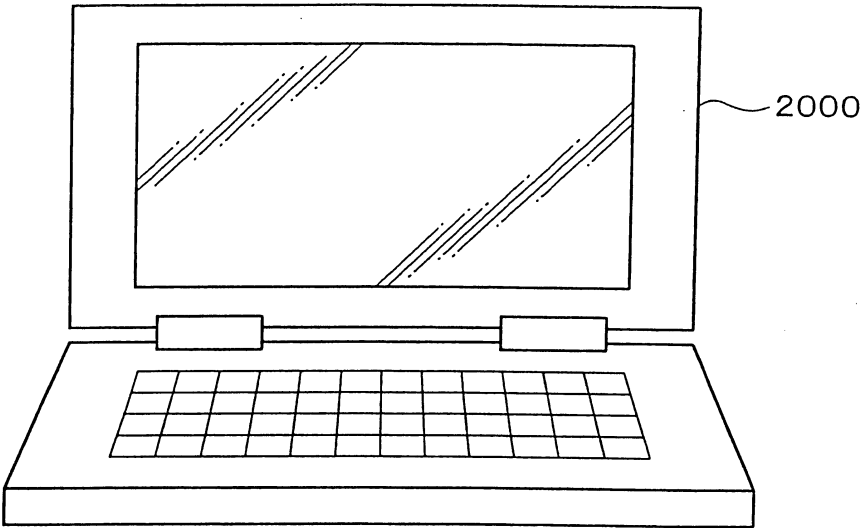
第 6 圖



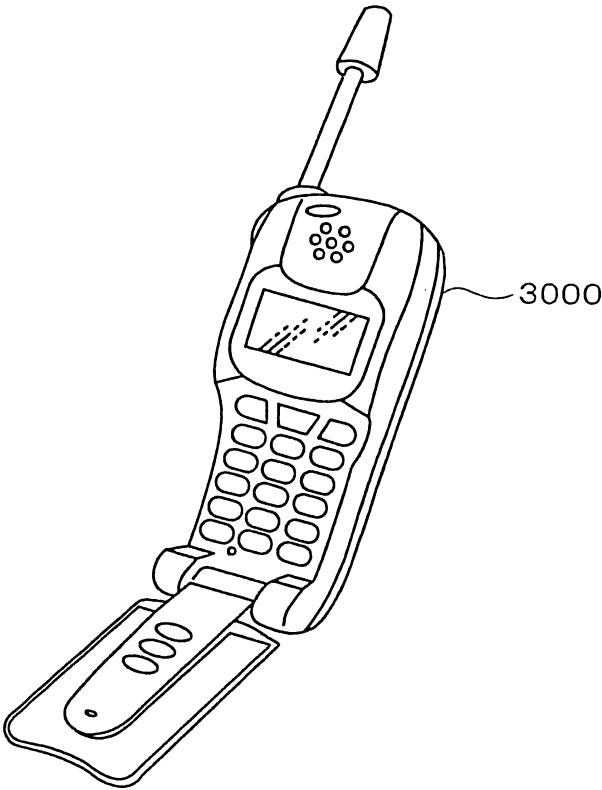
第 7 圖



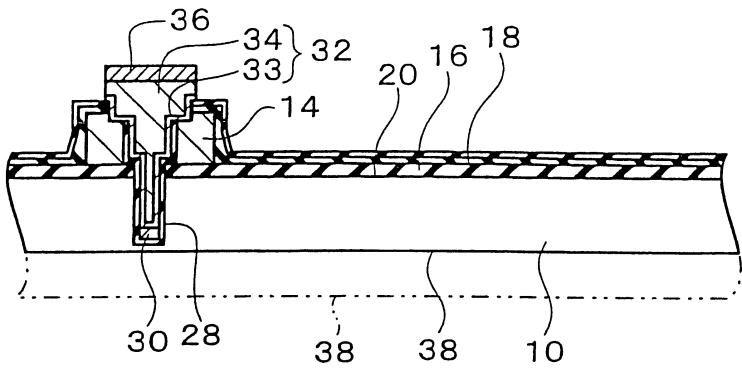
第 8 圖



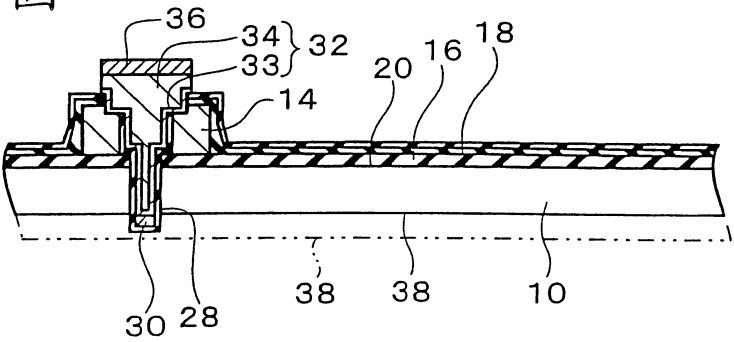
第 9 圖



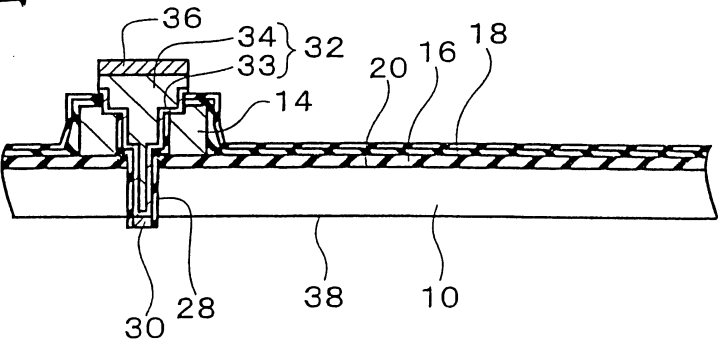
第 10A 圖



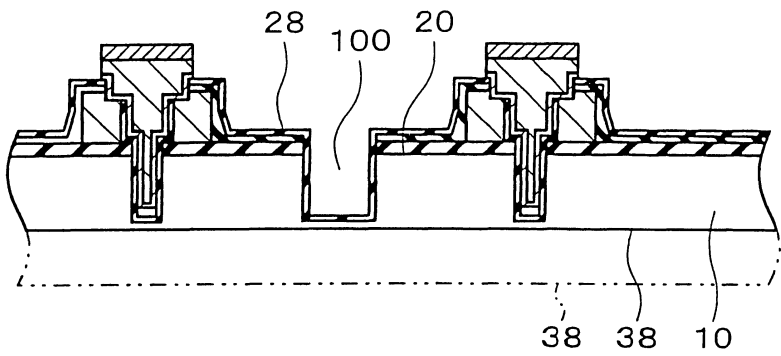
第 10B 圖



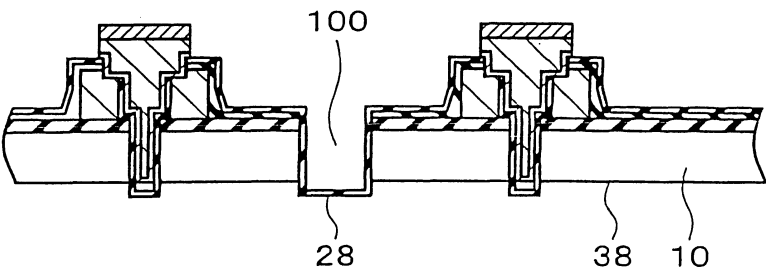
第 10C 圖



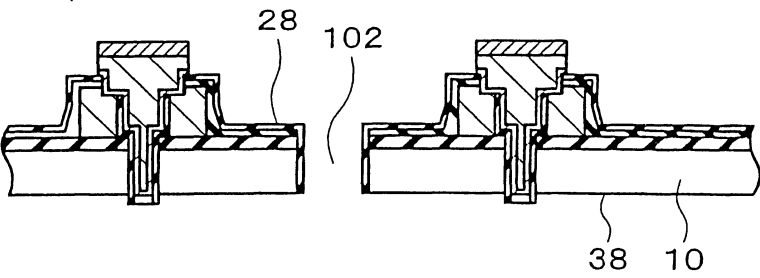
第 11A 圖



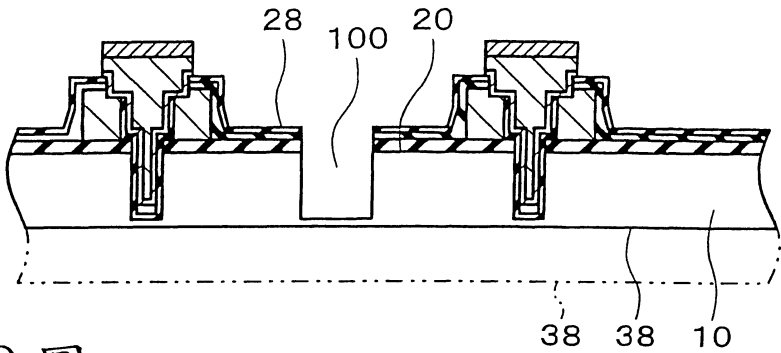
第 11B 圖



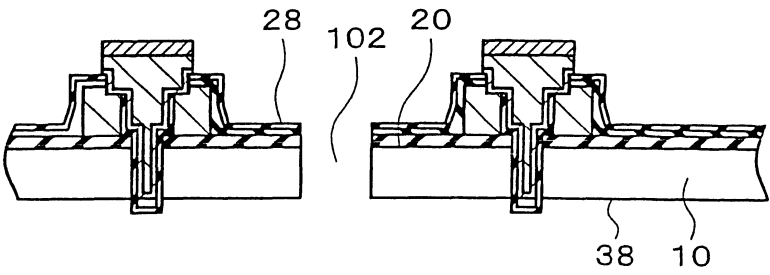
第 11C 圖



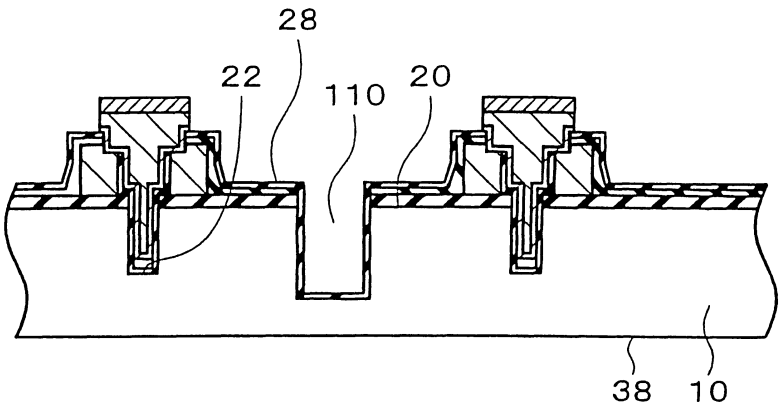
第 12A 圖



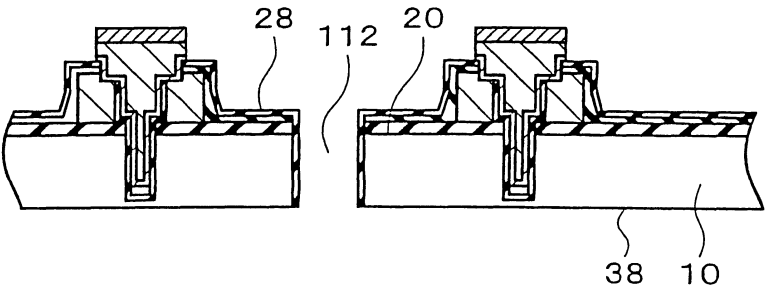
第 12B 圖



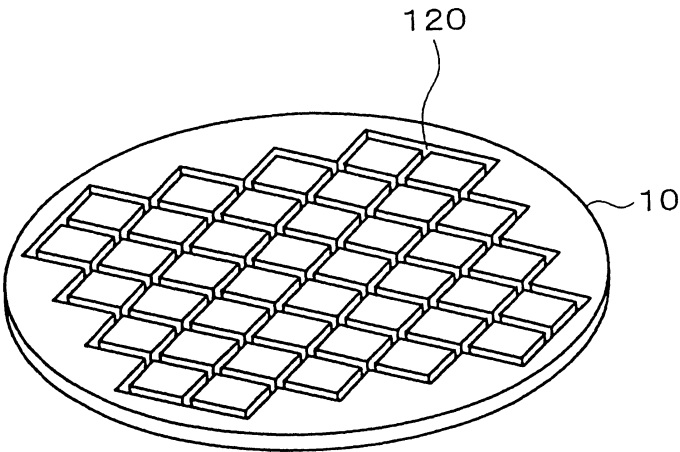
第 13A 圖



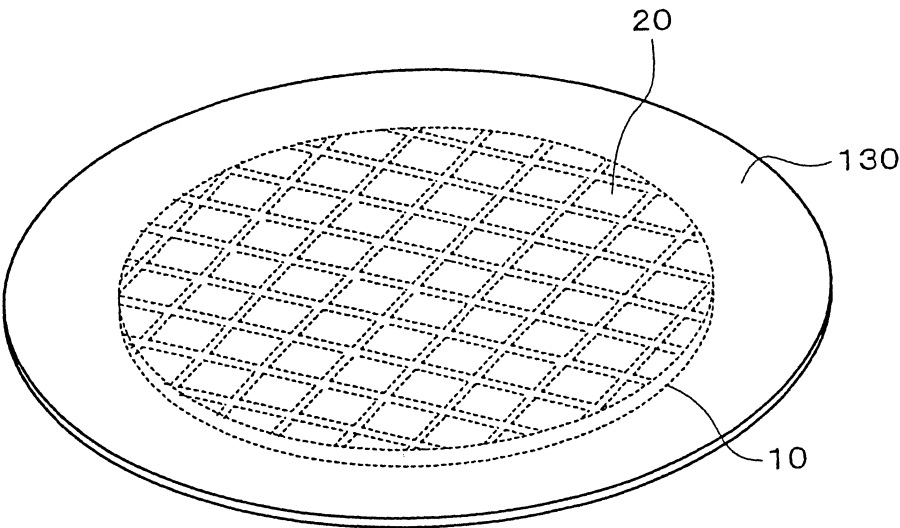
第 13B 圖



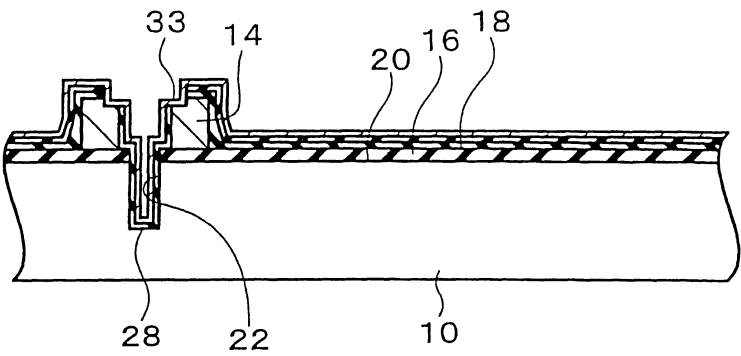
第 14 圖



第 15 圖



第 16A 圖



第 16B 圖

