

19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 874 793**

51 Int. Cl.:

**H04L 12/10** (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **16.05.2018 PCT/EP2018/062675**

87 Fecha y número de publicación internacional: **22.11.2018 WO18210911**

96 Fecha de presentación y número de la solicitud europea: **16.05.2018 E 18723844 (9)**

97 Fecha y número de publicación de la concesión europea: **31.03.2021 EP 3625930**

54 Título: **Procedimiento y sistema de transmisión de datos en serie**

30 Prioridad:

**19.05.2017 FR 1754476**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:

**05.11.2021**

73 Titular/es:

**PARAGON ID (100.0%)  
1198 Avenue Maurice Donat  
06250 Mougins, FR**

72 Inventor/es:

**BRANDIN, GUILLAUME;  
GIRE, CLAUDE y  
GERBAULT, ERIC**

74 Agente/Representante:

**GONZÁLEZ PECES, Gustavo Adolfo**

**ES 2 874 793 T3**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

**DESCRIPCIÓN**

Procedimiento y sistema de transmisión de datos en serie

**Campo técnico de la invención**

La invención se refiere al campo de la transmisión de datos en serie entre circuitos electrónicos.

5 La invención se refiere más particularmente a un procedimiento de transmisión en serie de datos que comprende la transmisión, desde un primer circuito electrónico a por lo menos un segundo circuito electrónico, a través de una línea de conexión eléctrica, permitiendo la transmisión de datos de tipo binaria y la alimentación eléctrica del segundo circuito por el primer circuito, con referencia a una línea de tierra común a los circuitos. La invención también se refiere a un sistema de transmisión en serie asociado.

10 Una aplicación particularmente ventajosa es la transmisión de datos para su visualización y la alimentación eléctrica de un dispositivo de visualización con bajo consumo de energía eléctrica, como un papel electrónico (o "e-paper" según la terminología anglosajona) que tiene la ventaja adicional de no necesitar energía para dejar un texto o una imagen en pantalla.

**Estado de la técnica**

15 Existen varios procedimientos y sistemas de transmisión en serie que se ajustan a la definición genérica dada en el preámbulo anterior.

Los documentos de patente US 6.459.363 B1, GB 2.348.552 A, US 4.677.646 A y EP 0 366 044 A2 revelan un sistema de transmisión que se encuentre entre estos. En particular, el sistema divulgado por el documento de patente US 6.459.363 B1 comprende un controlador en comunicación con los módulos a través de una línea de transmisión de dos hilos que comprende un cable de alimentación y un cable de tierra. El sistema es tal que los datos pueden transmitirse desde el controlador a través de la línea de transmisión y recibirse en dichos módulos. La señal de alimentación de los módulos desde el controlador está modulada por impulsos. La modulación por impulsos de la señal de alimentación es tal que los módulos reciben continuamente energía eléctrica durante la misma transmisión en serie, para garantizar la continuidad de su funcionamiento.

20

25 Se conocen otros sistemas y procedimientos de transmisión en serie que son adecuados para aplicaciones específicas diferentes de la aplicación prevista en la presente invención.

Por lo tanto, es un objeto de la presente invención proporcionar un procedimiento y un sistema de transmisión en serie que esté específicamente adaptado a la aplicación prevista. La invención se define en las reivindicaciones independientes 1 y 15.

**Sumario de la invención**

Para lograr este objetivo, según una realización, la presente invención proporciona un procedimiento de transmisión en serie de datos que comprende la transmisión, desde un primer circuito electrónico a al menos un segundo circuito electrónico, a través de una línea de conexión eléctrica entre el primer circuito y el segundo circuito y con referencia a una línea de tierra común a los circuitos, de al menos una serie de los denominados impulsos de datos. Cada impulso de datos se utiliza tanto para suministrar energía al segundo circuito como para transmitir uno de una serie de datos interpretables por el segundo circuito.

30

35

El procedimiento incluye al menos las siguientes etapas:

- cortar la alimentación del segundo circuito desde el primer circuito entre dos impulsos de datos sucesivos, y
  - para cada impulso de datos y antes de que el segundo circuito se apague por falta de energía, almacenar, en un medio de almacenamiento no volátil del segundo circuito, los datos transmitidos por este impulso de datos.
- 40

El procedimiento es, por tanto, particularmente adecuado para la transmisión de datos en serie desde un primer circuito a un segundo circuito en el que la operación continua es incidental o incluso debe evitarse.

Las características opcionales, que pueden utilizarse opcionalmente en combinación o de forma alternativa, se exponen a continuación:

45

- el corte de la alimentación entre dos impulsos de datos sucesivos puede ser parametrizado de manera que el segundo circuito se apague por falta de energía. La fuente de alimentación del segundo circuito desde el primer circuito es la única fuente de alimentación proporcionada para alimentar el segundo circuito. De este modo, un corte de alimentación del segundo circuito por parte del primer circuito hace que el segundo circuito se detenga por falta de energía. Para asegurar esto, el corte puede ser lo suficientemente largo
- 50

como para que el segundo circuito consuma, disipe o restituya al primer circuito la energía de alimentación recibida, y en su caso parcialmente almacenada, por ejemplo en un condensador, desde el momento en que se produjo el corte de la alimentación por el primer circuito;

- 5 • cada impulso de datos puede ser parametrizado de manera que los datos transmitidos dependan de una duración de este impulso, siendo la duración de cada impulso medible por el segundo circuito, si es necesario, con respecto a su propia frecuencia de reloj;
- 10 • al menos un impulso de datos de cada serie puede ser parametrizado para transmitir uno de los datos de 0 bits y un dato de 1 bit, opcionalmente dicho al menos un impulso de datos tiene una de las primeras duraciones correspondientes a los datos de 0 bits y una segunda duración correspondiente a los datos de 1 bit respectivamente;
- 15 • cada serie de impulsos de datos puede comprender un número predeterminado de impulsos de datos;
- cada serie de impulsos de datos puede incluir al menos uno de los impulsos de datos iniciales parametrizado para transmitir datos de inicialización de la serie y un impulso de datos final parametrizado para transmitir datos de terminación de la serie. Uno de los datos de inicialización y los datos de fin de serie pueden corresponder a una secuencia de bits predeterminada. En este caso, el impulso de datos inicial tiene una tercera duración que corresponde a los datos de inicialización de la serie y el impulso de datos final tiene una cuarta duración que corresponde a los datos del final de la serie;
- 20 • una serie de impulsos de datos, o incluso una sucesión de series, puede comprender, preferentemente de forma periódica, al menos un impulso de datos denominado de control, parametrizado para transmitir un valor de control de una cantidad de datos destinados a ser transmitidos por la serie de impulsos de datos, o incluso por la sucesión de series. En su caso, dicho al menos un impulso de datos de control tiene una quinta duración correspondiente a dicho valor de control;
- 25 • el almacenamiento de los datos transmitidos por los impulsos de datos de una misma serie, o incluso de una sucesión de series, puede ser parametrizado de manera que forme un conjunto de bits, o incluso un conjunto de bytes, que codifique una orden que pueda ser interpretada y ejecutada por un circuito integrado del segundo circuito.

El procedimiento puede comprender además transmitir desde el primer circuito al segundo circuito, a través de la línea de conexión eléctrica y con referencia a la línea de tierra, un llamado impulso de procesamiento parametrizado para transmitir una orden de procesamiento de dicha orden.

- 30 El procedimiento puede entonces incluir al menos la siguiente etapa: para cada impulso de procesamiento y antes de que el impulso de procesamiento termine, interpretar y ejecutar el comando; si es aplicable, el impulso de procesamiento tiene una sexta duración, por ejemplo, mayor que la duración de cada uno de los impulsos de datos.

Otras características opcionales, que pueden utilizarse opcionalmente en combinación o de forma alternativa, se exponen a continuación:

- 35 • el impulso de procesamiento puede ser parametrizado para suceder directamente a un impulso de datos, de modo que estos dos impulsos formen un mismo impulso parametrizado para permitir, antes de que este último termine, el almacenamiento de los datos transmitidos, y la interpretación y ejecución de la orden, sin que el segundo circuito se apague por falta de energía,
- 40 • la interpretación y ejecución de la orden puede incluir una comprobación previa de la validez de la orden; si es así, la comprobación de la validez de la orden se basa en el valor de control antes mencionado,
- la interpretación y ejecución de la orden puede incluir una actualización de un dispositivo de visualización, como un papel electrónico, conectado al circuito integrado del segundo circuito, donde la actualización del dispositivo de visualización permite visualizar la información definida por la orden.

- 45 El procedimiento puede incluir además la repetición de las etapas para hacer que la interpretación y ejecución del comando incluya una nueva actualización del dispositivo de visualización.

El procedimiento puede comprender además la etapa de: reconocer al menos uno o cada uno de los impulsos transmitidos. Cada reconocimiento puede ser parametrizado para que siga directamente a un corte de alimentación correspondiente.

- 50 Otro aspecto de la presente invención se refiere a un sistema de transmisión de datos en serie que comprende un primer circuito electrónico y al menos un segundo circuito electrónico. El primer circuito y cada segundo circuito están conectados entre sí a través de una línea de conexión eléctrica entre el primer circuito y el segundo circuito y una línea de tierra común entre los circuitos. El sistema está configurado para permitir la transmisión, desde el

5 primer circuito a cada segundo circuito, a través de la línea de conexión eléctrica y con referencia a la línea de tierra, de al menos una serie de los llamados impulsos de datos. Cada impulso de datos se utiliza tanto para suministrar energía al segundo circuito como para transmitir uno de una serie de datos interpretables por el segundo circuito. El primer circuito comprende un interruptor en la línea de conexión eléctrica entre el primer circuito y el segundo circuito, estando el interruptor configurado para cortar la alimentación entre dos impulsos de datos sucesivos. El segundo circuito incluye un medio de almacenamiento no volátil configurado para almacenar los datos transmitidos por cada impulso de datos antes de que el segundo circuito se apague por falta de energía. Si es necesario, el sistema de transmisión en serie se integra en una tarjeta inteligente.

**Breve descripción de las figuras**

10 Los propósitos, objetos y características y ventajas de la invención serán más evidentes a partir de la descripción detallada de una realización de la misma que se ilustra mediante los siguientes dibujos adjuntos en los que:

La FIG. 1 ilustra esquemáticamente una realización del procedimiento de transmisión en serie según la invención.

15 La FIG. 2 ilustra esquemáticamente otra realización del procedimiento de transmisión en serie según la invención.

Las FIGURAS 3a y 3b ilustran esquemáticamente un impulso cuya transmisión es reconocida y un impulso cuya transmisión no es reconocida.

La FIG. 4 representa esquemáticamente un sistema de transmisión en serie según una realización de la invención.

20 La FIG. 5 representa esquemáticamente un sistema de transmisión en serie según otra realización de la invención.

25 Los dibujos se dan como ejemplos y no son limitantes de la invención. Se trata de representaciones esquemáticas de principio destinadas a facilitar la comprensión de la invención y no son necesariamente a escala de las aplicaciones prácticas. Por ejemplo, en las figuras 3a y 3b, las duraciones relativas de los impulsos y cualquier subida/bajada de tensión no están necesariamente a escala.

**Descripción detallada de la invención**

Por "transmisión en serie" se entiende un modo de transmisión de datos en el que los elementos de información se suceden uno tras otro, en un único camino de comunicación entre dos circuitos electrónicos.

Por "Impulso" se entiende un cambio breve y rápido en una señal eléctrica.

30 Por "reconocimiento" se entiende la transmisión de una señal por parte de un receptor para indicar al emisor que el mensaje transmitido ha sido recibido.

35 Con referencia a la figura 4, el sistema de transmisión en serie según una realización de la invención comprende un primer circuito electrónico 1 y al menos un segundo circuito electrónico 2. El primer y segundo circuito 1, 2 están conectados entre sí por una línea de conexión eléctrica 3 y por una línea de tierra 4 común a ambos circuitos 1, 2. Si es necesario, el primer circuito 1 puede incluir un interruptor (no mostrado) para suministrar energía al segundo circuito a través de la línea de conexión eléctrica 3. En particular, el funcionamiento del primer circuito 1 con los segundos circuitos 2 puede utilizar una tecnología maestro-esclavo. La comunicación entre el primer circuito 1 y los segundos circuitos 2 puede seguir un protocolo asíncrono, que no requiere el uso de una señal de reloj global para sincronizarlos.

40 El segundo circuito 2 comprende un medio de almacenamiento no volátil 21 y un circuito integrado 22, o medio de procesamiento, que puede estar opcionalmente comprendido en un microprocesador o microcontrolador 20 del segundo circuito electrónico 2. En particular, el medio de almacenamiento no volátil 21 puede ser una memoria de sólo lectura eléctricamente borrable y programable (también conocida como EEPROM) o un almacenamiento masivo de semiconductores regrabable (o memoria flash). El circuito integrado incorpora un temporizador que proporciona al segundo circuito su propia señal de reloj, según la cual puede discriminar entre impulsos de distinta duración. El segundo circuito 2 también puede incluir un dispositivo de visualización 23 conectado al circuito integrado 22 del segundo circuito 2. Alternativamente, y como se ilustra en la figura 5, el dispositivo de visualización 5 está alejado del segundo circuito 2, pero sigue conectado al circuito integrado 22 del segundo circuito.

50 Según una realización preferida, el dispositivo de visualización 5, 23 comprende un papel electrónico o una pantalla Eink. El papel electrónico es un dispositivo de visualización 5, 23 que no requiere energía para dejar un texto o una imagen en pantalla. Así, cada vez que se actualiza el papel electrónico, el texto o la imagen que aparece en él sigue siendo visible después de que se haya cortado la alimentación del segundo circuito 2 desde el primer circuito 1 y, en particular, cuando el segundo circuito 2 está apagado.

Sin embargo, el sistema según la invención no se limita en absoluto a este tipo particular de dispositivo de visualización 5, 23. En particular, es concebible el uso de un dispositivo de visualización que requiera energía continua para mostrar un texto o una imagen. Por ejemplo, puede ser un diodo orgánico emisor de luz o DELo (en inglés, OLED por "Organic Light-Emitting Diode"). Se pueden dar entonces dos casos.

- 5 En primer lugar, cuando se apaga la alimentación del segundo circuito 2 desde el primer circuito 1, el dispositivo de visualización 23 se apaga junto con el segundo circuito 2. La visualización del texto o de la imagen es entonces temporal y se limita como máximo a los momentos en que el primer circuito 1 alimenta al segundo circuito 2. La duración de cada visualización, y por tanto de al menos uno de los impulsos que suministran energía al segundo circuito 2 desde el primer circuito 2, puede entonces adaptarse a una aplicación particular. Por ejemplo, el DELo puede ser alimentado por el primer circuito 1 a través del segundo circuito 2 para mostrar un texto o una imagen, manteniéndose la alimentación del DELo durante un tiempo correspondiente al uso previsto de la pantalla. Con los medios de comunicación actuales, especialmente los teléfonos inteligentes, son posibles varias aplicaciones. En particular, pueden implementarse medios para leer, como una cámara o un lector de códigos de barras, el texto o la imagen mostrados, como un código QR o un símbolo, para hacer uso de la pantalla.
- 10
- 15 En segundo lugar, el dispositivo de visualización 5 puede tener su propia fuente de energía. La visualización puede o no mantenerse de forma continua en función de la aplicación prevista, independientemente del estado de funcionamiento o apagado del segundo circuito electrónico 2.

La realización del sistema como se muestra en la Figura 5 puede ser en cualquier aspecto consistente con la realización del sistema como se describe anteriormente con referencia a la Figura 4. Sin embargo, la forma de realización del sistema ilustrada en la figura 5 está adaptada específicamente para implementar un procedimiento de transmisión en serie según una forma de realización de la invención en la que la transmisión de un impulso de suministro al segundo circuito 2 por parte del primer circuito 1 puede reconocerse de forma bien controlada. Volveremos a la descripción detallada de la realización ilustrada en la figura 5 cuando detallemos el procedimiento de reconocimiento ilustrado en las figuras 3a y 3b.

20

25 El procedimiento de transmisión en serie según una realización de la invención se describirá ahora con referencia a la figura 1.

El procedimiento de transmisión de datos en serie según la realización ilustrada en la figura 1 comprende la transmisión, desde el primer circuito 1 a al menos uno de los segundos circuitos 2, a través de una línea de conexión eléctrica 3 entre el primer circuito 1 y el segundo circuito 2, y con referencia a una línea de tierra 4 (GND) común a los circuitos 1, 2, de una serie de impulsos como se ilustra en la figura 1. En lo sucesivo, nos referiremos a "el" segundo circuito 2 sin excluir que pueda ser "dicho al menos un" segundo circuito 2, y por tanto varios segundos circuitos 2.

30

La serie de impulsos incluye, en particular, los llamados impulsos de datos 101. Cada impulso de datos 101 se utiliza tanto para suministrar energía eléctrica al segundo circuito 2 como para transmitir datos interpretables por el segundo circuito 2. Por lo tanto, cada impulso de datos 101 es también un impulso de alimentación.

35

Después de algún tiempo desde el origen del eje de tiempo mostrado en la Figura 1, la serie de impulsos incluye primero un primer impulso de datos 101. Este primer impulso de datos 101 está por ejemplo parametrizado para transmitir un dato de bit igual a 0; más particularmente, el primer impulso de datos 101 puede ser parametrizado para tener una primera duración  $t1$  correspondiente al dato de bit igual a 0. Una vez alcanzada esta primera duración de impulso  $t1$ , el procedimiento comprende un primer corte 110 de la alimentación del segundo circuito 2 por parte del primer circuito 1.

40

El primer corte 110 está marcado con una flecha en la figura 1 como realizada en el momento inmediatamente posterior a la primera duración  $t1$ . Por lo tanto, esta ilustración puede hacer que el corte parezca instantáneo. Sin embargo, el primer corte 110 se mantiene potencialmente en el tiempo, en particular para inducir la desconexión del segundo circuito por falta de energía.

45

Se entiende que cada corte 110 puede durar un tiempo indeterminado. Este tiempo está efectivamente limitado sólo por lo que es necesario o compatible con la aplicación prevista, que puede ser necesariamente limitada en el tiempo.

Preferentemente, antes de que termine el primer impulso de datos 101, y en cualquier caso antes de que el primer corte 110 induzca al segundo circuito 2 a dejar de funcionar, los datos de 0 bits transmitidos a través del primer impulso de datos 101 se almacenan en el medio de almacenamiento no volátil 21 del segundo circuito 2.

50

Después del primer corte 110, la serie de impulsos como se ilustra incluye un segundo impulso de datos 101.

Este segundo impulso de datos 101 se parametriza para transmitir un bit de datos igual a 1. En este caso, el segundo impulso de datos 101 tiene una segunda duración  $t2$  correspondiente al bit de datos igual a 1.

Se realiza un segundo corte 110, por ejemplo, bajo cualquiera de las condiciones descritas anteriormente con respecto al primer corte 110.

55

Preferentemente, antes de que termine el segundo impulso de datos 101, es decir, antes de que se realice el segundo corte 110, los datos de igual a 1 bit transmitidos a través del segundo impulso de datos 101 se almacenan en el medio de almacenamiento no volátil 21 del segundo circuito 2. El almacenamiento de los datos de 1 bit transmitidos a través del segundo impulso de datos 101 se realiza en correlación con el almacenamiento de los datos de 0 bits transmitidos a través del primer impulso de datos 101.

Esto es así para los siguientes impulsos de datos 101, de modo que, según el ejemplo mostrado en la figura 1, se almacena la serie de bits: 0110..0, en el medio de almacenamiento 21 del segundo circuito 2. Este almacenamiento se realiza de forma que la serie de bits sea legible e interpretable por el circuito integrado 22 del segundo circuito 2. Los tres pequeños puntos incrustados en esta serie de bits están relacionados con el hecho de que la serie completa de impulsos de datos 101 no se muestra necesariamente en la Figura 1; algunos pueden haber sido omitidos en esta representación gráfica por brevedad. En efecto, las dos líneas oblicuas paralelas entre sí que cruzan el eje x en el gráfico ilustrado en la figura 1 corresponden a la no ilustración de un impulso de datos 101, una serie de impulsos de datos 101, o incluso una sucesión de series de impulsos de datos 101, que no se representan.

Por lo tanto, durante este período no representado, pueden haberse transmitido datos que se encuentran en la serie de bits anterior representada por los tres puntos pequeños.

Como se ilustra en la Figura 1, la serie de impulsos ilustrada incluye entonces un llamado impulso de datos de control 104. Este impulso de datos de control 104 se parametriza para transmitir un valor de control de una cantidad de datos. Dicha cantidad de datos es, por ejemplo, la que se pretende transmitir con la serie de impulsos de datos 101.

También puede corresponder a la cantidad de datos transmitidos a través de la mencionada secuencia de series. En su caso, el impulso de datos de control 104 tiene una quinta duración  $t_5$  correspondiente a dicho valor de control.

Este valor de control se almacena en el medio de almacenamiento 21 del segundo circuito, preferentemente antes de que termine el impulso de datos de control 104. Se pretende, por ejemplo, permitir la comprobación de la validez de una orden codificada en forma de una serie de bits, o incluso de una serie de bytes, transmitida de la manera descrita anteriormente. Este tipo de comprobación de la validez de una información transmitida es similar a un protocolo conocido como "comprobación de redundancia cíclica" o protocolo CRC. Así, el procedimiento según esta característica garantiza al menos que todos los datos esperados se han transmitido al segundo circuito 2 y se han almacenado en su medio de almacenamiento 21 de forma adecuada. El procedimiento según esta característica también puede verificar que el comando almacenado en el medio de almacenamiento 21 del segundo circuito es interpretable y ejecutable por el circuito integrado 22 del segundo circuito.

Según la realización ilustrada en la figura 1, el impulso de datos de control va seguido de un corte 110 y, a continuación, de un denominado impulso de procesamiento 105. Al igual que los impulsos de datos 101, este impulso de procesamiento 105 se transmite desde el primer circuito 1 al segundo circuito 2, a través de la línea de conexión eléctrica 3 y con referencia a la línea de tierra 4. El impulso de procesamiento 105 difiere de un impulso de datos 101 en que no lleva necesariamente datos para ser almacenados en el medio de almacenamiento 21 del segundo circuito. El impulso de procesamiento 105 está destinado, como su nombre indica, a dar la orden de procesar la orden previamente transmitida mediante su interpretación y ejecución, posiblemente precedida de su validación. El impulso de procesamiento 105 puede estar configurado para transmitir una orden para procesar dicha orden. Preferentemente, antes de que esto termine, y en todo caso antes de que el segundo circuito 2 se apague por falta de energía, la orden es interpretada y ejecutada, y eventualmente validada previamente, por el circuito integrado 22 del segundo circuito. En su caso, el impulso de procesamiento 105 tiene una sexta duración  $t_6$ , por ejemplo, mayor, preferentemente estrictamente mayor, que la duración de cada uno de los impulsos de datos 101.

Cada comando puede incluir un número predeterminado de bits, conjuntos de bits o incluso conjuntos de bytes. En consecuencia, cada serie de impulsos de datos 101, o incluso cada sucesión de series de impulsos de datos 101, comprende un número determinado de impulsos de datos 101. De este modo, el impulso que sigue a este número predeterminado de impulsos de datos 101 puede ser parametrizado por el primer circuito 1 para permitir la interpretación y la ejecución, o incluso la validación, de la orden transmitida, por una parte, y por otra parte, directamente (es decir, desde el inicio de su transmisión al segundo circuito) interpretada por el segundo circuito 2 como una orden de interpretación y ejecución, o incluso de validación, de la orden transmitida.

Como se ha comentado anteriormente, la interpretación y ejecución de la orden puede incluir la actualización del dispositivo de visualización 5, 23 conectado al circuito integrado 22 del segundo circuito 2.

Otra realización del procedimiento según la invención se describirá ahora con referencia a la figura 2.

Esta otra realización del procedimiento según la invención comprende etapas idénticas a las descritas anteriormente con referencia a la Figura 1. En particular, los impulsos de datos 101, su modo de transmisión en serie, su parametrización, los datos que permiten transmitir, los cortes de energía 110 pueden ser los descritos anteriormente.

En consecuencia, a continuación se describen las diferencias entre las dos realizaciones ilustradas.

- Según su realización ilustrada en la Figura 2, el procedimiento de transmisión en serie incluye primero la transmisión de un impulso de datos inicial 102. Este impulso de datos inicial 102 está parametrizado para transmitir un dato de inicialización de una serie de impulsos. El procedimiento incluye entonces la transmisión de una serie de impulsos de datos 101 como se ha descrito anteriormente. El procedimiento de transmisión en serie incluye entonces la transmisión de un último impulso de datos 103. Este impulso de datos final 103 está parametrizado para transmitir un impulso de datos de fin de serie 101. Uno de los datos de inicialización y los datos de fin de serie pueden corresponder a una secuencia de bits predeterminada o incluso a uno o más bytes predeterminados. En este caso, el impulso de datos inicial 102 tiene una tercera duración  $t_3$  que corresponde a los datos de inicialización de la serie y el impulso de datos final 103 tiene una cuarta duración  $t_4$  que corresponde a los datos finales de la serie.
- El procedimiento permite así la implementación de un protocolo de tipo "start/stop". El impulso de datos inicial 102 y el impulso de datos final 103 son detectables e interpretables como tales por el circuito integrado 22 del segundo circuito. En cierto sentido, enmarcan los impulsos de datos 101 que definen una orden, o al menos una parte de una orden, que es interpretable y ejecutable por el circuito integrado 22 del segundo circuito 2.
- De acuerdo con la realización de ejemplo ilustrada en la Figura 2, el procedimiento incluye entonces un impulso de procesamiento 105, todavía parametrizado para transmitir un comando para procesar el comando previamente transmitido. El impulso de procesamiento 105 está parametrizado para suceder directamente a un impulso de datos 101, aquí un impulso de datos final 103. Estos dos impulsos 105 y 101 (o aquí 105 y 103) forman un mismo impulso llamado de datos y de tratamiento parametrizado para permitir, preferentemente antes de que termine y en todo caso antes de que el segundo circuito se apague por falta de energía, el almacenamiento de los datos transmitidos y la interpretación y ejecución de la orden. El impulso de procesamiento 105 puede, por lo tanto, ser uno con un impulso de datos 101, por ejemplo con un impulso de datos final 103, completando la transmisión de la orden.
- El procedimiento según cualquiera de las realizaciones descritas anteriormente con referencia a las Figuras 1 y 2, o el procedimiento según cualquier otra realización híbrida, puede repetirse para obtener la interpretación y ejecución de una nueva orden que resulte en una nueva actualización del dispositivo de visualización 5, 23, si procede. El procedimiento proporciona así información actualizada a través del dispositivo de visualización 5, 23.
- Cada impulso de datos 101, 102, 103 y 104 está por tanto parametrizado para tener una duración mayor que el tiempo requerido tanto para que el segundo circuito 2 se ponga en marcha como para que el segundo circuito 2 almacene los datos transmitidos en su medio de almacenamiento no volátil 21.
- Los conceptos de tiempos de arranque y de parada del segundo circuito 2 y su influencia en la realización del proceso se discutirán ahora con referencia a las figuras 3a y 3b.
- Los gráficos de las figuras 3a y 3b pueden leerse comparativamente en pares como representaciones sincronizadas entre sí por la correspondencia de sus abscisas. Más concretamente, el gráfico de la figura 3a representa una señal eléctrica medible en el primer circuito 1, mientras que el gráfico de la figura 3b representa una señal eléctrica medible en el segundo circuito, teniendo estas dos señales eléctricas evoluciones temporales relacionadas entre sí de la manera descrita a continuación. El gráfico de la figura 3a representa la evolución en función del tiempo de la tensión de entrada/salida (E/S) del primer circuito 1 y el gráfico de la figura 3b representa la evolución en función del tiempo de la tensión de entrada/salida (E/S) del segundo circuito 2.
- Refiriéndose al primer impulso, de valor +V, representado en el gráfico de la figura 3a, se observa que simultáneamente a su inicio, aparece una señal eléctrica a nivel del segundo circuito que crece en un tiempo determinado, típicamente del orden de algunos microsegundos, para alcanzar un valor umbral +V cuya transmisión permite al primer circuito 1 alimentar eléctricamente al segundo circuito 2. El tiempo de subida de la tensión en el segundo circuito 2 indica que no se pone en marcha instantáneamente, sino que tarda un tiempo determinado en función de sus componentes electrónicos y de su disposición relativa.
- Refiriéndose al último impulso, de valor +V, representado en el gráfico de la figura 3a, se observa que simultáneamente a su finalización, una señal eléctrica a nivel del segundo circuito disminuye en un tiempo determinado, típicamente del orden de algunos microsegundos, para alcanzar, a partir del valor umbral +V, un valor cero para el cual el segundo circuito 2 se desconecta por falta de alimentación. El tiempo de caída de tensión en el segundo circuito 2 indica que éste no se apaga instantáneamente, sino que tarda un tiempo determinado que depende de nuevo de sus componentes electrónicos y de su disposición relativa.
- Se contempla que los tiempos de subida y bajada de tensión en el segundo circuito estén integrados en la implementación del proceso según la invención.
- Una forma de integrar ventajosamente estos tiempos de subida y de bajada de tensión en el segundo circuito consiste en permitir un reconocimiento por el segundo circuito 2 al primer circuito 1 de la recepción correcta de un impulso. A continuación se describirá un procedimiento de reconocimiento según una realización de la invención con referencia a las figuras 3a, 3b y 5.
- Refiriéndose al primer impulso, de valor +V, mostrado en el gráfico de la figura 3a, el corte de alimentación 110 corresponde a un ajuste de una salida del primer circuito 1 a un nivel lógico 0. Cada reconocimiento comprende

entonces una conmutación en la entrada de la salida del primer circuito 1. El segundo circuito 2 detecta que la salida del primer circuito 1 se ha puesto a nivel lógico 0. Esta detección incluye, por ejemplo, la detección del paso de su tensión de alimentación  $V_{cc}$  (por ejemplo igual a 5 V) por debajo de un primer valor umbral predeterminado  $V_{umbral}(1)$ . En cuanto se detecta esto, el segundo circuito puede conmutar su entrada a la salida y forzar su salida a un nivel lógico 1, para emitir un impulso eléctrico al primer circuito 1. Como resultado, el voltaje en el segundo circuito puede ser forzado a un nivel lógico 0 mientras decae debido al corte de la alimentación 110. Este fenómeno se ilustra en la figura 3b por la caída brusca de la tensión a nivel del segundo circuito 2, tras la detección por el segundo circuito 2 del paso de su tensión de alimentación  $V_{cc}$  por debajo de un primer valor umbral  $V_{umbral}(1)$ . El impulso eléctrico es generado efectivamente por el segundo circuito 2 utilizando la energía eléctrica aún almacenada en él. Por lo tanto, este impulso es potencialmente de una tensión superior a un segundo valor de umbral predeterminado  $V_{umbral}(2)$ . El primer valor de umbral  $V_{umbral}(1)$  es, por ejemplo, mayor que el segundo valor de umbral  $V_{umbral}(2)$ . El segundo valor de umbral  $V_{umbral}(2)$  está parametrizado de manera que la tensión del impulso generado por el segundo circuito 2 pueda ser superior a él y que cualquier rebasamiento de la tensión por encima del segundo valor de umbral  $V_{umbral}(2)$  pueda ser detectado en la entrada del primer circuito 1.

Esta funcionalidad de reconocimiento puede requerir la adición de un diodo y una resistencia de pull-up  $R$  como se ilustra esquemáticamente en la Figura 5. Tenga en cuenta que la resistencia pull-down está montada en modo pull-down.

El procedimiento de transmisión en serie puede así permitir el reconocimiento de al menos uno o incluso de cada uno de los impulsos transmitidos. Cada reconocimiento se parametriza para seguir directamente después de un corte de alimentación 110 correspondiente.

La duración de los impulsos depende del tiempo de puesta en marcha del segundo circuito 2 tras el encendido de la fuente de alimentación y de la tecnología utilizada para el medio de almacenamiento no volátil 21.

Por ejemplo, una memoria flash tiene un tiempo de arranque de aproximadamente 1 ms (milisegundo) y es capaz de almacenar el valor de un bit en menos de 1 ms. Podemos tener:

- $t_3 = 2$  ms;
- $t_2 = 3$  ms;
- $t_1 = 4$  ms; y
- $t_6 \geq 5$  ms,

donde  $t_3$  es la duración de un impulso de datos inicial 102,  $t_2$  es la duración de un impulso de datos 101 de bit igual a 1,  $t_1$  es la duración de un impulso de datos 101 de bit igual a 0, y  $t_6$  es la duración de un impulso de datos final 103 y/o un impulso de procesamiento 105.

Con la tecnología EEPROM, el tiempo para escribir el valor de un bit es de unos 5 ms. Podemos tener:

- $t_3 = 6$  ms;
- $t_2 = 11$  ms;
- $t_1 = 16$  ms; y
- $t_6 \geq 21$  ms,

donde, como antes,  $t_3$  es la duración de un impulso de datos inicial 102,  $t_2$  es la duración de un impulso de datos 101 de bit igual a 1,  $t_1$  es la duración de un impulso de datos 101 de bit igual a 0, y  $t_6$  es la duración de un impulso de datos final 103 y/o un impulso de procesamiento 105.

La duración del impulso de procesamiento 105 depende de la aplicación prevista. Por ejemplo, la duración del impulso de procesamiento 105 será de unos pocos segundos para poder procesar la actualización de un dispositivo de visualización de tipo papel electrónico. El procesamiento puede comenzar al detectar un impulso de duración mayor que la duración de un impulso de datos final 103.

Estos tiempos se dan a título indicativo y pueden variar según la tecnología utilizada y las optimizaciones deseadas.

El protocolo de verificación de la validez de la orden transmitida y almacenada en el medio de almacenamiento no volátil 21 del segundo circuito 2 se ejemplifica a continuación.

Una vez reconstruidos los bytes a partir de los bits, se utiliza un protocolo para verificar la validez de la trama. Por ejemplo, un marco puede escribirse:

< Byte que indica la longitud de la trama (LG) >

< Byte 1 >

< Byte2 >

< Byte LG >

5 <CRC >

Tras la detección del impulso de procesamiento 105, la trama se verifica a partir de los datos almacenados en el medio de almacenamiento no volátil 21 del segundo circuito 2; y, si la trama es válida, se ejecuta el comando correspondiente.

10 La invención no se limita a las realizaciones descritas anteriormente y se extiende a todas las realizaciones cubiertas por las reivindicaciones.

15 Por ejemplo, cada impulso puede ser parametrizado para tener al menos uno de una amplitud de la corriente de alimentación y una frecuencia de una señal de alimentación, adecuada para alimentar el segundo circuito y correspondiente a un dato transmitido. Por lo tanto, es posible que cada dato transmitido no corresponda a una duración de impulso, sino a una amplitud y/o una frecuencia. Por lo tanto, es concebible que cada dato transmitido no sólo corresponda a una duración de impulso, sino también a una amplitud y/o una frecuencia.

Cuando se utiliza la frecuencia de impulsos, el primer circuito 1 genera una corriente alterna que transmite al segundo circuito 2 para la alimentación y la transmisión de datos en serie. El primer circuito 1 puede configurarse en consecuencia. Por ejemplo, puede ser necesario que el primer circuito 1 o el segundo circuito 2 incorporen un puente de diodos y un condensador de filtro.

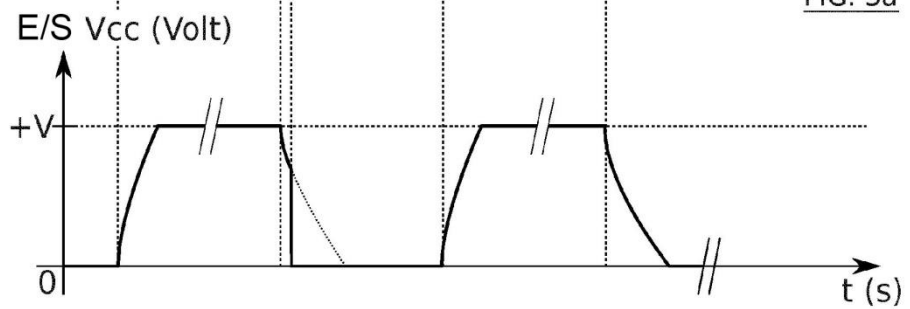
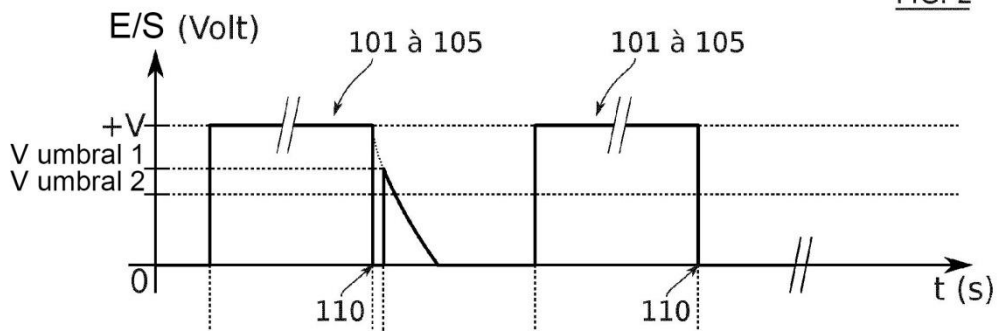
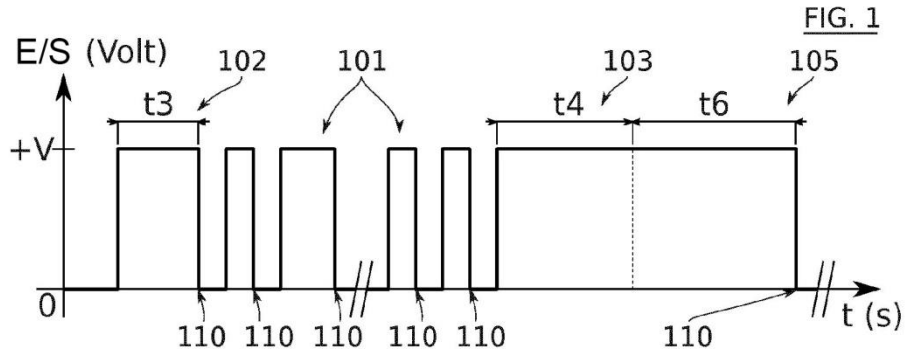
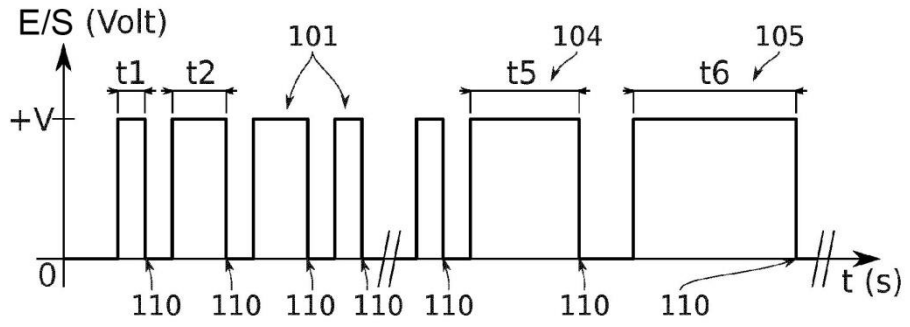
20 Cabe señalar que el protocolo de reconocimiento descrito anteriormente no es adecuado para una fuente de alimentación de CA.

25 En otra realización del procedimiento de transmisión en serie a través de la fuente de alimentación, se generan impulsos en 0 (estando el estado de alimentación con la fuente de alimentación en 1) que son suficientemente cortos para que la alimentación del segundo circuito 2 no se reduzca completamente. El segundo circuito 2 incluye ventajosamente un condensador de filtrado en su alimentación.

## REIVINDICACIONES

1. Procedimiento de transmisión de datos en serie que comprende la transmisión, desde un primer circuito electrónico (1) a al menos un segundo circuito electrónico (2), a través de una línea de conexión eléctrica (3) entre el primer circuito (1) y el segundo circuito (2), y con referencia a una línea de tierra (4) común a los circuitos (1, 2), de al menos una serie de los llamados impulsos de datos (101), estando el procedimiento **caracterizado porque** cada impulso de datos (101) permite tanto alimentar eléctricamente el segundo circuito (2) como transmitir un dato de una serie de datos interpretables por el segundo circuito (2), y **porque**: el procedimiento comprende al menos las siguientes etapas:
  - cortar (110) la alimentación del segundo circuito (2) por el primer circuito (1) entre dos impulsos de datos sucesivos (101), y
  - para cada impulso de datos (101) y antes de que el segundo circuito se apague por falta de energía, almacenar, en un medio de almacenamiento no volátil (21) del segundo circuito (2), los datos transmitidos por este impulso de datos (101).
2. Procedimiento según la reivindicación anterior, en el que el corte (110) de la alimentación entre dos impulsos de datos sucesivos (101) está parametrizado para que el segundo circuito (2) se apague por falta de alimentación.
3. Procedimiento según una cualquiera de las reivindicaciones anteriores, en el que cada impulso de datos (101) está parametrizado de tal manera que los datos transmitidos dependen de una duración de este impulso, siendo la duración de cada impulso de datos (101), en su caso, medible por el segundo circuito (2) con respecto a una frecuencia de reloj propia.
4. Procedimiento según una cualquiera de las reivindicaciones anteriores, en el que al menos un impulso de datos (101) de cada serie está parametrizado para transmitir uno de entre los datos de 0 bits y los datos de 1 bit, teniendo opcionalmente dicho al menos un impulso de datos (101) una de entre una primera duración  $t1$  correspondiente a los datos de 0 bits y una segunda duración  $t2$  correspondiente a los datos de 1 bit respectivamente.
5. Procedimiento según una cualquiera de las reivindicaciones anteriores, en el que cada serie de impulsos de datos (101) comprende un número predeterminado de impulsos de datos (101).
6. Procedimiento según una cualquiera de las reivindicaciones anteriores, en el que cada serie de impulsos de datos (101) comprende al menos uno de entre un impulso de datos inicial (102) parametrizado para transmitir un dato de inicialización de la serie y un impulso de datos final (103) parametrizado para transmitir un dato de fin de serie, uno correspondiente entre el dato de inicialización y el dato de fin de serie que corresponde a una sucesión predeterminada de bits, si es el caso, teniendo el impulso de datos inicial (102) una tercera duración  $t3$  correspondiente a los datos de inicialización de serie y teniendo el impulso de datos final (103) una cuarta duración  $t4$  correspondiente a los datos finales de serie.
7. Procedimiento según una cualquiera de las reivindicaciones precedentes, en el que la serie de impulsos de datos (101), o incluso una sucesión de series, comprende, preferentemente de forma periódica, al menos un denominado impulso de datos de control (104) parametrizado para transmitir un valor de control de una cantidad de datos destinados a ser transmitidos por la misma serie de impulsos de datos (101), o incluso por dicha sucesión de series, teniendo en su caso dicho al menos un impulso de datos de control (104) una quinta duración  $t5$  correspondiente a dicho valor de control.
8. Procedimiento según una cualquiera de las reivindicaciones anteriores, en el que el almacenamiento de los datos transmitidos por los impulsos de datos (101) de una misma serie, o incluso de una sucesión de series, está parametrizado para formar un conjunto de bits, o incluso un conjunto de bytes, que codifica una orden que puede ser interpretada y ejecutada por un circuito integrado (22) del segundo circuito (2).
9. Procedimiento según la reivindicación anterior, que comprende la transmisión desde el primer circuito (1) al segundo circuito (2), a través de la línea de conexión eléctrica (3) y con referencia a la línea de tierra (4), de un denominado impulso de procesamiento (105) parametrizado para transmitir una orden de procesamiento de dicha orden, comprendiendo el procedimiento al menos la siguiente etapa: para cada impulso de procesamiento (105) y antes de que éste termine, interpretar y ejecutar la orden, teniendo, si es necesario, el impulso de procesamiento (105) una sexta duración  $t6$  mayor que la duración de cada uno de los impulsos de datos (101).
10. Procedimiento según la reivindicación anterior, en el que el impulso de procesamiento (105) está parametrizado para suceder directamente a un impulso de datos (101) de manera que estos dos impulsos forman un mismo impulso de datos y de procesamiento parametrizado para permitir, antes de que este último termine, el almacenamiento de los datos transmitidos, y la interpretación y ejecución de la orden, sin que el segundo circuito (2) se apague por falta de energía.

11. Procedimiento según una cualquiera de las dos reivindicaciones anteriores, en el que la interpretación y ejecución de la orden comprende primero la comprobación de la validez de la orden.
- 5 12. Procedimiento según una cualquiera de las reivindicaciones anteriores comprende además la siguiente etapa: reconocer al menos un impulso, o incluso cada impulso, transmitido, estando cada reconocimiento parametrizado para suceder directamente a un corte de energía correspondiente.
13. Procedimiento según una cualquiera de las reivindicaciones 9 a 12, en el que la interpretación y la ejecución de la orden comprenden la actualización de un dispositivo de visualización (5, 23), tal como un papel electrónico, conectado al circuito integrado (22) del segundo circuito (2), permitiendo, en su caso, la actualización del dispositivo de visualización (5, 23) visualizar la información definida por la orden.
- 10 14. Procedimiento según una cualquiera de las reivindicaciones 9 a 12 y la reivindicación 13, que comprende repetir las etapas del procedimiento (100) para hacer que la interpretación y la ejecución de la orden incluyan una nueva actualización del dispositivo de visualización (5, 23).
15. Sistema de transmisión de datos en serie que comprende:
- 15 - un primer circuito electrónico (1) y  
- al menos un segundo circuito electrónico (2), estando el primer circuito (1) y cada segundo circuito (2) conectados entre sí a través de una línea de conexión eléctrica (3) y una línea de tierra (4) común a los circuitos (1, 2),  
estando el sistema **caracterizado porque:**  
20 para la transmisión, desde el primer circuito (1) a al menos un segundo circuito (2), a través de la línea de conexión eléctrica (3) y con referencia a la línea de tierra (4), de al menos una serie de los denominados impulsos de datos (101), cada impulso de datos (101) permite tanto alimentar eléctricamente el segundo circuito (2) como transmitir un dato de una serie de datos interpretables por el segundo circuito (2), **porque:**  
el primer circuito (1) comprende un interruptor (11) para alimentar el segundo circuito (2) por el primer circuito (1) configurado para cortar la alimentación entre dos impulsos de datos (101) sucesivos, y **porque:**  
25 el segundo circuito (2) comprende un medio de almacenamiento no volátil (21) configurado para almacenar los datos transmitidos por cada impulso de datos (101) antes de que el segundo circuito (2) se apague por falta de alimentación.



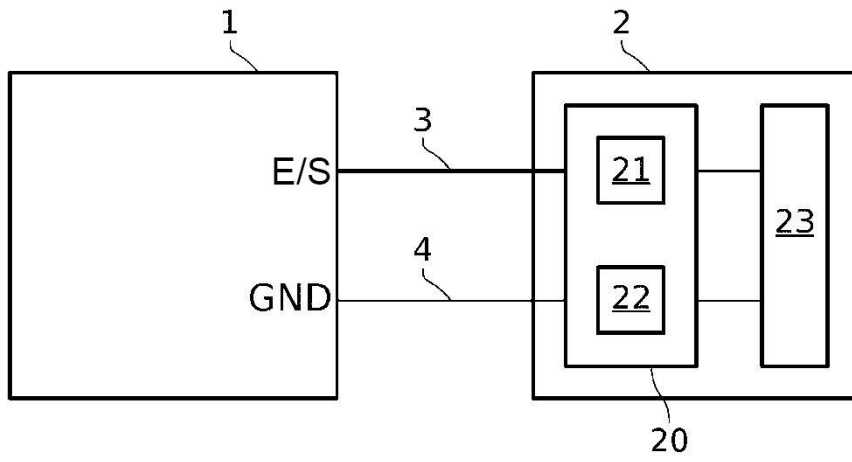


FIG. 4

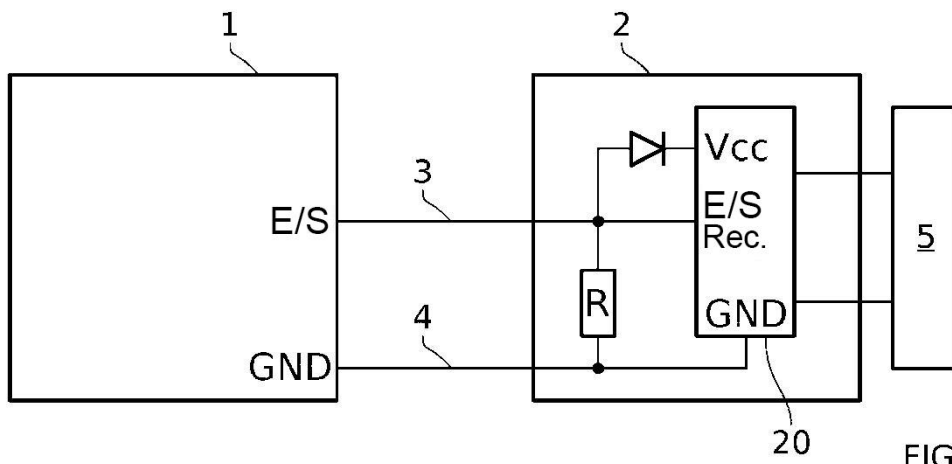


FIG. 5