

- 350：第二成像系統/
BSI 成像系統/BSI 影
像感測器
- 351：基板
- 352：金屬堆疊/金屬
層
- 353：背側 p+層
- 354：彩色濾光器
- 355：微透鏡
- 356：黏著膠
- 357：蓋玻片
- 360：金屬墊
- 361：穿矽通孔(TSV)
- 362：TSV
- 380：基板

(21) 申請案號：101129095

(22) 申請日：中華民國 101 (2012) 年 08 月 10 日

(51) Int. Cl. : *H01L23/02 (2006.01)*

H01L25/065 (2006.01)

(30) 優先權：2011/09/16 美國

13/235,121

(71) 申請人：豪威科技股份有限公司 (美國) OMNIVISION TECHNOLOGIES, INC. (US)
美國

(72) 發明人：陳剛 CHEN, GANG (TW)；沙哈 亞雪許 SHAH, ASHISH (IN)；毛 杜立 MAO, DULI (US)；戴幸志 TAI, HSIN CHIH (TW)；羅狄絲 霍華 E RHODES, HOWARD E. (US)

(74) 代理人：陳長文

申請實體審查：無 申請專利範圍項數：20 項 圖式數：7 共 39 頁

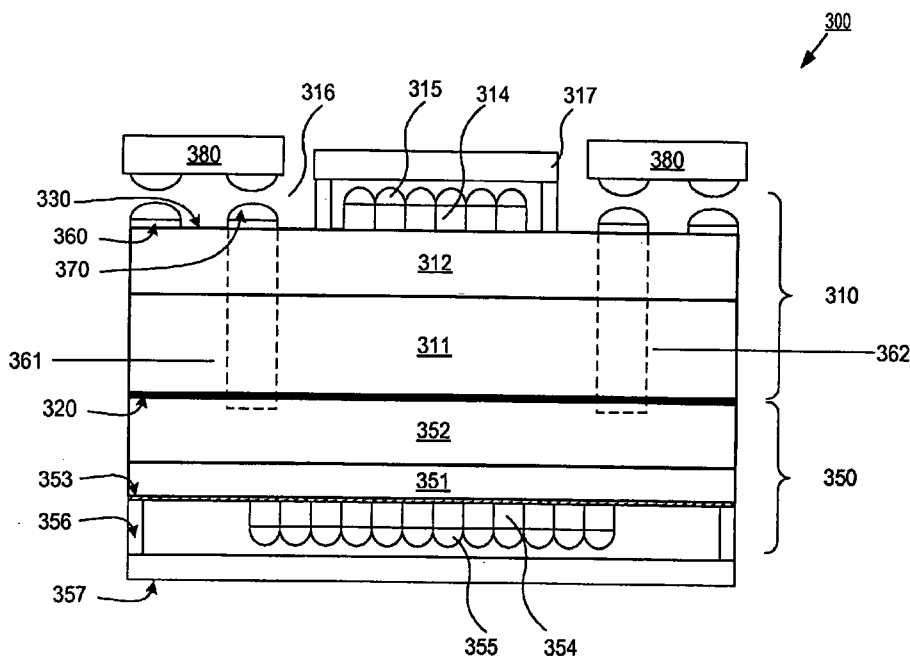
(54) 名稱

雙面相機組件

DUAL-FACING CAMERA ASSEMBLY

(57) 摘要

本發明之實施例係關於一種相機組件，其包括操作性地耦合在一起(例如，接合、堆疊在一共同基板上)之一背面拍攝相機及一正面拍攝相機。在本發明之一些實施例中，具有一前側照明(FSI)成像像素陣列之一系統接合至具有一背側照明(BSI)成像像素陣列之一系統，從而建立具有一最小尺寸(例如，相比於先前技術解決方案具有一減小之厚度)之一相機組件。當將一 BSI 影像感測器晶圓減薄時，可將一 FSI 影像感測器晶圓用作該 BSI 影像感測器晶圓之一處置晶圓，藉此減小整個相機模組之厚度。根據本發明之其他實施例，兩個封裝晶粒、一個 BSI 影像感測器、另一個 FSI 影像感測器係堆疊在諸如一印刷電路板之一共同基板上，且經由再分佈層操作性地耦合在一起。



300：雙面相機組件

310：第一成像系統/
FSI 成像系統

311：基板/FSI 像素陣
列

312：金屬堆疊/半導
體基板

314：彩色濾光器

315：微透鏡

316：黏著膠

317：蓋玻片

320：接合層

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：10112085

※申請日：101.8.10

※IPC 分類： H01L 23/02 (2006.1)
H01L 25/065 (2006.1)

一、發明名稱：(中文/英文)

雙面相機組件

DUAL-FACING CAMERA ASSEMBLY

二、中文發明摘要：

本發明之實施例係關於一種相機組件，其包括操作性地耦合在一起(例如，接合、堆疊在一共同基板上)之一背面拍攝相機及一正面拍攝相機。

在本發明之一些實施例中，具有一前側照明(FSI)成像像素陣列之一系統接合至具有一背側照明(BSI)成像像素陣列之一系統，從而建立具有一最小尺寸(例如，相比於先前技術解決方案具有一減小之厚度)之一相機組件。當將一BSI影像感測器晶圓減薄時，可將一FSI影像感測器晶圓用作該BSI影像感測器晶圓之一處置晶圓，藉此減小整個相機模組之厚度。根據本發明之其他實施例，兩個封裝晶粒、一個BSI影像感測器、另一個FSI影像感測器係堆疊在諸如一印刷電路板之一共同基板上，且經由再分佈層操作性地耦合在一起。

三、英文發明摘要：

Embodiments of the invention relate to a camera assembly including a rear-facing camera and a front-facing camera operatively coupled together (e.g., bonded, stacked on a common substrate).

In some embodiments of the invention, a system having an array of frontside illuminated (FSI) imaging pixels is bonded to a system having an array of backside illuminated (BSI) imaging pixels, creating a camera assembly with a minimal size (e.g., a reduced thickness compared to prior art solutions). An FSI image sensor wafer may be used as a handle wafer for a BSI image sensor wafer when it is thinned, thereby decreasing the thickness of the overall camera module. According to other embodiments of the invention, two package dies, one a BSI image sensor, the other an FSI image sensor, are stacked on a common substrate such as a printed circuit board, and are operatively coupled together via redistribution layers.

四、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

300	雙面相機組件
310	第一成像系統/FSI成像系統
311	基板/FSI像素陣列
312	金屬堆疊/半導體基板
314	彩色濾光器
315	微透鏡
316	黏著膠
317	蓋玻片
320	接合層
350	第二成像系統/BSI成像系統/BSI影像感測器
351	基板
352	金屬堆疊/金屬層
353	背側p+層
354	彩色濾光器
355	微透鏡
356	黏著膠
357	蓋玻片
360	金屬墊
361	穿矽通孔(TSV)
362	TSV
380	基板

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於影像感測器，且特定而言(但不排他地)係關於包括一背面拍攝相機(rear-facing camera)及一正面拍攝相機(front-facing camera)之相機模組。

【先前技術】

具有影像擷取能力之行動電子器件(諸如，蜂巢式電話)正變得日益流行。一些行動器件能夠從兩個方向擷取影像資料(例如，從該器件之「前」側及「後」側)。

一些器件藉由手動移動包括在該器件中之一影像擷取系統來達成此能力—例如，旋轉影像擷取系統以從一選擇之側擷取影像資料；然而，此解決方案需要使用機械構件(諸如，鉸鏈)，其增加行動電子器件之複雜性及成本。其他器件包括在相對側上之兩個相機模組。此等解決方案之當前實施方案顯著增加器件之尺寸，從而使得此等解決方案不合需要。

【實施方式】

參考以下圖式描述本發明之非限制性且非詳盡實施例，圖式中相同參考數字在所有各種視圖中指代相同部件，除非另有說明。

本文中描述用於利用及建立一雙面相機組件之一裝置、系統及方法之實施例。在以下描述中，闡述許多特定細節以提供對實施例之透徹理解。然而，熟悉相關技術之人員將認識到，本文中描述之技術可在沒有特定細節、組件、

材料等等之一者或多者之情況下實踐。在其他情況中，未詳細展示或描述眾所周知之結構、材料或操作以避免混淆某些態樣。

本說明書中對「一項實施例」或「一實施例」之參考表示結合該實施例描述之一特定特徵、結構或特性包括在本發明之至少一項實施例中。因此，片語「在一項實施例中」或「在一實施例中」在本說明書中各種地方出現不必都指代同一項實施例。此外，可在一個或多項實施例中以任何合適之方式組合特定特徵、結構或特性。方向性術語(諸如，頂部、底部、上及下)參考正被描述之圖式之定向而使用，但不應被理解為對實施例之定向之任何種類之限制。

圖1繪示根據本發明之一實施例之一FSI互補金屬氧化物半導體(「CMOS」)成像像素。成像像素100之前側係基板105之其上安置像素電路且其上形成用於再分佈信號之金屬堆疊110之側。金屬層(例如，金屬層M1及M2)以一方式圖案化以便建立一光學通道，透過該光學通道，成像像素100之前側上之入射光可到達光敏或光電二極體(「PD」)區域115。該前側可進一步包括用於實施一色彩感測器之一彩色濾光器層及用於將光聚焦至PD區域115上之一微透鏡。

在此實施例中，成像像素100包括安置在像素電路區域125內鄰近於PD區域115處之像素電路。此像素電路提供用於成像像素100之規則操作之多種功能性。舉例而言，像

素電路區域125可包括電路以開始在PD區域115內獲取一影像電荷、重設在PD區域115內累積之影像電荷以使成像像素100準備好以用於下一個影像，或將由成像像素100獲取之影像資料傳送。如所繪示，在前側照明組態之此實例中，像素電路區域125緊鄰於PD區域115而定位。

圖2為根據本發明之一實施例之一BSI成像像素之一混合橫截面/電路圖解。在所繪示之實施例中，BSI成像像素200包括基板205、彩色濾光器210、微透鏡215、PD區域220、互連擴散區域225、像素電路區域230、像素電路層235及一金屬堆疊240。所繪示之像素電路區域230之實施例包括安置在一擴散井245上之一4T像素(可替代其他像素設計)以及其他電路231(例如，增益電路、ADC電路、伽馬(gamma)控制電路、曝光控制電路，等等)。

在此實施例中，浮動擴散250安置在擴散井245內且耦合在轉移電晶體T1與SF電晶體T3之間極之間。所繪示之金屬堆疊240之實施例包括由金屬間介電層241及243分離之兩個金屬層M1及M2。雖然圖2僅繪示兩層金屬堆疊，但金屬堆疊240可包括更多或更少之層以用於在成像像素200之前側上路由信號。在一項實施例中，一鈍化層或釘紮層270安置在互連擴散區域225上。最後，淺溝渠隔離(「STI」)使BSI成像像素200與鄰近像素(未繪示)隔離。

如所繪示，成像像素200對入射在其半導體晶粒背側上之光280係光敏的。藉由使用一背側照明感測器，像素電路區域230可與光電二極體區域220呈一重疊組態而定位。

換而言之，像素電路可在不阻礙光280到達光電二極體區域220之情況下鄰近於互連擴散區域225且在光電二極體區域220與晶粒前側之間而放置。與如圖1之FSI成像像素中繪示之並排組態不同，藉由與光電二極體區域220呈一重疊組態而放置像素電路，光電二極體區域220不再與像素電路競爭寶貴之晶粒佔據面積(real estate)。確切而言，可擴大像素電路區域230以容納額外組件或較大組件而不減損影像感測器之填充因數。BSI成像像素200在不降低像素之敏感度之情況下進一步使得其他電路231(例如，增益控制或ADC電路)能夠緊鄰於其各自光電二極體區域220而放置。藉由緊鄰於每一PD區域220而插入增益控制及ADC電路，歸因於PD區域220與額外像素內電路之間之較短之電互連，可減少電路雜訊及改良雜訊抗擾度。此外，所繪示之實施例之背側照明組態提供更大之靈活性以在金屬堆疊240內在成像像素200之前側上路由信號，而不干擾光280。在一項實施例中，一快門信號在金屬堆疊240內被路由至一BSI成像陣列之像素(包括像素200)。

在一項實施例中，一BSI像素陣列內之鄰近像素之PD區域220上之像素電路區域230可經分組以建立共同晶粒佔據面積。此共同晶粒佔據面積除支撐基本3T、4T、5T等等像素電路之外亦可支撐共同電路(或像素間電路)。或者，一些像素可與需要額外像素電路空間以供較大或較高級之像素內電路用之一鄰近像素共同其PD區域上之其未使用之晶粒佔據面積。因此，在一些實施例中，其他電路231可

重疊兩個或更多個PD區域220且甚至可由一個或多個像素共同。

在一項實施例中，基板205以P型摻雜劑摻雜。在此情況下，基板205及其上生長之磊晶層可被稱為一P基板。在一P型基板實施例中，擴散井245為一P+井植入，而光電二極體區域220、互連擴散區域225及浮動擴散250經N型摻雜。浮動擴散250以與擴散井245相反之一導電性類型摻雜劑摻雜以在擴散井245內產生一p-n接面，藉此電隔離浮動擴散250。在其中基板205及其上之磊晶層係N型之一實施例中，擴散井245亦經N型摻雜，而光電二極體區域220、互連擴散區域225及浮動擴散250具有一相反之P型導電性。

圖3為根據本發明之一實施例之一雙面相機組件之一橫截面圖。在此實施例中，雙面相機組件300包括第一成像系統310及第二成像系統350。第一成像系統310包括FSI成像像素陣列。該陣列之每一像素由基板311及金屬堆疊312形成。舉例而言，FSI陣列之每一像素可具有形成於基板311中之一PD區域，其接收通過金屬堆疊312之光(類似於圖1中展示之FSI成像像素100)。此外，FSI陣列之每一像素可利用一對應之彩色濾光器314及微透鏡315。第一成像系統310進一步包括黏著膠316及安置在該微透鏡上之蓋玻片317。

第二成像系統350包括BSI成像像素305之陣列。該陣列之每一像素由基板351及金屬堆疊352形成。舉例而言，BSI陣列之每一像素可具有形成於基板351中且安置在金屬

堆疊352與背側p+層353之間之一PD區域(類似於圖2中展示之BSI成像像素)。此外，每一像素可利用一對應之彩色濾光器354及微透鏡355。第二成像系統350進一步包括黏著膠356及安置在該微透鏡上之蓋玻片357。

在此實施例中，第一成像系統310之底側經由接合層320接合至第二成像系統350之頂側。因此，入射至雙面相機組件300之相對側之電磁輻射入射至影像感測器陣列之一者之光敏區域。此外，如上文描述，與並排組態之FSI成像像素相比，BSI成像像素可包括與其光電二極體區域呈一重疊組態而放置之像素電路；因此，可擴大BSI成像像素之像素電路區域以容納額外組件或較大組件而不減損影像感測器之填充因數。因此，在一些實施例中，相較於FSI成像系統310，BSI成像系統350能夠擷取具有一較高影像解析度之影像資料。

可使用晶片級封裝(「CSP」)或穿矽通孔(「TSV」)程序來實現用於BSI影像感測器350之再分佈層(「RDL」)，以使得第二成像系統350之金屬堆疊352為可接達至金屬墊360。在一項實施例中，金屬墊360係藉由濺鍍、準直濺鍍、低壓濺鍍、反應性濺鍍、電鍍、化學氣相沈積或蒸發或此項技術中已知之任何在功能上等效之程序而沈積於半導體基板312之前側上。金屬墊360為基板380提供對由成像系統310及350擷取之成像資料之接達。

在此實施例中，TSV 361及362係穿過金屬堆疊312及基板311而形成，以操作性地將金屬層352耦合至金屬墊

360。在此實施例中，處於不在蓋玻片317正下方之區域中之金屬堆疊312及基板311可用於TSV程序中，此係因為由FSI像素陣列311佔據之基板及金屬堆疊區域在蓋玻片317下方之區域中被找到。

圖4為說明根據本發明之一實施例用於製造一雙面相機組件之一程序之一流程圖。如本文中說明之流程圖提供各種程序動作之序列之實例。雖然以一特定序列或次序展示，但除非另有說明，否則可修改該等動作之次序。因此，所繪示之實施方案應被理解為僅為實例，且可以不同之次序執行所繪示之程序，且一些動作可並行地執行。此外，在本發明之各種實施例中可省略一個或多個動作；因此，在每項實施方案中並不需要所有動作。其他程序流程係可行的。

圖5A至圖5D為根據本發明之一實施例形成一雙面相機組件之影像晶圓之方塊圖，且將在圖4中展示之程序流程之背景下觀察。

在程序區塊405中，一FSI影像感測器之製造可包含習知技術一直到後段製程(「BEOL」)組件(包括擴散植入物、矽化物、像素電晶體電路及金屬堆疊)之製造。

圖5A為經製造之FSI影像感測器晶圓505之一圖解。區域510包含FSI影像感測器區域520a-b及未使用之區域530a-b。一影像感測器中之被動半導體元件及主動半導體元件(諸如在像素陣列中找到之CMOS電晶體、讀出電路及其他電路)在基板區域520a中製造。金屬堆疊520b在基板520a

上製造。在此實施例中，在基板區域520a中沒有形成半導體元件。未使用之區域530a-b可包括介電層。鈍化層540形成於金屬堆疊520b上，其中鈍化開口545經形成以暴露頂部金屬互連層上之金屬墊。在其他實施例中，省略鈍化層540。

所繪示之金屬堆疊520b之實施例包括由金屬間介電層分離之兩個金屬互連層。雖然圖5A繪示兩層金屬堆疊，但金屬堆疊520b可包括更多或更少之金屬互連層以用於在基板520a之頂側上路由信號。在本發明之一項實施例中，金屬互連層包含金屬，例如，鋁、銅或其他合金。在本發明之一項實施例中，金屬互連層係藉由濺鍍、準直濺鍍、低壓濺鍍、反應性濺鍍、電鍍、化學氣相沈積或蒸發而形成。

在圖4之程序區塊410中，一BSI影像感測器晶粒之製造可包含習知技術一直到BEOL組件(包括擴散植入物、矽化物、像素電晶體電路及金屬堆疊)之製造。

圖5B為經製造之BSI影像晶圓555之一圖解。在此實施例中，圖5A中之區域510(其包含FSI影像感測器晶粒520及未使用之區域530)相對而言與BSI影像感測器晶粒560之尺寸相同，使得當FSI影像感測器晶圓505與BSI影像感測器晶圓555接合在一起時，FSI影像感測器晶粒520之實體中心與BSI影像感測器560之實體中心對準。

影像感測器之被動半導體元件及主動半導體元件(諸如像素陣列中找到之CMOS電晶體、讀出電路及其他電路)在基板570中製造。金屬堆疊580形成於基板570之頂部上。

在所繪示之實施例中，金屬堆疊580包括由金屬間介電層分離之兩個金屬互連層。鈍化590形成於金屬堆疊580上。在其他實施例中，省略鈍化590。

在本實施例中，FSI影像感測器晶粒520及BSI影像感測器晶粒560之被動元件及主動元件分別形成於基板520及基板570中。在本發明之其他實施例中，FSI影像感測器晶粒520及BSI影像感測器晶粒560之半導體元件可形成於一磊晶層中。在本發明之又其他實施例中，FSI影像感測器晶粒520及BSI影像感測器晶粒560之半導體元件可形成於一磊晶層中，其中一基板層形成於該磊晶層下方。

在圖4之程序區塊415中，使用接合氧化物將FSI影像感測器晶圓之底側接合至BSI影像感測器晶圓之頂側。因此，如圖5C中所展示，使用接合氧化物595將FSI影像感測器晶圓505之底側接合至BSI影像感測器晶圓555之頂側。BSI影像感測器晶粒560之尺寸與FSI影像感測器晶粒520及未使用之區域530之尺寸大致相同。FSI影像感測器晶粒520及未使用之區域530經定位使得在兩個晶圓接合在一起後，FSI影像感測器晶粒520之實體中心與BSI影像感測器晶粒560之實體中心對準。在一項實施例中，在此處理階段，FSI影像感測器晶圓505及BSI影像感測器晶圓555各具有相同之厚度(例如，約400 μm)。

在程序區塊420中，經由已知方法(諸如化學機械平坦化)將BSI晶圓之背側減薄。基板570之背側之減薄在圖5D中展示。在此實施例中，FSI影像感測器晶圓505充當BSI

影像感測器晶圓555之處置晶圓，因此，不需要一單獨之處置晶圓(一處置晶圓用作用於在將部分製成之成像像素陣列之背側減薄時固持該部分製成之成像像素陣列之把手)。因此，BSI影像感測器晶圓555將具有小於FSI影像晶圓之厚度之一厚度。

在程序區塊425中，執行背側p+層之離子植入及抗反射性塗層之退火及沈積。如圖5D中展示，基板570之背側p+層為一p型層；在本發明之其他實施例中，該背側層可為一n型層或可被省略。

在程序區塊430中，藉由形成用於兩個影像感測器晶粒之彩色濾光器及微透鏡、在每一影像感測器晶粒上形成保護性封裝及對經接合之FSI及BSI影像感測器晶圓進行晶粒鋸開而完成雙面相機組件之製造。在本發明之一些實施例中，兩個影像感測器經受抗反射性塗層之沈積。在本發明之其他實施例中，可省略該抗反射性塗層。在本發明之其他實施例中，可省略該抗反射性塗層。可將保護性帶放置在FSI影像感測器晶圓505之頂側上以保護頂部金屬互連層。

圖6A至圖6D繪示根據本發明之一實施例用於封裝一雙面相機組件之處理操作。圖6A為繪示包括接合至BSI影像感測器晶圓620之FSI影像感測器晶圓610之雙面影像感測器600之一橫截面圖。

彩色濾光器650形成於FSI影像感測器晶圓610中之每一FSI影像感測器像素上。微透鏡655形成於彩色濾光器650

上。彩色濾光器 630 形成於 BSI 影像感測器晶圓 620 中之每一 BSI 影像感測器像素上。微透鏡 635 形成於彩色濾光器 630 上。圖 6A 繪示 BSI 影像晶圓 620 具有比 FSI 影像晶圓 610 更多之「像素」—即，與 FSI 影像晶圓 610 相比，BSI 影像晶圓 620 可以一更高之解析度擷取影像資料。在一項實施例中，排除彩色濾光器 650 及微透鏡 655 外，FSI 影像感測器晶圓之厚度約為 200 μm ，且排除彩色濾光器 630 及微透鏡 635 外，BSI 影像感測器晶圓 620 之厚度約為 2 μm 。

在 BSI 影像晶圓 620 上形成彩色濾光器 630 及微透鏡 635 之後，安裝黏著間隔物 640 及蓋玻片 645 以保護該微透鏡，同時形成彩色濾光器 650 及微透鏡 655。

圖 6B 為繪示已安裝一蓋玻片以保護 FSI 影像晶圓 610 之微透鏡 655 之之雙面影像感測器晶圓 600 之一橫截面圖。在此實施例中，黏著間隔物 660 及蓋玻片 665 安裝在微透鏡 655 上。如上文陳述，與 BSI 影像晶圓 620 相比，FSI 影像晶圓 610 包括更少像素(且因此，包括更少彩色濾光器及微透鏡)。因此，在此實施例中，蓋玻片 665 經形成以暴露未被 FSI 影像感測器晶粒使用之 FSI 晶圓 610 之頂部金屬之區域。如下文描述，將在形成一再分佈層(「RDL」)期間利用此區域。

圖 6C 為繪示在經製造以將 BSI 影像感測器晶粒之金屬層 670 耦合至金屬墊 675 之 RDL 及 TSV 連接形成之後之雙面影像感測器晶圓 600 之一橫截面圖。在此實施例中，一 TSV 程序用於形成 TSV 671，該等 TSV 671 提供對 BSI 影像晶圓

620之金屬層670之接達。在本發明之其他實施例中，可使用CSP程序以操作性地將金屬層670耦合至金屬墊675。在金屬墊675形成之前或之後，可使用已知方法對雙面影像感測器晶圓600進行晶粒鋸開。

圖6D為繪示將金屬墊675耦合至一基板(諸如，印刷電路板(「PCB」)690)之焊接球680之一橫截面圖。因此，可將PCB 690操作性地耦合至FSI影像感測器及BSI影像感測器兩者之金屬層，以控制每一成像系統及接收所擷取之影像資料。

圖7為繪示根據本發明之一實施例之一雙面相機組件之一橫截面圖。在此實施例中，雙面相機組件700包括兩個封裝晶粒、FSI影像感測器710及BSI影像感測器720。相比於雙面相機組件600(其被描述為以晶圓級形成，其中一FSI影像感測器晶圓在製造期間接合至一BSI影像感測器晶圓)，雙面相機組件700包含操作性地耦合至一PCB基板之兩個經封裝晶粒。

FSI影像感測器710之光敏區域形成於基板730之前側711之下方。在本發明之一些實施例中，基板730包含一磊晶層。金屬堆疊735形成於基板730之前側711上。金屬堆疊735包括由介電層分離之一個或多個金屬互連層。彩色濾光器740形成於金屬堆疊735上且微透鏡745形成於彩色濾光器740上。RDL 780(下文論述)形成於基板730之背側712上。

BSI影像感測器720之光敏區域形成於基板750之前側721

之下方。在本發明之一些實施例中，基板750包含一磊晶層。金屬堆疊755形成於基板750之前側721上。金屬堆疊755包含由介電層分離之一個或多個金屬互連層。處置基板760在BSI影像感測器720在矽晶圓上被晶粒鋸開之前接合至基板750。一處置基板用作用於在將部分製成之成像像素之背側減薄時固持該部分製成之成像像素之把手。處置基板760可由在製造期間接合至BSI影像感測器720之由多個處置基板(或者在本文中稱為處置晶圓)組成之矽晶圓形成。形成彩色濾光器770且微透鏡775形成於彩色濾光器770上。RDL 785形成於BSI影像感測器720之前側上。焊接球790形成於RDL 780之背側上及RDL 785之前側上，且可被焊接至諸如PCB 795之一基板。

在此實施例中，雙面相機組件700之厚度大於圖6D中之雙面相機組件600之厚度，此係因為雙面相機組件700對BSI影像感測器720使用一單獨處置基板，而不是將一FSI影像感測器用作BSI影像感測器之處置基板(如上文描述)。

對本發明之所繪示之實施例之以上描述(包括摘要中描述之內容)並非意欲是詳盡的或將本發明限於所揭示之精確形式。如熟悉相關技術之人員將認識到，雖然出於繪示性目的而在本文中描述本發明之特定實施例及其實例，但在本發明之範圍內各種修改係可能的。

可鑑於以上詳細描述對本發明做出此等修改。所附申請專利範圍中使用之術語不應被理解為將本發明限於說明書

中揭示之特定實施例。確切言之，本發明之範圍應完全由所附申請專利範圍決定，應根據所建立之請求項解釋之原則來理解所附申請專利範圍。

【圖式簡單說明】

圖1繪示根據本發明之一實施例之一FSI互補金屬氧化物半導體(「CMOS」)成像像素。

圖2為根據本發明之一實施例之一BSI成像像素之一混合橫截面/電路圖解。

圖3為根據本發明之一實施例之一雙面相機組件之一橫截面圖。

圖4為繪示根據本發明之一實施例用於製造一雙面相機組件之一程序之一流程圖。

圖5A至圖5D為根據本發明之一實施例形成一雙面相機組件之影像晶圓之方塊圖。

圖6A至圖6D繪示根據本發明之一實施例用於封裝一雙面相機組件之處理操作。

圖7為根據本發明之一實施例之一雙面相機組件之一橫截面圖。

【主要元件符號說明】

100	成像像素
105	基板
110	金屬堆疊
115	光敏或光電二極體(PD)區域
125	像素電路區域

200	背側照明(BSI)成像像素
205	基板
210	彩色濾光器
215	微透鏡
220	光電二極體(PD)區域
225	互連擴散區域
230	像素電路區域
231	其他電路
235	像素電路層
240	金屬堆疊
241	金屬間介電層
243	金屬間介電層
245	擴散井
250	浮動擴散
270	鈍化層或釘紮層
280	光
300	雙面相機組件
310	第一成像系統/前側照明(FSI)成像系統
311	基板/FSI像素陣列
312	金屬堆疊/半導體基板
314	彩色濾光器
315	微透鏡
316	黏著膠
317	蓋玻片

320	接合層
350	第二成像系統/BSI成像系統/BSI影像感測器
351	基板
352	金屬堆疊/金屬層
353	背側p+層
354	彩色濾光器
355	微透鏡
356	黏著膠
357	蓋玻片
360	金屬墊
361	穿矽通孔(TSV)
362	TSV
380	基板
505	FSI影像感測器晶圓
510	區域
520a	FSI影像感測器區域/基板區域/基板
520b	金屬堆疊/FSI影像感測器區域
530a	未使用之區域
530b	未使用之區域
540	鈍化層
545	鈍化開口
555	BSI影像晶圓/BSI影像感測器晶圓
560	BSI影像感測器晶粒/BSI影像感測器
570	基板

580	金屬堆疊
590	鈍化
595	接合氧化物
600	雙面影像感測器/雙面影像感測器晶圓/雙面 相機組件
610	FSI影像感測器晶圓/FSI影像晶圓/FSI晶圓
620	BSI影像晶圓/BSI影像感測器晶圓
630	彩色濾光器
635	微透鏡
640	黏著間隔物
645	蓋玻片
650	彩色濾光器
655	微透鏡
660	黏著間隔物
665	蓋玻片
670	金屬層
671	TSV
675	金屬墊
680	焊接球
690	印刷電路板(PCB)
700	雙面相機組件
710	FSI影像感測器
711	基板之前側
712	基板之背側

720	BSI影像感測器
721	基板之前側
730	基板
735	金屬堆疊
740	彩色濾光器
745	微透鏡
750	基板
755	金屬堆疊
760	處置基板
770	彩色濾光器
775	微透鏡
780	再分佈層 (RDL)
785	再分佈層 (RDL)
790	焊接球
795	PCB
M1	金屬層
M2	金屬層
T3	SF電晶體

七、申請專利範圍：

1. 一種裝置，其包含：

一第一成像系統，其包括安置在一第一半導體晶粒內之一前側照明(FSI)成像像素陣列，其中每一FSI成像像素包括用於回應於該FSI陣列之一前側上之入射光而累積一影像電荷之一光電二極體區域；

一第一金屬堆疊，其安置在該第一半導體晶粒之一第一側上且包括耦合至該第一成像系統以自該等FSI成像像素之每一者讀出影像資料之FSI讀出電路；

一第二成像系統，其包括安置在一第二半導體晶粒內之一背側照明(BSI)成像像素陣列，其中每一BSI成像像素包括用於回應於該BSI陣列之一背側上之入射光而累積一影像電荷之一光電二極體區域；

一第二金屬堆疊，其安置在該第二半導體晶粒上且包括耦合至該第二成像系統以自該等BSI成像像素之每一者讀出影像資料之BSI讀出電路；及

一接合層，其用於將該第二金屬堆疊接合至該第一半導體晶粒之一第二側。

2. 如請求項1之裝置，其中BSI成像像素之數目大於FSI成像像素之數目。

3. 如請求項1之裝置，其中該第一成像系統之一中心與該第二成像系統之一中心相對對準。

4. 如請求項1之裝置，其中該第二成像系統包含小於該第一成像系統之一厚度。

5. 如請求項1之裝置，其中該等第一及第二金屬堆疊操作性地耦合至一基板，以自該FSI讀出電路及該BSI讀出電路接收該影像資料。
6. 如請求項1之裝置，其中用於自該FSI讀出電路及該BSI讀出電路接收該影像資料之該基板包含一印刷電路板(PCB)。
7. 如請求項6之裝置，其中該第一半導體晶粒包含矽半導體材料且包括穿矽通孔(TSV)之至少一者，以將該第二金屬堆疊之該BSI讀出電路操作性地耦合至該PCB。
8. 如請求項1之裝置，其中該接合層包含一層氧化物接合層。
9. 如請求項1之裝置，其中對於每一FSI成像像素，該FSI陣列包括：
 - 一微透鏡，其安置在該第一半導體晶粒之一前側上且在該光電二極體區域下方，且經光學對準以將自該前側接收之光聚焦至該光電二極體區域上；及
 - 一彩色濾光器，其安置在該微透鏡與該光電二極體區域之間以過濾自該前側接收之該光；且其中對於每一BSI成像像素，該BSI陣列包括：
 - 一微透鏡，其安置在該第二半導體晶粒之一背側上且在該光電二極體區域下方，且經光學對準以將自該背側接收之光聚焦至該光電二極體區域上；及
 - 一彩色濾光器，其安置在該微透鏡與該光電二極體區域之間以過濾自該背側接收之該光。

10. 一種成像系統，其包含：

一前側照明(FSI)成像像素陣列，其中每一FSI成像像素包括用於回應於該FSI陣列之一前側上之入射光而累積一影像電荷之一光電二極體區域；

FSI讀出電路，其安置在該FSI陣列上以自該等FSI成像像素之每一者讀出影像資料；

一背側照明(BSI)成像像素陣列，其中每一BSI成像像素包括用於回應於該BSI陣列之一背側上之入射光而累積一影像電荷之一光電二極體區域，其中該BSI陣列之一中心與該FSI陣列之一中心相對對準；

BSI讀出電路，其安置在該BSI陣列上以自該等BSI成像像素之每一者讀出影像資料；及

一基板，其操作性地耦合至該FSI讀出電路及該BSI讀出電路以自該FSI陣列及該BSI陣列接收影像資料。

11. 如請求項10之成像系統，其中該基板包含一印刷電路板(PCB)。

12. 如請求項10之成像系統，其中該BSI陣列包括在一半導體晶粒中，該BSI讀出電路包括在安置於在該半導體晶粒上之一金屬堆疊中，且該成像系統進一步包含安置在該金屬堆疊上之一處置基板。

13. 如請求項12之成像系統，其中該BSI陣列包含小於該FSI陣列之一厚度。

14. 如請求項10之成像系統，其中BSI成像像素之數目大於FSI成像像素之數目。

15. 如請求項10之成像系統，其中該FSI陣列之一寬度與該BSI陣列之一寬度相對相等。

16. 一種製造一雙側相機組件之方法，該方法包含：

製造安置在一第一半導體晶粒內之一前側照明(FSI)成像像素陣列，其中每一FSI成像像素包括用於回應於該FSI陣列之一前側上之入射光而累積一影像電荷之一光電二極體區域；

製造安置在一第二半導體晶粒內之一背側照明(BSI)成像像素陣列，其中每一BSI成像像素包括用於回應於該BSI陣列之一背側上之入射光而累積一影像電荷之一光電二極體區域；

將一處置晶圓接合至該BSI陣列之一前側；

在該BSI陣列之該背側將該第二半導體晶粒減薄，使得該第二半導體晶粒之一厚度小於該第一半導體晶粒之一厚度；及

組合該等第一及第二半導體晶粒以形成該雙側相機組件。

17. 如請求項16之方法，其中該處置晶圓包含該第一半導體晶粒，且組合該等第一及第二半導體晶粒包含將安置在該第二半導體晶粒上之一金屬堆疊接合至該第一半導體晶粒，其中該金屬堆疊包括BSI讀出電路以自該等BSI成像像素之每一者讀出影像資料。

18. 如請求項16之方法，其進一步包含：

形成安置在該第一半導體晶粒上且包括FSI讀出電路

以自該等FSI成像像素之每一者讀出影像資料之一第一金屬堆疊，及安置在該第一金屬堆疊上以提供對該FSI讀出電路之接達之一第一再分佈層(RDL)；及

形成安置在該第二半導體晶粒上且包括BSI讀出電路以自該等BSI成像像素之每一者讀出影像資料之一第二金屬堆疊，及安置在該第二金屬堆疊上以提供對該FSI讀出電路之接達之一第二RDL；

其中組合該等第一及第二半導體晶粒以形成該雙側相機組件包含將該等第一及第二RDL操作性地耦合至該雙側相機組件之一基板。

19. 如請求項16之方法，其中該雙側相機組件之該基板包含一印刷電路板(PCB)。
20. 如請求項16之方法，其進一步包含：

對於每一FSI成像像素，形成安置在該第一半導體晶粒之一前側上且在該光電二極體區域下方且經光學對準以將自該前側接收之光聚焦至該光電二極體區域上之一微透鏡，及安置在該微透鏡與該光電二極體區域之間以過濾自該前側接收之該光之一彩色濾光器；及

對於每一BSI成像像素，形成安置在該第二半導體晶粒之一背側上且在該光電二極體區域下方且經光學對準以將自該背側接收之光聚焦至該光電二極體區域上之一微透鏡，及安置在該微透鏡與該光電二極體區域之間以過濾自該背側接收之該光之一彩色濾光器。

八、圖式：

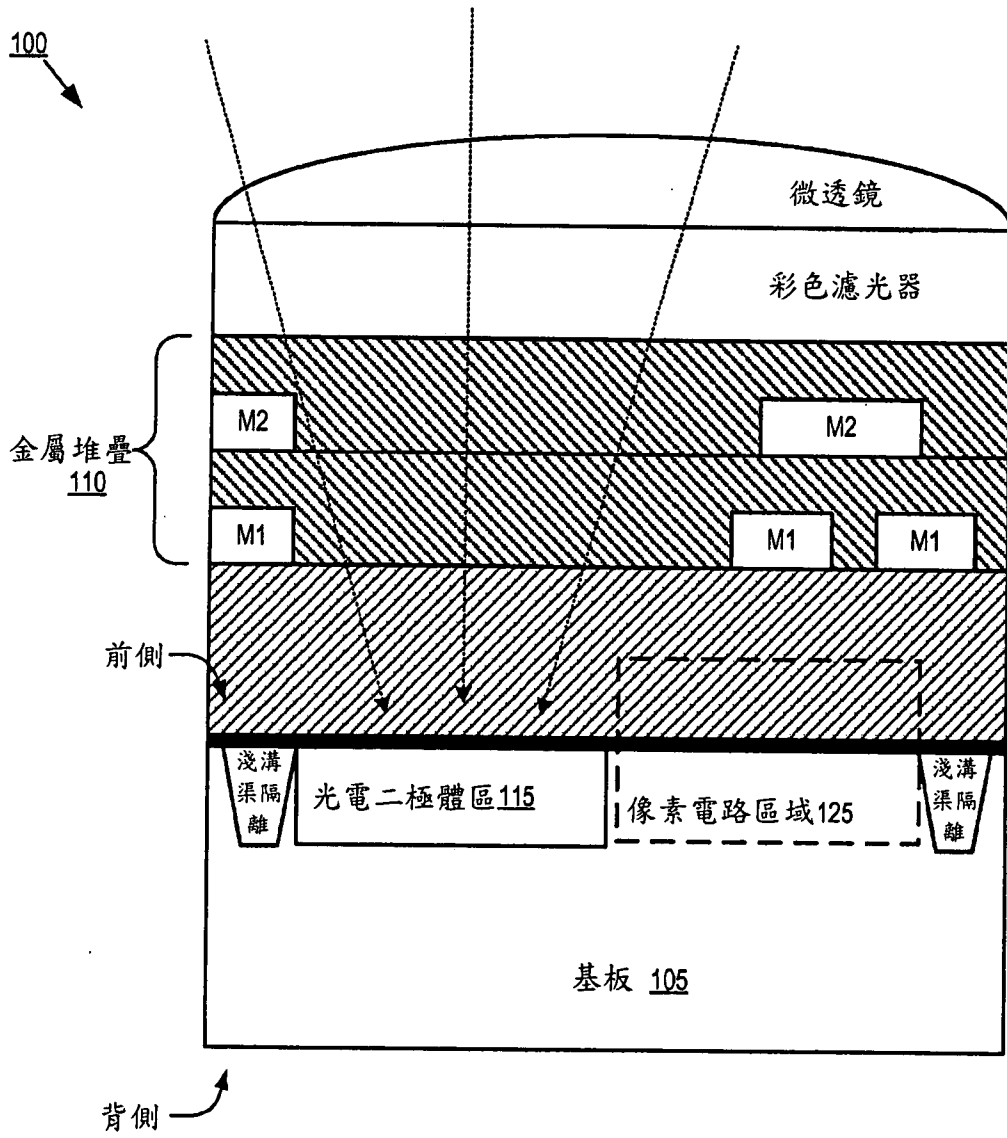


圖 1

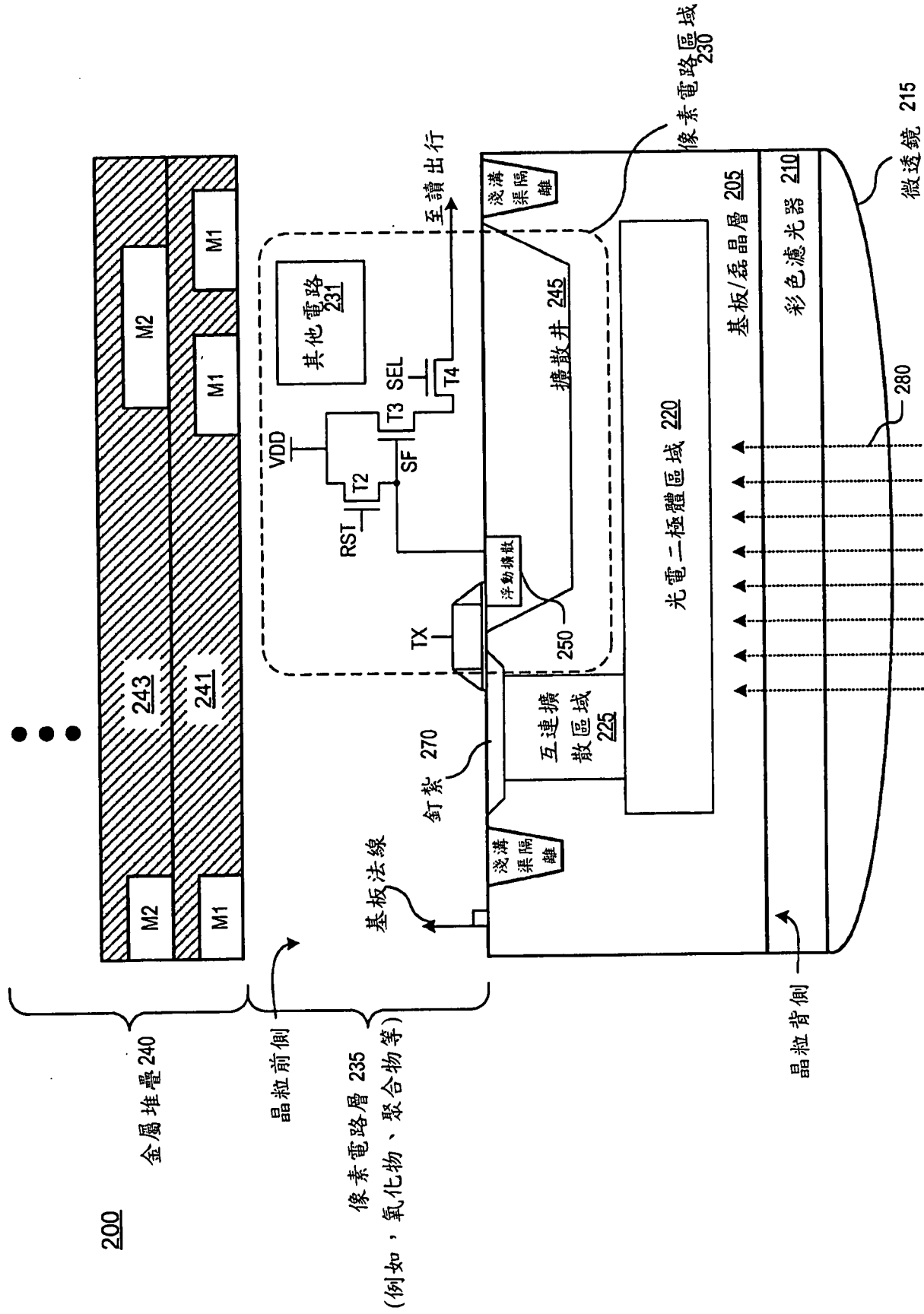


圖 2

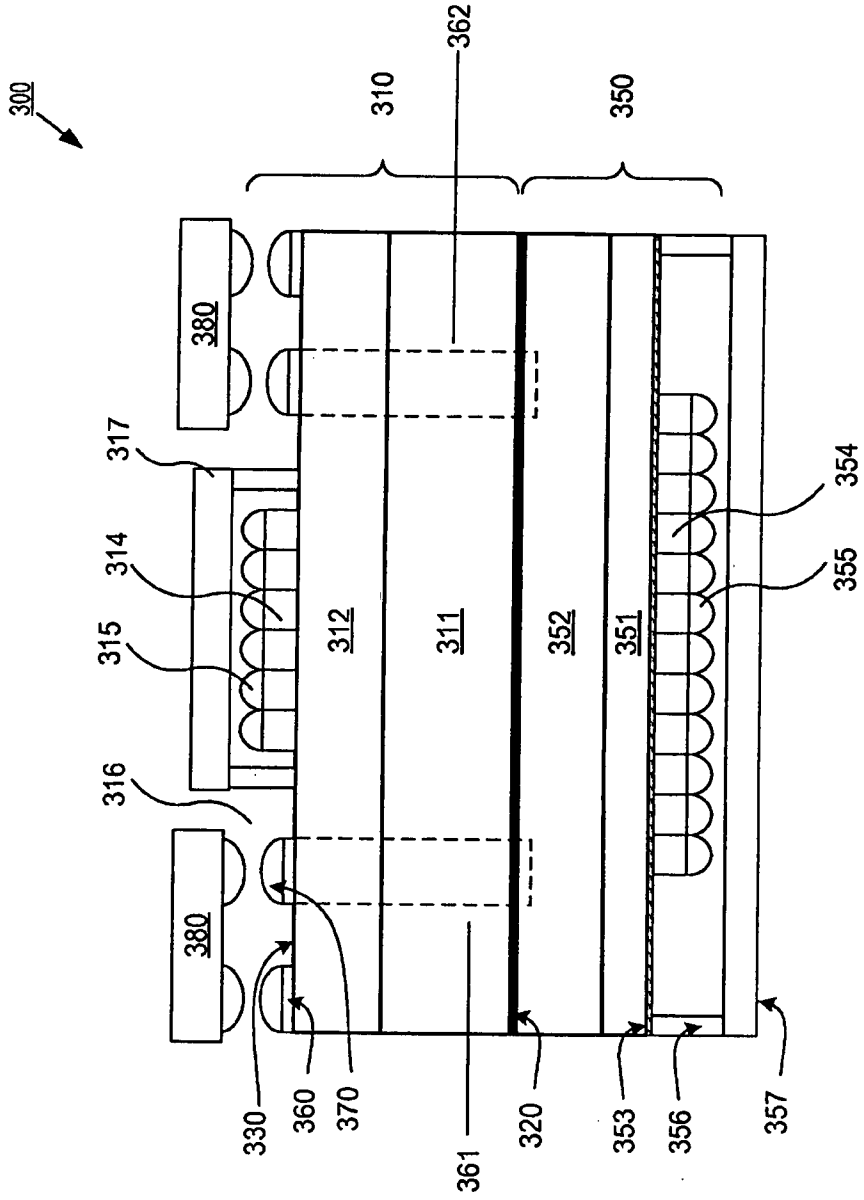


圖 3

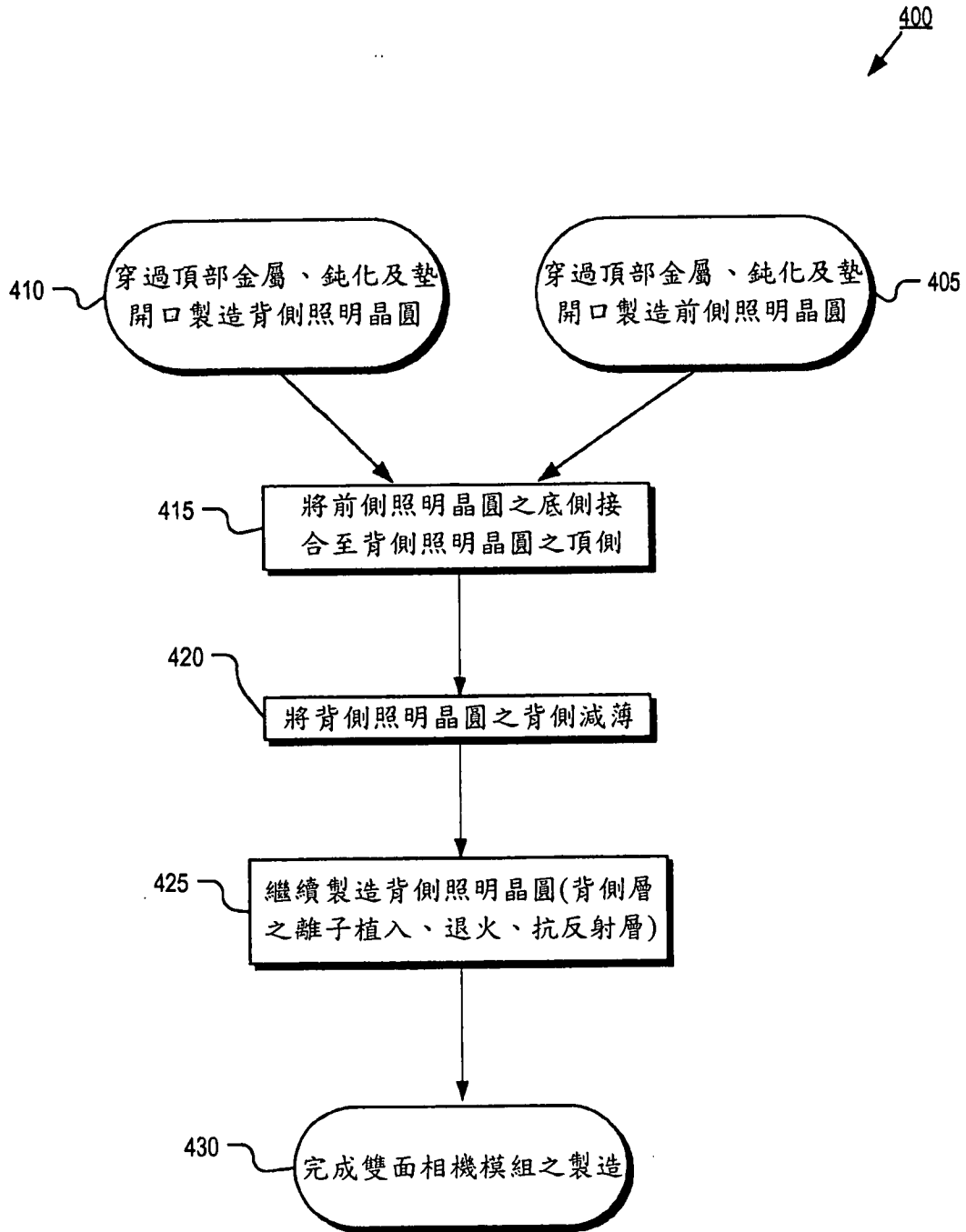


圖 4

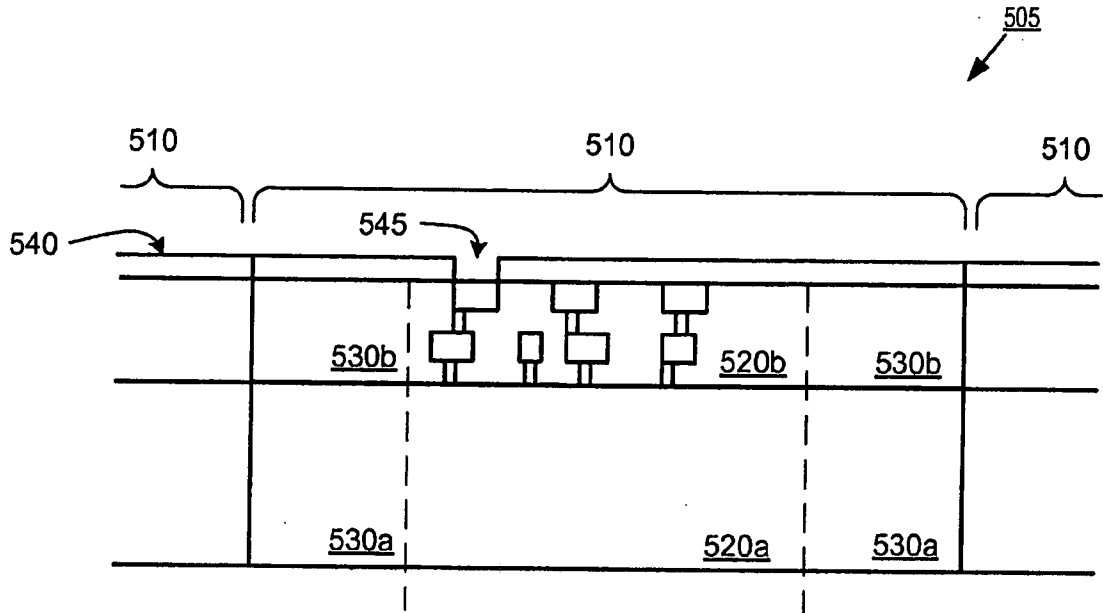


圖 5A

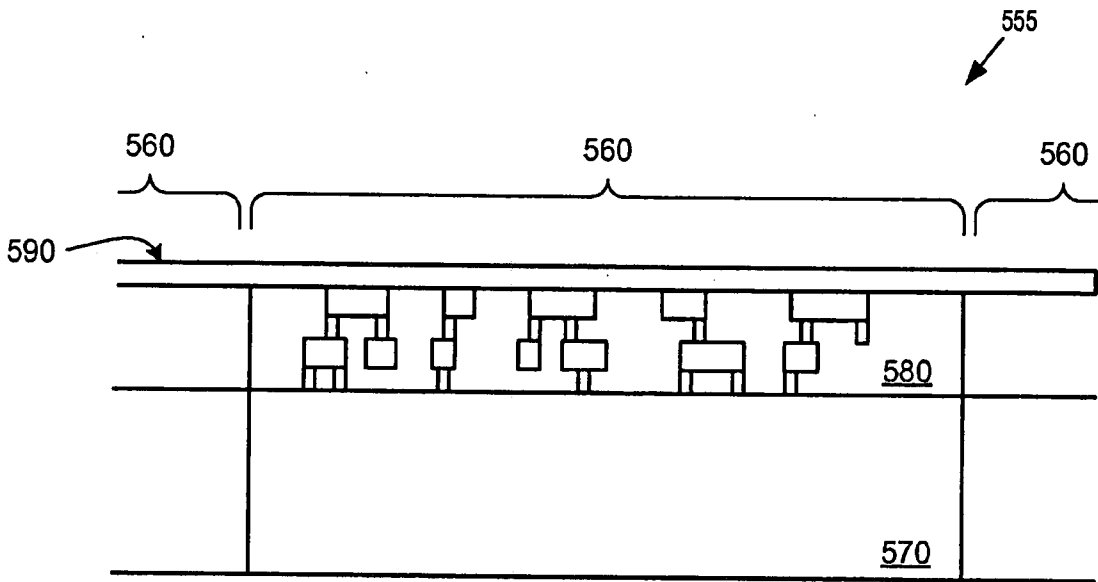


圖 5B

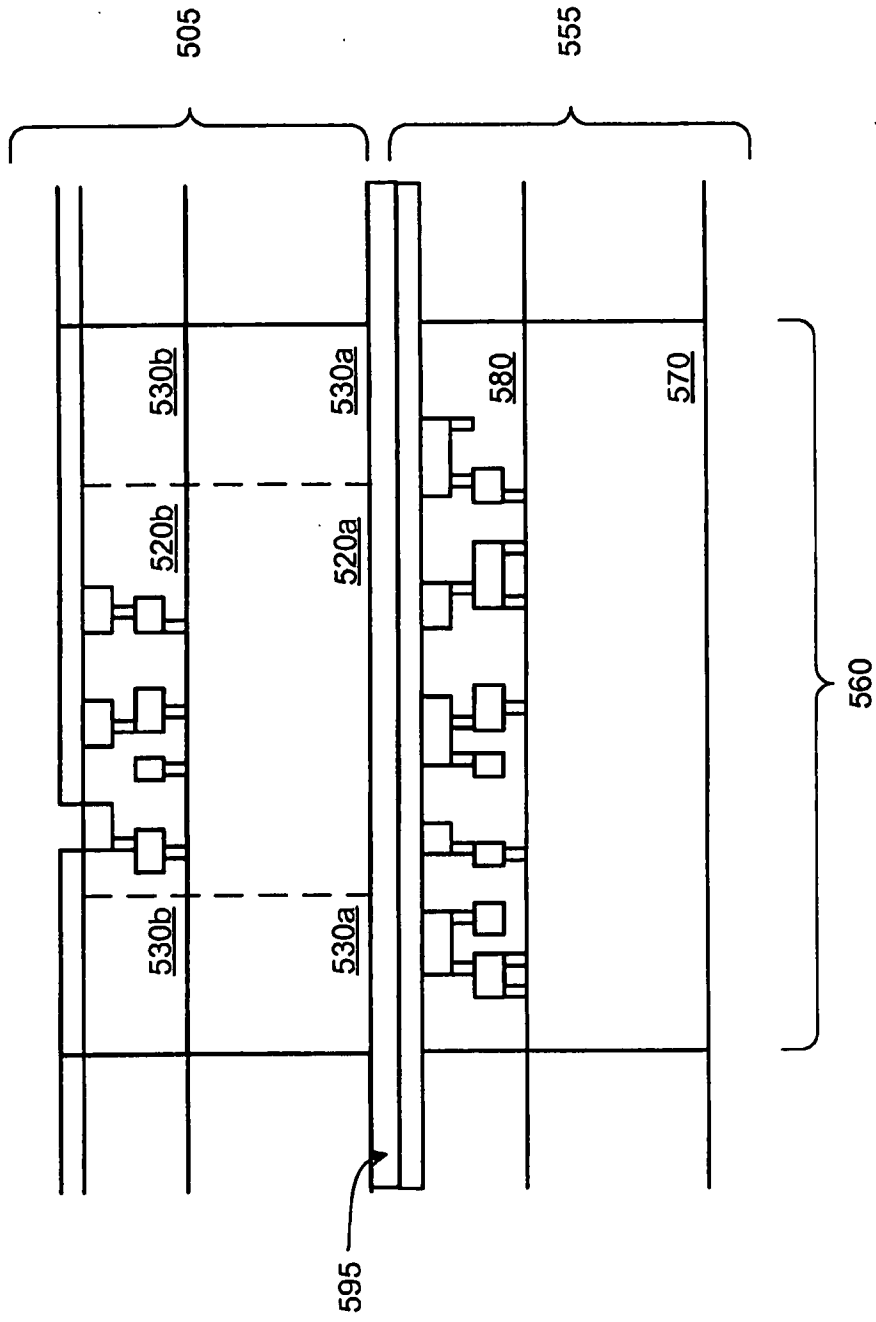


圖 5C

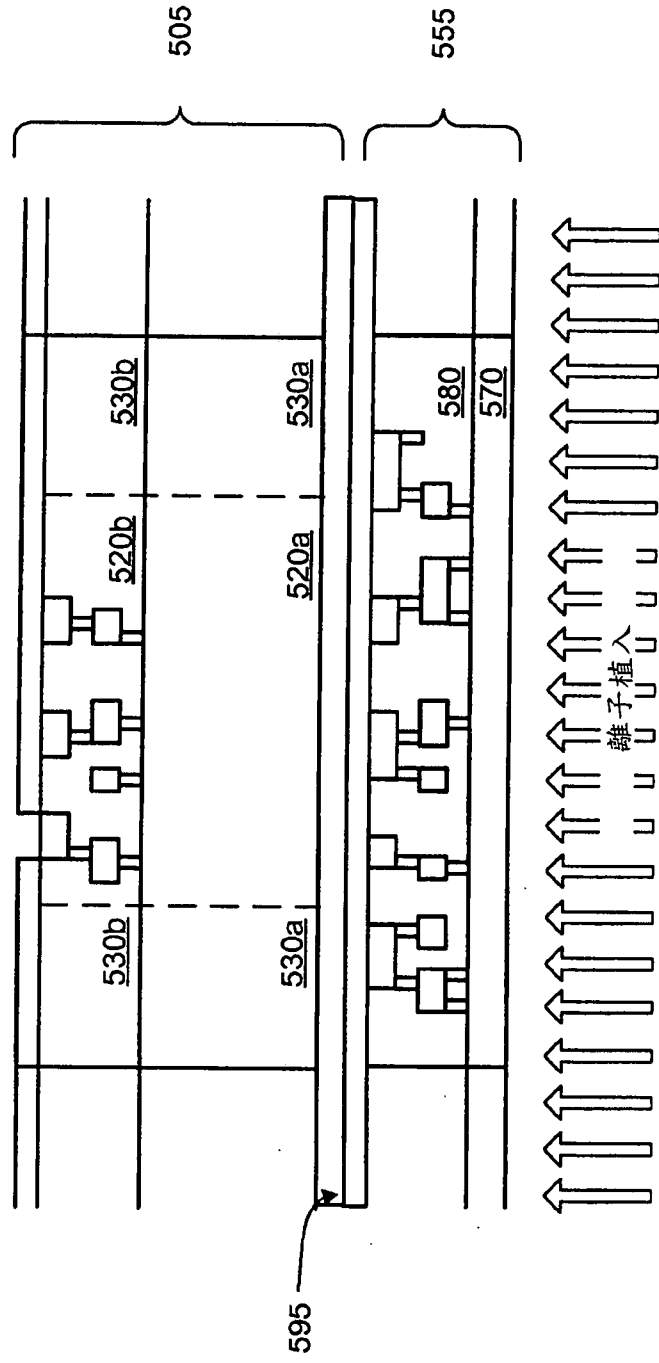


圖 5D

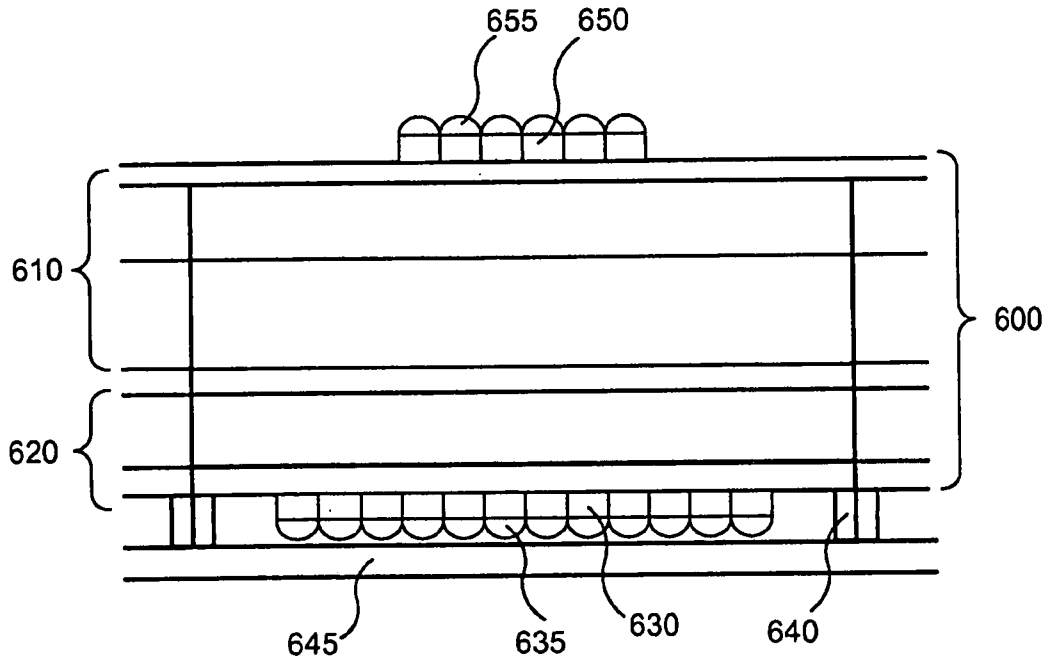


圖 6A

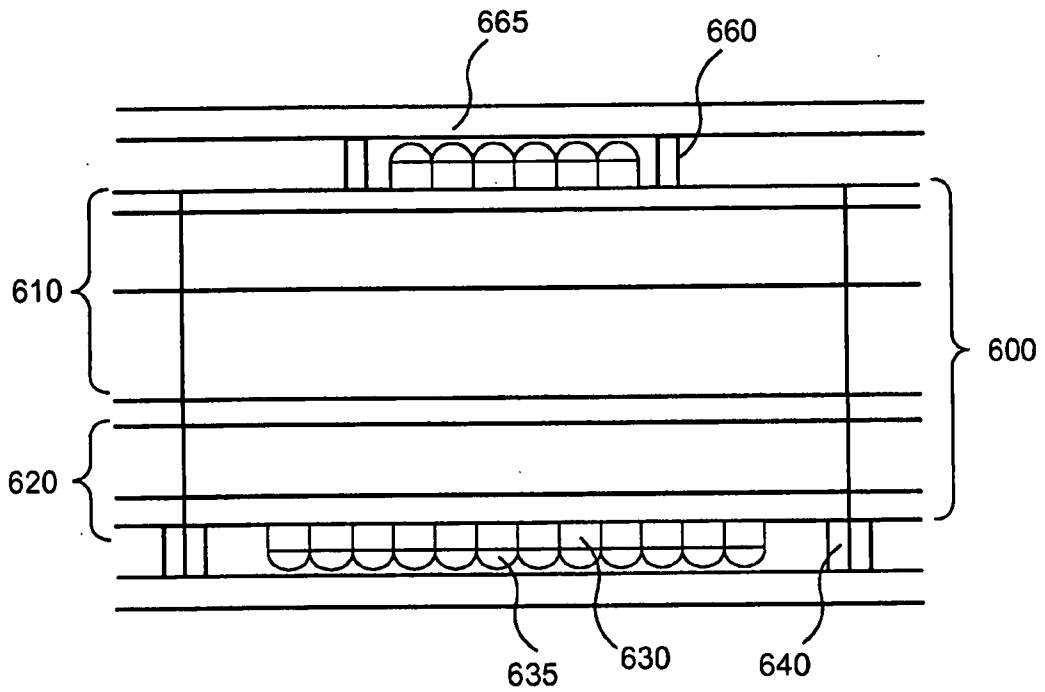


圖 6B

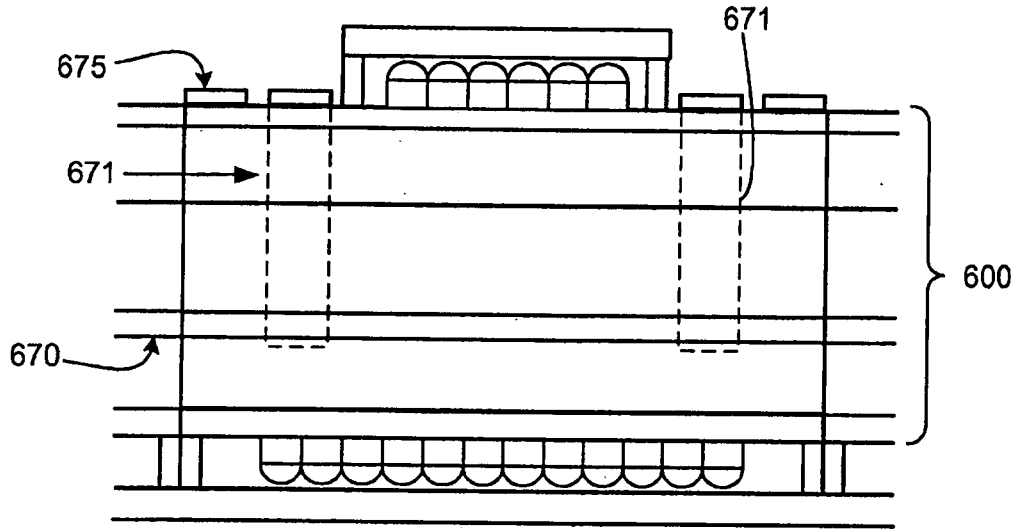


圖 6C

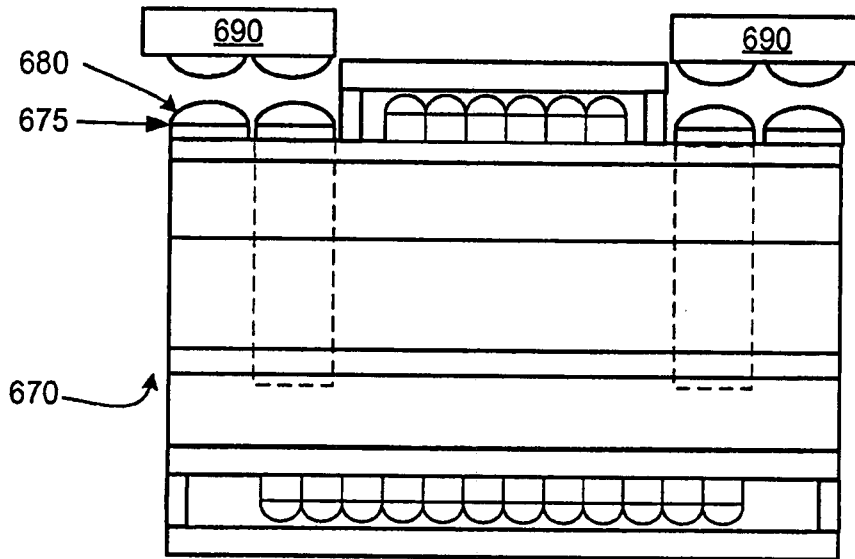


圖 6D

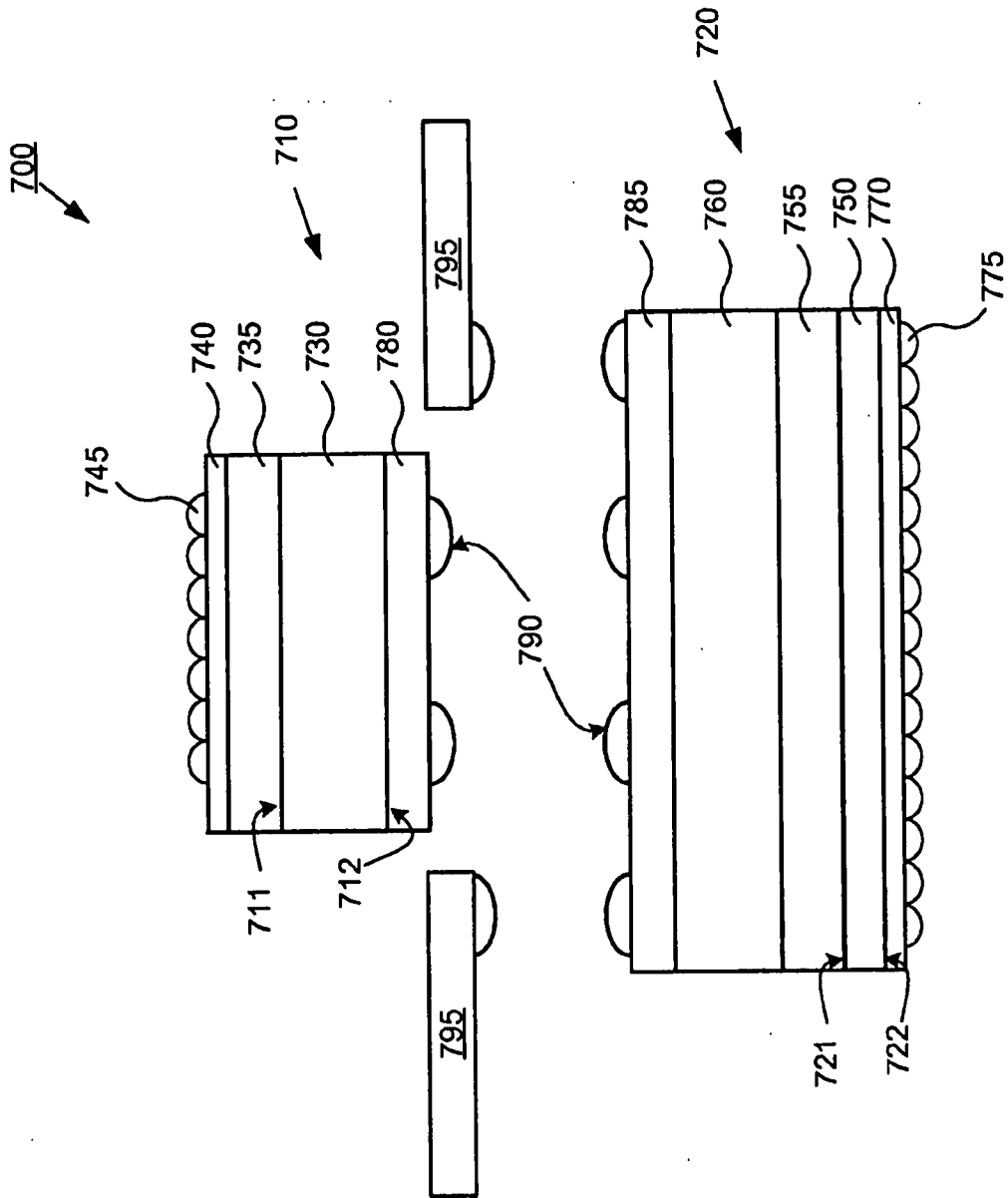


圖 7