(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03M 1/66 (2006.01)

(45) 공고일자 2007년05월03일
(11) 등록번호 10-0712863
(24) 등록일자 2007년04월24일

(21) 출원번호 10-1999-0054503
(22) 출원일자 1999년12월02일
심사청구일자 2004년12월02일

(65) 공개번호 10-2000-0067817
(43) 공개일자 2000년11월25일

(30) 우선권주장 98-344732 1998년12월03일 일본(JP)
99-077846 1999년03월23일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 아자미무네히로
일본국가나가와-켄243-0036아쓰기-시하세398가부시키가이샤한도오따이에네루기켄큐쇼내

오사메미츠아키
일본국가나가와-켄243-0036아쓰기-시하세398가부시키가이샤한도오따이에네루기켄큐쇼내

시오노이리유타카
일본국가나가와-켄243-0036아쓰기-시하세398가부시키가이샤한도오따이에네루기켄큐쇼내

나가오소우
일본국가나가와-켄243-0036아쓰기-시하세398가부시키가이샤한도오따이에네루기켄큐쇼내

(74) 대리인 이병호
장훈
신현문
이범래

(56) 선행기술조사문헌
US04568917 JP05767801
* 심사관에 의하여 인용된 문헌

심사관 : 김자영

전체 청구항 수 : 총 37 항

(54) 디지털 아날로그 변환기 및 이를 사용한 전자 장치

(57) 요약

본 발명은 출력 전압 진폭(V_{OUT}) 및 기준 전압을 독립적으로 제어할 수 있는 D/A 변환기 회로에 관한 것이다. D/A 변환기 회로는 "n" 비트 디지털 데이터("n": 자연수)를 아날로그 신호로 변환하며, 상기 "n" 비트 디지털 데이터의 각각의 비트들은 스위치를 제어하며 상기 스위치에 접속된 캐패시터 내의 전하의 충전 및 방전을 제어하며, 오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들을 출력한다.

대표도

도 1

특허청구의 범위

청구항 1.

"n" 비트 디지털 데이터("n": 자연수)를 아날로그 신호들로 변환하는 D/A 변환기 회로에 있어서,

상기 "n" 비트 디지털 데이터의 각각의 비트들은 스위치를 제어하고, 상기 스위치에 접속된 캐패시터 내의 전하들의 충전 및 방전을 제어하며,

오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, D/A 변환기 회로.

청구항 2.

"n" 비트 디지털 데이터("n":자연수)를 아날로그 신호들로 변환하고, 상기 "n" 비트 디지털 데이터의 각각의 비트들에 대응하는 "n"개의 스위치들 및 "n"개의 캐패시터를 갖는 D/A 변환기 회로에 있어서,

상기 각각의 비트들에 대응하는 상기 "n"개의 스위치들은 상기 "n"개의 스위치들 각각에 접속된 상기 캐패시터들 내의 전하들의 충전 및 방전을 제어하며,

오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, D/A 변환기 회로.

청구항 3.

"n" 비트 디지털 데이터를 아날로그 신호들로 변환하는 D/A 변환기 회로에 있어서,

"n" 비트 디지털 데이터의 하위 "m" 비트의 각각의 비트들에 의해 제어되는 스위치("m" 및 "n": 자연수들, "m"<"n"), 및 "n" 비트 디지털 데이터의 상위 ("n"-"m") 비트들의 각각의 비트들에 의해 제어되는 스위치와,

상기 하위 "m" 비트들의 각각의 비트들에 의해 제어되는 상기 스위치 각각에 접속되고, 상기 각각의 단위 캐패시터보다 2^{m-1}배 큰, 캐패시터와,

상기 상위 ("n"-"m") 비트들의 각각의 비트들에 의해 제어되는 상기 스위치들 각각에 접속되고, 상기 각각의 단위 캐패시터보다 2^{n-m-1}배 큰, 캐패시터와,

결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들 및 오프셋 전원이 상기 D/A 변환기 회로에 접속되며,

상기 스위치들은 상기 2개의 전원들 중 어느 하나를 선택하며,

상기 2개의 리셋 스위치들은 상기 캐패시터에 전하들의 충전을 제어하며,

상기 "n" 비트 디지털 비디오 데이터의 상기 상위 ("n"-"m") 비트들의 캐패시터의 공통 접속 단부로부터, 상기 오프셋 전원의 전위를 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, D/A 변환기 회로.

청구항 4.

D/A 변환기 회로에 있어서,

"n" 비트 디지털 데이터의 상기 하위 "m"비트("n" 및 "m": 자연수들, "m"<"n")에 의해 제어되며, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 상기 단위 캐패시터보다 2^{m-1}배 큰 캐패시터를 갖는 하위 비트 회로부와,

"n" 비트 디지털 데이터의 상기 상위 ("n"-"m")비트들에 의해 제어되고, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 상기 단위 캐패시터보다 2^{n-m-1}배 큰 캐패시터를 갖는 상위 비트 회로부와,

상기 하위 비트 회로부를 상기 상위 비트 회로부에 접속시키는 단위 캐패시터로 구성된 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들 및 오프셋 전원이 입력되며,

상기 2개의 리셋 스위치들은 상기 하위 비트 회로부의 각각의 캐패시터들과 상기 상위 비트 회로부의 각각의 캐패시터들 내의 전하들의 충전을 제어하며,

상기 오프셋 전원은 상기 상위 비트 회로부의 각 캐패시터들의 공통 접속 단부에 입력되며,

상기 하위 비트 회로부의 상기 각각의 스위치들은 비트 정보에 따라 상기 2개의 전원들 중 어느 하나를 선택하고, 상기 각각의 스위치들에 접속된 캐패시터 내의 전하들의 충전 및 방전을 제어하며,

상기 상위 비트 회로부의 상기 각각의 스위치들은 각각의 비트 정보에 따라 상기 2개의 전원들 중 어느 하나를 선택하고, 상기 각각의 스위치들에 접속된 캐패시터 내의 전하들의 충전 및 방전을 제어하며,

상기 상위 비트 회로부의 상기 공통 접속 단부로부터, 상기 오프셋 전원의 전위를 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, D/A 변환기 회로.

청구항 5.

D/A 변환기 회로에 있어서,

"n" 비트 디지털 데이터의 상기 하위 "m"비트("n" 및 "m": 자연수들, "m"<"n")에 의해 제어되고, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 상기 단위 캐패시터보다 2^{m-1}배 큰 캐패시터를 갖는 하위 비트 회로부와,

"n" 비트 디지털 데이터의 상기 상위 ("n"-"m")비트들에 의해 제어되며, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 상기 단위 캐패시터보다 2^{n-m-1}배 큰 캐패시터를 갖는 상위 비트 회로부와,

상기 하위 비트 회로부를 상기 상위 비트 회로부에 접속시키는 상기 단위 캐패시터로 구성된 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들(V_H 및 V_L) 및 오프셋 전원(V_B)이 입력되며,

상기 오프셋 전원(V_B)은 상기 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 입력되며,

상기 공통 접속 단부로부터 출력되는 상기 출력 전압(V_{OUT})은 식(6a), (6b), (7), 및 (8)로 표현되는, D/A 변환기 회로.

청구항 6.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 "n" 비트 디지털 데이터("n": 자연수)를 아날로그 신호들로 변환하는 D/A 변환기 회로를 구비하며,

상기 "n" 비트 디지털 데이터의 각각의 비트들은 스위치를 제어하고, 상기 스위치에 접속된 캐패시터 내의 전하들의 충전 및 방전을 제어하며,

오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, 전자 장치.

청구항 7.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 "n" 비트 디지털 데이터("n": 자연수)를 아날로그 신호들로 변환하는 D/A 변환기 회로를 갖고, 상기 D/A 변환기 회로는 상기 "n" 비트 디지털 데이터의 각각의 비트들에 대응하는 "n"개의 스위치들 및 "n"개의 캐패시터들을 가지며,

상기 각각의 비트들에 대응하는 상기 "n"개의 스위치들은 상기 "n"개의 스위치들 각각에 접속된 상기 캐패시터들 내의 전하들의 충전 및 방전을 제어하며,

오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, 전자 장치.

청구항 8.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 D/A 변환기 회로는, "n" 비트 디지털 데이터를 아날로그 신호들로 변환하는 D/A 변환기 회로를 구비하며, 상기 D/A 변환기 회로는,

"n" 비트 디지털 데이터의 상기 하위 "m" 비트들의 각각의 비트들("m" 및 "n": 자연수들, "m"<"n")에 의해 제어되는 스위치, 및 "n" 비트 디지털 데이터의 상기 상위 ("n"-"m") 비트들의 각각의 비트들에 의해 제어되는 스위치와,

상기 하위 "m" 비트들의 각각의 비트들에 의해 제어되는 상기 스위치들 각각에 접속되고, 각각의 단위 캐패시터보다 2^{m-1}배 큰, 캐패시터와,

상기 상위 ("n"-"m") 비트들의 각각의 비트들에 의해 제어되는 상기 스위치들 각각에 접속되고, 상기 각각의 단위 캐패시터보다 2^{n-m-1}배 큰, 캐패시터와,

결합 캐패시터와;

2개의 리셋 스위치들을 포함하며,

2개의 전원들 및 오프셋 전원은 상기 D/A 변환기 회로에 접속되며,

상기 스위치들은 상기 2개의 전원들 중 어느 하나를 선택하며,

상기 2개의 리셋 스위치들은 상기 캐패시터 내의 전하들의 충전을 제어하며,

상기 "n" 비트 디지털 비디오 데이터의 상기 상위 ("n"-"m") 비트의 캐패시터의 공통 접속 단부로부터, 상기 오프셋 전원의 전위를 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, 전자 장치.

청구항 9.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 D/A 변환기 회로를 가지며, 상기 D/A 변환기 회로는,

"n" 비트 디지털 데이터의 하위 "m"비트("n" 및 "m": 자연수들, "m"<"n")에 의해 제어되며, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 단위 캐패시터보다 2^{m-1}배 큰 캐패시터를 갖는 하위 비트 회로부와,

"n" 비트 디지털 데이터의 상위 ("n"-"m")비트들에 의해 제어되며, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 상기 단위 캐패시터보다 2^{n-m-1}배 큰 캐패시터를 갖는 상위 비트 회로부와,

상기 하위 비트 회로부를 상기 상위 비트 회로부에 접속시키는 상기 단위 캐패시터로 구성된 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들 및 오프셋 전원이 입력되며,

상기 2개의 리셋 스위치들은 상기 하위 비트 회로부의 각각의 캐패시터들 및 상기 상위 비트 회로부의 각각의 캐패시터들 내의 전하들의 충전을 제어하며,

상기 오프셋 전원은 상기 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 입력되며,

상기 하위 비트 회로부의 상기 각각의 스위치들은 상기 비트 정보에 따라 상기 2개의 전원들 중 어느 하나를 선택하고, 상기 각각의 스위치들에 접속된 캐패시터 내의 전하들의 충전 및 방전을 제어하며,

상기 상위 비트 회로부의 상기 각각의 스위치들은 각각의 비트 정보에 따라 상기 2개의 전원들 중 어느 하나를 선택하고, 상기 각각의 스위치들에 접속된 캐패시터 내의 전하들의 충전 및 방전을 제어하며,

상기 상위 비트 회로부의 상기 공통 접속 단부로부터, 상기 오프셋 전원의 전위를 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, 전자 장치.

청구항 10.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 D/A 변환기 회로를 가지며, 상기 D/A 변환기 회로는,

"n" 비트 디지털 데이터의 하위 "m"비트("n" 및 "m": 자연수들, "m"<"n")에 의해 제어되며, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 단위 캐패시터보다 2^{m-1}배 큰 캐패시터를 갖는 하위 비트 회로부와,

"n" 비트 디지털 데이터의 상기 상위 ("n"-"m")비트들에 의해 제어되며, 상기 각각의 비트들에 의해 제어되는 스위치와 상기 스위치에 접속된 캐패시터를 포함하며, 상기 단위 캐패시터보다 2^{n-m-1}배 큰 캐패시터를 갖는 상위 비트 회로부와,

상기 하위 비트 회로부를 상기 상위 비트 회로부에 접속시키는 상기 단위 캐패시터로 구성된 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들(V_H 및 V_L) 및 오프셋 전원(V_B)이 입력되며,

상기 오프셋 전원(V_B)은 상기 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 입력되며,

상기 공통 접속 단부로부터 출력되는 상기 출력 전압(V_{OUT})은 식(6a), (6b), (7), 및 (8)로 표현되는, 전자 장치.

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

삭제

청구항 17.

삭제

청구항 18.

삭제

청구항 19.
삭제

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.
삭제

청구항 28.
삭제

청구항 29.
삭제

청구항 30.
삭제

청구항 31.
삭제

청구항 32.
삭제

청구항 33.
삭제

청구항 34.
삭제

청구항 35.

삭제

청구항 36.
삭제

청구항 37.
삭제

청구항 38.
삭제

청구항 39.
삭제

청구항 40.
삭제

청구항 41.
삭제

청구항 42.
삭제

청구항 43.
삭제

청구항 44.
삭제

청구항 45.
삭제

청구항 46.

D/A 변환기 회로에 있어서,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

상기 부하 캐패시터에 접속된 접지 전위와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, D/A 변환기 회로.

청구항 47.

D/A 변환기 회로를 포함하는 디스플레이 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

상기 부하 캐패시터에 접속된 접지 전위와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 디스플레이 장치.

청구항 48.

D/A 변환기 회로를 포함하는 전자 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

상기 부하 캐패시터에 접속된 접지 전위와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 전자 장치.

청구항 49.

D/A 변환기 회로에 있어서,

제 i 캐패시터가 $2^{i-1}C$(i는 자연수이고, C는 상수)의 용량을 갖는 n 개의 캐패시터들과,

상기 n 개의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

상기 부하 캐패시터에 접속된 접지 전위와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 n 개의 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, n 개의 캐패시터들에 각각 접속된 n 개의 스위치들을 포함하는, D/A 변환기 회로.

청구항 50.

D/A 변환기 회로에 있어서,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 n 개의 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, D/A 변환기 회로.

청구항 51.

D/A 변환기 회로를 포함하는 디스플레이 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 디스플레이 장치.

청구항 52.

D/A 변환기 회로를 포함하는 전자 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 전자 장치.

청구항 53.

D/A 변환기 회로에 있어서,

제 i 캐패시터가 $2^{i-1}C$(i는 자연수이고, C는 상수)의 용량을 갖는 n 개의 캐패시터들과,

상기 n 개의 캐패시터들에 접속된 출력단자와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 n 개의 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, n 개의 캐패시터들에 각각 접속된 n 개의 스위치들을 포함하는, D/A 변환기 회로.

청구항 54.

D/A 변환기 회로를 포함하는 액티브 매트릭스형 액정 디스플레이 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 액티브 매트릭스형 액정 디스플레이 장치.

청구항 55.

제 54 항에 있어서, 상기 액정 디스플레이 장치는 무임계 반-강유전체 혼합 액정(thresholdless anti-ferroelectric blended liquid crystal)을 포함하는, 액티브 매트릭스형 액정 디스플레이 장치.

청구항 56.

D/A 변환기 회로를 포함하는 액티브 매트릭스형 EL 디스플레이 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 액티브 매트릭스형 EL 디스플레이 장치.

청구항 57.

"n" 비트 디지털 데이터를 아날로그 신호들로 변환하는 D/A 변환기 회로에 있어서,

상기 "n" 비트 디지털 데이터의 하위 "m" 비트들의 각각의 비트들("m" 및 "n": 자연수들, "m"<"n")에 의해 제어되는 "m" 개의 스위치들과,

상기 "n" 비트 디지털 데이터의 상위 "n-m' 비트들의 각각의 비트들에 의해 제어되는 "n-m" 개의 스위치들과,

상기 "m" 개의 스위치들의 각각에 접속된 "m" 개의 캐패시터들로서, 상기 "m" 개의 스위치들의 제 k 스위치에 접속된 상기 "m" 개의 캐패시터들 중 하나의 용량은 $2^{k-1}C$(C는 단위 용량)인, 상기 "m" 개의 캐패시터들과,

상기 "n-m" 개의 스위치들의 각각에 접속된 "n-m" 개의 캐패시터들로서, 상기 "n-m" 개의 스위치들의 제 i 스위치에 접속된 상기 "n-m" 개의 캐패시터들 중 하나의 용량은 $2^{i-1}C$인, 상기 "n-m" 개의 캐패시터들과,

결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들 및 오프셋 전원이 상기 D/A 변환기 회로에 접속되며,

상기 "m" 개의 스위치들 및 "n-m" 개의 스위치들 각각은 상기 2개의 전원들 중 하나를 선택하며,

상기 2개의 리셋 스위치들은 상기 "m" 개의 캐패시터들 및 "n-m' 개의 캐패시터들 내의 전하들의 충전을 제어하며,

상기 'n-m" 개의 캐패시터들에 공통 접속된 단자로부터, 상기 오프셋 전원의 전위를 기준 전위으로서 사용하여, 아날로그 신호들이 출력되는, D/A 변환기 회로.

청구항 58.

D/A 변환기 회로에 있어서,

n 및 m이 자연수들이며, n이 m보다 큰, "n" 비트 디지털 데이터의 하위 "m" 비트들에 의해 제어되는 하위 비트 회로부로서, 상기 하위 비트 회로부는 상기 각각의 하위 m 비트들에 의해 제어되는 m 개의 스위치들과 상기 m 개의 스위치들에 접속된 "m" 개의 캐패시터들을 포함하며, 상기 m 개의 스위치들의 제 k 스위치에 접속된 상기 "m" 개의 캐패시터들 중 하나의 용량은 $2^{k-1}C$(C는 단위 용량)인, 상기 하위 비트 회로부와,

상기 "n" 비트 디지털 데이터의 상기 상위 "n-m" 비트들에 의해 제어되는 상위 비트 회로부로서, 상기 상위 비트 회로부는 상기 각각의 "n-m" 비트들에 의해 제어되는 "n-m" 개의 스위치들과 상기 "n-m" 개의 스위치들에 접속된 "n-m" 개의 캐패시터들을 포함하며, 상기 "n-m" 개의 스위치들의 제 i 스위치에 접속된 상기 "n-m" 개의 캐패시터들 중 하나의 용량은 $2^{i-1}C$인, 상기 상위 비트 회로부와,

상기 하위 비트 회로부와 상기 상위 비트 회로부 사이에 접속된 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들과 오프셋 전원이 상기 D/A 변환기 회로에 접속되며,

상기 2개의 리셋 스위치들은 상기 하위 비트 회로부의 각각의 캐패시터들과 상기 상위 비트 회로부의 각각의 캐패시터들 내의 전하들의 충전을 제어하며,

상기 오프셋 전원은 상기 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 접속되며,

상기 하위 비트 회로부의 상기 "m" 개의 스위치들의 각각은 비트 정보에 따라 상기 2개의 전원들 중 하나를 선택하며, 상기 "m" 개의 캐패시터들 중 대응하는 하나에서 전하들의 충전 및 방전을 제어하며,

상기 상위 비트 회로부의 상기 "n-m" 개의 스위치들 각각은 비트 정보에 따라 상기 2개의 전원들 중 어느 하나를 선택하고, 상기 "n-m" 개의 패캐시터들 중 대응하는 하나에서 전하들의 충전 및 방전을 제어하며,

상기 상위 비트 회로부의 상기 공통 접속 단부로부터, 상기 오프셋 전원의 전위를 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, D/A 변환기 회로.

청구항 59.

D/A 변환기 회로에 있어서,

"n' 및 "m"이 자연수들이며, "n"이 "m"보다 큰, "n" 비트 디지털 데이터의 하위 "m" 비트들에 의해 제어되는 하위 비트 회로부로서, 상기 하위 비트 회로부는 상기 하위 m 비트들에 의해 제어되는 "m" 개의 스위치들과 상기 "m" 개의 스위치들에 접속된 "m" 개의 캐패시터들을 포함하며, 상기 m 개의 스위치들의 제 k 스위치에 접속된 상기 "m" 개의 캐패시터들 중 하나의 용량은 $2^{k-1}C$(C는 단위 용량)인, 상기 하위 비트 회로부와,

상기 "n" 비트 디지털 데이터의 상기 상위 "n-m" 개의 비트들에 의해 제어되는 상위 비트 회로부로서, 상기 상위 비트 회로부는 상기 각각의 상위 "n-m" 비트들에 의해 제어되는 "n-m" 개의 스위치들과 상기 "n-m" 개의 스위치들에 접속된 "n-m" 개의 캐패시터들을 포함하며, 상기 "n-m" 개의 스위치들의 제 i 스위치에 접속된 상기 "n-m" 개의 캐패시터들 중 하나의 용량은 $2^{i-1}C$인, 상기 상위 비트 회로부와,

상기 하위 비트 회로부와 상기 상위 비트 회로부 사이에 접속된 결합 캐패시터로서, 상기 결합 캐패시터의 용량은 상기 단위 용량와 동일한, 상기 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들(V_H 및 V_L)과 오프셋 전원(V_B)이 상기 D/A 변환기 회로에 접속되며,

상기 오프셋 전원(V_B)은 상기 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 접속되며,

상기 공통 접속 단부로부터 출력되는 상기 출력 전압(V_{OUT})은 식 (6a),(6b),(7), 및 (8)로 표현되는, D/A 변환기 회로.

청구항 60.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 "n" 비트 디지털 데이터를 아날로그 신호들로 변환하는 D/A 변환기 회로를 가지며,

상기 "n" 비트 디지털 데이터의 각각의 비트들은 "n" 개의 스위치들을 제어하고, 상기 "n" 개의 스위치들에 각각 접속된 "n" 개의 캐패시터들 내의 전하들의 충전 및 방전을 제어하며,

오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, 전자 장치.

청구항 61.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 "n" 비트 디지털 데이터를 아날로그 신호들로 변환하는 D/A 변환기 회로를 가지며, 상기 D/A 변환기 회로는,

상기 "n" 비트 디지털 데이터의 하위 "m" 비트들의 각각의 비트들("m" 및 "n": 자연수들, "m"<"n")에 의해 제어되는 "m" 개의 스위치들과,

상기 "n" 비트 디지털 데이터의 상위 "n-m' 비트들의 각각의 비트들에 의해 제어되는 "n-m" 개의 스위치들과,

상기 "m" 개의 스위치들의 각각에 접속된 "m" 개의 캐패시터들로서, 상기 "m" 스위치들의 제 k 스위치에 접속된 상기 "m" 개의 캐패시터들 중 하나의 용량은 $2^{k-1}C$(C는 단위 용량)인, 상기 "m" 개의 캐패시터들과,

상기 "n-m" 개의 스위치들의 각각에 접속된 "n-m" 개의 캐패시터들로서, 상기 "n-m" 개의 스위치들의 제 i 스위치에 접속된 상기 "n-m" 개의 캐패시터들 중 하나의 용량은 $2^{i-1}C$인, 상기 "n-m" 개의 캐패시터들과,

결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들 및 오프셋 전원이 상기 D/A 변환기 회로에 접속되며,

상기 "m' 스위치들과 상기 "n-m" 스위치들 각각은 상기 2개의 전원들 중 하나를 선택하며,

상기 2개의 리셋 스위치들은 상기 "m" 캐패시터들 및 "n-m' 캐패시터들 내의 전하들의 충전을 제어하며,

상기 'n-m" 캐패시터들에 공통 접속된 단자로부터, 상기 오프셋 전원의 전위를 기준 전위으로서 사용하여, 아날로그 신호들이 출력되는, 전자 장치.

청구항 62.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 D/A 변환기 회로를 가지며, 상기 D/A 변환기 회로는,

n 및 m이 자연수들이며, n이 m보다 큰, "n" 비트 디지털 데이터의 하위 "m" 비트들에 의해 제어되는 하위 비트 회로부로서, 상기 하위 비트 회로부는 상기 각각의 하위 m 비트들에 의해 제어되는 m 개의 스위치들과 상기 m 개의 스위치들에 접속된 "m" 개의 캐패시터들을 포함하고, 상기 m 개의 스위치들의 제 k 스위치에 접속된 상기 "m" 개의 캐패시터들 중 하나의 용량은 $2^{k-1}C$(C가 단위 용량)인, 상기 하위 비트 회로부와,

상기 "n" 비트 디지털 데이터의 상기 상위 "n-m" 비트들에 의해 제어되는 상위 비트 회로부로서, 상기 상위 비트 회로부는 상기 각각의 "n-m" 비트들에 의해 제어되는 "n-m" 개의 스위치들과 상기 "n-m" 개의 스위치들에 접속된 "n-m" 개의 캐패시터들을 포함하며, 상기 "n-m" 개의 스위치들의 제 i 스위치에 접속된 상기 "n-m" 개의 캐패시터들 중 하나의 용량은 $2^{i-1}C$인, 상기 상위 비트 회로부와,

상기 하위 비트 회로부와 상기 상위 비트 회로부 사이에 접속된 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들과 오프셋 전원이 상기 D/A 변환기 회로에 접속되며,

상기 2개의 리셋 스위치들은 상기 하위 비트 회로부의 각각의 캐패시터들과 상기 상위 비트 회로부의 각각의 캐패시터들 내의 전하들의 충전을 제어하며,

상기 오프셋 전원은 상기 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 접속되며,

상기 하위 비트 회로부의 상기 "m" 개의 스위치들 각각은 비트 정보에 따라 상기 2개의 전원들 중 하나를 선택하고, 상기 "m" 개의 캐패시터들 중 대응하는 하나에서 전하들의 충전 및 방전을 제어하며,

상기 상부 비트 회로부의 상기 "n-m" 개의 스위치들 각각은 각각의 비트 정보에 따라 상기 두개의 전원들 중 어느 하나를 선택하고, 상기 "n-m" 개의 캐패시터들 중 대응하는 하나에서 전하들의 충전 및 방전을 제어하며,

상기 상위 비트 회로부의 상기 공통 접속 단부로부터, 상기 오프셋 전원의 상기 전위를 기준 전위로서 사용하여, 아날로그 신호들이 출력되는, 전자 장치.

청구항 63.

액티브 매트릭스 디스플레이 장치를 갖는 전자 장치에 있어서,

상기 디스플레이 장치는 D/A 변환기 회로를 가지며, 상기 D/A 변환기 회로는,

"n' 및 "m"이 자연수들이며, "n"이 "m"보다 큰, "n" 비트 디지털 데이터의 하위 "m" 비트들에 의해 제어되는 하위 비트 회로부로서, 상기 하위 비트 회로부는 상기 하위 m 비트들에 의해 제어되는 "m" 개의 스위치들과 상기 "m" 개의 스위치들에 접속된 "m" 개의 캐패시터들을 포함하며, 상기 m 개의 스위치들의 제 k 스위치에 접속된 상기 "m" 개의 캐패시터들 중 하나의 용량은 $2^{k-1}C$(C가 단위 용량)인, 상기 하위 비트 회로부와,

상기 "n" 비트 디지털 데이터의 상기 상위 "n-m" 비트들에 의해 제어되는 상위 비트 회로부로서, 상기 상위 비트 회로부는 상기 각각의 상위 "n-m" 비트들에 의해 제어되는 "n-m" 개의 스위치들과 상기 "n-m" 개의 스위치들에 접속된 "n-m" 개의 캐패시터들을 포함하며, 상기 "n-m" 개의 스위치들의 제 i 스위치에 접속된 상기 "n-m" 개의 캐패시터들 중 하나의 용량은 $2^{i-1}C$인, 상기 상위 비트 회로부와,

상기 하위 비트 회로부와 상기 상위 비트 회로부 사이에 접속된 결합 캐패시터로서, 상기 결합 캐패시터의 용량은 상기 단위 용량과 동일한, 상기 결합 캐패시터와,

2개의 리셋 스위치들을 포함하며,

2개의 전원들(V_H 및 V_L)과 오프셋 전원(V_B)이 상기 D/A 변환기 회로에 접속되며,

상기 오프셋 전원(V_B)은 상기 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 접속되며,

상기 공통 접속 단부로부터 출력되는 상기 출력 전압(V_{OUT})은 식 (6a),(6b),(7), 및 (8)로 표현되는, 전자 장치.

청구항 64.

D/A 변환기 회로에 있어서,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, D/A 변환기 회로.

청구항 65.

D/A 변환기 회로를 포함하는 디스플레이 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 디스플레이 장치.

청구항 66.

D/A 변환기 회로를 포함하는 전자 장치에 있어서,

상기 D/A 변환기 회로는,

복수의 캐패시터들과,

상기 복수의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 캐패시터들에 제 1 및 제 2 전압원들 중 하나가 선택적으로 접속되도록, 상기 복수의 캐패시터들에 각각 접속된 복수의 스위치들을 포함하는, 전자 장치.

청구항 67.

D/A 변환기 회로에 있어서,

제 i 캐패시터가 $2^{i-1}C$(i는 자연수이고, C는 상수)의 용량을 갖는, 상기 n 개의 캐패시터들과,

상기 n 개의 캐패시터들에 접속된 출력단자와,

상기 출력단자에 접속된 부하 캐패시터와,

리셋 스위치를 통해 상기 출력단자에 접속된 오프셋 전원과,

제 1 전압원 및 제 2 전압원과,

대응하는 n 개의 캐패시터들에 상기 제 1 및 제 2 전압원들 중 하나와 선택적으로 접속되도록, n 개의 캐패시터들에 각각 접속된 n 스위치들을 포함하는, D/A 변환기 회로.

청구항 68.

제 6 항 내지 제 10항, 제 48항, 제 52 항, 제 60 항 내지 제 63 항, 또는 제 66 항 중 어느 한 항에 있어서,

상기 디스플레이 장치는 비디오 카메라, 스틸 카메라, 프로젝터, 머리 장착식 디스플레이, 자동차 네비게이션 장치, 개인용 컴퓨터, 휴대용 정보 단말기, 전면형 프로젝터(front type projector), 및 후면형 프로젝터(rear type projector)로 구성된 그룹으로부터 선택되는, 전자 장치.

청구항 69.

제 47 항, 제 51항, 또는 제 65 항 중 어느 한 항에 있어서, 상기 디스플레이 장치는 EL 디스플레이 장치인, 디스플레이 장치.

청구항 70.

제 47 항, 제 51항, 또는 제 65 항 중 어느 한 항에 있어서, 상기 디스플레이 장치는 비디오 카메라, 스틸 카메라, 프로젝터, 머리 장착식 디스플레이, 자동차 네비게이션 장치, 개인용 컴퓨터, 휴대용 정보 단말기, 전면형 프로젝터, 및 후면형 프로젝터로 구성된 그룹으로부터 선택되는, 디스플레이 장치.

청구항 71.

제 54 항에 있어서, 상기 디스플레이 장치는 비디오 카메라, 스틸 카메라, 프로젝터, 머리 장착식 디스플레이, 자동차 네비게이션 장치, 개인용 컴퓨터, 휴대용 정보 단말기, 전면형 프로젝터, 및 후면형 프로젝터로 구성된 그룹으로부터 선택되는, 액티브 매트릭스형 액정 디스플레이 장치.

청구항 72.

제 56 항에 있어서, 상기 디스플레이 장치는 비디오 카메라, 스틸 카메라, 프로젝터, 머리 장착식 디스플레이, 자동차 네비게이션 장치, 개인용 컴퓨터, 휴대용 정보 단말기, 전면형 프로젝터, 및 후면형 프로젝터로 구성된 그룹으로부터 선택되는, 액티브 매트릭스형 EL 디스플레이 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 D/A 변환기(디지털 아날로그 변환기) 회로(DAC)에 관한 것으로, 특히 액티브 매트릭스형 반도체 장치의 구동기 회로용으로 사용되는 DAC에 관한 것이다. 더욱이, 본 발명은 DAC를 사용하는 액티브 매트릭스형 반도체 디스플레이 장치에 관한 것이다.

<종래기술>

최근에, 저렴한 유리 기판 상에 반도체 박막이 형성된 반도체 장치, 예를 들면 박막 트랜지스터들(TFT)을 제조하는 기술이 급속히 개발되었다. 그 이유는 액티브 매트릭스형 액정 디스플레이 장치들에서 수요가 증가하고 있기 때문이다.

액티브 매트릭스형 액정 디스플레이 장치는, 매트릭스처럼 배치된 수십만 내지 수백만개의 화소로 구성된 화소 영역들에 화소 TFT들을 배열하고, 각각의 화소 TFT들에 접속된 화소 전극들에 취해지며 이로부터 취해지는 전기 전하들이 화소 TFT들의 스위칭 특성에 의해 제어되게 한 것이다.

더욱이, 고속 구동을 할 수 있는 디지털 구동 시스템의 액티브 매트릭스형 액정 디스플레이 장치들은 디스플레이 장치들의 고미세(high minuteness) 및 고정밀 이미지(high image accuracy)에 일치하는 것으로 인식되었다.

주변 장치들로부터 입력되는 디지털 비디오 데이터를 아날로그 신호들(계조 전압들(gradation voltages))로 변환하는 디지털 아날로그 변환기 회로(DAC)는 디지털 구동 시스템의 액티브 매트릭스형 액정 디스플레이 장치들에 필요하다. 여러 가지 유형의 디지털 아날로그 변환기 회로들이 있다. 그러나, 여기에선 액티브 매트릭스형 액정 디스플레이 장치들용으로 사용되는 DAC의 예를 예시한다.

도 25는 종래의 DAC의 예를 도시한 것이다. 도 25에 도시된 종래의 DAC는 "n" 비트 디지털 데이터(D_0 내지 D_{n-1}) 각각의 비트들, 각각의 스위치들(SW_0 내지 SW_{n-1})에 접속된 캐패시터들(C, 2C,...,2^{n-1}C) 및 리셋 스위치(Res)에 의해 제어되는

"n" 개의 스위치들(SW_0 내지 SW_{n-1})을 갖는다. 또한, 전원(V_H) 및 전원(V_L)은 종래의 DAC에 접속된다. 더욱이, 캐패시터(C_L)는 출력(V_{out})에 접속된 신호 라인의 부하 캐패시터이다. 더욱이, 접지 전원은 V_G로 표시되었다. 그러나, V_G는 임의의 선택적인 정 전원일 수 있다.

스위치들(SW_0 내지 SW_{n-1}) 각각은 입력된 디지털 데이터(D_0 내지 D_{n-1})에 대응하는 비트들이 0(Lo)일 때 전원(V_L)에 접속되고 대응하는 비트들이 1(Hi)일 때 전원(V_H)에 접속된다.

종래의 DAC를 순시적으로 기술한다. 종래의 DAC의 동작을 설명상 리셋 기간(T_R) 및 데이터 입력 기간(T_B)로 분류한다.

먼저, 리셋 기간(T_R)에서, 리셋 스위치(Res)가 닫혀지고, 디지털 데이터(D_0 내지 D_{n-1})의 모든 비트들은 0(Lo)이며, 모든 스위치들(SW_0 내지 SW_{n-1})은 전원(V_L)에 접속된다. 도 26a는 이 상태에서 종래의 DAC의 등가 회로를 도시한 것이다.

리셋 기간(T_R)의 종료후에, 디지털 데이터(D_0 내지 D_{n-1})의 모든 비트는 0(Lo)이기 때문에, 도 26a에 도시한 부하 캐패시터(C_L)에 축적된 전하의 초기값(내정치)(Q_L)은 다음 식(19)로 된다.

$$Q_L^o = c_L \cdot (V_L - V_G) \quad (19)$$

리셋 기간(T_R)이 종료된 후에, 데이터 기입 기간(T_E)이 시작되고, 선택적인 비트 정보를 갖는 디지털 데이터(D_0 내지 D_{n-1})는 스위치들(SW_0 내지 SW_{n-1})을 제어한다. 그리고, 전하는 각각의 비트 정보에 응하여 충전 및 방전되고, 이에 의해서 그 후에 정상 상태가 일어난다. 도 26b는 이 때의 등가 회로를 도시한 것이다. 합성 캐패시터들 C_0, C_1, C_L에 축적된 전하 Q_0, Q_1, Q_L는 다음 식(20a 내지 20c)로 된다.

$$Q_0 = c_0 \cdot (V_L - V_{out}) \quad \cdots(20a)$$
$$Q_1 = c_1 \cdot (V_H - V_{out}) \quad \cdots(20b)$$
$$Q_L = c_L \cdot (V_{out} - V_G) \quad \cdots(20c)$$

여기서, 다음 식(21a) 및 (21b)가 성립하기 때문에,

$$c_0 = c \cdot (\overline{D}_0 + 2\overline{D}_1 + 4\overline{D}_2 + \cdots + 2^{n-1}\overline{D}_{n-1}) \quad \cdots(21a)$$
$$c_1 = c \cdot (D_0 + 2D_1 + 4D_2 + \cdots + 2^{n-1}D_{n-1}) \quad \cdots(21b)$$

V_{OUT} 에서 전하 보전 법칙에 의해 다음 식(23)이 성립할 수 있고,

$$Q_L^0 = Q_L - Q_0 - Q_1 \quad \cdots(23)$$

출력(V_{OUT})은 다음 식(24)과 같이 된다.

$$V_{out} = V_L + \frac{c_1 \cdot \alpha \cdot (V_H - V_L)}{(2^n - 1) \cdot c} \quad \cdots(24)$$

그러나, α는 출력 전압(V_{OUT})의 최대 전압 진폭 대 전압 진폭($V_H - V_L$)의 비(본 명세서에선 "전압 압축비"라고 함), α는 다음과 같이 표현된다.

$$\alpha = \frac{1}{1 + \frac{1}{2^n - 1} \cdot \frac{c_L}{c}} \quad \cdots(25)$$

도 26c에 도시한 바와 같이, 출력(V_{OUT})은 어드레스들(0 내지 2^{n-1})에 관하여 선형 관계에 있다. 그러나, 출력(V_{OUT})은 식(24)에 따라 V_H와 V_L간 차에 의존하고, 기준 전위로서 사용된 V_L에 의해 디지털 데이터의 어드레스들에 관하여 선형 형태로 변하기 때문에, 전압 진폭 및 출력(V_{OUT})의 기준 전위를 독립적으로 제어하는 것은 가능하지 않다.

다음에, 도 27은 종래의 DAC들의 또 다른 예를 도시한 것이다. 도 27에 도시한 종래의 DAC는 "n" 비트 디지털 데이터(D_0 내지 D_{n-1}) 각각의 비트, 각각의 스위치들(SW_0 내지 SW_{n-1})에 접속된 캐패시터들(C, 2C,...,2^{m-1}C, C, 2C,...,2^{n-m-1}C), 2개의 리셋 스위치들(Res1 및 Res2), 및 결합 캐패시터에 의해 제어되는 "n" 개의 스위치들(SW_0 내지 SW_{n-1})를 갖는다. 또한, 전원(V_H) 및 전원(V_L)은 종래의 DAC에 접속된다.

또한, 도 28은 종래의 DAC들의 또 다른 예를 도시한 것이다. 도 28에 도시한 종래의 DAC는 "n" 비트 디지털 데이터(D_0 내지 D_{n-1}) 각각의 비트들, 각각의 스위치들(SW_0 내지 SW_{n-1})에 접속된 캐패시터들(C, 2C,...,2^{m-1}C, C, 2C,...,2^{n-m-1}C), 및 2개의 리셋 스위치들(Res1 및 Res2)에 의해 제어되는 "n" 개의 스위치(SW_0 내지 SW_{n-1})를 갖는다. 또한, 도 28에 도시한 종래의 DAC는 캐패시터(C)가 하위 비트측 회로에 접속되고, 하위 비트에 대응하는 회로를 상위 비트에 대응하는 회로에 접속하는 결합 캐패시터가 도 27에 도시한 것과는 다른 점에서 도 27에 도시한 종래의 DAC와 다르다.

도 27에 도시한 종래의 DAC이든 도 28에 도시한 종래의 DAC이든 간에, 스위치들(SW_0 내지 SW_{n-1}) 각각은 입력된 디지털 데이터(D_0 내지 D_{n-1})가 0(Lo)일 때 전원(V_L)에 접속되고 입력된 디지털 데이터가 1(Hi)일 때 전원(V_H)에 접속되도록 설계된다.

도 27에 도시한 종래의 DAC의 출력(V_{OUT})은 다음 식(26)과 같이 된다.

$$V_{out} = V_L + \frac{c_1}{(2^n - 1)\cdot c}\cdot \alpha_A \cdot (V_H - V_L) \quad \cdots(26)$$

더욱이, 도 28에 도시한 종래의 DAC의 출력(V_{OUT})은 다음 식(27)과 같이 된다.

$$V_{out} = V_L + \frac{c_1}{2^n \cdot c}\cdot \alpha_B \cdot (V_H - V_L) \quad \cdots(27)$$

여기서, C_1은 상기 식(21b)의 것과 같으며, 다음 식이 성립되고, 여기서 α_A 및 α_B는 전압 압축비들이다.

$$\alpha_A = \frac{1}{1 + \frac{2^n}{2^n - 1}\cdot \frac{c_L}{c}} \quad \cdots(28a)$$

$$\alpha_B = \frac{1}{1 + \frac{2^m}{2^n}\cdot \frac{c_L}{c}} \quad \cdots(28b)$$

또한, 이들 종래의 DAC들에서, 출력(V_{OUT})은 도 26c에 도시한 종래의 DAC와 같이 디지털 데이터의 어드레스들(0 내지 2^{n-1})에 관하여 선형 관계에 있음을 알 수 있다. 그러나, 식(26) 및 식(27)에 의해서, 출력(V_{OUT})은 V_H와 V_L간 차에 의존하고, 기준 전압으로서 사용된 V_L에 의해 디지털 데이터의 어드레스들에 관하여 선형 형태로 변하기 때문에, 전압 진폭 및 출력(V_{OUT})의 기준 전위를 독립적으로 제어하는 것은 가능하지 않다.

발명이 이루고자 하는 기술적 과제

그러므로, 본 발명은 전술한 문제 및 단점에 비추어 개발되었다. 그러므로 본 발명의 목적은 전압 진폭 및 출력(V_{OUT})의 기준 전위를 독립적으로 제어할 수 있는 DAC를 제공하는 것이다. 이하, 본 발명에 따른 DAC를 기술한다.

발명의 구성

본 발명은 "n" 비트 디지털 데이터("n": 자연수)를 아날로그 신호들로 변환하며, 여기서, "n" 비트 디지털 데이터의 각각의 비트들은 스위치들을 제어하며, 스위치들에 접속된 캐패시터들 내의 전하들의 충전 및 방전을 제어하는 디지털 아날로그 변환기 회로에 관한 것으로, 이 디지털 아날로그 변환기 회로는 오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들을 출력한다.

본 발명은 "n" 비트 디지털 데이터("n":자연수)를 아날로그 신호들로 변환하는 디지털 아날로그 변환기 회로에 관한 것으로, 이 디지털 아날로그 변환기 회로는 상기 "n" 비트 디지털 데이터의 각각의 비트들에 대응하는 "n"개의 스위치들 및 "n"개의 캐패시터들을 가지며, "n" 비트들에 대응하는 상기 "n"개의 스위치들은 "n"개의 스위치 각각에 접속된 상기 캐패시터들 내의 전하의 충전 및 방전을 제어하며, 이 디지털 아날로그 변환기 회로는 오프셋 전압을 기준 전위로서 사용하여, 아날로그 신호들을 출력한다.

본 발명에 따른 디지털 아날로그 변환기 회로는 "n" 비트 디지털 데이터를 아날로그 신호들로 변환하며, "n" 비트 디지털 데이터의 하위 "m" 비트들의 각각의 비트들에 의해 제어되는 스위치들("m" 및 "n": 자연수들, m<n), 및 "n" 비트 디지털 데이터의 상위 ("n"-"m") 비트들의 각각의 비트들에 의해 제어되는 스위치들을 포함하며; 하위 "m" 비트들의 각각의 비트들에 의해 제어되는 상기 스위치들 각각에 접속되며, 여기서, 각각의 캐패시터는 단위 캐패시터의 2^{m-1}배이며; 캐패시터들은 상기 상위 ("n-m") 비트들의 각각의 비트들에 의해 제어되는 상기 스위치 각각에 접속되며, 여기서, 각각의 캐패시터는 각각의 단위 캐패시터의 2^{n-m-1}배이며; 결합 캐패시터; 및 2개의 리셋 스위치들을 포함하며, 여기서, 2개의 전원들 및 오프셋 전원이 디지털 아날로그 변환기 회로에 접속되며; 스위치들은 2개의 전원들 중 어느 하나를 선택하며; 2개의 리셋 스위치들은 캐패시터들 내의 전하들의 충전을 제어하며; 디지털 아날로그 변환기 회로는 "n" 비트 디지털 비디오 데이터의 상위 ("n"-"m") 비트의 캐패시터의 공통 접속 단부로부터, 상기 오프셋 전원의 전위를 기준 전위로서 사용하여, 아날로그 신호들을 출력한다.

본 발명에 따른 디지털 아날로그 변환기 회로는, "n" 비트 디지털 데이터의 하위 "m"비트(여기서 "n" 및 "m"는 자연수들, "m"<"n")에 의해 제어되는 하위 비트 회로부이며, 여기서 하위 비트 회로부는 각각의 비트들에 의해 제어되는 스위치들과 스위치들에 접속된 캐패시터들로 구성되어 있으며, 단위 캐패시터보다 2^{m-1}배 큰 캐패시터를 갖는다; 상위 비트 회로부는 "n" 비트 디지털 데이터의 상위 ("n"-"m")비트들에 의해 제어된다. 여기서, 상위 비트 회로부는 각각의 비트들에 의해 제어되는 스위치들과 상기 스위치에 접속된 캐패시터로 구성되어 있으며, 단위 캐패시터보다 2^{n-m-1}배 큰 캐패시터를 갖는다; 결합 캐패시터는 하위 비트 회로부를 상기 상위 비트 회로부에 접속하는 단위 캐패시터로 구성된 결합 캐패시터와 2개의 리셋 스위치들로 구성되며, 여기서 2개의 전원들 및 오프셋 전원이 입력되며, 2개의 리셋 스위치들은 상기 하위 비트 회로부의 각각의 캐패시터들과 상위 비트 회로부의 각각의 캐패시터들 내에 전하의 충전을 제어하며; 오프셋 전원은 상위 비트 회로부의 각각의 캐패시터들의 공통 접속 단부에 입력되며; 하위 비트 회로부의 각각의 스위치들은 비트 정보에 따라 2개의 전원 중 어느 하나를 선택하며, 각각의 스위치들에 접속된 캐패시터 내의 전하의 충전 및 방전을 제어하며; 상위 비트 회로부의 상기 각각의 스위치들은 각각의 비트 정보에 따라 상기 2개의 전원 중 어느 하나를 선택하며, 각각의 스위치들에 접속된 캐패시터 내의 전하의 충전 및 방전을 제어하며; 오프셋 전원의 전위를 기준 전위로서 사용하는 아날로그 신호들이 상위 비트 회로부의 공통 접속 단부로부터 출력된다.

본 발명에 따른 DAC에서, 출력(V_{OUT})은 V_H와 V_L간 차에 의해 그의 진폭, 및 기준 전위로서 V_L을 사용하면서 디지털 데이터의 어드레스들에 관하여 선형 형태로 변경을 결정할 수 있다. 즉, 출력(V_{OUT})의 기준 전위의 전압 진폭을 독립적으로 제어할 수 있다. 그러므로, V_H와 V_L간 차가 일정하다면, V_H 및 V_L 모두가 작아져도 동일한 출력(V_{OUT})이 얻어질 수 있다. 따라서, 전원 전압을 낮은 값으로 억제하는 것이 가능하며, 이에 의해서 α를 작게 할 수 있으며, 즉 캐패시터 C를 작게 할 수 있고, 캐패시터부의 레이아웃 영역을 감소시킬 수 있다.

이하, 본 발명에 따른 DAC의 바람직한 실시예를 설명한다. 더욱이, 본 발명에 따른 DAC는 다음의 실시예로 한정되지 않는다.

도 1은 본 발명에 따른 DAC의 회로도를 도시한 것이다. 도 1에 도시한 본 발명의 DAC는 "n" 비트들(D_0 내지 D_{n-1})의 디지털 데이터를 처리할 수 있다. 더욱이, D_0는 LSB로 간주되고, D_{n-1}는 MSB로 간주된다. 또한, "n"비트 디지털 데이터는 하위 "m"비트들(D_0 내지 D_{m-1})와 상위 "n-m" 비트들(Dm 내지 D_{n-1})로 분할된 것으로 가정한다.

도 1에 도시한 바와 같이, 본 발명에 따른 DAC는 "n" 비트 디지털 데이터들(D_0 내지 D_{n-1}) 각각의 비트들, 각각의 스위치들(SW_0 내지 SW_{n-1})에 접속된 캐패시터(C, 2C,...,2^{m-1}C, C, 2C,...,2^{n-m-1}C), 및 2개의 리셋 스위치(Res1 및 Res2)에 의해 제어되는 "n" 개의 스위치(SW_0 내지 SW_{n-1})를 갖는다. 이들 캐패시터들의 용량은 단위 용량 C의 정수배로 한다. 본 발명에 따른 DAC는 하위 "m"비트에 대응하는 회로부를 상위 "n-m" 비트에 대응하는 회로부에 접속하는 캐패시터 C를 갖는다. 도 1에 도시한 바와 같이, 하위 "m" 비트에 대응하는 회로부의 각 캐패시터의 일 단부는 공통 접속 단부로 한다. 또한, 상위 "n-m" 비트들에 대응하는 회로부의 각 캐패시터의 일 단부를 공통 접속 단부로 한다. 더구나, 캐패시터(C_L)는 출력(V_{OUT})에 접속된 신호 라인의 부하 캐패시터이다. 접지전압은 V_G로 설정된다. 그러나, V_G는 임의의 선택적인 정 전원일 수 있다.

전원들(V_H, V_L), 오프셋 전원(V_B) 및 전원(V_A)는 본 발명에 따른 DAC에 접속된다. 더욱이, $V_H>V_L$ 및 $V_H<V_L$인 경우에, 위상이 반전된 아날로그 신호가 출력(V_{OUT})을 통해 출력된다. 또한, 여기서, 출력은 $V_H>V_L$인 경우 정 위상인 것으로 하고, $V_H<V_L$인 경우 역 위상인 것으로 한다.

스위치들(SW_0 내지 SW_{n-1}) 각각은 입력된 디지털 데이터(D_0 내지 D_{m-1})가 0(Lo)일 때 전원(V_L)에 접속되고, 입력된 디지털 데이터가 1(Hi)일 때 전원(V_H)에 접속된다. 리셋 스위치(Res1)은 상위 "n-m" 비트에 대응하는 캐패시터들(C, 2C,...,2^{n-m-1}C)에 V_B로부터의 전하들의 충전을 제어하며, 리셋 스위치(Res2)는 하위 "m" 비트에 대응하는 캐패시터(C, 2C,...,2^{m-1}C)에 V_A로부터의 전하 충전을 제어한다.

더욱이, 리셋 스위치(Res2)의 일단을 전원(V_L)에 접속함으로서, 전원(V_A)로부터는 어떠한 전압도 공급되지 않는다.

다음에, 본 발명에 따른 DAC의 동작을 순시적으로 기술한다. 본 발명의 DAC의 동작은 리셋 기간(T_R) 및 데이터 입력 기간(T_B)으로 분류된 동작으로 기술될 수 있다.

먼저, 리셋 기간(T_R)에서, 리셋 스위치(Res1, Res2)가 닫혀지고, 여기서 디지털 데이터의 모든 비트(D_0 내지 D_{n-1})는 0(Lo)이 되며, 모든 스위치들(SW_0 내지 SW_{n-1})은 전원(V_L)에 접속된다. 이 상태에서 도 1에 도시한 본 발명에 따른 DAC의 등가 회로를 도 2a에 도시하였다.

리셋 기간(T_R)의 종료후에, 도 2a에 도시한 각각의 합성된 캐패시터들에 축적된 전하의 내정치들(초기값들)(Q_0^0, Q_1^0,Q_2^0,Q_3^0,Q^0,Q_L^0)은 다음 식(1a 내지 1f)로 된다.

$$Q_0^0 = (2^m - 1)\cdot c\cdot(V_L - V_A) \quad \cdots(1a)$$
$$Q_1^0 = 0 \quad \cdots(1b)$$
$$Q_2^0 = (2^{n-m} - 1)\cdot c\cdot(V_L - V_B) \quad \cdots(1c)$$
$$Q_3^0 = 0 \quad \cdots(1d)$$
$$Q^0 = c\cdot(V_A - V_B) \quad \cdots(1e)$$
$$Q_L^0 = c_L\cdot(V_B - V_G) \quad \cdots(1f)$$

리셋 기간(T_R)이 종료된 후에, 데이터 기입 기간(T_E)이 시작되고, 여기서 선택적인 비트 정보를 갖는 디지털 데이터(D_0 내지 D_{n-1})는 스위치들(SW_0 내지 SW_{n-1})을 제어하며, 전하는 각각의 비트 정보에 응하여 충전 및 방전된다. 그 후, 정상 상태가 일어난다. 마지막으로 합성 캐패시터들(C_0, C_1, C_2, C_3, C, C_L)에 축적된 전하들(Q_0, Q_1, Q_2, Q_3, Q, Q_L)은 다음 식(2a 내지 2f)으로 된다.

$$Q_0 = c_0 \cdot (V_L - V_m) \quad \cdots(2a)$$
$$Q_1 = c_1 \cdot (V_H - V_m) \quad \cdots(2b)$$
$$Q_2 = c_2 \cdot (V_L - V_{out}) \quad \cdots(2c)$$
$$Q_3 = c_3 \cdot (V_H - V_{out}) \quad \cdots(2d)$$
$$Q = c \cdot (V_m - V_{out}) \quad \cdots(2e)$$
$$Q_L = c_L \cdot (V_{out} - V_G) \quad \cdots(2f)$$

여기서,

$$c_0 = c \cdot (\overline{D}_0 + 2\overline{D}_1 + 4\overline{D}_2 + \cdots + 2^{m-1}\overline{D}_{m-1}) \quad \cdots(3a)$$
$$c_1 = c \cdot (D_0 + 2D_1 + 4D_2 + \cdots + 2^{m-1}D_{m-1}) \quad \cdots(3b)$$
$$c_2 = c \cdot (\overline{D}_m + 2\overline{D}_{m+1} + 4\overline{D}_{m+2} + \cdots + 2^{n-m-1}\overline{D}_{n-1}) \quad \cdots(3c)$$
$$c_3 = c \cdot (D_m + 2D_{m+1} + 4D_{m+2} + \cdots + 2^{n-m-1}D_{n-1}) \quad \cdots(3d)$$

여기서, 도 2b에서 V_{OUT} 및 V_M 지점들에서 전하 보전 법칙에 의해 다음 식(4a, 4b)가 성립된다.

$$\begin{cases} -Q_0 - Q_1 + Q = -Q_0^0 - Q_1^0 + Q^0 & \cdots(4a) \\ -Q_2 - Q_3 - Q + Q_L = -Q_2^0 - Q_3^0 - Q^0 + Q_L^0 & \cdots(4b) \end{cases}$$

여기서, (1a) 내지 (1f) 및 (2a) 내지 (2f)에 (4a) 및 (4b)를 대입하여 V_{OUT}이 나온다. 이에 의해서 다음 식(5)가 도출된다.

$$V_{out} = V_B + \frac{\{c_0 + 2^m \cdot c_2 - (2^n - 1) \cdot c\}V_L + (c_1 + 2^m \cdot c_3)V_H}{(2^n - 1) \cdot c + 2^m \cdot c_L} \quad \cdots(5)$$

여기서 다음 식(6a, 6b)가 성립하기 때문에,

$$c_0 + c_1 = c \cdot (1 + 2 + 4 + \cdots + 2^{m-1}) = (2^m - 1) \cdot c \quad \cdots(6a)$$
$$c_2 + c_3 = c \cdot (1 + 2 + 4 + \cdots + 2^{n-m-1}) = (2^{n-m} - 1) \cdot c \quad \cdots(6b)$$

다음 식을 구할 수 있다.

$$c_0 + c_1 + 2^m \cdot (c_2 + c_3) = (2^n - 1) \cdot c \quad \cdots(7)$$

그러므로, (6a), (6b), (7)을 식(5)에 대입함으로서, 다음 식을 구할 수 있다.

$$V_{out} = V_B + \frac{(c_1 + 2^m \cdot c_3)}{(2^n - 1) \cdot c} \cdot \alpha \cdot (V_H - V_L) \quad \cdots(8)$$

여기서, α는 다음 식(9)와 같이 되고, α는 전압 압축비이다.

$$\alpha = \frac{1}{1 + \frac{2^m}{2^n - 1} \cdot \frac{c_L}{c}} \quad \cdots(9)$$

따라서, 식(8)에 의해서, V_{OUT}은 V_A에 의존하지 않음을 알 수 있다. 식(8)에 근거하여, 도 2c는 V_{OUT}은 횡축, 어드레스는 종속으로 한 그래프를 도시한 것이다. 도 2c에 도시한 바와 같이, 출력(V_{OUT})은 디지털 데이터의 어드레스(0 내지 2^{n-1})에 관하여 선형 형태에 있음을 알 수 있다. 더욱이, 출력(V_{OUT})은 V_H와 V_L간 차에 의해 그의 진폭을 결정할 수 있으며, 오프셋 전원(V_B)이 기준 전위로서 사용될 때 디지털 데이터의 어드레스에 관하여 선형 형태로 변한다. 즉, 출력(V_{out})의 전압 진폭 및 기준 전위를 독립적으로 제어하는 것이 가능하다. 이에 기초하여, V_H와 V_L간 차가 일정하다면, V_H와 V_L 모두 작아지게 되어도 동일한 출력을 얻을 수 있으며, 이에 의해서 전원 전압을 저레벨로 억제할 수 있다. 그럼으로써, α를 작게 할 수 있고, 즉 캐패시터 C를 작게 할 수 있다. 따라서, 캐패시터부의 레이아웃 영역을 감소시킬 수 잇다.

더욱이, 본 발명의 구성에 사용된 캐패시터에서, 전술한 선형 관계를 충족하는 에러가 허용될 수 있다.

이하, 본 발명에 따른 DAC의 바람직한 실시예를 기술한다. 본 발명에 따른 DAC의 상세한 구성은 다음의 실시예로 한정되지 않는다.

실시예 1

도 3은 본 실시예의 8비트 DAC의 회로도를 도시한 것이다.

도 3에 도시한 실시예의 DAC는 8비트들[D_0(LSB) 내지 D_7(MSB)]로 구성된 디지털 데이터를 취급한다. 또한, 8비트 디지털 데이터는 하위 4비트들(D_0 내지 D_3) 및 상위 4비트들(D_4 내지 D_7)로 분할된다.

실시예의 DAC는 도 3에 도시한 바와 같이, 8비트 디지털 데이터(D_0 내지 D_7) 각각의 비트, 각각의 스위치들(SW_0 내지 SW_7)에 접속된 캐패시터들(C, 2C, 4C, 8C, C, 2C, 4C, 및, 8C)과, 2개의 리셋 스위치들(Res1 및 Res2)에 의해 제어되는 8개의 스위치들(SW_0 내지 SW_7)을 갖는다. 또한, 본 실시예의 DAC는 하위 4비트들에 대응하는 회로부를 상위 4비트들에 대응하는 회로부에 접속하는 캐패시터을 갖는다.

전원들(V_H 및 V_L)과 오프셋 전원(V_B)는 본 실시예에 따른 DAC에 접속된다.

스위치들(SW_0 내지 SW_7)은 입력된 디지털 데이터(D_0 내지 D_7)의 각각의 비트가 0(Lo)일 때 전원(V_L)에 접속되고, 입력된 디지털 데이터의 각각의 비트가 1(Hi)일 때 전원(V_H)에 접속된다. 이것은 상기 기술된 바와 동일하다. 리셋 스위치(Res1)는 상위 4비트에 대응하는 캐패시터(C, 2C, 4C, 8C)에 V_B로부터의 전하들의 충전을 제어한다. 또한, 하위 4비트에 대응하는 캐패시터(C, 2C, 4C, 8C)가 일 단부는 리셋 스위치(Res2)에 접속된다.

본 실시예에 따른 8비트 DAC는 상기 도 1에 도시한 DAC와 구성에 있어 상이하다. 본 실시예의 DAC가 도 1에 도시한 것과 상이한 점은 리셋 스위치(Res2)의 일단부가 전원(V_L)에 접속되어 있어 전원(V_A)으로부터 전압이 전혀 공급되지 않는 점에 있다. 그러나, 전술한 바와 같이, 출력 전압(V_{OUT})은 V_A에 의존하지 않고, 이에 의해서 본 실시예의 DAC는 상기 도 1에 도시한 DAC와 같이 동작한다.

다음에, 본 실시예에 따른 DAC의 동작을 순시적으로 기술한다. 본 실시예에 따른 DAC의 동작을 리셋 기간(T_R) 및 데이터 입력 기간(T_E)으로 분류된 동작으로 기술한다.

먼저, 리셋 기간(T_R)에서, 리셋 스위치들(Res1, Res2)이 닫혀지고, 디지털 데이터의 모든 비트들(D_0 내지 D_7)은 0(Lo)이 되며, 모든 스위치들(SW_0 내지 SW_7)은 전원(V_L)에 접속된다. 이 상태에서 본 실시예에 따른 DAC의 등가 회로는 도 4a에 도시한 것과 동일하다.

리셋 기간(T_R)의 종료후에, 도 4a에 도시한 합성된 캐패시터(C_0, C_1, C_2, C_3, C, C_L)들에 축적된 전하의 내정치들(초기값들)(Q_0, Q_1, Q_2, Q_3, Q, Q_L)은 다음 식(10a 내지 10f)으로 된다.

$$Q_0^0 = 0 \quad \cdots(10a)$$
$$Q_1^0 = 0 \quad \cdots(10b)$$
$$Q_2^0 = 15 \cdot c \cdot (V_L - V_B) \quad \cdots(10c)$$
$$Q_3^0 = 0 \quad \cdots(10d)$$
$$Q^0 = c \cdot (V_L - V_B) \quad \cdots(10e)$$
$$Q_L^0 = c_L \cdot (V_B - V_G) \quad \cdots(10f)$$

여기서, 다음 식이 만족될 수 있다.

$$Q_0 = c_0 \cdot (V_L - V_m) \quad \cdots(11a)$$
$$Q_1 = c_1 \cdot (V_H - V_m) \quad \cdots(11b)$$
$$Q_2 = c_2 \cdot (V_L - V_{out}) \quad \cdots(11c)$$
$$Q_3 = c_3 \cdot (V_H - V_{out}) \quad \cdots(11d)$$
$$Q = c \cdot (V_m - V_{out}) \quad \cdots(11e)$$
$$Q_L = c_L \cdot (V_{out} - V_G) \quad \cdots(11f)$$

리셋 기간이 종료된 후에, 선택적인 비트 정보를 갖는 디지털 데이터(D_0 내지 D_7)는 스위치들(SW_0 내지 SW_7)에 제공되고, 전하는 각각의 비트 정보에 응하여 충전 및 방전된다. 마지막으로 합성 캐패시터들(C_0, C_1, C_2, C_3, C, C_L)에 축적된 전하들(Q_0, Q_1, Q_2, Q_3, Q, Q_L)은 상기 식(11a 내지 11f)으로 된다.

또한, 다음 식이 성립된다.

$$c_0 = c \cdot (\overline{D}_0 + 2\overline{D}_1 + 4\overline{D}_2 + 8\overline{D}_3) \quad \cdots(12a)$$
$$c_1 = c \cdot (D_0 + 2D_1 + 4D_2 + 8D_3) \quad \cdots(12b)$$
$$c_2 = c \cdot (\overline{D}_4 + 2\overline{D}_5 + 4\overline{D}_6 + 8\overline{D}_7) \quad \cdots(12c)$$
$$c_3 = c \cdot (D_4 + 2D_5 + 4D_6 + 8D_7) \quad \cdots(12d)$$

여기서, 도 4b에서 V_{OUT} 및 V_m 지점에 관하여 전하 보전 법칙에 의해 다음 식(13a, 13b)이 성립된다.

$$\begin{cases} -Q_0 - Q_1 + Q = -Q_0^0 - Q_1^0 + Q^0 & \cdots(13a) \\ -Q_2 - Q_3 - Q + Q_L = -Q_2^0 - Q_3^0 - Q^0 + Q_L^0 & \cdots(13b) \end{cases}$$

여기서, (10a) 내지 (10f)와 (11a) 내지 (11f)에 (13a) 및 (13b)를 대입하여 V_{OUT}가 나오면, 출력(V_{OUT})는 다음 식(14)로 된다.

$$V_{out} = V_B + \frac{\{c_0 + 16 \cdot c_2 - 255 \cdot c\} V_L + (c_1 + 16 \cdot c_3) V_H}{255 \cdot c + 16 \cdot c_L} \quad \cdots(14)$$

즉, 여기서 다음 식(15a, 15b)가 성립하기 때문에,

$$c_0 + c_1 = c \cdot (1 + 2 + 4 + 8) = 15 \cdot c \quad \cdots(15a)$$
$$c_2 + c_3 = c \cdot (1 + 2 + 4 + 8) = 15 \cdot c \quad \cdots(15a)$$

다음 식을 구할 수 있다.

$$c_0 + c_1 + 16 \cdot (c_2 + c_3) = 255 \cdot c \quad \cdots(16)$$

또한, (15a), (15b), (16)을 식(14)에 대입함으로서, 다음 식(17)을 구할 수 있다.

$$V_{out} = V_B + \frac{(c_1 + 16 \cdot c_3)}{255 \cdot c} \cdot \alpha \cdot (V_H - V_L) \quad \cdots(17)$$

여기서, α는 다음과 같다.

$$\alpha = \frac{1}{1 + \frac{16}{255} \cdot \frac{c_L}{c}} \quad \cdots(18)$$

그러므로, 식(17)에 의해서, V_{OUT}은 디지털 데이터(도 4c)의 어드레스들(0 내지 2^{s-1})에 관하여 선형 형태에 있음을 알 수 있다. 본 실시예에서, 8비트 디지털 데이터가 처리되기 때문에, 256가지 형태의 출력들(V_{OUT})이 얻어질 수 있다. 여기서, 식(17)에서 각각의 파라미터를 변경하였을 때, 출력(V_{OUT})과 디지털 데이터의 어드레스들의 천이를 나타내는 그래프를 도 29에 도시하였다.

출력(V_{OUT})은 V_H와 V_L간 차에 의해 그의 진폭을 결정할 수 있으며, 기준 전위로서 사용된 V_B에 의해 디지털 데이터의 어드레스에 관하여 변한다. 즉, 출력(V_{out}) 의 전압 진폭 및 기준 전위를 독립적으로 제어하는 것이 가능하다. 이에 기초하여, V_H와 V_L간 차가 일정하다면, V_H와 V_L 모두 작아지게 되어도 동일한 출력(V_{out})을 얻을 수 있으며, 이에 의해서 전원 전압을 저레벨로 억제할 수 있다. 그러므로, α를 작게 할 수 있고, 즉 캐패시터 C를 작게 할 수 있다. 따라서, 캐패시터부의 레이아웃 영역을 감소시킬 수 있다.

(실시예 2)

본 실시예에서, 상기 실시예 1에 따른 DAC를 액티브 매트릭스형 액정 디스플레이 장치의 구동 회로용으로 사용한 경우에 대해 기술한다.

도 5는 본 실시예에 따른 액티브 매트릭스형 액정 디스플레이 장치의 블록도로서, 510은 소스 신호 라인 구동 회로A, 502는 소스 신호 라인 구동 회로B, 503은 게이트 신호 라인 구동 회로, 504는 액티브 매트릭스 회로, 505는 디지털 비디오 데이터 구동 회로(SPC: 직렬-병렬 변환 회로)를 나타낸다.

소스 신호 라인 구동 회로A(501)는 시프트 레지스터 회로들(240단들(stages) x 2 시프트 레지스터 회로들)(501-1), 래치 회로1(960 x 8 디지털 래치 회로들)(501-2), 래치 회로들2(960 x 8디지털 래치 회로들)(501-3), 선택기 회로들1(240 선택기 회로들)(501-4), D/A 변환기 회로들(240 DAC들)(501-5), 및 선택기 회로들2(240 선택기 회로들)(50-6)을 갖는다. 또한, 버퍼 회로 및 레벨 시프터 회로(어느 것도 도시되어 있지 않음)를 갖는다. 더욱이, 설명의 편의상, DAC(501-5)는 레벨 시프터 회로를 포함한다.

소스 신호 라인 구동 회로B(502)의 구성은 소스 신호 라인 구동 회로A(501)와 동일하다. 또한, 소스 신호 라인 구동 회로A(501)은 비디오 신호들(계조 전압신호)을 기수 소스 신호 라인에 공급하며, 소스 신호 라인 구동 회로B(502)는 우수 소스 신호 라인에 비디오 신호를 공급한다.

더욱이, 본 실시예에 따른 액티브 매트릭스형 액정 디스플레이 장치에서, 단지 2개의 소스 신호 라인 구동 회로 A 및 B (501 및 502)가 설명의 편의상 공급되어 있으므로, 이들 구동 회로는 이들간에 액티브 매트릭스 회로의 상부 및 하부를 보유할 수 있다. 그러나, 회로 구성이 허용한다면, 단지 하나의 소스 신호 라인 구동 회로가 공급될 수도 있다.

또한, 503은 게이트 신호 라인 구동 회로를 나타내는 것으로서, 이것은 시프트 레지스터 회로, 버퍼 회로, 레벨 시프터 회로 등을 구비하고 있다(이들은 도면들에 도시되어 있지 않음).

액티브 매트릭스 회로(504)는 1920(횡방향) x 1080(종방향) 화소들로 구성된 화소들을 갖는다. 화소 TFT는 각각의 화소들에 배치되며, 여기서 소스 신호 라인은 각각의 화소 TFT들의 소스 영역에 전기적으로 접속되고, 게이트 신호 라인은 게이트 전극에 전기적으로 접속된다. 또한, 화소 전극은 각각의 화소 TFT들의 드레인 영역에 전기적으로 접속된다. 각각의 화소 TFT들은 각각의 화소 TFT들에 전기적으로 접속된 화소 전극들에 비디오 신호들(계조 전압)의 공급을 제어한다. 비디오 신호(계조 전압)이 각각의 화소 전극들에 공급되고, 각각의 화소 전극과 이에 대향하는 전극사이에 있는 액정에 전압이 인가되고, 이에 의해 액정이 구동된다.

여기서, 본 발명에 따른 액티브 매트릭스형 액정 디스플레이 장치의 동작 및 이의 신호 흐름에 대해 기술한다.

먼저, 소스 신호 라인 구동 회로A(501)의 동작을 기술한다. 클럭신호(CK) 및 시작펄스(SP)는 시프트 레지스터 회로(501-1)에 입력된다. 시프트 레지스터 회로(501-1)는 클럭신호(CK)와 시작펄스(SP)에 기초하여 순서대로 타이밍 신호를 발생하며, 버퍼 회로(도시없음) 등을 통해 후속되는 회로에 타이밍 신호들을 순시적으로 공급한다.

시프트 레지스터 회로(501-1)로부터의 타이밍 신호는 버퍼 회로 등에 의해 버퍼된다. 타이밍 신호가 제공되는 소스 신호 라인에 많은 회로와 요소들이 접속되기 때문에, 부하 캐패시터(또는 기생 용량)가 크다. 부하 캐패시터가 크기 때문에, 타이밍 신호의 상승 및 하강이 불분명하게 되는 것을 방지하기 위해서, 이러한 버퍼가 설치된다.

버퍼 회로에 의해 버퍼된 타이밍 신호는 래치 회로1(501-2)에 제공된다. 래치 회로1(501-2)는 8비트 디지털 비디오 데이터를 처리하는 960단들의 래치 회로들을 갖는다. 래치 회로1(502-2)은 전술한 타이밍 신호가 입력될 때 디지털 비디오 데이터 분주 회로에 의해 제공된 8비트 디지털 비디오 데이터를 순차적으로 픽업하여 보유한다.

래치 회로1(501-2)의 모든 단에 디지털 비디오 데이터가 완전히 기입될 때까지의 시간을 "라인 기간"이라 한다. 즉, 래치 회로1(501-2) 내의 맨 좌측 단에서 디지털 비디오 데이터의 기입이 시작될 때부터 래치 회로의 맨 우측 단에서 디지털 비디오 데이터의 기입이 종료될 때까지의 시간 간격이 라인 기간이다. 사실은, 수평 회귀 기간이 전술한 라인 기간에 더해진 기간을 "라인 기간"이라고 할 수도 있다.

한 라인 기간이 종료된 후에, 래치신호는 시프트 레지스터 회로(501-1)의 동작 타이밍에 따라 래치 회로2(501-3)에 제공된다. 이 때, 래치 회로1(501-2)에 기입되어 보유된 디지털 비디오 데이터는 동시에 래치 회로2(501-3)로 보내져, 래치 회로2(501-3)의 모든 단에 기입되어 보유된다.

시프트 레지스터 회로(501-1)로부터 오는 타이밍 신호들에 기초하여, 디지털 비디오 데이터 분주 회로로부터 제공되는 디지털 비디오 데이터는 래치 회로2(501-3)에 디지털 비디오 데이터를 내보내는 것을 마친 래치 회로1(501-2)에 순차적으로 다시 기입된다.

제 2 라인 기간에서, 래치 회로2(501-3)에 기입되어 보유된 디지털 비디오 데이터는 선택기 회로1(501-4)에 의해 순차적으로 선택되며, D/A 변환기 회로1(501-5)에 의해 순차적으로 제공된다. 더욱이, 본 실시예에서, 선택기 회로1(501-4)에서, 한 선택기 회로는 4개의 소스 신호 라인들에 대응한다.

여기서, 본 실시예에서 사용되는 선택기 회로1(501-4)를 기술하기 위해서, 2비트 디지털 비디오 데이터를 처리하는 선택기 회로를 참조한다(도 6 및 도 7). 본 실시예와 같이, 8비트 디지털 데이터를 처리하는 선택기 회로의 개념적인 구성은 2비트 디지털 비디오 데이터를 처리하는 선택기 회로의 것과 동일하다. 또한, 본 출원인에 의해 행해진 특허출원인 일본 특허출원 제9-286098호에 개시된 선택기를 사용할 수도 있다.

도 6은 한 선택기 회로의 회로도를 도시한 것이다. 도 6에서, 참조 부호들(A, B, C, D)은 소스 신호 라인들을 나타내며, 참조 알파벳들(A, B, C, D)에 첨부된 첨자(0 혹은 1)는 소스 신호 라인에 입력된 2비트 디지털 비디오 데이터의 비트들을 나타낸다. 소스 신호 라인들(A, B, C, D)에 대응하는 디지털 비디오 데이터는 한 라인 주사기간(수평 주사기간)에서 4개씩 선택 신호들(SS1, SS2)에 의해 선택되어 Out-0 및 Out-1로부터 출력된다. 도 7은 선택기 회로의 타이밍도를 도시한 것으로, 여기서 L.S는 래치신호들이다.

본 실시예의 선택기 회로1(501-4)에서, 한 선택기 회로는 4개의 소스 신호 라인들마다 선택된다. 또한, 래치 회로1(501-2)에서 대응하는 소스 신호 라인들로 제공되는 8비트 디지털 비디오 데이터는 한 주사기간에 4개씩 선택된다.

선택기 회로1(501-4)에 의해 선택된 8비트 디지털 비디오 데이터는 DAC(501-5)에 제공된다. 여기서, 도 8 및 도 9를 참조하여 본 실시예에서 사용되는 DAC를 설명한다.

도 8은 본 실시예에서 사용되는 DAC의 회로도를 도시한 것이다. 더욱이, 본 실시예의 DAC가 레벨 시프터 회로(L.S)를 갖고 있어도, 레벨 시프터 회로를 사용하지 않고 DAC를 설계하는 것이 가능하다. 더욱이, 도 9a는 레벨 시프터 회로(L.S)의 회로 구성을 도시한 것이다. 레벨 시프터 회로에서, 신호(Lo)가 입력(IN)에 입력되고 신호(Hi)가 입력(INb)에 입력될 때, 고전위원(VddHI)은 출력(OUT)로부터 출력되고 저전위 전원(Vss)는 출력(OUTb)로부터 출력된다. 그리고, 신호(Hi)가 입력(IN)에 입력되고 신호(Lo)가 입력(INb)에 입력될 때, 저전위원(Vss)은 출력(OUT)으로부터 출력되고 고전위원(VddHI)는 출력(OUT_b)으로부터 출력된다.

본 실시예의 DAC에서, 디지털 비디오 데이터(D_0 내지 D_7)의 반전 데이터(이하 반전 D_0 내지 D_7)는 NOR 회로(501-5-1)의 한 입력에 입력되도록 설계된다. 리셋 펄스 A(ResA)는 NOR 회로(501-5-1)의 다른 입력에 입력된다. 리셋 펄스 A는

DAC의 리셋 기간(T_R)에 입력된다. 본 실시예의 경우, 디지털 비디오 데이터(반전 D_0 내지 D_7)는 리셋 기간(T_R)에서 NOR 회로(501-5-1)에 입력된다. 그러나, 리셋펄스 A(ResA)가 NOR 회로에 입력되고 있는 동안, 어떠한 디지털 비디오 데이터도 NOR 회로부터 출력되지 않는다.

더욱이, NOR 회로는 생략될 수 있으며, 디지털 비디오 데이터(반전 D_0 내지 D_7)는 리셋 기간(T_R)이 종료된 후에 입력될 수도 있다.

리셋 기간(T_R)이 종료된 후에, 데이터 기입 기간(T_E)이 시작되며, 8비트 디지털 비디오 데이터의 전압 레벨은 레벨 시프터 회로에 의해 상승되며, 데이터는 스위치 회로들(SW_0 내지 SW_7)에 입력된다.

스위치 회로들(SW_0 내지 SW_7)는 각각 2개의 아날로그 스위치들(ASW1, ASW2)로 구성된다. 각각의 아날로그 스위치들(ASW1, ASW2)의 회로 구성을 도 9b에 도시하였다. ASW1의 일 단은 DC_VIDEO_L에 접속되며, 타 단은 ASW2의 일 단 및 캐패시터들에 접속된다. 또한, 각각의 ASW2의 일단은 DC_VIDEO_H이며, 타 단은 ASW2의 일 단 및 캐패시터들(1pF, 2pF, 4pF, 8pF, 1pF, 2pF, 4pF, 8pF)에 접속된다. 각각의 캐패시터들 중 하나는 2개의 아날로그 스위치들에 접속되며, 이의 타 단은 리셋 스위치2(Res2)에 접속된다. 또한, 리셋 스위치1의 일단은 DC_VIDEO_M에 접속되며, 타 단은 상위 비트들에 대응하는 캐패시터의 일 단에 접속된다. 리셋 펄스들(ResB) 및 반전 펄스들(반전 ResB)은 리셋 스위치들(Res1, Res2)에 입력된다.

또한, 용량(1pF)은 상위 비트들에 대응하는 회로와 하위 비트들에 대응하는 회로간 접속점에서 제공된다. 더욱이, 본 실시예에서 전술한 모든 캐패시터는 이에 기술된 값들로 제한되지 않는다.

DAC(501-5)는 8비트 디지털 비디오 데이터를 아날로그 비디오 데이터(계조 전압)으로 변환하고 선택기 회로2(501-6)에 의해 선택된 소스 신호 라인에 순차적으로 제공된다. 본 실시예에서 DAC의 동작들은 전술한 실시예 1의 동작에 따르며, 출력(V_{OUT})은 전술한 식(17)로 나타내어진다.

소스 신호 라인에 제공된 아날로그 신호들은 소스 신호 라인에 접속된 액티브 매트릭스 회로의 화소 TFT들의 소스 영역에 또한 제공된다.

소스 신호 라인 구동 회로B는 502로 표시되어 있고, 이의 구성은 소스 신호 라인 구동 회로A(501)와 동일하다. 소스 신호 라인 구동 회로B(502)는 아날로그 비디오 데이터를 우수 소스 신호 라인에 제공한다.

시프트 레지스터(도시없음)로부터 타이밍 신호는 게이트 신호 라인 구동 회로(503) 내의 버퍼 회로(도시없음)에 제공되며, 대응하는 게이트 신호 라인들(주사 라인들)에도 제공된다. 한 라인과 등가인 화소 TFT의 게이트 전극은 게이트 신호 라인에 접속되고, 하나의 전체 라인과 등가인 모든 화소 TFT들은 턴 온되어야 하며, 보다 큰 전류용량을 갖는 게이트 전극이 버퍼 회로에서 사용된다.

이에 따라, 대응하는 화소 TFT들의 스위칭은 게이트 신호 라인 구동 회로로부터의 주사신호에 의해 수행되며, 소스 신호 라인 구동 회로로부터의 아날로그 신호들은 화소 TFT들에 제공되어 액정 입자를 구동한다.

디지털 비디오 데이터 구동 회로(SPC:직렬-병렬 변환 회로)는 505로 나타내었다. 디지털 비디오 데이터 분주 회로(505)는 주변 장치로부터 입력된 디지털 비디오 데이터의 주파수를 1/m로 낮추는 회로이다. 주변 장치로부터 입력된 디지털 비디오 신호를 분주함으로써, 구동 회로 동작에 필요한 신호의 주파수는 1/m로 낮추어질 수 있다. 여기서, 도 10a 및 도 10b를 참조하여 본 실시예에서 사용되는 디지털 비디오 데이터 분주 회로에 대해 간략히 설명한다.

도 10a에 도시된 바와 같이, 본 실시예에서 디지털 비디오 데이터 분주 회로는 클럭 발생기 및 복수의 SPC 기본유닛을 갖는다. SPC 기본 유닛들의 구성은 도 10b에 도시되었다. 이 도면에서, H-DL 및 L-DL은 "D" 래치들이라고 하는 래치 회로들이다. H-DL은 D 래치에 입력된 래치신호가 Hi일 때 입력신호를 래치하는 D 래치 회로이며, L-DL은 D 래치에 입력된 래치신호가 Lo일 때 입력신호를 래치하는 D 래치 회로이다.

본 실시예에서, 80MHz의 8비트 디지털 비디오 데이터는 디지털 비디오 데이터 분주 회로(505)에 입력된다. 디지털 비디오 데이터 분주 회로(505)는 주변 장치로부터 입력된 80MHz의 8비트 디지털 비디오 데이터를 직렬-병렬 형태로 변환하여 10MHz의 디지털 비디오 데이터를 소스 신호 라인 구동기 회로에 공급한다.

더욱이, 80MHz의 디지털 비디오 데이터 외에도, 40MHz의 클럭(CK) 및 리셋 펄스(Res)는 주변 장치로부터 본 실시예의 디지털 비디오 데이터 분주 회로(505)에 입력된다. 본 실시예의 디지털 비디오 데이터 분주 회로(505)는 입력된 디지털 비디오 데이터의 주파수의 반 클럭만을 필요로 하며, 이에 의해서 종래의 예와 비교하여, 본 실시예에 따른 디지털 비디오 데이터 분주 회로(505)는 안정성 및 신뢰성면에서 우수하다.

여기서, 디지털 비디오 데이터 분주 회로의 SPC 기본 유닛의 타이밍도를 도시한 도 11을 참조한다.

도 11에 도시한 타이밍도는 입력된 직렬 디지털 데이터(D-1, D-2,...D-10,...)이 2개의 병렬 디지털 데이터(P1 및 P2)로 변환된 상태를 도시한 것이다.

여기서, 본 실시예에서 기술된 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예에 대해 기술한다. 본 실시예에서, 이러한 예를 도 12 내지 도 15에 도시하였으며, 여기서 복수의 TFT들은 절연 표면을 갖는 기판 상에 형성되며, 액티브 매트릭스 회로, 소스 신호 라인 구동 회로, 게이트 신호 라인 구동 회로, 디지털 데이터 분주 회로, 및 기타 주변 회로 등은 동일 기판 상에 형성된다. 이하 기술되는 예는 액티브 매트릭스 회로의 한 화소 TFT 및 다른 회로(소스 신호 라인 구동 회로, 게이트 신호 라인 구동 회로, 디지털 데이터 분주 회로 및 기타 주변 장치 회로)의 기본회로인 CMOS 회로가 동시에 형성되는 상태를 보인 것이다. 또한, 다음 예에서, CMOS 회로에서 P-채널 TFT들 및 N-채널 TFT들 각각에 하나의 게이트 전극이 구비된 경우에 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 공정에 대해 기술한다. 그러나, 이중 게이트 혹은 3중 게이트와 같은 복수의 게이트 전극을 구비하는 TFT들로 구성되는 CMOS 회로를 제공하는 것이 또한 가능하다. 또한, 다음예에서, 화소 TFT들이 2중 게이트 N-채널 TFT들일지라도, 화소 TFT들은 단일 게이트, 3중 게이트 등의 TFF들로 구성될 수도 있다.

도 12a을 참조한다. 먼저, 절연 표면을 갖는 기판으로서 석영 기판(4001)을 준비한다. 석영 기판 대신 열산화된 층이 위에 형성된 실리콘 기판이 사용될 수도 있다. 비정질 실리콘층이 석영 기판 상에 일단 형성되고 이를 완전히 열적으로 산화시켜 절연막을 얻는 방법이 사용될 수도 있다. 또한, 석영 기판, 세라믹 기판 혹은 실리콘 기판은 질화실리콘층이 절연막으로서 형성된 이러한 기판들 상에 사용될 수 있다. 다음에, 기초층(4002)이 형성된다. 본 실시예에서, 산화실리콘(SiO_2)가 기초층(4002)으로서 사용되었다. 다음에, 비정질 실리콘층(4003)이 형성된다. 비정질 실리콘층(비정질 실리콘 막)(4003)은 최종 층의 두께(열산화 후에 층 감소를 고려하여 얻어진 층 두께)가 10 내지 75nm(바람직하게는 15 내지 45 nm)가 되도록 조정된다.

더욱이, 비정질 실리콘층(4003)을 형성할 때 층 내에 불순물 관리를 철저히 수행하는 것이 중요하다. 본 실시예의 경우, 비정질 실리콘층(4003)에서 후속되는 결정화를 저지하는 불순물인 C(탄소) 및 N(질소)의 농도가 5×10^{18}atom/cm^3 또는 이하(대표적으론 5×10^{17}atom/cm^3 또는 이하, 바람직하게는 2×10^{17}atom/cm^3 또는 이하)이며, O(산소)의 농도는 1.5×10^{19}atom/cm^3 또는 이하(대표적으론 1×10^{18}atom/cm^3 또는 이하, 바람직하게는 5×10^{17}atom/cm^3 또는 이하)가 되도록 제어된다. 왜냐하면 불순물이 상기한 것보다 높은 비로 존재한다면, 이들은 후속 결정화에 악영향을 미칠 수 있어 결정화가 완료된 후에 층 품질이 저하하게 된다. 본 명세서에선, 층 내의 불순물 원소의 농도를 SIMS(2차 이온 질량분석)의 측정 결과에 따라 최소값으로 정의한다.

전술한 구조를 얻기 위해서, 본 예에서 사용되는 저압 열 CVD 노는 주기적으로 건식으로 청정되고, 층 형성실의 정화가 시도되는 것이 바람직하다. 200 내지 400℃로 가열된 노 내에 100 내지 300sccm의 ClF_3(chlorine fluoride) 가스를 순환시키고, 열분해에 의해 발생된 불화물을 층 형성실의 건식 청정하는데 사용한다.

출원인의 지식에 기초하여, 노 내의 온도가 300℃이고 CIF_3 의 유량이 300sccm인 경우, 4시간 내에 대략 2㎛의 두께의 불순물(주성분으로부터 실리콘으로 구성된)을 완전히 제거하는 것이 가능하다.

더욱이, 비정질 실리콘층(4003) 내의 수소농도는 중요 파라미터 중 하나이다. 수소 함유량이 저수순으로 억제된다면, 완전히 결정화된 층을 얻는데 있어 보다 낮은 결과가 야기될 수 있다. 그러므로, 비정질 실리콘층(4003)을 형성하기 위해서 저압 CVD방법을 사용하는 것이 바람직하다. 또한, 층형성 조건들을 최적화함으로써 플라즈마 CVD 방법을 사용할 수도 있다.

다음에, 비정질 실리콘층(4003)에 대해 결정화 공정이 수행된다. 일본 공개 특허 공보 1995의 제 13062에 개시된 기술을 결정화 수단으로서 사용한다. 동 공보의 실시예 1 혹은 2 어느 것이든 사용할 수 있다. 본 실시예에서, 동 특허공보의 실시예 2에 개시된 기술을 이용하는 것이 바람직하다(상세한 것은 일본 공개 특허 공보 1996의 제78329호 참조).

일본 공개특허 공보 1996의 제78329에 개시된 기술은 촉매 원소를 도핑하기 위한 영역을 선택하는 마스크 절연막(4004)을 150nm로 형성한다. 마스크 절연막(4004)은 촉매 원소를 도핑하기 위한 복수의 개구부들을 갖는다. 개구부들의 위치에 의해서, 결정화 영역의 위치를 결정하는 것이 가능하다(도 12b).

그리고, 비정질 실리콘층(4003)의 결정화를 촉진하기 위해서 촉매 원소로서 니켈(Ni)을 함유하는 용액(4005)(Ni 아세테이트 에타놀 용액)을 스핀 코팅 방법으로 코팅한다. 또한, 촉매 원소로서, 코발트(Co), 철(Fe), 백금(Pd), 파라듐(Pd), 게르마늄(Ge), 백금(Pt), 구리(Cu), 금(Au), 등을 니켈(Ni) 외에도 사용할 수 있다(도 12b 참조).

레지스트 마스크를 사용하는 이온 주입 방법, 혹은 플라즈마 도핑 방법을 전술한 촉매 원소의 도핑 공정에 사용할 수 있다. 이 경우, 도핑되는 영역의 점유 영역을 감소시키고 후술하는 수평으로 성장되는 영역의 성장 거리를 제어하는 것이 가능하기 때문에, 도핑 공정은 미크론 회로들을 구성할 때 효과적인 기술이 될 것이다.

촉매 원소의 도핑 공정이 완료된 후, 불활성 가스체, 수소 가스체 혹은 1시간 동안 450℃에서 수소 방출 후에, 산소 가스체에서 500 내지 960℃(500내지 650℃로 표시됨)의 온도에서 1시간 내지 24시간 동안 열처리한다. 그 후, 비정질 실리콘층(4003)이 결정화된다. 본 실시예에서, 가열 공정은 570℃에서 수소 가스체에서 수행된다(도 12c).

이 때, 비정질 실리콘층(4003)의 결정화는 니켈이 도핑된 영역(4006) 내에 발생된 핵(nuclei)으로부터 우선하여 시작되고, 이에 의해서 결정화된 영역(4006)이 형성되고, 이것은 기판(4001)의 기판표면에 거의 평행하게 성장되며 다결정 실리콘층으로 구성된다. 결정화된 영역(4007)을 "수평으로 성장된 영역"이라고 한다. 수평으로 성장된 영역은 비교적 정합된(matched) 상태에 있으며, 개개의 결정들이 모여있다. 그러므로, 전체 결정화가 우수하다는 이점을 갖는다.

더구나, 마스크 절연막(4004)을 사용하지 않고 결정화를 위해서 비정질 실리콘층의 전 표면 상에 아세틱 용액을 코팅한다.

도 12d를 참조한다. 다음에, 촉매 원소의 게터링 공정을 수행한다. 먼저, 인 이온의 도핑을 선택적으로 수행한다. 인 도핑은 형성된 마스크 절연막(4004)을 사용하여 수행된다. 이것이 일어나면, 인은 마스크 절연막(4004)으로 덮혀있지 않은 다결정 실리콘층의 영역(4008)(이 영역을 "인 도핑 영역"(4008)이라 함)에만 도핑된다. 이 때, 도핑 가속 전압 및 산화된 층으로 구성된 마스크의 두께를 최적화함으로써, 인은 마스크 절연막(4004)을 관통하지 못한다. 마스크 절연막(4004)은 반드시 산화된 층일 필요는 없으나 이 산화된 층이 활성층에 직접 접촉한다고 해도 산화된 층이 오염원으로 되지 않기 때문에 이점이 있다.

인의 도우즈량은 1×10^{14} ions/cm^3 내지 1×10^{15} ions/cm^3 인 것이 적합한다. 본 실시예에서, 인은 이온 도핑 장치를 사용함으로써 5×10^{14} ions/cm^3 의 비로 도핑된다.

더욱이, 이온 도핑에서 가속 전압은 10keV로 결정되었다. 10keV의 가속 전압이 사용되면, 인은 150nm 두께의 마스크 절연막을 거의 통과하지 못한다.

도 12e를 참조한다. 다음에, 1시간 내지 12시간(본 실시예에선 12시간) 동안 600℃의 질소 가스체에서 열적으로 어닐링함으로써 니켈 원소 게터링를 수행하였다. 그럼으로써, 도 12e에 도시한 바와 같이, 니켈이 흡수되고 인이 거의 도입된다. 600℃의 온도에서, 인 원자는 층 내에서 거의 이동하지 않는다. 그러나, 니켈 원자들은 수백 마이크로미터 이상을 이동할 수 있다. 그에 기초하여, 인은 니켈을 게터링하기 위한 가장 적합한 원소 중 하나임을 알 수 있다.

다음에, 도 13a를 참조하여, 다결정 실리콘층의 패터닝 공정을 기술한다. 이 때, 인 도핑 영역(4008), 즉 니켈이 게터링된 영역은 남아 있지 않음을 알 수 있다. 따라서, 니켈을 거의 함유하지 않는 다결정 실리콘층의 활성층들(4009 내지 4011)이 얻어질 수 있다. 이 얻어진 다결정 실리콘층의 활성층들(4009 내지 4011)은 TFT층의 활성층들이 된다.

도 13b를 참조한다. 활성층들(4009 내지 4011)이 형성된 후에, 실리콘을 함유하는 절연막으로 구성된 게이트 절연층(4002)이 그 위에 70nm 두께가 되도록 형성된다. 그리고, 산소 가스체에서 800 내지 1100℃(바람직하게는 950 내지 1050℃)의 온도에서 열처리를 수행하여 활성층(4009 내지 4011)과 게이트 절연층(4012)간 경계에 열산화층(도시없음)을 형성한다.

더욱이, 이 단계에서 촉매 원소를 게터링하는 열처리(촉매 원소들의 게터링 공정)를 수행할 수 있다. 이 경우, 열처리는 처리 가스체 내에 할로겐 원소를 함유시켜 할로겐 원소에 의한 촉매 원소의 게터링 효과를 이용한다. 또한, 할로겐 원소의 게터링 효과를 충분히 얻기 위해서, 열처리를 700℃ 이상의 온도에서 수행하는 것이 바람직하다. 온도가 700℃보다 낮다면 처리 가스체에서 할로겐 화합물을 분해하는 것은 어렵게 될 것이므로, 게터링 효과가 전혀 얻어질 수 없는 우려가 있다. 더구나, 이 경우, 할로겐 원소를 함유하는 가스로서, 이를테면 HCl, HF, NF_3, HBr, CL_2, CIF_3, BCl_2, Fe, Br_2, 등, 할로겐을 포함하는 화합물들로부터 선택되는 하나 혹은 복수 종류의 가스들을 사용할 수도 있다. 이 공정에서, 예를 들어 HCl이 사용된다면, 활성층 내의 니켈이 염소의 작용에 의해서 게터링되는 것으로 생각되며 휘발되는 니켈 염소로서 가스체 내로 제거된다. 더욱이, 할로겐 원소를 사용한 촉매 원소의 게터링 공정이 수행되는 경우, 촉매 원소 게터링 공정은 마스크 절연막(4004)이 제거된 후의 활성층을 패터닝하기 전에 수행될 수 있다. 또한, 촉매 원소 게터링공정은 활성층을 패터닝한 후에 수행될 수 있다. 또한, 이들 게터링 공정을 결합할 수도 있다.

다음에, 패터닝함으로써 게이트 전극의 원형을 형성하기 위해서 주로 알루미늄으로 구성된 금속층(도시없음)을 형성한다. 본 실시예에서, 2wt의 스칸듐을 함유하는 알루미늄층이 사용될 수 있다.

더욱이, 게이트 전극은 도전성을 제공하기 위해서 불순물이 도핑된 다결정 실리콘층으로 형성될 수도 있다. 대안으로, Mo 혹은 W 또는 이러한 금속의 실리사이드와 같은 내화 금속을 사용할 수도 있다.

다음에, 일본 공개특허 공보 1995의 제 135318에 개시된 기술에 의해서, 다공성 양극산화층들(다공성 양극 산화막들)(4013 내지 4020), 비다공성 양극 산화층들(비다공성 양극 산화막들)(4021 내지 4024), 및 게이트 전극(4025 내지 4028)이 형성된다(도 13b).

이에 따라, 도 13b에 도시한 상태가 얻어지므로, 다음에, 게이트 전극들(4025 내지 4028) 및 다공성 양극산화층들(4013 내지 4020)을 마스크들로서 사용하여 게이트 절연층(4012)을 에칭한다. 그리고, 다공성 양극산화층(4013 내지 4020)을 제거하여 도 13c에 도시한 상태를 얻는다. 이 도면에서, 4029 내지 4031은 가공된 게이트 절연층들(게이트 절연막들)을 나타낸다.

도 14a를 참조한다. 다음에, 도전성을 제공하기 위해 불순물 원소들을 도핑하는 도핑 공정을 수행한다. 불순물 원소들로서, P(인) 혹은 As(비소)를 N채널형에 사용될 수 있고, B(보론) 혹은 Ga(갈륨)을 P채널형에 사용할 수 있다.

본 실시예에서, 불순물들 도핑은 N채널형 TFT 및 P채널형 TFT들을 형성하기 위해서, 2개의 공정으로 수행된다.

먼저, N채널형 TFT들을 형성하기 위해서 불순물들이 도핑된다. 제 1 불순물들 도핑(본 실시예에서 인을 사용)은 n^-영역들을 형성하기 위해서 80keV의 높은 가속 전압에서 수행된다. n^-영역들은 P 이온농도가 1 x 10^{18}atom/cm^3 내지 1 x 10^{19}atom/cm^3 이 되도록 조정된다.

제 2 불순물 도핑은 n^+영역들을 형성하기 위해서 10keV의 낮은 가속 전압에서 수행된다. 이 때, 가속 전압이 낮기 때문에, 게이트 절연층은 마스크로서 작용한다. 또한, n^+영역들은 시트저항이 500Ω/스퀘어(바람직하게는, 300Ω/스퀘어) 미만이 되도록 조정된다.

전술한 공정을 거쳐, CMOS 회로를 구성하는 N채널형 TFT 소스 영역(4032) 및 드레인 영역(4033), 저농도 불순물 영역(4036), 및 채널 형성 영역(4039)이 형성된다. 더욱이, 화소 TFT를 구성하는 N채널형 TFT 소스 영역(4034) 및 드레인 영역(4035), 저농도 불순물 영역(4037 및 4038), 및 채널 형성 영역들(4040 및 4014)이 결정된다(도 14a 참조).

더욱이, 도 14a에 도시한 상태에서, CMOS 회로를 구성하는 P채널형 TFT의 활성층은 N채널형 TFT의 활성층의 구성과 동일하다.

다음에, 도 14b에 도시한 바와 같이, N채널형 TFT를 덮기 위해서 레지스트 마스크(4042)가 제공되고, 불순물 이온(본 실시예에선 보론을 사용)을 도핑하여 p도전형을 제공하도록 한다.

이 공정은 전술한 불순물 도핑 공정에서처럼 2번 수행된다. N 도전형을 P 도전형으로 바꾸는 것이 필요하기 때문에, P이온 도핑 농도보다 수배 큰 농도를 갖는 B(보론) 이온들이 도핑된다.

이에 따라, CMOS 회로를 구성하는 P채널형 TFT 드레인 영역(4043) 및 소스 영역(4044), 저농도 불순물 영역(4045) 및 채널 형성 영역(4046)이 형성된다(도 14b 참조).

더욱이, 도전성을 제공하기 위해 불순물이 도핑되는 다결정 실리콘층에 의해 게이트 전극이 형성되는 경우, 저농도 불순물을 형성하기 위해서 공지된 측벽 구조를 사용할 수도 있다.

다음에, 불순물 이온을, 노 어닐링(furnace annealing), 레이저 어닐링 혹은 램프 어닐링 아니면 이들의 조합으로 활성화시킨다. 동시에, 도핑 공정에서 받을 수 있는 활성층의 손상이 회복될 수 있다.

도 14c를 참조한다. 다음에, 산화실리콘층 및 질화실리콘층으로 구성된 적층된 층을 제 1 층간 절연막(4047)으로서 형성하고, 접촉홀을 형성한다. 그 후, 소스 전극 및 드레인 전극(4048 내지 4052)이 형성된다. 더욱이, 유기 수지층을 제 1 층간 절연막으로서 사용할 수도 있다.

도 15a를 참조한다. 다음에, 질화실리콘층으로서 제 2 층간 절연막(4053)을 형성한다. 다음에, 유기 수지층으로 구성된 제 3 층간 절연막(4054)을 0.5 내지 3㎛의 두께로 형성한다. 폴리아미드, 아크릴레이트, 폴리이미드아미드 등을 유기 수지층으로서 사용할 수도 있다. 유기 수지층의 이점은 막형성이 간단하고, 층을 쉽게 두껍게 할 수 있으며, 상대 유전 상수가 낮아 기생 용량을 감소시킬 수 있고, 평탄도가 우수하다는 것 등이다. 또한, 상기 물질 이외의 유기 수지층들을 사용할 수도 있다.

다음에, 제 3 층간 절연막(4054)의 일부분을 에칭하고, 제 2 층간 절연막을 사이에 두고 블랙 매트릭스(4055)가 화소 TFT 드레인 전극(4052) 위에 형성된다. 본 실시예에서, Ti(티타늄)을 블랙 매트릭스(4055)용으로 사용하였다. 또한, 본 실시예에서, 화소 TFT와 블랙 매트릭스 사이에 보유 캐패시터(기억용량이라고 함)이 형성된다. 더욱이, 구동 회로부에서, 블랙 매트릭스(4055)는 제 3 배선으로서 사용된다. 또한, 본 실시예의 D/A 변환기 회로의 캐패시터는 전극 및 블랙 매트릭스(4055)에 의해서 형성되며, 이들은 소스 전극들 및 드레인 전극들을 형성할 때 만들어진다. 이어서, 아크릴 수지와 같은 유기 수지의 제 4 층간 절연막(4056)이 형성된다.

다음에, 제 2, 제 3, 제 4 층간 절연막들(4053, 4054, 4056)을 관통하는 접촉홀을 형성하고, 화소 전극(4057)을 120nm 두께로 형성한다. 더욱이, 본 실시예는 투과형 액티브 매트릭스 액정 디스플레이 장치의 예이기 때문에, 화소 전극(4057)를 구성하는 도전층으로서, ITO 혹은 InZnO 등과 같은 투명 도전층이 사용된다.

다음에, 1 내지 2시간 동안 수소 가스체에서 350℃에서 전체 표면을 가열하고, 이에 의해 전체 원소를 수소화함으로써 층내의(특히 활성층) 댕글링 본드(dangling bond)가 보상될 수 있다. 전술한 공정을 통해, CMOS 회로 및 화소 매트릭스 회로를 갖는 액티브 매트릭스 기판이 동일 기판 상에 완성된다.

다음에, 전술한 공정에 의해 제작된 액티브 매트릭스 기판에 기초하여, 액티브 매트릭스 액정 디스플레이 장치를 제조하는 공정에 대해 기술한다.

도 15b에 도시한 상태에서 존재하는 액티브 매트릭스 기판 상에 정렬층(배향층)(4058)을 형성한다. 본 실시예에서, 정렬층용으로 폴리이미드가 사용된다. 다음에, 대응(counter) 기판을 준비한다. 대응 기판은 유리 기판(2059)으로 구성되며, 대응 전극(4060)은 투명 도전층, 및 정렬층(배향층)(4061)으로 구성된다.

더욱이, 본 실시예에서, 폴리이미드층은 정렬층으로서 사용되었다. 또한, 정렬층이 형성된 후에 러빙 공정을 수행한다. 또한 본 실시예에서 비교적 큰 프리틸트(pre-tilt)각을 갖는 폴리이미드를 정렬층용으로 사용하였다.

다음에, 전술한 공정을 거친 활성 매트릭스 기판 및 대응 기판을 공지된 셀 조립 공정에 의해 실링 물질, 스페이서(이들 모두 도시되어 있지 않음), 등을 통해 서로 부착하였다. 그 후, 이들 기판들 사이에 액정을 공급하고, 실링제(도시없음)로 완전히 밀봉한다. 본 실시예에서, 액정(4062)으로서는 네마틱 액정을 사용하였다.

그러므로, 도 15c에 도시한 바와 같은 투과형 액티브 매트릭스형 액정 디스플레이 장치가 완성된다.

또한, 비결정 실리콘층은 전술한 실시예에서 기술된 비결정 실리콘층을 결정화하는 방법 대신에 레이저빔(대표적으로는 엑시머 레이저빔 혹은 YAG 레이저)을 사용하여 결정화될 수 있다.

(실시예 3)

실시예 3에서, 본 발명에 따른 DAC를 갖는 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 또 다른 방법을 기술한다. 본 실시예는 전술한 실시예 2에서 기술된 제조 방법과는 다르다. 또한, 본 실시예에 따른 액티브 매트릭스형 액정 디스플레이 장치는 실시예 2의 액티브 매트릭스형 액정 디스플레이 장치로서 사용될 수 있다.

도 16a를 참조한다. 먼저, 200nm 두께의 산화실리콘층(산화 실리콘막)(5002)으로 구성된 기초층을 유리 기판(5001) 상에 형성하였다. 기초층은 질화실리콘층을 적층하여 얻어질 수도 있고 단지 질화실리콘층만으로 구성될 수도 있다.

다음에, 30nm 두께의 비정질 실리콘층(비결정 실리콘층)을 플라즈마 CVD 방법을 사용하여 산화실리콘층(5002) 상에 형성하고, 탈수소화한다. 그 후, 다결정층(결정 실리콘층 혹은 다결정 실리콘층)을 엑시머 레이저로 어닐링(annealing)하여 형성하였다.

공지된 레이저 결정화 기술 혹은 열 결정화 기술로 결정화 공정을 수행할 수 있다. 본 실시예에서, 비정질 실리콘층은 펄스-발진형 KrF 엑시머 레이저를 선형 형태로 처리함으로써 결정화되었다.

더욱이, 본 실시예에서, 비정질 실리콘층은 초기층으로서 사용되었으며, 폴리실리콘층은 초기층을 레이저 어닐링함으로서 결정화를 통해 얻어졌다. 그러나, 마이크로결정 실리콘층을 초기층으로서 사용할 수도 있으며, 혹은 폴리실리콘층을 직접 형성할 수도 있다. 사실, 형성된 폴리실리콘층에 대해 레이저 어닐링을 수행할 수도 있다. 또한, 레이저 어닐링 대신에 노 어닐링을 수행할 수도 있다. 그리고, 비결정 실리콘층의 결정화는 실시예 1에 도시한 바와 같은 방법으로 수행될 수도 있다.

이와 같이 하여 형성된 결정화된 실리콘층은 패터닝되어, 섬 형상의 실리콘층으로 구성된 활성층(5003, 5004)를 형성하였다.

다음에, 활성층(5003 및 5004)을 덮도록, 산화실리콘층으로 구성된 게이트 절연층(5005)을 형성하며, 탄탈(tantalum)과 질화 탄탈(tanlalum nitride)이 적층된 구조로 구성된 게이트 배선(게이트 전극들을 포함하는)이 그 위에 형성되었다(도 16a 참조).

게이트 절연층(게이트 절연막)(5005)의 두께는 100nm로 하였다. 사실, 산화실리콘층 혹은 질화실리콘층, 및 산화 질화 실리콘층이 적층된 구조를 산화실리콘층을 외에 사용할 수도 있다. 더욱이, 게이트 배선(5006, 5007)에 다른 금속들이 사용될 수 있을지라도, 실리콘에 대한 높은 에칭선택비를 갖는 물질이 후속공정에서 바람직하다.

도 16a에 도시한 바와 같은 상태가 이와 같이 하여 얻어진 후에, 제 1 인 도핑 공정(인 첨가공정)을 수행하였다. 여기서, 도핑은 게이트 절연층(5005)을 통해 수행되기 때문에, 가속 전압을 약간 높인 레벨인 80keV로 설정하였다. 또한, 도핑량은 형성되는 제 1 불순물 영역들(5008, 5009)의 길이가 0.5μm이 되도록 하고 인 농도는 1×10^{17}atom/cm^3 이 되도록 조정되었다. 이 때, 인 농도는 (n^-)로 나타내었다. 인 대신에 비소가 사용될 수도 있다.

더욱이, 마스크로서 게이트 배선들(5006 및 5007)을 사용하면서 제 1 불순물 영역들(5008 및 5009)를 자기 정합된 상태로 형성하였다. 이 때, 진성 결정 실리콘층은 게이터 배선들(5006 및 5007) 바로 밑에 있게되고, 채널 형성 영역(5010, 5011)이 형성되었다. 그러나, 실제로 제 1 불순물 영역은 게이트 배선 내에 약간 도핑되기 때문에, 게이트 배선들(5006 및 5007) 및 제 1 불순물 영역들(5008 및 5009)이 서로 중첩하게 되는 구조가 얻어졌다(도 16b 참조).

다음에, 0.1 내지 1μm(대표적으로는 0.2 내지 0.3μm) 두께의 비결정 실리콘층이 게이트 배선(5006 및 5007)을 덮도록 형성되었으며, 비등방성 에칭을 수행하여 측벽(5012 및 5013)을 형성하였다. 측벽들(5012 및 5013)의 폭은 0.2μm로 하였다(게이트 배선의 측벽에서 관측하였을 때)(도 16c 참조).

또한, 본 실시예에서 전혀 불순물이 도핑되지 않은 층이 비결정층으로서 사용되었기 때문에, 진성 실리콘층으로 구성된 측벽이 형성되었다.

도 16c에 도시한 상태가 얻어진 후, 제 2 인 도핑 공정이 수행되었다. 또한, 이 경우, 가속 전압은 첫 번째와 같이 80keV로 결정되었다. 또한, 도핑양은 이 때 형성된 제 2 불순물 영역들(5014 및 5015)에 1×10^{18}atom/cm^{3}의 농도로 인이 함유되게 조정되었다. 이 때, 인의 농도는 (n)으로 나타내었다.

더욱이, 도 16d에 도시한 인 도핑 공정에서, 제 1 불순물 영역들(5008 및 5009)은 측벽들(5012 및 5013) 바로 밑에 있게 된다. 이들 제 1 불순물 영역들(5008 및 509)는 제 1 LDD로서 기능할 것이다.

더욱이, 도 16d의 공정에서, 측벽들(5012 및 5013)에 인이 도핑되었다. 사실, 가속 전압이 높기 때문에, 인의 농도 프로파일의 끝(가장자리)이 벽 안으로 파급된 상태로 분포되었다. 측벽의 저항 성분을 이러한 인으로 조정할 수 있을지라도, 인의 농도 분포가 현저하게 고르지 못하다면, 이것은 제 2 불순물 영역(5014)에 인가된 게이트 전압이 모든 소자에서 동요되게 하는 인자가 될 것이다. 그러므로, 도핑할 때 정확한 제어를 수행하는 것이 필요하다.

다음에, NTFT의 일부분을 덮는 레지스트 마스크(5017) 및 PTFT 전체를 덮는 레지스트 마스크(5017)가 형성되었다. 그리고, 이 상태에서, 게이트 절연층(5005)의 건식 에칭에 의해 처리된 게이트 절연층(게이트 절연막)(5018)이 형성되었다(도 16e 참조).

이 때, 게이트 절연층(5018)이 측벽(5012)에서 이의 밖으로 돌출하는 부분의 길이(즉, 게이트 절연층(5018)이 제 2 불순물 영역(5014)와 접촉해 가는 길이)가 제 2 불순물 영역(5014)의 길이(폭)를 결정하였다. 그러므로, 높은 정확도로 레지스트 마스크(5016)의 마스크 정렬을 수행하는 것이 필요하였다.

도 16e에 도시한 바와 같은 상태가 얻어진 후에, 제 3 인 도핑 공정이 수행되었다. 인은 노출된 활성층에 도핑될 것이기 때문에, 가속 전압은 10keV인 낮은 수준으로 설정되었다. 더욱이, 도핑량은 얻어지게 되는 제 3 불순물 영역(5019)에서 5×10^{20}atom/cm^3 의 농도로 인이 함유되게 조정되었다. 이 때, 인 농도를 (n^+)로 나타내었다(도 17a 참조).

본 공정에서, 레지스트 마스크(5016, 5017)에 의해 가려진 부분에는 인이 도핑되지 않기 때문에, 제 2 불순물 영역들(5014 및 5015)은 그 부분에 그대로 남아 있다. 그러므로, 제 2 불순물 영역(5014)은 이와 같이 하여 구획화된다. 동시에, 제 3 불순물 영역(5019)이 구획화되었다.

제 2 불순물 영역(5014)은 제 2 LDD로서 기능하며, 제 3 불순물 영역(5019)은 소스 영역 혹은 드레인 영역으로서 기능한다.

다음에, 레지스트 마스크들(5016 및 5017)가 제거되었으며, NTFT 전체를 덮을 수 있는 레지스터 마스크(5021)가 새롭게 형성되었다. 그리고, PTFT의 측벽(5013)이 제거되었으며, 더욱이, 게이트 절연층(5005)을 건식 에칭함으로써, 게이트 배선(5007)과 동일 형상의 게이트 절연층(게이트 절연막)(5022)을 형성하였다(도 17b 참조).

도 17b에 도시한 바와 같은 상태가 얻어진 후에, 보론 도핑 공정(보론 첨가공정)이 수행되었다. 여기서, 가속 전압은 10keV로 설정되었으며, 도핑량은 제 4 불순물 영역(5023)에서 3×10^{20} atom/cm^3 이의 농도로 보론이 포함되게 조정되었다. 이 때, 보론 농도를 (p++)로 나타내었다(도 17c 참조).

더구나, 보론은 게이트 배선(5007) 내부로 파급되도록 또한 도핑되었기 때문에, 채널 형성 영역(5011)이 게이트 배선(5007) 내에 형성되었다. 또한, 이 공정에서, PTFT측에 형성된 제 1 불순물 영역(5009) 및 제 2 불순물 영역(5015)은 P형으로 바뀐다. 그러므로, 사실, 원래 제 1 불순물 영역이었던 부분 및 원래 제 2 불순물 영역이었던 부분에서 저항값이 변동하여도, 보론이 충분히 높은 농도로 도핑되기 때문에 아무 문제를 만들지 않을 것이다.

따라서, 제 4 불순물 영역(5023)이 구획화된다. 제 4 불순물 영역(5023)은 마스크로서 게이트 배선(5007)을 사용하여 완전히 자기 정합된 상태로 형성되어 소스 영역 혹은 드레인 영역으로서 기능한다. 본 실시예에서, PTFT에 관하여 LDD 영역이나 오프셋 영역이 전혀 형성되지 않을지라도, PTFT가 본질적으로 높은 신뢰성을 갖기 때문에 전혀 문제가 없다. 그러므로, LDD 영역이 전혀 형성되지 않은 경우는 ON 전류가 얻어질 수 있기 때문에 더욱 이점이 있다.

따라서, 도 17c에 마지막으로 도시한 바와 같이, 채널 형성 영역, 제 1 불순물 영역, 제 2 불순물 영역 및 제 3 불순물 영역은 NTFT의 활성층 내에 형성되며, 단지 채널 형성 영역 및 제 4 불순물 영역만이 PTFT의 활성층 내에 형성된다.

따라서, 도 17c에 도시한 바와 같은 상태가 얻어진 후에, 제 1 층간 절연막(5024)은 1μm 두께로 형성되었다. 산화실리콘층, 질화실리콘층, 산화질화 실리콘층, 유기 수지층 혹은 이들이 적층된 층을 제 1 층간 절연막(5024)으로서 사용할 수도 있다. 유기 수지층으로서, 아크릴 수지층이 사용될 수도 있다.

제 1 층간 절연막(5024)이 형성된 후에, 금속물질로 만들어진 소스 배선(5025, 5026), 및 드레인 배선(5027)이 형성되었다. 본 실시예에서, 티타늄을 함유하는 알루미늄층이 사이에 개재된 티타늄으로 된 3개의 층간배선이 사용되었다.

더욱이, BCB(벤조사이클로부텐)이라고 하는 수지층이 제 1 층간 절연막(5024)로서 사용되는 경우, 평탄도가 증가되며, 동시에 배선 물질로서 구리를 사용할 수 있게 된다. 구리의 배선 저항이 낮기 때문에, 배선 물질로서는 효과적이다.

이와 같이 하여 소스 배선 및 드레인 배선이 형성된 후에, 50nm 두께의 질화 실리콘층(실리콘 질화막)(5028)이 패시베이션층(passivation layer)으로서 형성되었다. 더욱이, 제 2 층간 절연막(5029)가 그 위에 보호층으로서 형성되었다. 전술한 제 1 층간 절연막(5024)과 동일한 물질을 제 2 층간 절연막(5029)으로서 사용할 수 있다. 본 실시예에서, 아크릴 수지층이 50nm 두께의 산화실리콘층 상에 적응된 구조가 사용된다.

전술한 공정을 거친 후에, 도 17d에 도시한 바와 같은 구조를 갖는 CMOS 회로가 완성되었다. 본 실시예에 의해 형성된 CMOS 회로에서, NTFT는 우수한 신뢰성을 갖기 때문에, 전체 회로의 신뢰성이 현저하게 증가되었다. 또한, 본 실시예에서 보인 바와 같은 구조가 사용된다면, NTFT 및 PTFT의 특성균형(전기적 특성에서의 균형)이 우수하게 된다.

더욱이, 화소 TFT 역시 TTFT에 의해 구성될 수 있다.

도 17d에 도시한 바와 같은 상태가 얻어진 후에, 접촉홀이 개방되고, 이에 의해서 화소 TFT의 드레인 전극에 접속된 화소 전극이 형성된다. 그리고, 정렬층을 형성하기 위해서 제 3 층간 절연층이 형성된다. 다음에, 블랙 매트릭스가 형성된다.

구동 회로부에서, 블랙 매트릭스는 제 3 배선으로서 사용된다. 더욱이, 본 발명에 따른 D/A 변환기 회로의 캐패시터는 전극에 의해 형성되며, 이는 소스전극 및 드레인 전극과 블랙 매트릭스를 형성하여 만들어진다.

다음에, 대응 전극을 준비한다. 대응 전극은 유리 기판, 투명 도전막으로 만들어진 대응 전극, 및 정렬층으로 구성된다.

또한, 본 실시예에서, 폴리이미드층은 정렬층용으로 사용된다. 정렬층이 형성된 후에 러빙 공정(rubbing process)이 수행된다. 더욱이, 본 실시예에서, 비교적 큰 프리틸트 각을 갖는 폴리이미드를 정렬층용으로 사용하였다.

다음에, 활성 매트릭스 기판과 대응 기판을 공지된 셀 조립 공정으로 서로 부착한다. 그 후, 이들 기판 사이에 액정을 공급하고, 실링제(도시없음)로 액정을 완전히 밀봉한다. 본 실시예에서, 액정으로서는 네마틱 액정을 사용하였다.

이에 따라, 액티브 매트릭스형 액정 디스플레이 장치가 완성된다.

(실시예 4)

실시예 4에서, 전술한 실시예 2 혹은 3에서 실리콘 기판이 사용된 경우에 대해 기술한다. 모든 다른 공정은 실시예 2 혹은 3에 공정들에 따른다.

도 18a 및 도 18b를 참조한다. 실리콘 기판(6001) 상에 산화실리콘층(산화 실리콘막)(6002)을 형성한다. 그리고, 비결정 실리콘층(비정질 실리콘막)(6003)은 산화실리콘층 상에 형성되며, 니켈을 함유하는 층(니켈 함유층)(6004)은 이의 전체 표면 상에 형성된다. 이어서, 다결정 실리콘막(6005)을 형성하기 위해 층을 가열하여 비결정 실리콘층을 다결정화한다. 후속 공정들은 실시예 2 혹은 5에서 기술된 것들로 된다.

(실시예 5)

본 실시예에서, 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 또 다른 방법을 기술한다. 이 방법은 전술한 실시예 2 혹은 3에 개시된 것들과는 다르다.

도 19a 내지 도 19e와 도 20a 및 도 20b를 참조한다. 예를 들면 코닝사에서 만든 1737 유리 기판으로 대표되는 무알칼리 유리 기판을 기판(7001)으로서 사용하였다. 그리고, 산화실리콘으로 구성된 기초층(7002)을 기판(7001)의 TFT들이 형성되는 표면상에 200nm 두께가 되게 형성하였다. 기초층(7002)엔 또한 적층된 질화실리콘층 혹은 단지 질화실리콘층만이 제공될 수 있다.

다음에, 플라즈마 CVD 방법을 사용하여 기초층(7002) 상에 50nm 두께로 비결정 실리콘층을 형성하였다. 비결정 실리콘층의 수소 함유량에 의존한다 할지라도 비결정 실리콘층을 바람직하게는 400 내지 500℃로 가열함으로써 탈수소화를 수행하였으며, 이에 의해서 수소 함유량이 5atm% 미만으로 억제되었으며 결정 실리콘층은 결정화 공정에 의해 얻어졌다.

공지된 레이저 결정화 기술 혹은 열 결정화 기술을 결정화 공정으로서 사용할 수도 있다. 본 바람직한 실시예에서, 펄스 발진형 KrF 엑시머 레이저빔을 선형 형태로 수집하여 비결정 실리콘층에 조사함으로써 결정화된 실리콘층을 얻는다. 더욱이, 전술한 실시예 2 혹은 3에 기술된 방법은 결정화 공정으로서 사용될 수 있다.

또한, 본 실시예에서, 초기층으로서 비결정 실리콘층이 사용되었어도, 초기층으로서 마이크로결정 실리콘층이 사용될 수도 있고 결정화된 실리콘층이 직접 형성될 수도 있다.

이와 같이 하여 형성된 결정화된 실리콘층을 패터닝하고, 이에 의해서 섬 형상의 반도체 활성층들(7003, 7004, 7005)이 형성되었다.

다음에, 반도체 활성층들(7003, 7004, 7005)을 덮기 위해서 주로 산화실리콘 혹은 질화실리콘으로 구성된 게이트 절연층(7006)을 형성하였다. 여기서, 산화질화 실리콘층을 플라즈마 CVD 방법에 의해 100nm 두께로 형성하였다. 그리고, 도 19에 기술되지 않았으나, 스퍼터링 방법을 사용하여, 제 1 도전층으로서 탄탈(Ta)을 10내지 200nm, 예를 들면 50nm 두께로 형성하였으며, 알루미늄(Al)을 제 2 도전층으로서 100 내지 1000nm 두께, 예를 들면 200nm두께로 형성하였으며, 이에 의해서 제 1 게이트 전극이 게이트 절연층(7006)의 표면 상에 구성되었다. 그리고, 공지의 패터닝 기술에 의해서, 제 1 도전층(7007, 7008, 7009, 및 7010), 및 제 2 도전층(7012, 7013, 7014, 7015)을 형성하였으며, 이는 제 1 게이트 전극을 구성한다.

제 1 게이트 전극을 구성하는 제 2 도전층으로서 알루미늄이 사용되는 경우, 순수 알루미늄이 사용될 수 있고, 아니면 티타늄, 실리콘, 스칸듐 중에서 선택된 임의의 원소가 0.1 내지 5atm%의 비로 도핑된 알루미늄 합금이 사용될 수 있다. 더욱이, 구리가 사용되는 경우, 도시하진 않았으나 게이트 절연층(7006)의 표면 상에 질화 실리콘층을 제공하는 것이 바람직하다.

또한, 도 19에서, 이러한 구조가 사용되며, 여기서 부가적인 캐패시터부는 화소 매트릭스 회로를 구성하는 "n" 채널형 TFT의 드레인측에 제공되고, 부가 캐패시터부에 배선 전극들(7011 및 7016)은 제 1 게이트 전극과 동일한 물질로 형성된다.

도 19a에 도시한 구조가 이와 같이 형성될 때, "n"형 불순물을 도핑하는 제 1 공정이 수행되었다. 인(P), 비소(As), 안티몬(stibium, Sb)은 결정 반도체 물질에 관하여 "n"형을 제공하는 불순물 원소로서 알려져 있다. 그러나, 여기서, 인이 사용되었으며, 포스핀(PH_3)을 사용한 이온 도핑 방법이 사용되었다. 이러한 공정에서, 인은 게이트 절연층을 통해 게이트 절연층 밑의 반도체 층에 도핑되기 때문에, 가속 전압은 80keV인 높은 레벨로 설정되었다. 또한, 이와 같이 하여 형성된 불순물 영역은 후술하는 "n" 채널형 TFT들의 제 1 불순물 영역(7034, 7042, 및 7046)를 형성하며, LDD 영역으로서 기능한다. 그러므로, 이 영역에서 인농도는 1 x 10^{16}atom/cm^3 내지 1 x 10^{19}atom/cm^3 의 범위 내에 있는 것이 바람직하다. 여기서, 농도는 1 x 10^{18}atom/cm^3 로 결정되었다.

반도체 활성층에 도핑된 전술한 불순물 원소는 레이저 어닐링 방법 혹은 열처리 방법에 의해 활성화되는 것이 필요하였다. 이 공정은 소스 및 드레인 영역을 형성하는 불순물 도핑 공정 후에 수행될 수 있다. 그러나, 이 단계에서, 불순물 원소는 레이저 어닐링 방법에 의해 활성화되는 것이 효과적이었다.

이 공정에서, 제 1 게이트 전극을 구성하는 제 1 도전층(7007, 7008, 7009, 7010) 및 제 2 도전층(7012, 7013, 7014, 7015)는 인의 도핑에 관하여 마스크로서 기능한다. 결국, 게이트 절연층을 통해 존재하는 반도체층의 제 1 게이트 전극 바로 밑의 영역에 인이 전혀 혹은 거의 도핑되지 않았다. 그리고, 도 19b에 도시한 바와 같이, 인이 도핑된 저농도 불순물 영역(7017, 7018, 7019, 7021, 7022, 7023)이 형성되었다.

다음에, "p" 형을 제공하는 불순물 도핑 공정은 포토 레지스트층들을 마스크들로 사용하여 "n"채널형 TFT들을 형성하는 영역이 레지스트 마스크들(7024 및 7025)로 피복된 상태에서 "p" 채널형 TFT들용 영역들만에 수행된다. 보론(B), 알루미늄(Al), 갈륨(Ga), 등이 "p"형을 제공하는 불순물 원소로서 알려져 있지만, 디보란(B_2H_6)을 사용하는 이온 도핑 방법에 의해 불순물 원소로서는 보론이 사용되었다. 여기서, 가속 전압은 80keV이였으며, 보론은 2×10^{20}atom/cm^3 의 농도로 도핑되었다. 그리고, 도 19c에 도시한 바와 같이, 보론이 고농도로 도핑된 영역들(7026 및 7027)이 형성되었다.

그리고, 레지스트 마스크들(7024 및 7025)가 제거된 후에, 제 2 게이트 전극을 형성하는 공정이 수행되었다. 여기서, 제 2 게이트 전극의 물질로서 탄탈(Ta)을 사용하였으며 이 탄탈은 100 내지 1000nm, 예를 들면 200nm의 두께로 형성되었다. 패터닝을 공지된 방법으로 실행하였으며, 이에 의해서 제 2 게이트 전극들(7028, 7029, 7030, 7031)이 형성되었다. 이 때, 제 2 게이트 전극들의 길이가 5㎛이 되도록 수행되었다. 결국, 5㎛의 길이에서 게이트 절연층과 접촉되는 영역들이 제 1 게이트 전극의 양측에 형성되도록 제 2 게이트 전극이 형성되었다.

더욱이, 화소 매트릭스 회로를 구성하는 "n" 채널형 TFT의 드레인측에 보유 캐패시터부(기억 캐패시터부)가 설치되어 있어도, 보유 캐패시터부의 전극(7032)은 제 2 게이트 전극이 형성될 때 동시에 형성된다.

그리고, 제 2 게이트 전극들(7028, 7029, 7030, 7031)을 마스크들로 사용하여, 제 2 "n"형을 제공하도록 불순물 원소를 도핑하는 공정을 수행하였다. 여기서, 전술한 바와 같이, 포스핀(PH_3)를 사용한 이온 도핑 방법이 실행되었다. 이 공정에서, 층(7006)을 통해 게이트 절연층(7006) 바로 밑의 반도체층에 인을 도핑하기 위해서, 가속 전압은 80keV인 높은 레벨로 설정되었다. 그리고, 인이 도핑된 영역들은 "n" 채널형 TFT들이며, 이들 영역들의 인 농도를 소스 영역들(7035, 7043) 및 드레인 영역(7036, 7044)으로서 기능하게 하도록, 1×10^{19}atom/cm^3 내지 1×10^{21}atom/cm^3 로 설정되는 것이 바람직하다. 여기서, 농도는 1×10^{20}atom/cm^3 이로 설정되었다.

더욱이, 여기에 도시하진 않았으나, 소스 영역들(7035, 7043) 및 드레인 영역들(7036, 7047)을 덮는 게이트 절연층이 제거되며, 이들 영역의 반도체층이 노출되고, 인이 직접 도핑될 수 있다. 이 공정이 부가된다면, 가속 전압은 이온 도핑 방법에서 10keV로 낮아질 수 있으며 효율적으로 인을 도핑하는 것이 가능하다.

더욱이, 인이 "p" 채널형 TFT 소스 영역(7039) 및 드레인 영역(7040)에 동일 농도로 도핑될지라도, 이전의 공정에서의 농도의 2배로 보론이 도핑되었기 때문에 전도성은 역전되지 않았으며, "p" 채널형 TFT의 동작에서 아무 문제도 없다.

각각의 농도로 도핑된 "n"형 혹은 "p" 형을 제공하는 불순물 원소는 그 자체로는 활성화되지 않고 효과적으로 기능하지 못하기 때문에, 도핑 공정을 수행하는 것이 필요하였다. 이 공정은 전기 열 노(electric heating furnace)를 사용하는 열 어닐링 방법, 전술한 엑시머 레이저를 사용하는 레이저 어닐링 방법, 혹은 할로겐 램프를 사용한 급속 열 어닐링 방법(rapid thermal annealing method)(RTA)에 의해 수행될 수 있을 것이다.

열 어닐링 방법에서, 활성화는 질소 가스체에서 550℃에서 2시간동안 가열 공정에 의해 얻어졌다. 본 실시예에서, 알루미늄은 제 1 게이트 전극을 구성하는 제 2 도전층용으로 사용되었다. 그러나, 알루미늄을 덮도록 탄탈로 형성된 제 1 도전층 및 제 2 게이트 전극이 형성되기 때문에, 탄탈은 차단층으로서 작용하며, d여기서 알루미늄 원소들이 다른 영역으로 파급되는 것이 방지될 수 있다. 더욱이, 레이저 어닐링 방법에서, 활성화는 펄스발진형 KrF 엑시머 레이저 빔을 선형 형태로 수집하여 조사함으로써 얻어졌다. 또한, 레이저 어닐링 방법 후에 열 어닐링 방법이 사용된다면, 더 낳은 결과가 얻어질 수 있다. 더욱이, 영역을 어닐링하는 효과가 공정에 제공되고, 이 경우 결정화도(crystallinity)는 이온 도핑에 의해 손상되었으며, 이에 의해 영역의 결정화도가 개선될 수 있다.

전술한 공정들을 통해서, 제 1 게이트 전극을 덮는 제 1 게이트 전극 및 제 2 게이트 전극은 게이트 전극들로서 제공되며, "n" 채널형 TFT들에서, 소스 영역 및 드레인 영역은 제 2 게이트 전극의 양측들에 형성된다. 더욱이, 이러한 구조는 자기 정합된 상태로 형성되었으며, 여기서 게이트 절연층을 통해 반도체층에 확보된 제 1 불순물 영역과 제 2 게이트 전극이 게이트 절연층에 접촉하게 되는 영역들이 제공되고 서로 중첩하게 된다. 한편, "p" 채널형 TFT들에서, 소스 영역 및 드레인

영역의 부분들은 제 2 게이트 전극 상에서 중첩하도록 형성될지라도, 실제 응용에는 아무 문제가 없다. 부가적으로, 참고 부호들(7033, 7037, 7041, 및 7045)은 채널 형성 영역들을 나타내며, 참고 부호(7038)는 고농도 불순물 영역을 나타내며, 참고 부호(7048)는 저농도 불순물 영역을 나타낸다.

도 19d에 도시한 상태가 얻어진 후에, 제 1 층간 절연막(7049)은 1000nm 두께로 형성되었다. 산화실리콘층, 질화실리콘층, 산화질화 실리콘층, 유기 수지층, 및 이들이 적층된 층은 제 1 층간 절연막(7049)으로서 사용될 수 있다. 본 실시예에서, 도시하진 않았으나, 이중 구조가 사용되었으며, 여기서 질화실리콘층이 먼저 50nm 두께로 형성되었으며, 더욱이 산화실리콘층이 950nm 두께로 형성되었다.

그 후, 접촉홀은 제 1 층간 절연막(7049)에 관하여, 패터닝에 의해 소스 영역 및 드레인 영역에 형성되었다. 그리고, 소스 전극들(7050, 7052, 7053) 및 드레인 전극들(7051 및 7054)이 형성되었다. 도시하진 않았으나, 본 실시예에서, 이들 전극은 100nm 두께의 티타늄층, 300nm 두께의 티타늄을 함유하는 알루미늄 및 150nm 두께의 티타늄층이 스퍼터링방법에 의해 연속적으로 형성된 3층 구조를 패터닝함으로써 형성되었다.

이에 따라, 도 19e에 도시한 바와 같이, 기판(7001) 상에 CMOS 회로 및 액티브 매트릭스 회로가 형성되었다. 더욱이, 액티브 매트릭스 회로의 "n" 채널형 TFT의 드레인측에 보유 캐패시터부가 동시에 형성되었다. 전술한 바와 같이, 액티브 매트릭스 기판이 형성되었다.

다음에, 도 20a 및 도 20b를 사용하여, 전술한 공정에 의해 동일 기판 상에 제조된 CMOS 회로 및 액티브 매트릭스 회로에 기초하여 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 공정을 기술한다. 먼저, 소스 전극들(7050, 7052, 7053) 및 드레인 전극들(7051 및 7054)을 덮기 위해서, 도 19e에 도시한 상태에 있는 기판 상에 패시베이션층(passivation layer)(7055)이 형성되었다. 패시베이션층(7055)은 50nm 두께의 질화실리콘층으로 형성되었다. 더욱이, 유기 수지로 구성된 제 2 층간 절연막(7056)은 대략 1000nm 두께로 형성되었다. 폴리이미드 수지, 아크릴 수지, 폴리이미드아미드 수지 등은 유기 수지층으로서 사용될 수 있다. 유기 수지층을 사용함으로써 야기되는 이점은 형성이 간단하며, 상대 유전 상수가 낮기 때문에 기생 용량이 감소될 수 있으며 평탄도가 우수하다는 것이다. 여기서, 기판 상에 코팅된 후에, 열적으로 폴리머화될 수 있는 형태의 폴리이미드가 사용되며, 유기 수지층은 이를 300℃로 버닝(burning)함으로써 형성되었다.

다음에, 블랙 매트릭스(광차폐층)(7057)은 제 2 층간 절연막(7056)의 화소 영역의 일부분에 형성되었다. 블랙 매트릭스(7057)는 금속층 혹은 안료가 주입된 유기 수지층에 의해 형성될 수 있다.

더욱이, 구동 회로부에서, 블랙 매트릭스는 제 3 배선으로서 사용되었다. 또한, 본 발명에 따른 D/A 변환기 회로의 캐패시터는 소스전극 및 드레인 전극을 제조할 때 제조되는 전극 및 블랙 매트릭스에 의해 형성된다.

블랙 매트릭스(7057)가 형성된 후, 제 3 층간 절연막(7058)이 형성된다. 제 3 층간 절연막(7058)은 제 2 층간 절연막(7056)에서 처럼 유기 수지층을 사용하여 형성될 수 있다. 그리고, 드레인 전극(7054)에 이르는 접촉홀은 제 2 층간 절연막(7056) 및 제 3 층간 절연막(7058)에 형성되고, 이에 의해서 화소 전극(7059)이 형성된다. 반사형 액정 디스플레이 장치가 요망되는 경우, 금속층이 사용될 수 있다. 여기서, 투과형 액정 디스플레이 장치가 사용되기 때문에, 인듐 주석 옥사이드(ITO)층은 스퍼터링 방법에 의해 100nm로 형성되며, 이에 의해서 화소 전극(7059)이 형성된다.

도 20a에 도시한 상태가 형성된 후에, 정렬층(7060)이 형성된다. 폴리이미드 수지는 통상의 액정 디스플레이 소자의 정렬층용으로 주로 사용된다. 대응 전극(7072) 및 정렬층(7073)은 대응 전극(7071) 상에 형성되었다. 정렬층이 형성된 후에, 어떤 프리틸트 각(pre-tilt angle)으로 액정 소자가 평행하게 정렬되도록 러빙 공정이 수행된다.

전술한 공정들을 통해서, 액티브 매트릭스 회로, CMOS 회로가 형성된 기판, 및 대응 기판은 실링 물질들 및 스페이서들을 통해 공지된 셀 조립 공정으로 서로 부착된다. 그 후, 액정 물질(7074)이 이들 양 기판들 사이에 공급되고 실링제(도시 없음)에 의해 완전하게 밀봉된다. 그럼으로써, 도 19e에 도시한 바와 같이, 활성 매트릭스형 액정 디스플레이 장치가 완성되었다.

(실시예 6)

실시예 6은 본 발명에 따른 DAC를 갖는 액티브 매트릭스형 액정 디스플레이 장치의 예로서 역 스태거형 TFT이 사용된 예이다.

도 21을 참조한다. 도 21은 실시예에 따른 액티브 매트릭스형 액정 디스플레이 장치를 구성하는 역 스태거형의 "n" 채널형 TFT의 단면도를 도시한 것이다. 더욱이, 도 21에서는 단지 하나의 "n" 채널형 TFT만을 도시하였으나, CMOS 회로는 실시예 2에서처럼 "p" 채널형 TFT 및 "n" 채널형 TFT로 구성될 수 있는 것은 말할 나위도 없다. 또한, 말한 나위도 없이 화소 TFT는 동일한 구성으로 구성될 수 있다.

기판은 8001로 표시되었다. 실시예 3에 도시한 바와 같은 기판이 사용될 수도 있다. 산화실리콘층(산화실리콘막)은 8002로 나타내었다. 게이트 전극은 8003으로 나타내었다. 게이트 절연층(게이트 절연막)은 8004로 나타내었다. 다결정실리콘층으로 구성된 활성층은 8005, 8006, 8007, 8008로 나타내었다. 활성층을 제조할 때, 실시예 2에 기술된 비결정 실리콘층 결정화와 동일한 방법이 사용되었다. 또한, 비결정 실리콘층이 레이저빔(바람직하게는, 선형 레이저빔, 혹은 면 레이저빔(facial laser beam))에 의해 결정화되는 방법이 사용될 수도 있다. 또한, 소스 영역은 8005로 나타내었으며, 드레인 영역은 8006으로 나타내었으며, 저농도 불순물 영역(LDD 영역)은 8007로, 채널 형성 영역은 8008로 나타내었다. 채널 보호층(채널 보호막)은 8009로 나타내었으며, 층간 절연막은 8010로 나타내었다. 소스 전극 및 드레인 전극은 각각 8011 및 8012로 나타내었다.

(실시예 7)

실시예 7에서, 액티브 매트릭스형 액정 디스플레이 장치가 전술한 실시예의 구조와는 다른 역 스태거형 TFT로 구성되는 예를 기술한다.

도 22를 참조한다. 도 22는 실시예에 따른 액티브 매트릭스형 액정 디스플레이 장치를 구성하는 역 스태거형(reversed-stagger type)의 "n" 채널형 TFT의 단면도를 도시한 것이다. 여기서, 단지 하나의 "n" 채널형 TFT만을 도시하였으나, CMOS 회로는 실시예 2에서처럼 "p" 채널형 TFT 및 "n" 채널형 TFT로 구성될 수 있는 것은 말할 나위도 없다. 또한, 말한 나위도 없이 화소 TFT는 동일한 구성으로 구성될 수 있다.

기판은 9001로 표시되었다. 실시예 3에 도시한 바와 같은 기판이 사용될 수도 있다. 산화실리콘층(산화실리콘막)은 9002로 나타내었으며, 게이트 전극은 9003으로 나타내었고, 벤조사이클로부텐(benzocyclobutene)(BCB)층은 9004로 나타내었고, 이의 상측면은 평탄화되어 있다. 질화실리콘층은 9005로 나타내었다. BCB층과 질화실리콘층은 게이트 절연층을 구성한다. 다결정실리콘층들로 구성된 활성층들은 9006, 9007, 9008, 9009로 나타내었다. 이들 활성층들을 제조할 때, 실시예 1에 관하여 기술된 비결정 실리콘층들 결정화와 동일한 방법이 사용되었다. 또한, 비결정 실리콘층이 레이저빔(바람직하게는, 선형 레이저빔, 혹은 면 레이저빔)에 의해 결정화되는 방법이 사용될 수도 있다. 또한, 소스 영역은 9006으로 나타내었으며, 드레인 영역은 9007로 나타내었으며, 저농도 불순물 영역(LDD 영역)은 9008로, 채널 형성 영역은 9009로 나타내었다. 채널 보호층(채널 보호막)은 9010으로 나타내었으며, 층간 절연막(층간 절연막)은 9011로 나타내었다. 소스 전극 및 드레인 전극은 각각 9012 및 9013으로 나타내었다.

본 실시예에 따라, BCB층 및 질화실리콘층으로 구성된 게이트 절연층은 평탄하기 때문에, 이 위에 제조되는 비결정층이 평탄하게 될 것이다. 그러므로, 비결정 실리콘층을 결정화할 때, 종래의 역스태거형 TFT들보다 균일한 다결정실리콘층을 얻는 것이 가능하다.

(실시예 8)

전술한 실시예에 따른 액티브 매트릭스형 액정 디스플레이 장치 혹은 패시브 매트릭스형 액정 디스플레이 장치에서, 네마틱 액정을 사용하는 TN 모드를 디스플레이 모드로서 사용하고 있고, 이에 의해서 다른 디스플레이 모드를 사용할 수도 있다.

더욱이, 액티브 매트릭스형 액정 디스플레이 장치는 고속응답 시간 무임계 안티-강유전체 액정 혹은 강유전체 액정을 사용하여 구성될 수도 있다.

더욱이, 본 발명에 따른 DAC를 사용하는 액티브 매트릭스형 반도체 디스플레이 장치에서, 광학 특성들이 인가 전압에 응답하여 변조될 수 있는 임의의 다른 디스플레이 매체를 사용할 수도 있다. 예를 들면 전장발광 소자를 사용할 수도 있다.

액티브 매트릭스형 액정 디스플레이 장치의 액티브 매트릭스 회로에 사용되는 능동소자로서, TFT 외에 MIM 소자들, 등을 사용할 수도 있다.

전술한 바와 같이, 본 발명에 따른 DAC를 사용하는 액티브 매트릭스형 액정 디스플레이 장치에서, TN 액정이외에, 여러 가지 유형의 액정을 사용할 수 있다. 예를 들면, 1998, SID, H. Furue 등에 의한 "계조 능력을 갖춘 고속 응답 시간 및 고대조 비(High Contrast Ratio)를 나타내는 폴리머-안정화된 단안정 FLCD의 특성들 및 구동 체제", 1997, SID DIGEST, 841, T. Yoshida 등에 의한 "고속 응답 시간으로 광시야각을 나타내는 전-컬러 무임계 안티-강유전체 LCD", 1996, J.Mater, Chem. 6(4), 671-673, S. Inui 등에 의한 "액정 내 무임계 안티-강유전체 및 이의 디스플레이에 응용", 미국특허 제5,594,569호를 사용할 수 있다.

어떤 온도 범위에서 안티-강유전체상을 나타내는 액정을 "안티-강유전체 액정"이라고 한다. 안티-강유전체 액정을 갖는 혼합된 액정에서, 전계에 관하여 투과율이 연속하여 변하는 전기 광학 응답 특성을 나타내는 무임계 안티-강유전체 혼합 액정이 있다. 무임계 안티-강유전체 혼합 액정에서, V형 전기 광학 응답 특성을 나타내는 것들이 있으며, 구동 전압이 대략 ±2.5V(셀두께: 대략 1㎛ 내지 2㎛)인 것들이 발견될 수 있다.

도 33은 인가 전압에 관하여, V형 전기 광학 응답을 나타내는, 무임계 안티-강유전체 혼합 액정의 광학 투과율의 특성을 나타내는 예를 도시한 것이다. 도 33에 도시한 그래프의 횡축은 투과 인자(광학 단위)를 나타내며, 종축은 인가 전압을 나타낸다. 더욱이, 액정 장치의 입사측에서 편향판의 투과축은 무임계 안티-강유전체 혼합 액정의 스메틱상의 정상 방향에 거의 평행하게 설정되며, 이것은 액정 장치의 러빙 방향(rubbing direction)과 거의 일치한다. 또한, 출사측에서 편향판의 투과축은 입사측에서 편향판의 투과축에 관하여 거의 직각(crossnicol)에 설정된다.

도 33에 도시한 바와 같이, 이러한 무임계 안티-강유전체 혼합 액정이 사용된다면, 저전압 구동 및 계조 디스플레이를 할 수 있음을 알 수 있다.

이러한 저저압 구동 무임계 안티-강유전체 혼합 액정을 본 발명에 따른 DAC를 갖는 액티브 매트릭스형 액정 디스플레이 장치에 사용하는 경우라도, DAC의 출력 전압을 낮추는 것이 가능하고, 이에 의해서 DAC의 동작 전원을 낮추고 구동기의 동작 전원 전압을 낮추는 것이 가능해진다. 그러므로, 액티브 매트릭스형 액정 디스플레이 장치에서 저전력소비 및 고신뢰성을 달성할 수 있다.

그럼으로써, 저전압 구동 무임계 안티-강유전체 혼합 액정이 사용되는 경우, 비교적 작은 폭(저농도 불순물 영역들), (예를 들면 0nm 내지 500nm 혹은 0nm 내지 200nm)의 LDD 영역을 갖는 TFT들이 사용된다면 효과적이다.

또한, 일반적으로, 무임계 안티-강유전체 혼합 액정은 큰 자발 분극을 갖고 있고, 액정 자체는 큰 유전 상수를 갖는다. 그러므로, 무임계 안티-강유전체 혼합 액정이 액정 디스플레이 장치용으로 사용되는 경우, 화소가 비교적 큰 보유 캐패시터를 갖는 것이 필요하게 될 것이다. 그러므로, 작은 자발 분극을 갖는 무임계 안티-강유전체 혼합 액정이 사용되는 것이 바람직하다.

또한, 이러한 무임계 안티-강유전체 혼합 액정을 사용하여 저전압 구동을 달성할 수 있기 때문에, 액티브 매트릭스형 액정 디스플레이 장치의 저전력 소비를 달성할 수 있다.

더욱이, 도 39는 DC 전압을 인가하고 있는 동안, 등방성 상-콜레스테릭 상-키럴스메틱상 천이 시스템(isotropic phase-cholesteric phase transition system)을 나타내는 강유전체 액정(FLC)를 사용하여, 콜레스테르상-키럴스메틱상 천이가 수행되며 원추끝이 러빙 방향에 거의 일치하는 단안정 강유전체 액정(FLC)의 전기 광학 특성을 도시한 것이다. 도 39에 도시한 바와 같은 강유전체 액정에 의한 디스플레이 모드를 "반(half) V형 스위칭 모드"라고 한다. 도 39에 도시한 그래프의 횡축은 투과 인자(광학 단위)를 나타내며, 종축은 인가 전압을 나타낸다. "반 V형 스위칭 모드"는 1999, 3월, Lecture Draft Collection for the 46th Applied Physics Related Allied Lecture Assembly의 1316페이지에 "반 V형 스위칭 모드 FLCD"와, LIQUID CRYSTAL, 3rd Volume, 3rd Edition, 190 페이지에 Yoshihara 등이 작성한 "강유전체 액정에 의한 시분할 전-컬러 LCD"에 상세히 기술되어 있다.

도 39에 도시한 바와 같이, 이러한 강유전체 액정이 사용된다면, 저전압 구동 및 계조 디스플레이를 할 수 있음을 알 수 있다. 이러한 전기 광학 특성을 나타내는 강유전체 액정은 본 발명에 따른 액정 디스플레이 장치에서 사용될 수 있다.

도 33 및 도 39에 도시한 바와 같은 이러한 전기 광학 특성을 갖는 각각의 액정은 본 발명에 따른 액정 디스플레이 장치용 디스플레이 매체로서 사용될 수 있다.

(실시예 9)

본 발명에 따른 DAC를 사용하는 액티브 매트릭스형 반도체 디스플레이 장치 및 패시브 매트릭스형 반도체 디스플레이 장치에 관하여, 많은 응용이 있다. 실시예 9에서, 본 발명에 따른 DAC를 사용하는 액티브 매트릭스형 반도체 디스플레이 장치를 구비한 반도체 장치를 설명한다.

이러한 반도체 장치로서는 비디오 카메라, 스틸 카메라, 프로젝터, 머리 장착식 디스플레이, 자동차 네비게이션 장치, 개인용 컴퓨터, 휴대용 정보 단말기(이동 컴퓨터, 휴대전화, 등)을 들 수 있다. 도 23 및 도 24는 이의 한 예를 도시한 것이다.

도 23a는 전면형 프로젝터를 도시한 것으로, 이것은 몸체(10001), 액티브 매트릭스형 반도체 디스플레이 장치(10002)(예를 들면, 액정 디스플레이 장치), 광원(10003), 광학 시스템(10004), 및 스크린(10005)으로 구성된다. 더욱이, 도 23a는 하나의 반도체 디스플레이 장치를 구비한 전면형 프로젝터를 도시한 것이다. 또한, 3개의 반도체 디스플레이 장치들(각각 R, G, B광들에 대응함)를 구비함으로써 고해상도 및 고박형의 전면형 프로젝터를 달성할 수 있다.

도 23b는 후면형 프로젝터를 도시한 것으로, 여기서 10006은 몸체, 10007은 액티브 매트릭스형 반도체 디스플레이 장치, 10008은 광원, 10009는 반사기, 10010은 스크린을 나타낸다. 더욱이, 도 23b는 3개의 액티브 매트릭스형 반도체 디스플레이 장치들(각각, R, G, B광들에 대응함)을 구비한 후면형 프로젝터를 도시한 것이다.

도 24a는 몸체(11001), 음성 출력부(11002), 음성입력부(11003), 액티브 매트릭스형 반도체 디스플레이 장치(11004), 조작 스위치(11005), 및 안테나(11006)를 포함하는 휴대전화를 도시한 것이다.

도 24b는 몸체(12001), 액티브 매트릭스형 반도체 디스플레이 장치(12002), 음성입력부(12003), 조작 스위치(12004), 밧데리(12005), 및 이미지 수신부(12006)을 포함하는 비디오 카메라를 도시한 것이다.

도 24c는 몸체(13001), 카메라부(13002), 이미지 수신부(13003), 조작 스위치(13004), 및 액티브 매트릭스형 반도체 디스플레이 장치(13005)를 포함하는 이동 컴퓨터를 도시한 것이다.

도 24d는 몸체(14001), 액티브 매트릭스형 반도체 디스플레이 장치(14002)를 포함하는 머리 장착식 디스플레이(고글형 디스플레이 장치로고도 함)를 도시한 것이다.

도 24e는 몸체(15001), 액티브 매트릭스형 반도체 디스플레이 장치(15002, 15003), 메모리 매체(15004), 조작 스위치(15005), 안테나(15006)을 포함하는 휴대형 책(전자책)을 도시한 것이다.

상기 전자 장치들 외에도, 본 발명에 따른 디스플레이 장치는 예를 들면, 텔레비전, 비디오 게임장치, 개인용 컴퓨터, 비디오 플레이어 등, 여러 가지 유형의 장치에 적용될 수 있다.

(실시예 10)

실시예 10에서, 본 발명에 따른 D/A 변환기 회로를 갖는 액정 디스플레이 장치의 또 다른 예를 기술한다. 또한, 본 실시예에서, 실시예 2의 공정과 유사한 공정은 구체적으로 참조되지 않는 부분에 적용할 수 있다.

실시예 10에서, 도 12a에 도시한 상태에서 촉매 원소 도핑 공정으로서 마스크 절연막(4004)을 사용하여 비결정 실리콘층의 거의 전체 표면에 Ni 아세트산을 코팅하였다.

촉매 원소 도핑 공정이 종료된 후에, 다음에, 탈수소화를 대략 1시간 동안 450℃에서 수행하였다. 비결정 실리콘층(비정질 실리콘막)(4003)은 비활성 가스체, 수소 가스체, 혹은 산소 가스체에서 4시간 내지 24시간 동안 500 내지 900℃(대표적으로는 550 내지 650℃)에서 가열처리로 결정화된다. 본 실시예에서, 가열 공정은 질소 가스체에서 8시간 동안 590℃에서 수행된다.

그 후, 촉매 원소를 게터링하기 위해서 가열 공정(촉매 원소 게터링 공정)이 수행된다. 본 실시예의 경우, 가열 공정은 할로겐 원소가 처리 가스체에 함유되게 함으로서 할로겐 원소에 의해 촉매 원소의 게터링 효과를 이용한다. 더구나, 할로겐 원소의 게터링 효과를 충분히 얻기 위해서, 전술한 가열 공정은 700℃보다 높은 온도에서 수행되는 것이 바람직하다. 이 미만의 온도이면, 할로겐 화합물을 분해하는 것이 곤란하게 될 것이며, 게터링 효과를 전혀 얻을 수 없다는 우려가 있다. 더

구나, 이 경우, 할로겐 원소를 함유하는 가스로서, 이를테면 HCl, HF, NF_3, HBr, Cl_2, ClF_3, BCl_2, Fe, Br_2, 등, 할로겐을 포함하는 화합물 중에서 선택된 한 유형 혹은 복수의 화합물이 사용될 수 있다. 본 실시예에서, 가열 공정은 O_2 및 HCl 가스체에서 950℃의 온도에서 수행되었으며, 게터링 공정은 열산화층의 형성과 함께 동시에 수행되었다.

이 후에, 게이트 절연층이 형성된다. 본 실시예에서, 게이트 절연층의 두께에 관하여, 이의 최종의 두께는 대략 50nm 두께로 형성되었다.

모든 다른 공정은 실시예 2를 참조할 수 있다.

표1은 실시예 10의 제조 공정에 의해 얻어진 TFT의 특성을 나타낸 것이다.

[표 1]

L/W=6.8/7.6[㎛]	Nch	Pch
Ion[㎂]	227	91.5
Ioff[pA]	3.10	11.8
Ion/Ioff[dec.]	7.86	6.89
Vth[V]	0.44	-0.56
S값[V/dec.]	0.08	0.10
㎌E(max)[cm^2 /Vs]	314	131
*㎌E(max)[cm^2 /Vs]	425	262

표1에서, L/W는 (채널길이/채널폭), Ion은 (ON전류), Ioff는 (Off 전류), Ion/Ioff는 (ON 전류와 OFF 전류의 비의 상용대수), Vth는 (임계 전압), S값은 (S 값), ㎌E는 (전계-효과 이동도)를 나타내며, *가 있는 ㎌E는 L=50㎛인 TFT의 ㎌E를 나타낸다.

여기서, 도 30은 실시예 10의 제조 공정에 의해 얻어진 TFT들의 특성들의 그래프이다. 도 30에서, Vg는 게이트 전압, Id는 드레인 전류, Vd는 드레인 전압을 나타낸다.

(실시예 11)

실시예 11에서, 본 출원인이 만든 본 발명에 따른 DAC(8비트)를 갖는 액티브 매트릭스형 액정 디스플레이 장치의 예를 설명한다.

표 2는 본 출원인이 만든 본 발명에 따른 액티브 매트릭스형 액정 디스플레이 장치의 명세들을 나타낸 것이다.

[표 2]

디스플레이 대각 크기	2.6 인치
화소수	1920 x 1080
화소 크기	30(H) x 30(V)[㎛]
간극 비	46%
입력 데이터	8 비트
전원(논리)	5V
입력된 디지털 데이터 속도	80 MHz
데이터 구동기의 주파수	10 MHz
스캔 구동기의 주파수	8.1 KHz
어드레싱 모드	컬럼 반전

콘트라스트 비	> 100

더욱이, 데이터 구동기 및 스캔 구동기 회로들 각각은 소스 신호 라인 구동 회로 및 게이트 신호 라인 구동 회로를 나타낸다. 또한, 소스라인 역 디스플레이는 어드레스 모드로서 실행되었다.

도 31은 본 실시예에서 후술하는 본 발명에 따른 DAC를 갖는 액티브 매트릭스형 액정 디스플레이 장치의 디스플레이 예를 도시한 것이다.

더욱이, 도 32은 후술하는 바와 같이, 본 발명에 따른 DAC를 각각 갖는 3개의 액티브 매트릭스형 액정 디스플레이 장치가 사용된 전면형 프로젝터의 디스플레이 예를 도시한 것이다. 또한, 전면향 프로젝터에 관하여, 실시예 9를 참조한다.

도 31 및 도 32에 도시한 바와 같이, 본 발명에 따른 DAC를 갖는 액티브 매트릭스형 액정 디스플레이 장치에서, 매우 미소한 계조 디스플레이를 달성할 수 있다.

(실시예 12)

본 실시예에서, 도 34 내지 도 38을 참조하여 본 발명에 따른 구동 회로를 갖는 액정 디스플레이 장치를 제조하는 방법의 예를 기술한다. 본 발명에 따른 액정 디스플레이 장치에서, 화소부, 소스 구동기, 게이트 구동기, 등은 한 기판 상에 일체로 형성된다. 더욱이, 설명의 편의상, 화소 TFT의 일부 및 본 발명에 따른 구동 회로를 구성하는 NchTFT, 및 인버터 회로를 구성하는 PchTFT 및 NchTFT는 동일 기판에 형성된다.

도 34a에서, 낮은 알칼리 유리 기판 및 석영 기판이 기판(16001)으로서 사용될 수 있다. 불순물이 기판(16001)으로 파급되는 것을 방지하기 위해서, 산화실리콘층, 질화실리콘층, 질화산화 실리콘층, 등과 같은 기초층(16002)이 형성된다. 예를 들면, 플라즈마 CVD 방법을 사용하여, SiH_4 , NH_3 , N_2 O로 만들어진 질화산화 실리콘층이 적층되어 100nm 두께로 형성되며, SiH_4 및 N_2 O로 만들어진 질화산화 실리콘층 역시 적층되어 200nm 두께로 형성된다.

다음에, 비결정 구조를 갖는 반도체층(비정질 실리콘층)(16003a)은 플라즈마 CVD 방법, 스퍼터링 방법 등, 공지된 방법을 사용하여 150nm(바람직하게는, 30 내지 80nm) 두께로 형성된다. 본 실시예에서, 비결정 실리콘층은 저압 열 CVD 방법에 의해 53nm 두께로 형성된다. 비결정 반도체층 및 마이크로결정 반도체층은 비결정 구조를 갖는 반도체층으로서 사용할 수 있고, 비결정 실리콘 게르마늄층과 같은 비결정 구조를 갖는 복합 반도체층이 적용될 수 있다. 또한, 기초층(16002) 및 비결정 실리콘층(16003a)를 형성하는 것이 가능하기 때문에, 이들 모두를 연속적으로 형성할 수 있다. 이 경우, 이들은 기초층이 형성된 후에 가스체에 노출되지 않기 때문에, 그 표면이 오염되는 것이 방지될 수 있다. 또한, 제조될 TFT가 평탄하지 않은 것을 줄일 수 있고 임계 전압의 변동을 줄일 수 있다(도 34a 참조).

그리고, 결정 실리콘층(16003b)는 공지된 결정화 기술을 사용하여, 비결정 실리콘층(16003a)으로부터 형성된다. 예를 들면, 레이저 결정화 방법 및 열 결정화 방법(고체상 성장 방법)이 적용될 수 있을지라도, 여기선, 1995, 일본 공개 특허 공보 130652에 개시된 기술에 따라 촉매 원소를 사용하는 결정화 방법에 의해 결정 실리콘층(16003b)이 형성되었다. 결정화 공정에 앞서, 비결정 실리콘층의 수소 함유비에 달려있긴 하지만, 대략 1시간 동안 400 내지 500℃에서 열처리가 수행된다. 수소 함유비를 5atm% 미만으로 감소시킨 후에 결정화를 시작하는 것이 바람직하다. 비결정 실리콘층이 결정화되고 원자는 매우 미소하게 되게 재정렬되기 때문에, 제조된 결정화된 실리콘층의 두께는 비결정 실리콘층(본 실시예에서, 54nm)의 초기 두께에서 1 내지 15%만큼 감소된다(도 34b 참조).

그리고, 섬들(islands)과 같이 되게 결정 실리콘층(16003b)을 패터닝함으로서, 섬 형상 반도체층(16004 내지 16007)이 형성된다. 그 후, 마스크층(16008)은 플라즈마 CVD 방법 혹은 스퍼터링 방법에 의해 50 내지 150nm 두께의 산화실리콘으로부터 형성된다(도 34d 참조). 본 실시예에서, 마스크층(16008)의 두께는 199nm이다.

이어서, 레지스트 마스크(16009)가 제공되고, 섬형상 반도체층들(16004 내지 16007)의 전체 표면 상에 1 x 10^{18}atom/cm^3 내지 5 x 10^{17}atom/cm^3 의 농도로 "p" 형을 제공하기 위한 불순물 원소로서, 보론(B)을 도핑하여, "n" 채널형 TFT를 형성한다. 보론(B)은 임계 전압을 제어할 목적으로 도핑된다. 보론(B)은 도핑 방법에 의해 도핑될 수 있고, 아니면 비결정 실리콘층을 형성할 때 동시에 도핑될 수도 있다. 여기에서, 보론 도핑은 반드시 필요한 것은 아니다(도 34d 참조).

구동기 등의 구동 회로의 "n" 채널형 TFT의 LDD 영역을 형성하기 위해서, "n"형을 제공하는 불순물 원소는 섬형상 반도체층(16001 내지 16012)에 선택적으로 도핑된다. 그러므로, 레지스트 마스크(16013 내지 16016)는 미리 형성되는 "n"형을 제공하는 불순물 원소로서, 인(P) 및 비소(As)가 사용될 수 있다. 여기서, 인(P)을 도핑하기 위해서, 포스핀(PH_3)을 사용하는 이온 도핑 방법이 사용된다. 형성된 불순물 영역들(16017 내지 16019)의 인(p)의 농도는 2×10^{16}atom/cm^3 내지 5×10^{19}atom/cm^3 의 범위 내에 있을 수 있다. 이 명세서에선, 여기에 형성된 불순물 영역들(16017 내지 16019)에 함유된 "n"형을 제공하기 위한 불순물 원소의 농도를 (n^-)로 나타내었다. 불순물 영역(16019)는 화소부의 보유 캐패시터를 형성하는 반도체층이며, 인(P)이 동일 농도로 도핑된다(도 35a 참조). 그후, 레지스트 마스크(16013 내지 16016)이 제거된다.

다음에, 마스크층(16008)이 불소로 제거된 후에, 도 34d 및 도 35a에서 도핑된 불순물 원소를 활성화는 공정이 수행된다. 활성화는 1시간 내지 4시간 동안 질소 가스체에서 500 내지 600℃에서 열처리에 의해서 혹은 레이저 활성화 방법에 의해서 수행된다. 더욱이, 이들 방법은 동시에 수행될 수도 있다. 본 실시예에서, 레이저 활성화방법이 사용된다. KrF 엑시머 레이저 빔(파장:248nm)이 레이저 빔으로써 사용된다. 실시예에서, 레이저빔은 선형빔이 되도록 처리되며, 스캐닝은 5 내지 50Hz의 발진 주파수, 100 내지 500mJ/cm2의 에너지 밀도, 및 80 내지 98%의 선형빔의 중첩비로 수행되고, 이에 의해서 섬형성 반도체층이 형성되는 전체 표면은 전술한 조건에서 스캔된다. 또한, 레이저 빔의 조사 조건들(irradiation conditions)은 제한이 없으나, 적합하게 결정될 수 있다.

그리고, 게이트 절연층(16020)은 플라즈마 CVD 방법 혹은 스퍼터링 방법에 의해 실리콘을 함유하는 절연막에 의해서 10 내지 50nm 두께가 되게 형성된다. 예를 들면, 질화산화 실리콘층은 120nm 두께로 형성된다. 기타 실리콘을 함유하는 절연막은 게이트 절연층으로서 하나의 층 혹은 적층된 구조로 형성될 수도 있다(도 35b 참조).

다음에, 게이트 전극을 형성하기 위해서 게이트 도전층을 형성한다. 제 1 도전층이 단층으로 형성될 수 있어도, 2층 혹은 3층의 적층된 구조를 필요할 때 사용될 수도 있다. 본 실시예에서, 도전성 질화금속층으로 만들어진 도전층(A)(16021) 및 금속층으로 만들어진 또 다른 도전층(B)(16022)이 적층된다. 도전층(B)(16022)는 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 및 텅스턴(W)에서 선택된 임의의 원소, 혹은 전술한 원소들로 구성된 합금, 혹은 전술한 원소가 결합된 합금층(대표적으로는 Mo-W 합금층 혹은 Mo-Ta 합금층)으로 형성될 수 있으며, 도전층(A)(16021)은 질화탄탈(TaN), 질화텅스텐(WN), 질화티타늄(TiN), 혹은 질화몰리브덴(MoN)으로 형성될 수 있다. 더욱이, 도전층(A)은 대용으로서 텅스텐 실리사이드, 티타늄 실리사이드, 혹은 몰리브덴 실리사이드를 사용할 수도 있다. 도전층(B)(16022)을 고려하면, 저항을 감소시키는 면에서 이에 함유된 불순물 농도를 감소시키는 것이 좋다. 특히, 산소 농도가 30ppm 이하로 감소된 경우, 더 낮은 결과가 얻어질 수 있다. 예를 들면, 텅스텐(W)의 산소 농도가 30ppm 이하로 감소된다면, 20μΩ의 상대 저항값이 달성될 수 있다.

도전층(A)(16021)은 10 내지 50nm 두께(바람직하게는 20 내지 30nm의 두께)로 하고, 도전층(B)(16022)은 200 내지 400nm 두께(바람직하게는 250 내지 250nm)로 하는 것을 좋다. 실시예에서, 50nm 두께의 질화탄탈층이 도전층(A)(16021)용으로 사용되며, 도전층(B)(1602)에 대해선 350nm 두께의 Ta층을 사용한다. 어느 것이든 스퍼터링 방법으로 형성된다. 스퍼터링 방법으로 층을 형성할 때, 적합한 양의 Xe 및 Kr이 스퍼터링용의 Ar 가스에 첨가되면, 제조될 층들의 내부 스트레스가 경감되고, 그럼으로써 층이 벗어지는 것이 방지된다. 또한, 도시하진 않았으나, 인(P)이 도전층(A)(16021) 이하의 2 내지 20nm 두께가 되도록 도핑되는 실리콘층이 형성된다면 효과적이다. 그럼으로써, 그 위에 형성된 도전층의 부착성이 개선될 수 있고, 산화도 방지될 수 있다. 동시에, 도전층(A) 및 도전층(B)는 알칼리 금속 원소의 약간의 양이 게이트 절연층(16020)에 파급되는 것을 방지할 수 있다(도 35c 참조).

다음에, 레지스트 마스크(16023 내지 16027)를 형성하고, 도전층(A)(16021) 및 도전층(B)(16022)을 완전히 에칭함으로서 게이트 전극(16028 내지 16031) 및 용량 배선(16032)을 형성한다. 도전층(A)를 구성하는 16028a 내지 16023a와 도전층(B)를 구성하는 16028b 내지 16032b가 일체로 형성되도록 게이트 전극(16028 내지 160331) 및 용량 배선(16032)을 형성한다. 이 때, 구동기 등의 구동기 회로를 구성하는 TFT의 게이트 전극(16028 내지 16030)은 나중에 불순물 영역(16017, 16018)의 일부와 게이트 절연층(16020)이 서로 겹치도록 형성된다(도 35d).

다음에, 소스 영역 및 "p" 채널형 TFT의 드레인 영역을 형성하기 위해서, "p"형을 제공하는 불순물 원소를 도핑하는 공정이 수행된다. 여기서, 불순물 영역은 게이트 전극(16028)을 마스크로서 사용하여 자기 정합된 상태로 형성된다. 이때, "n" 채널형 TFT가 형성되는 영역은 미리 레지스트 마스크(16033)로 가려둔다. 그리고, 디보란(B_2H_6)을 사용한 이온 도핑

방법에 의해 불순물 영역(16023)이 형성되었다. 이 영역에서 보론(B)의 농도는 3 x 10^{20} atom/cm^3 내지 3 x 10^{21} atom/cm^3 로 설정된다. 이 명세서에선, 여기에 형성된 불순물 영역(16034)에 함유된 "p"형을 제공하는 불순물 원소의 농도를 (p^{++})로 나타내었다(도 36a 참조).

다음에, 소스 영역 및 드레인 영역으로 기능하는 불순물 영역들은 "n" 채널형 TFT들에 형성되었다. 레지스트 마스크들(16035 내지 16037)을 형성하고, "n"형을 제공하는 불순물을 도핑함으로써 불순물 영역(16038 내지 16042)가 형성되었다. 이것은 포스핀(PH_3)를 사용하여 이온 도핑 방법으로 수행되며, 인의 농도는 1 x 10^{20}atom/cm^3 내지 1 x 10^{21}atom/cm^3 이 되도록 결정되었다. 이 명세서에선, 여기 형성된 불순물 영역(16038 내지 16042)에 함유된 "n"형을 제공하는 불순물 원소의 농도를 (n^+)로 나타내었다(도 36b 참조).

불순물 영역들(16038 내지 16042)가 이전 공정에서 도핑된 인(P) 혹은 보론(B)을 이미 함유하고 있을지라도, 인은 그와 비교하여 충분히 높은 농도로 더 도핑되고, 이전 공정에서 도핑된 인(P) 혹은 보론(B)에 기인한 영향은 고려할 필요가 없다. 더욱이, 불순물 영역(16038)에 도핑된 인(P)의 농도는 도 36a에서 도핑된 보론의 농도의 1/2 혹은 1/3이고, "p"형 도전성을 확보할 수 있으며, TFT 특성들에 어떠한 악영향도 일어나지 않는다.

그리고, 화소부의 "n" 채널형 TFT의 LDD 영역을 형성하기 위해서 "n" 형을 제공하는 불순물을 도핑하는 공정이 수행되었다. 여기서, "n"형을 제공하는 불순물 원소는 마스크로서 게이트 전극(16031)을 사용하면서 이온 도핑 방법에 의해 자기 정합된 상태에서 도핑된다. 도핑될 인(P)의 농도는 1 x 10^{16}atom/cm^3 내지 5 x 10^{18}atom/cm^3 이며, 도 35a, 도 36a, 도 36b에서 도핑된 불순물 원소의 농도보다 낮은 농도로 도핑되고, 사실 불순물 영역들(16043, 16044)만이 형성된다. 본 명세서에선, 불순물 영역들(16043, 16044)에 함유된 "n"형을 제공하는 불순물 원소의 농도를 (n^{--})으로 나타내었다(도 36c 참조).

여기서, SiON층, 등은 게이트 전극의 Ta가 벗겨지는 것을 방지하기 위해서 층간 막으로서 200nm 두께로 형성될 수 있다.

그 후, 열처리 공정이 수행되며, 이것은 각각의 농도로 도핑된 "n" 혹은 "p"형을 제공하는 불순물 원소들을 활성화한다. 이 공정은 노 어닐링 방법, 레이저 어닐링 방법, 혹은 급속 열 어닐링 방법(RTA) 방법에 의해 수행될 수 있다. 여기서, 활성화 공정은 노 어닐링 방법에 의해 수행되었다. 열처리는 1ppm 이하, 바람직하게는 0.1ppm 이하의 산소 농도로 400 내지 800℃, 바람직하게는 50 내지 600℃의 질소 가스체에서 수행된다. 실시예에서, 열처리 공정은 4시간 동안 500℃에서 수행되었다. 더욱이, 석영 기판과 같은 열저항특성을 갖는 기판을 기판(16001)용으로 사용한 경우, 1시간 동안 800℃에서 열처리이면 충분할 수 있고, 불순물 원소를 활성화시키고, 대응하는 불순물 원소가 도핑되는 불순물 영역의 접합, 및 채널 형성 영역을 더욱 양호하게 형성하는 것이 가능하다. 또한, 전술한 게이트 전극의 Ta가 벗겨지는 것을 방지하기 위해서 층간막이 형성되는 경우, 이러한 효과가 얻어질 수 없는 경우가 있을 수 있다.

열처리에서, 게이트 전극들(16028 내지 16031) 및 용량 배선(16032)를 형성하는 금속층은 표면으로부터 5 내지 80nm 두께이며, 도전층들(C)(16028c 내지 16032c)는 이의 표면상에 형성된다. 예를 들면, 도전층들(B)(16028b 내지 6032b)이 텅스텐(W)으로 만들어지는 경우, 질화텅스텐(WN)이 형성되고, 탄탈(Ta)인 경우엔 질화탄탈(TaN)이 형성될 수 있다. 더욱이, 도전층들(C)(16028c 내지 16032c)는 질소 혹은 암모니아를 사용하는, 질소를 함유하는 플라즈마 가스체에서 전극들(16028 내지 16031) 및 용량 부분(16032)을 노출시킴으로써 마찬가지로 형성될 수 있다. 더욱이, 열처리는 1내지 12시간 동안 3 내지 100%의 비로 수소를 함유하는 가스체에서 300 내지 450℃에서 수행되었고, 섬형상 반도체층(island-shaped semiconductor layer)을 수소화하는 공정이 수행되었다. 이 공정은 열적으로 여기된 수소에 의해 반도체층의 댕글링 본드(dangling bond)를 종결시키는 공정이다. 또 다른 수소화 수단으로서, 플라즈마 수소화(플라즈마에 의해 여기된 수소를 사용하는)가 수행될 수도 있다.

촉매 원소를 사용하는 결정화 방법에 의해 비결정 실리콘층으로부터 섬형상 반도체층을 제조한 경우, 섬형상 반도체층 내에 촉매 원소의 약간의 양이 잔류한다. 사실, 이러한 상태로 TFT를 완성할 수 있으나, 잔류한 촉매 원소를 적어도 채널 형성 영역으로부터는 제거하는 것이 바람직하다. 이러한 촉매 원소를 제거하는 수단 중 하나로서는 인(P)에 의한 게터링 작용을 이용하는 수단이 있다. 게터링에 필요한 인의 농도는 도 36b에서 형성된 불순물 영역(n+)의 농도와 같으며, 촉매 원소는 여기서 수행된 활성화 공정의 열처리에 의해서 "n" 채널 TFT와 "p" 채널 TFT의 채널 형성 영역들로부터 게터링될 수 있다(도 36d 참조).

제 1 층간 절연막(16045)는 500 내지 1500nm의 두께로 산화실리콘층 혹은 질화산화 실리콘층으로 형성된다. 그 후, 접촉홀을 형성하는데, 이 접촉홀은 각각의 섬형상 반도체층 상에 형성된 소스 영역 혹은 드레인 영역에 도달하므로, 이에 의해서 소스 배선(16046 내지 16049) 및 드레인 배선(16050 내지 16053)이 형성된다(도 37a 참조). 도시하진 않았으나, 본 실시예에서, 전극은 200nm 두께의 Ti층, Si를 함유하는 50nm의 알루미늄층, 및 100nm의 Ti층을 스퍼터링 방법으로 연속적으로 형성한 3중으로 적층된 층으로 형성된다.

다음에, 질화실리콘층, 산화실리콘층 혹은 질화산화 실리콘층을 패시베이션층(16054)으로서 50 내지 500nm의 두께(대표적으로는 100 내지 300nm)로 형성한다. 본 실시예에서, 패시베이션층(16054)는 50nm 두께의 질화실리콘층 및 24.5nm 두께의 산화실리콘층으로 구성된 적층된 층으로 된다. 이 상태에서, 수소화 공정을 수행하면, TFT 특성을 개선하는 면에서 양호한 결과가 얻어질 수 있다. 예를 들면, 3 내지 100%의 비로 수소를 함유하는 가스체에서 1시간 내지 12시간 동안 300 내지 450℃에서 열처리가 수행되는 것이 좋으며, 아니면 플라즈마 수소화 공정이 사용되어도 동일효과가 얻어질 수 있다. 더구나, 여기서, 화소 전극과 드레인 전극을 나중에 접속하기 위해 접촉홀이 형성되는 위치에 개구부를 패시베이션층(16054)을 형성하는 것이 좋다(도 37a 참조).

그 후, 유기 수지로 구성된 제 2 층간 절연막(16055)을 1.0 내지 1.5㎛로 형성한다. 폴리이미드 수지, 아크릴 수지, 폴리아미드 수지, 폴리이미드아미드 수지, BCB(벤조사이클로부텐), 등을 유기 수지로서 사용할 수 있다. 여기서, 기판 상에 코팅된 후의 열적으로 폴리머화되는 형태의 아크릴 수지가 사용되며, 형성하기 위해서 250℃에서 버닝된다(도 37b 참조).

실시예에서, 100nm 두께로 Ti층을 형성하고, Al 및 Ti로 구성된 합금층을 300nm 두께로 형성하고 부가적으로 Ti층을 100nm 두께로 형성한 3층 구조로 블랙 매트릭스를 형성한다.

그후, 유기 수지로 구성된 제 3 층간 절연막(16059)를 1.0 내지 1.5㎛가 되게 형성한다. 유기 수지로서, 제 2 층간 절연막에 사용된 것과 동일한 수지를 사용할 수 있다. 여기서, 기판 상에 코팅된 후에 열적으로 폴리머화되는 형태의 폴리이미드 수지가 사용되며 형성하기 위해서 300℃에서 버닝된다.

그리고, 드레인 배선(16053)에 이르는 접촉홀을 제 2 층간 절연막(16055) 및 제 3 층간 절연막(16059)에 형성하고, 그럼으로써 화소 전극(16060)을 형성한다. 본 발명에 따른 투과형 액정 디스플레이 장치에서, ITO 등과 같은 투명 도전층을 화소 전극용으로 사용한다(도 37b 참조).

따라서, 구동 회로 TFT 및 화소부의 화소 TFT들을 갖는 기판은 동일 기판 상에 성될 수 있다. "p" 채널형 TFT(16101), 제 1 "n" 채널형 TFT(16102), 및 제 2 "n" 채널형 TFT(16103)은 구동 회로에 형성되고, 화소 TFT(16104) 및 보유 캐패시터(기억 캐패시터)(16105)는 화소부에 형성된다(도 38 참조). 이 명세서에선, 이러한 기판은 편의상 "액티브 매트릭스 기판"이라 한다.

다음에, 전술한 공정에 의해 제조된 액티브 매트릭스 기판에 기초하여, 투과형 액정 디스플레이 장치를 제조하는 공정을 설명한다.

정렬층(16064)은 도 38에 도시한 상태에 있는 활성 매트릭스 기판 상에 형성된다. 실시예에서, 정렬층(16064)은 폴리이미드 수지로 만들어진다. 다음에, 대응 기판을 준비한다. 대응 기판은 유리 기판(16062), 투명도전층으로 구성된 대응 전극(16063), 및 정렬층(16064)으로 구성된다.

또한, 실시예에서, 정렬층으로서, 폴리이미드 수지층이 사용되었으며, 여기서 액정 입자는 기판에 평행하게 정렬된다. 더욱이, 정렬층이 형성된 후에, 액정 입자는 러빙 공정을 수행함으로서 일정한 프리틸트각을 갖고 서로 평행하게 정렬된다.

다음에, 전술한 공정을 통해 종료된 액티브 매트릭스 기판 및 대응 기판은 공지된 셀 조립 공정에 의해 실링제 및 스페이서(어느 것도 도시되어 있지 않음)을 통해 서로 부착된다. 그 후, 양 기판 사이에 액정(16065)을 공급하고 실링제(도시없음)로 완전히 밀봉된다. 그럼으로써, 도 38에 도시한 바와 같은 투과형 액정 디스플레이 장치가 완성될 수 있다.

또한, 본 실시예에서, 투과형 액정 디스플레이 장치는 TN(트위스트) 모드에서 디스플레이하도록 설계되었다. 그러므로, 편향판(도시없음)이 투과형 액정 디스플레이 장치 상에 배치되었다.

구동 회로의 "p" 채널형 TFT(16101)은 섬형상 반도체 층(16004) 내에 채널 형성 영역(806), 소스 영역(807a, 807b)을 갖는다. 제 1 "n" 채널형 TFT(16102)는 섬형상 층(16005) 내에 채널 형성 영역(809), 및 게이트 전극(16071) 상에 중첩

하는 LDD 영역(810)(이하 이러한 LDD 영역을 "Lov"라 함), 소스 영역(811), 및 드레인 영역(812)를 갖는다. 채널 길이방향으로 Lov 영역의 길이는 0.5 내지 3.0㎛, 바람직하게는 1.0 내지 1.5㎛이 되도록 결정되었다. 제 2 "n" 채널형 TFT(16103)는 섬형상 반도체층(16006) 내에 채널 형성 영역(813), LDD 영역(814, 815), 소스 영역(816), 및 드레인 영역(817)을 갖는다. 이들 LDD 영역에서, 게이트 전극(16072) 상에 중첩하지 않는 Lov 영역 및 LDD 영역(이하, 이러한 LDD 영역을 "Loff"라 함)이 형성되며, 여기서 채널길이기억으로 Loff 영역의 길이는 0.3 내지 2.0㎛, 바람직하게는 0.5 내지 1.5㎛이다. 화소 TFT(16104)는 섬형상 반도체층(16007) 내에 채널 형성 영역들(818 및 819), Loff 영역(820 내지 823), 및 소스 영역 혹은 드레인 영역들(824 내지 826)을 갖는다. 채널 길이방향으로 Loff 영역의 길이는 0.5 내지 3.0㎛, 바람직하게는 1.5 내지 2.5㎛이다. 더욱이, 오프셋 영역(도시없음)은 화소 TFT(16104)의 채널 형성 영역들(818 및 819)과 화소 TFT의 LDD 영역인 Loff 영역들(820 내지 823) 사이에 형성된다. 또한, 보유 캐패시터(16105)는 용량 배선(16074), 게이트 절연층(16020)으로 구성된 절연층, 화소 TFT(16104)의 드레인 영역(826)에 접속되고 "n"을 제공하는 불순물 원소가 도핑되는 반도체층(827)으로 구성된다. 도 38에서, 화소 TFT가 이중 게이트 구조로 구성될지라도, 단일 게이트 구조를 수락할 수도 있고, 복수의 게이트 전극이 제공된 복수 게이트 구조를 수락할 수도 있다.

전술한 바와 같이, 실시예에서, 각각의 회로를 구성하는 TFT들의 구조는 화소 TFT 및 구동기가 요청하는 명세에 따라 최적화될 수 있어, 액정 디스플레이 장치의 동작성능 및 신뢰성을 개선하는 것이 가능해진다.

실시예에서, 투과형 액정 디스플레이 장치에 대해 설명하였다. 그러나, 본 발명에 따른 구동 회로에서 액정 디스플레이 장치는 상기 액정 디스플레이 장치로 한정되지 않으며 반사형 액정 디스플레이 장치에 적용할 수도 있다.

액정 장치에 관하여 앞의 바람직한 실시예를 기술하였으나, 본 발명의 구동 회로는 EL(전장발광 디스플레이 장치)를 구동하는데에 적용할 수 있다. 또한, 앞의 실시예에 기술된 제조 방법은 EL 디스플레이 장치용 박막 트랜지스터의 제조에 적용할 수 있다. EL 디스플레이 장치의 예를 다음 실시예 13 내지 17에 기술한다.

(실시예 13)

도 40a는 본 출원의 발명에 따라 제조된 EL 디스플레이 장치를 도시한 상면도이다. 도 40a에, 기판(14010), 화소부(14011), 소스(14012)로부터 구동 회로, 게이트(14013)으로부터 구동 회로가 도시되었으며, 각각의 구동 회로는 외부장치로 이어지는 FPC(14017)에 이르는 배선들(14014-14016)에 접속된다.

화소부를, 바람직하게는 구동 회로와 함께, 피복 물질(16000), 실링 물질(혹은 하우징 물질)(17000), 및 단부 실링 물질(혹은 제 2 실링 물질)(17001)로 에워싼다.

도 40b는 이 예에서 EL 디스플레이 장치의 구조를 도시한 단면도이다. 기판(14010), 하지 코팅(14021), 구동 회로용 TFT(14022), 및 화소부용 TFT(14023)이 도시되어 있다. (도시된 TFT(14022)는 n채널형 TFT 및 p채널형 TFT로 구성된 CMOS 회로이다. 도시된 TFT(14023)은 EL 소자로 전류를 제어하는 TFT이다). 이들 TFT들은 임의의 공지된 구조일 수 있으며(상위 게이트 구조 혹은 하위 게이트 구조) 앞의 실시예에서 기술된 방법을 이들 TFT를 제조하는데 사용할 수도 있다.

TFT(14022)(구동 회로용) 및 TFT(14023)(화소부용)를 완성하였을 때, 화소 전극(14027)은 수지로 된 층간 절연막(평탄화막)(14026) 상에 형성된다. 이 화소 전극은 투명도전막으로서, 화소부용 TFT(14023)의 드레인에 전기적으로 접속된다. 투명 도전막은 인듐 옥사이드(indium oxide) 및 주석 옥사이드(tin oxide)의 화합물(ITO라 함) 혹은 인듐 옥사이드와 아연 옥사이드의 화합물로부터 형성될 수 있다. 화소 전극(14027) 상에는 절연막(14028)이 형성되며, 이에 화소 전극(14027) 위에 개구부가 형성된다.

이어서, EL층(14029)이 형성된다. 주입층, 정공 이송층, 발광층, 전자 이송층, 및 전자 주입층과 같은 공지된 EL 물질들을 자유롭게 결합함으로써 단층구조 혹은 복층 구조로 될 수 있다. 임의의 공지된 기술을 이러한 구조를 위해 이용할 수도 있다. EL 물질은 저분자 물질 혹은 고분자 물질(폴리머) 중 어느 하나이다. 전자는 증기피착에 의해 형성될 수 있고, 후자는 스핀코팅, 인쇄, 혹은 잉크-분사 방법과 같은 간단한 방법으로 형성될 수 있다.

이 예에서, EL층은 섀도우 마스크를 통해 증기피착에 의해 형성된다. 결과로 나타난 EL층은 각각의 화소가 서로 다른 파장의 광(적색, 녹색 및 청색)을 방출하게 한다. 이것은 컬러 디스플레이를 실현한다. 사용할 수 있는 대안 시스템은 색변환층(CCM) 및 컬러필터의 조합과 백색 발광층 및 색필터의 조합을 포함한다. 말할나위도 없이, EL 디스플레이 장치는 단색일 수도 있다.

EL층 상에 음극(14030)이 형성된다. 이 단계에 앞서, EL층(14029)와 음극(14030) 사이의 계면으로부터 가능한 한 많이 습기 및 산소를 없애는 것이 바람직하다. 이 목적은 진공에서 EL층(14029) 및 음극(14030)을 연속적으로 형성하거나, 불활성 가스체에서 EL층(14029)을 형성한 후 이를 공기중에 넣지 않고 동일 가스체에서 음극(14030)을 형성함으로서 달성될 수 있다. 이 예에서, 복수실 시스템(클러스터 툴 시스템(cluster tool system))의 막형성 장치를 사용하여 원하는 막을 형성하였다.

리튬 불화막 및 알루미늄막으로 구성된 다층 구조를 음극(14030)으로서 이 예에서 사용한다. 구체적으로, EL층(14029)에 리튬 불화막(1nm 두께) 및 알루미늄막(300nm 두께)를 순차적으로 증기피착으로 코팅한다. 말할나위도 없이, 음극(14030)은 공지된 음극물질인 MgAg 전극으로부터 형성될 수도 있다. 이어서, 음극(14030)은 143031로 표시한 영역에서 배선(14016)에 접속된다. 규정된 전압을 음극(14030)에 공급하는 배선(14016)은 전기적으로 도통되는 페이스트 물질(14032)을 통해 FPC(14017)에 접속된다.

영역(14031)에서 음극(14030)과 배선(14016)간 전기적 접속은 층간 절연막(14026) 및 절연막(14028)에 접촉홀을 필요로 한다. 이들 접촉홀은 화소 전극용 접촉홀을 형성하기 위해 층간 절연막(14026)이 에칭될 때, 혹은 EL층이 형성되기 전에 개구부를 형성하기 위해 절연막(14028)이 에칭될 때 형성될 수 있다. 절연막(14028)이 에칭될 때, 층간 절연막(14026)이 동시에 에칭된다. 층간 절연막(14026) 및 절연막(14028)이 동일한 물질로 된 것이면, 양호한 형태의 접촉홀이 형성될 수 있다.

이어서, EL 소자를 덮도록 패시베이션막(16003), 매립 물질(16004) 및 피복 물질(16000)을 형성한다.

더구나, 실링 물질(17000)은 EL 소자를 둘러싸도록 피복 물질(16000) 및 기판(14010) 안에 형성되고, 단부 실링 물질(17001)은 실링 물질(17000) 외부에 형성된다.

매립 물질(16004)은 EL 소자를 덮도록 형성되며 피복 물질(16000)에 부착하기 이한 접착제로서 기능한다. 매립 물질(16004), PVC(폴리비닐 클로라이드), 에폭시 수지(epoxy resin), 실리콘 수지, PVB(폴리비닐 부티랄), 혹은 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 습기 흡수를 유지할 수 있기 때문에, 매립 물질(16004)에 건조제를 형성하는 것이 바람직하다.

또한, 스페이서는 매립 물질(16004)에 함유될 수 있다. 스페이서에서 습기 흡수를 유지하기 위해서 산화바륨을 포함하는 구형 스페이서를 사용하는 것이 바람직하다.

스페이서가 매립 물질에 포함된 경우에, 패시베이션막(16003)은 스페이서의 압력을 완화시킬 수 있다. 물론, 유기 수지와 같은, 패시베이션막과는 다른 막을 스페이서의 압력을 완화시키는데 사용할 수 있다.

피복 물질(16000)으로서, 유리판, 알루미늄판, 스테인레스판, FRP(섬유유리-보강 플라스틱)판, PVF(폴리비닐 플루오르화물)막, 마일러막, 폴리에스터막 혹은 아크릴막을 사용할 수 있다. PVB 혹은 EVA를 매립 물질(16004)로서 사용한 경우, PVF막 혹은 마일러막이 개재된 수십 ㎛의 두께를 갖는 알루미늄 포일을 사용하는 것이 바람직하다.

피복 물질(16000)은 EL소자로부터 발광 방향(광 방사 방향)에 일치하는 광 투명도를 가져야 한다.

배선(14016)은 실링 물질(17000)과 단부 실링 물질(17001)간 갭을 통해 FPC(14017) 및 기판(14010)에 전기적으로 접속된다. 앞에서 설명한 배선(14016)에서처럼, 배선(14014, 14015)는 실링 물질(17000) 밑에 FPC(14017)에 전기적으로 또한 접속된다.

(실시예 14)

본 실시예에서, 도 41a 및 도 41b에 도시한 바와 같이, 실시예 13과는 상이한 구조를 갖는 또 다른 EL 디스플레이 장치를 설명한다. 도 41a 및 도 41b에서 도 40a 및 도 40b와 동일한 참조 부호는 동일한 구성요소를 나타내며 그 설명은 생략한다.

도 41a는 본 실시예에서 EL 모듈의 상면도이며, 도 41b는 도 41a의 A-A'의 단면도를 도시한 것이다.

실시예 13에 따라서, 패시베이션막(16003)은 EL 소자의 표면을 덮도록 형성된다.

매립 물질(16004)는 EL 소자를 피복하도록 형성되며 피복 물질(16000)에 부착되도록 접착제로서 작용한다. 매립 물질(16004)로서는 PVC(폴리비닐 클로라이드), 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄), 혹은 EVA(에칠렌비닐 아세테이트)를 이용할 수 있다. 습기 흡수를 유지할 수 있기 때문에 매립 물질(16004) 내에 건조제를 형성하는 것이 바람직하다.

또한, 스페이서는 매립 물질(16004) 내에 포함될 수 있다. 스페이서에서 습기 흡수를 유지하기 위해서 산화바륨을 포함하는 구형 스페이서를 사용하는 것이 바람직하다.

스페이서가 매립 물질에 포함된 경우, 패시베이션막(16003)은 스페이서의 압력을 완화시킬 수 있다. 물론, 유기 수지와 같은, 패시베이션막과는 다른 막을 스페이서의 압력을 완화시키는데 사용할 수 있다.

피복 물질(16000)로서, 유리판, 알루미늄판, 스테인레스판, FRP(섬유유리-보강 플라스틱)판, PVF(폴리비닐 플루오르화물)막, 마일러막, 폴리에스터막 혹은 아크릴막을 사용할 수 있다. PVB 혹은 EVA를 매립 물질(16004)로서 사용한 경우, PVF막 혹은 마일러막이 개재된 수십 ㎛의 두께를 갖는 알루미늄 포일을 사용하는 것이 바람직하다.

피복 물질(16000)은 EL소자로부터 발광 방향(광 방사 방향)에 일치하는 광 투명도를 가져야 한다.

다음에, 피복 물질(16000)은 매립 물질(16004)를 사용하여 부착된다. 이어서, 플레임 물질(flame material)(16001)을 매립 물질(16004)의 측부(노출된 면)을 덮도록 부착된다. 플레임 물질(16001)은 실링 물질(접착제로서 작용하는)(16002)에 의해 부착된다. 실링 물질(16002)로서, 광경화(light curable) 수지가 바람직하다. 또한, EL층의 내열을 허용된다면 열경화 수지를 사용할 수 있다. 실링 물질(16002)이 습기 및 산소를 통과시키지 않는 것이 바람직하다. 더욱이, 실링 물질(16002) 안에 건조제를 첨가하는 것이 가능하다.

배선(14016)은 실링 물질(16002)과 기판(14010)간 갭을 통해 FPC(14017)에 전기적으로 접속된다. 앞에서 설명한 배선(14016)에서처럼, 실링 물질(16002) 밑에 FPC(14017)에 전기적으로 다른 배선들(14014, 14015)이 접속될 수 있다.

(실시예 15)

실시예 13 혹은 14에 기초한 구조를 갖는 EL 디스플레이 장치에서, 본 발명이 사용될 수 있다. 본 실시예에서, 패널 내의 화소 영역의 구조를 보다 상세히 예시한다. 도 42는 화소 영역의 단면을 도시한 것이고, 도 43a는 이의 상면도, 도 43b는 화소 영역용 회로패턴을 도시한 것이다. 도 42, 도 43a 및 도 43b에서, 동일 참조 부호는 그에 대한 공통인 것으로서, 동일 부분을 지칭한다.

도 42에서, 기판(3501) 상에 형성된 스위칭 TFT(3502)는 이중 게이트 구조를 갖는 NTFT이다. 스위칭 TFT(3502)의 이중 게이트 구조는 직렬로 접속된 2개의 TFT를 갖고 있으므로 이를 흐르는 오프 전류를 감소시키는 효과가 있다. 본 실시예에서, 스위칭 TFT(3502)는 이러한 이중 게이트 구조를 가지나, 제한적인 것은 아니다. 단일 게이트 구조 혹은 3중 게이트 구조를 가질 수도 있고, 혹은 3개의 게이트 이상을 갖는 임의의 다른 복수 게이트 구조를 가질 수도 있다. 그러한 경우일 때, 스위칭 TFT(3502)는 본 발명의 PTFT일 수 있다.

전류 제어 TFT(3503)은 본 발명의 NTFT이다. 대안으로, TFT(3503)은 PTFT일 수 있다. 스위칭 TFT(3502)에서 드레인 배선(35)은 전류 제어 TFT에서 게이트 전극(37)에 이들 간에 배선(36)을 통해서 전기적으로 접속된다. 38로 나타낸 배선은 스위칭 TFT(3502)에서 게이트 전극(39a, 39b)을 전기적으로 접속하기 위한 게이트 배선이다.

본 실시예에서, 전류 제어 TFT(3503)는 단일 게이트 구조를 갖는 것으로 도시되었으나, 직렬로 접속된 복수의 TFT을 가진 복수 게이트 구조를 가질 수도 있다. 더욱이, 복수의 TFT는 채널 형성 영역이 복수의 부분으로 분할되도록 병렬로 접속될 수 있다. 이 형태의 구조에서, 열방사는 효율적으로 달성될 수 있다. 이 구조는 이러한 장치가 열적 열화로부터 보호하는데 이점이 있다. TFT(3503)에서 핫 캐리어들(hot carriers) 문제를 피하기 위해서, 게이트 전극에 적어도 부분적으로 중첩되는 LDD 영역을 제공하는 것이 바람직하다.

도 43a에서처럼, 전류 제어 TFT(3503)에서 게이트 전극(37)이 되는 배선은 3504로 나타낸 영역에서 드레인 배선(40)에 이들 간에 절연막을 통해 중첩한다. 이 상태에서, 3504로 나타낸 영역은 캐패시터를 형성한다. 캐패시터(3504)는 전류 제어 TFT(3503)가 게이트에 인가된 전압을 보유하도록 작용한다. 드레인 배선(40)은 이에 항시 일정전압을 인가하는 전류 공급 라인(전원라인)(3506)에 접속된다.

스위칭 TFT(3502) 및 전류 제어 TFT(3503) 상에는 제 1 패시베이션막(41)이 형성된다. 절연수지로 된 평탄화 막(42)이 막(41) 위에 형성된다. TFT 내에 층을 이룬 부분들의 레벨차는 평탄화막(420으로 평탄화를 통해 제거하는 것이 극히 중요하다. 이것은 나중 단계에서 이전에 형성된 층들 상에 형성될 EL층이 극히 얇기 때문이며, 이전에 형성된 층들의 레벨차가 존재한다면, EL 소자는 광방출 실패로 번거롭게 될 것이다. 따라서, 이전에 형성된 층들 상에 화소 전극을 형성하기 전에 가능한 한 상기 층들을 미리 평탄화하여 EL 층이 이 평탄화된 표면 상에 형성될 수도 있게 하는 것이 바람직하다.

참조 부호 43은 고반사율을 갖는 전기 도전막의 화소 전극(EL 장치에서는 음극)을 나타낸 것이다. 화소 전극(43)은 전류 제어 TFT(3503) 내의 드레인에 전기적으로 접속된다. 화소 전극(43)은 알루미늄 합금, 구리 합금 혹은 은 합금으로 되거나, 혹은 이들 막의 적층으로 된 저저항 전기 도전막으로 된 것이 바람직하다. 말할필요없이, 화소 전극(43)은 임의의 다른 전기 도전막으로 갖는 적층구조를 가질 수 있다.

절연막(바람직하게는 수지)의 뱅크(44a)와 뱅크(44b) 사이에 형성된 홈(이것은 화소에 대응함)에, 발광층(45)이 형성된다. 예시된 구조에서, 단지 하나의 화소만이 도시되었으나, 복수의 발광층들을 상이한 R(적색), G(녹색) 및 B(청색) 색에 대응하여 상이한 화소에 개별적으로 형성될 수 있을 것이다. 발광층용 유기 EL 물질은 임의의 π-공액 폴리머 물질일 수 있다. 여기서 사용될 수 있는 전형적인 폴리머 물질은 폴리파라필렌비닐렌(PVV) 물질, 폴리비닐카바졸(PVK)물질, 폴리플루오렌 물질 등을 포함한다.

여러 가지 형태의 PVV형 유기 EL 물질이 알려져 있으며, 이를테면, "H.Shenk, H.Becker, O.Gelsen, E.Klunge, W.Kreuder, 및 H.Spreitzer; Polymers for Light Emitting Diodes, Euro Display Proceedings, 1999, 33-37 페이지" 및 일본 특허 공개 제92576/1998호 개시된 것들이다. 이러한 공지된 임의의 물질을 여기서 사용할 수 있다.

구체적으로, 시아노폴리페닐렌비닐렌들(cyanopolyphenylenevinylenes)을 적색발광층에 사용할 수 있고, 폴리페닐렌비닐렌들을 녹색방광층에 사용할 수 있으며 폴리페닐렌비닐렌들 혹은 폴리알킬페닐렌들(polyalkylphenylenes)을 청색발광층에 사용할 수 있다. 발광층용 막의 두께는 30 내지 150nm(바람직하게는 40 내지 100nm)일 수 있다.

전술한 이들 화합물은 여기서 사용할 수 있는 유지 EL 물질의 예로 단지 언급된 것으로 전혀 한정적인 것이 아니다. 발광층은 전하이송층 혹은 전하주입층에 임의의 원하는 방식으로 결합되어 의도하는 EL층(이것은 광광 및 발광을 위한 캐리어 이송을 위한 것임)을 형성할 수 있다.

구체적으로, 본 실시예는 발광층을 형성하기 위해 폴리머 물질을 사용하는 실시예를 나타낸 것이지만 한정적인 것은 아니다. 이와는 별문제로 하고, 저분자 유기 EL물질을 발광층에 사용할 수도 있다. 전하 이송층 및 전하 주입층에 있어서, 실리콘 카바이드 등의 무기물질을 또한 사용할 수 있다. 이들 층을 위한 여러 가지 유기 EL 물질 및 무기물질이 공지되어 있고, 이중 임의의 것들을 여기서 사용할 수 있다.

본 실시예에서, PEDOT(폴리티오펜) 혹은 PAni(폴리아닐린)으로 된 정공주입층(46)을 발광층(45) 상에 형성하여 EL층에 대한 적층구조를 제공한다. 정공주입층(46) 상에는 투명 전기 도전막의 양극(47)이 형성된다. 본 실시예에서, 발광층(45)에 의해 발광된 광은 이로부터 상면을 향한 방향(즉, TFT의 상측방향으로)으로 방사한다. 그러므로, 여기서, 양극은 광을 전송해야 한다. 양극용 투명 전기 도전막에 대해, 인듐 주석 및 주석 옥사이드의 화합물, 및 인듐 옥사이드 및 아연 옥사이드의 화합물을 사용할 수 있다. 그러나, 양극은 발광층 및 빈약한 내열의 정공주입층이 형성된 후에 형성되기 때문에, 양극용 투명 전기 도전막은 가능한 한 낮은 온도에서 막에 형성될 수 있는 물질인 것이 바람직하다.

양극(47)이 형성될 때, EL 소자(3505)가 완성된다. 이와 같이 하여 여기서 제조된 EL 장치(EL 소자)(3505)는 화소 전극(음극)(43), 발광층(45), 정공주입층(46) 및 양극(47)을 포함하는 캐패시터를 포함한다. 도 43a와 같이, 화소 전극(43)의 영역은 화소 영역과 거의 동일하다. 그러므로, 여기서, 전체 화소는 EL장치로서 기능한다. 따라서, 여기 제조된 EL 장치의 광이용효율이 높고, 자치는 밝은 이미지를 디스플레이할 수 있다.

본 실시예에서, 제 2 패시베이션막(48)은 양극(47) 상에 형성된다. 제 2 패시베이션막(48)에 대해서는 바람직하게 질화실리콘막 혹은 실리콘 옥시나이트라이드막을 사용하는 것이 바람직하다. 막(48)의 목적은 외부환경으로부터 EL장치를 절연시키는 것이다. 막(48)은 유기 EL물질이 산화 과정에서 분해되는 것을 방지하는 기능을 가지며 가스 제거 방지 기능을 갖는다. 이러한 형태의 제 2 패시베이션막(48)에 의해서 EL 디스플레이 장치의 신뢰성이 개선된다.

전술한 바와 같이, 본 실시예에서 제조된 본 발명의 EL 디스플레이 패널은 도 42와 같은 구성요소를 갖는 화소용 화소 영역을 가지며, 통과하는 오프 전류가 만족할 정도로 매우 작은 스위칭 TFT, 및 핫 캐리어 주입에 내성이 있는 전류 제어 TFT를 갖는다. 따라서, 여기서 제조된 EL 디스플레이 패널은 고신뢰성을 가지며, 양호한 이미지를 디스플레이할 수 있다.

본 실시예의 EL 디스플레이를 도 24a 내지 도 24b에 도시한 전자제품에 그의 디스플레이부로서 구비시키는 것이 이점이 있다.

(실시예 16)

본 실시예는 실시예 15의 EL 디스플레이 패널의 수정예를 도시한 것으로, 화소 영역 내의 EL 장치(3505)는 역전된 구조를 갖는다. 본 실시예에 대해, 도 44를 참조한다. 본 실시예의 EL 디스플레이 패널의 구성은 EL 장치부와 전류 제어 TFT 부만이 도 42에 도시한 것과 다르다. 그러므로, 이들 상이한 부분을 제외한 다른 부분의 설명은 생략한다.

도 44에서, 전류 제어 TFT(3503)는 본 발명의 PTFT일 수 있다. TFT는 앞의 실시예의 임의의 방법으로 제조될 수 있다.

본 실시예에서, 화소 전극(양극)(50)은 투명 전기 도전막으로 된 것이다. 구체적으로, 인듐 옥사이드와 아연 옥사이드의 화합물의 전기 도전막이 사용된다. 말할나위도 없이, 인듐 옥사이드 및 주석 옥사이드의 화합물로 된 전기 도전막을 사용할 수도 있다.

절연막의 뱅크(51a, 51b)가 형성된 후에, 이들 사이에 폴리비닐카바졸로 된 발광층(52)을 용액 코팅 방법으로 형성한다. 발광층(52) 상에는 아세틸아세톤아토포타슘(acetylacetonatopotassium)(이하, acacK)의 전자주입층(53) 및 알루미늄 합금의 음극(53)을 형성한다. 이 경우, 음극(54)은 패시베이션막으로도 작용한다. 이에 따라 EL 장치(EL 소자)(3701)가 제조된다.

본 실시예에서, 발광층(52)에 의해 방출된 광은 도시된 화살표 방향과 같이, 형성된 TFT가 위에 형성된 기판을 향한 방향으로 방사한다.

본 실시예의 EL 디스플레이 패널을 도 24a 내지 도 24e의 전자제품에 이의 디스플레이부로서 구비시키는 것이 이점이 있다.

(실시예 17)

본 실시예는 도 43b의 회로패턴으로 화소를 수정한 것을 나타낸 것이다. 수정은 도 45a 내지 도 45c와 같다. 도 45a 내지 도 45c에 도시한 본 실시예에서, 3801은 스위칭 TFT(3802)용 소스 배선을 나타내며, 3803은 스위칭 TFT(3802)용 게이트 배선을 나타내며, 3804는 전류 제어 TFT를 나타내며, 3805는 캐패시터를 나타내며, 3806 및 3808은 전류 공급 라인을 나타내며, 3807은 EL 장치를 나타낸다.

도 45a의 실시예에서, 전류 공급 라인(3806)은 두 개의 화소에 공통된 것이다. 구체적으로, 본 실시예는 두 개의 화소가 이들 간에 중심인 전류 공급 라인(3806)에 대해 선형 대칭으로 형성된 것이 특징이다. 전류 공급 라인 수는 줄일 수 있으므로, 본 실시예는 화소 패턴이 훨씬 미세하고 얇을 수 있어 이점이 있다.

도 45b의 실시예에서, 전류 공급 라인(3808)은 게이트 배선(3803)에 평행하게 형성된다. 구체적으로, 여기서, 전류 공급 라인(3808)은 게이트 배선(3803)과 중첩하지 않도록 구성되나 제한적인 것은 아니다. 예시된 경우와 상이하게, 이들은 상이한 층들로 되어 있는 한, 이들 사이에 절연막을 통해 서로 중첩될 수 있다. 전류 공급 라인(3808) 및 게이트 배선(3803)은 공통의 전용의 영역을 가지므로, 본 실시예는 화소 패턴을 훨씬 미세하고 얇게 될 수 있어 이점이 있다.

도 45c의 실시예의 구조는 도 45b와 같이 전류 공급 라인들(3803a 및 3803b)이 게이트 배선(3802)에 평행하게 형성되고, 두 개의 화소가 이들 간에 중심인 전류 공급 라인(3808)에 대해 선형 대칭으로 형성되는 것이 특징이다. 여기서, 전류 공급 라인(3808)을 게이트 배선(3803) 중 임의의 한 배선과 중첩되게 설치하는 것도 효과적이다. 전류 공급 라인 수는 감소될 수 있으므로, 본 실시예는 화소 패턴이 훨씬 미세하고 얇을 수 있어 이점이 있다.

(실시예 18)

도 43a 및 도 43b에 도시한 실시예 15의 실시예에는 전류 제어 TFT(3503)의 게이트에 인가되는 전압을 보유하도록 작용하는 캐패시터(3504)가 설치된다. 그러나, 본 실시예에서, 캐패시터(3504)는 생략될 수도 있다.

실시예 15의 실시예에서, 전류 제어 TF(3503)은 사이에 게이트 절연막을 통해 게이트 전극과 중첩하는 LDD영역을 갖는 NTFT이다. 중첩된 영역에는 일반적으로 게이트 용량이라고 하는 기생 용량이 형성된다. 본 실시예의 실시예는 기생 용량이 캐패시터(3504) 대신 실제적으로 이용되는 것에 특징이 있다.

본 기생 용량은 게이트 전극이 LDD 영역과 겹치는 면적에 따라 변하므로 중첩된 영역에서 LDD 영역의 길이에 따라 결정된다.

또한 도 45a, 도 45b 및 도 45c에 도시한 실시예 17의 실시예들에서, 캐패시터(3805)는 생략될 수 있다.

본 실시예의 화소구조를 갖는 EL 디스플레이 패널을 도 24a 내지 도 24e의 전자제품에 이의 디스플레이부로서 구비시키는 것이 이점이 있다.

발명의 효과

본 발명에 따른 DAC에서, 출력(V_{OUT})은 V_H와 V_L간 차에 의해 그의 진폭, 및 기준 전위로서 V_L을 사용하면서 디지털 데이터의 어드레스들에 관하여 선형 형태로 변경을 결정할 수 있다. 즉, 출력(V_{OUT})의 기준 전위의 전압 진폭을 독립적으로 제어할 수 있다. 그러므로, V_H와 V_L간 차가 일정하다면, V_H 및 V_L 모두가 작아져도 동일한 출력(V_{OUT})이 얻어질 수 있다. 따라서, 전원 전압을 낮은 값으로 억제하는 것이 가능하며, 이에 의해서 α를 작게 할 수 있으며, 즉 캐패시터 C를 작게 할 수 있고, 캐패시터부의 레이아웃 영역을 감소시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명에 따른 DAC(디지털 아날로그 변환기 회로)를 도시한 도면.

도 2a 내지 도 2c는 본 발명에 따른 DAC의 동작을 기술한 등가 회로도, 및 본 발명에 따른 DAC의 출력을 나타낸 그래프.

도 3은 본 발명에 따른 DAC의 실시예를 도시한 도면.

도 4a 내지 도 4c는 본 발명에 따른 DAC의 동작을 기술한 등가 회로도, 및 본 발명에 따른 DAC의 출력을 나타낸 그래프.

도 5는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치의 예를 도시한 도면.

도 6은 선택기 회로의 예를 도시한 도면.

도 7은 선택기 회로의 타이밍도.

도 8은 본 발명에 따른 DAC의 또 다른 실시예를 도시한 도면.

도 9a 및 도 9b는 레벨 시프터 회로 및 아날로그 스위치 회로를 도시한 도면.

도 10a 및 도 10b는 디지털 비디오 데이터 분주 회로를 도시한 도면.

도 11은 디지털 비디오 데이터 분주 회로의 타이밍도.

도 12a 내지 도 12e는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 13a 내지 도 13c는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 14a 내지 도 14c는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 15a 내지 도 15c는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 16a 내지 도 16e는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 17a 내지 도 17d는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 18a 및 도 18b는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 19a 내지 도 19e는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 20a 및 도 20b는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 제조하는 방법의 예를 도시한 도면.

도 21은 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 구성하는 TFT의 예를 도시한 도면.

도 22는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 구성하는 TFT의 예를 도시한 도면.

도 23a 및 도 23b는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 구비한 프로젝터들을 도시한 도면.

도 24a 내지 도 24e는 본 발명에 따른 DAC를 사용한 액티브 매트릭스형 액정 디스플레이 장치를 구비한 전자 장치들의 예를 도시한 도면.

도 25는 종래의 DAC를 도시한 도면.

도 26a 내지 도 26c는 종래의 DAC를 도시한 도면.

도 27은 종래의 DAC를 도시한 도면.

도 28은 종래의 DAC를 도시한 도면.

도 29는 본 발명의 DAC의 바람직한 실시예에 따른 디지털 비디오 데이터에 관한 출력 전압을 도시한 도면.

도 30은 TFT 특성들을 도시한 그래프.

도 31은 본 발명에 따른 DAC를 갖는 액티브 매트릭스형 액정 디스플레이 장치의 디스플레이 장치의 예를 도시한 도면.

도 32는 본 발명에 따른 DAC를 갖는 액티브 매트릭스형 액정 디스플레이 장치의 디스플레이 장치의 예를 도시한 도면.

도 33은 무임계 반-강유전체 혼합 액정(threshholdless anti-ferroelectric blended liquid crystal)의 인가 전압-투과율의 특성들을 나타낸 그래프.

도 34a 내지 도 34d는 본 발명의 바람직한 실시예에 따른 제조 공정을 도시한 도면.

도 35a 내지 도 35d는 본 발명의 바람직한 실시예에 따른 제조 공정을 도시한 도면.

도 36a 내지 도 36d는 본 발명의 바람직한 실시예에 따른 제조 공정을 도시한 도면.

도 37a 및 도 37b는 본 발명의 바람직한 실시예에 따른 제조 공정을 도시한 도면.

도 38은 본 발명에 따른 액정 장치의 횡단면을 도시한 도면.

도 39는 액정 물질의 광학 특성을 도시한 도면.

도 40a는 액티브 매트릭스 EL 디스플레이 장치의 구조를 도시한 상면도, 도 40b는 이의 단면도.

도 41a는 액티브 매트릭스 EL 디스플레이 장치의 구조를 도시한 상면도, 도 41b는 이의 단면도.

도 42는 액티브 매트릭스 EL 디스플레이 장치 내의 화소부의 구조를 도시한 도면.

도 43a는 액티브 매트릭스 EL 디스플레이 장치 내의 화소부의 구조를 도시한 상면도, 도 43b는 이의 회로 패턴도.

도 44는 액티브 매트릭스 EL 디스플레이 장치 내의 화소부의 구조를 도시한 도면.

도 45a 내지 도 45c는 액티브 매트릭스 EL 디스플레이 장치 내의 화소부의 회로 패턴도.

* 도면의 주요 부분에 대한 부호의 설명 *

4001 : 석영 기판 4003 : 비정질 실리콘층

404 : 마스크 절연막

4025-4028 : 게이트 전극

4054 : 블랙 매트릭스

5001 : 유리 기판 6001 : 실리콘 기판

501-1 : 시프트 레지스터 회로

501-2 : 래치 회로1

501-3 : 래치 회로2

501-4 : 선택기 회로1

501-5 : D/A 변환기 회로1

505 : 디지털 비디오 데이터 분주 회로

510 : 소스 신호 라인 구동 회로 A

502 : 소스 신호 라인 구동 회로 B

503 : 게이트 신호 라인 구동 회로

504 : 액티브 매트릭스 회로

505 : 디지털 비디오 데이터 구동 회로

7001, 8001 : 기판

7003, 7004, 7005 : 반도체 활성층

7006 : 게이트 절연층

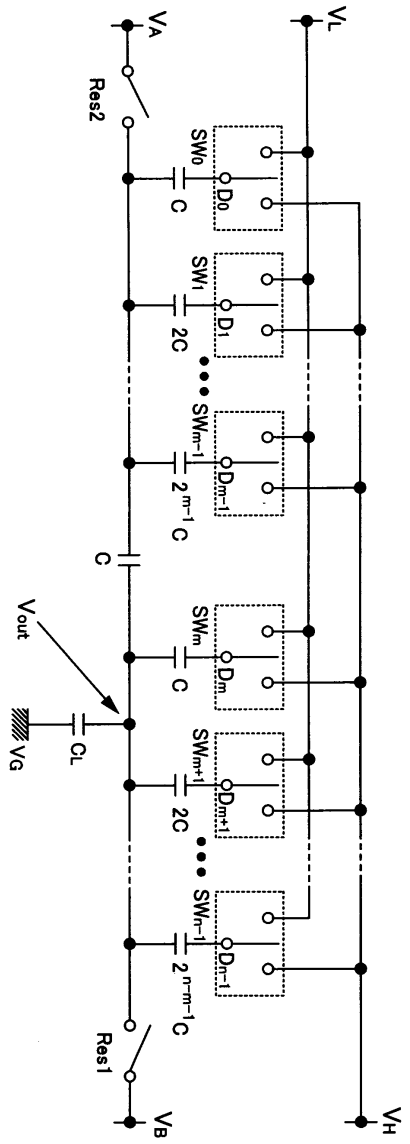
7028, 7029, 7030, 7031 : 제 2 게이트 전극

7054 : 드레인 전극

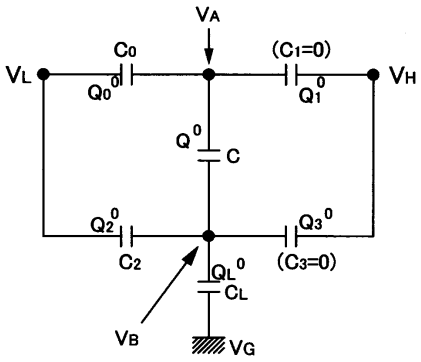
7057 : 블랙 매트릭스 7059 : 화소 전극

도면

도면1

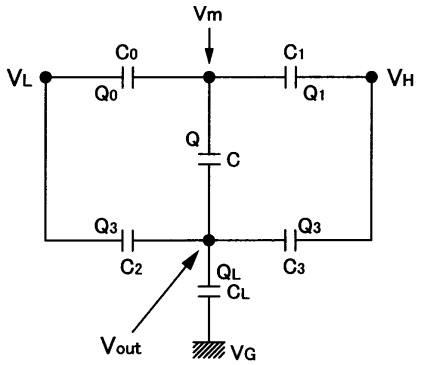


도면2a



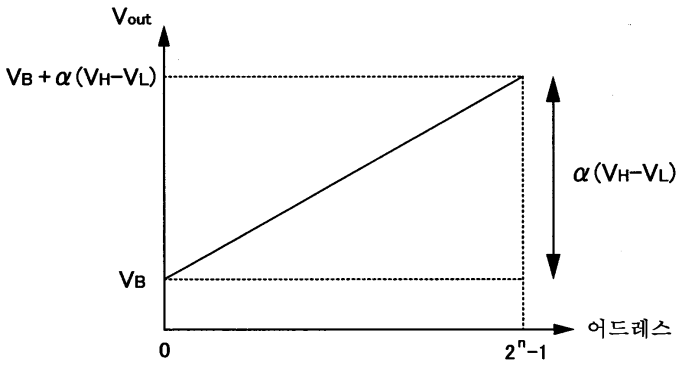
리셋 기간후

도면2b

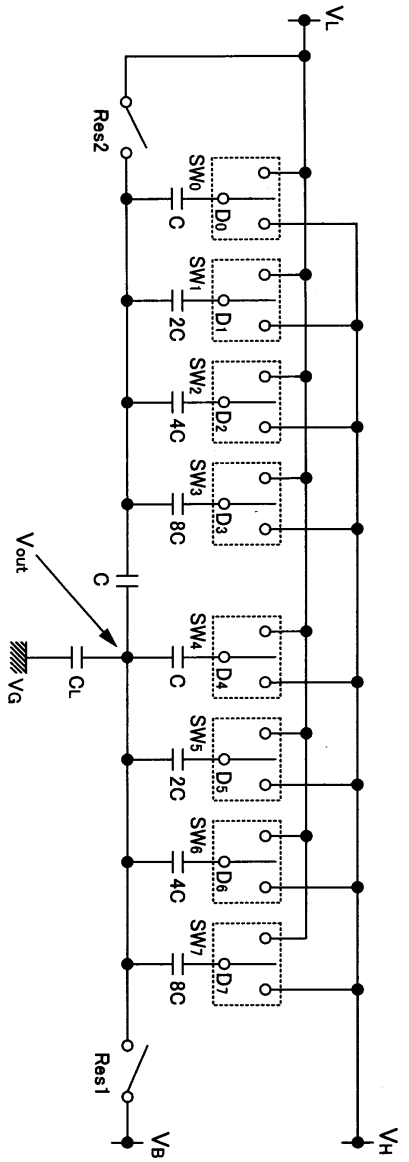


데이터 기입 기간 동안

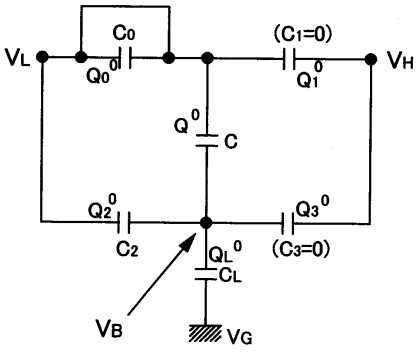
도면2c



도면3

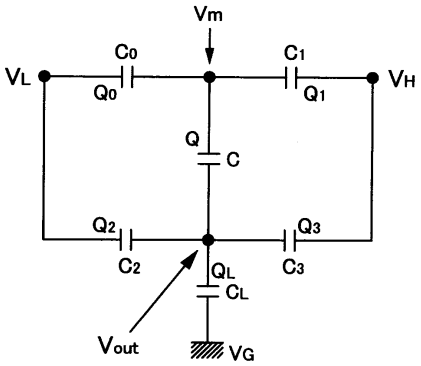


도면4a



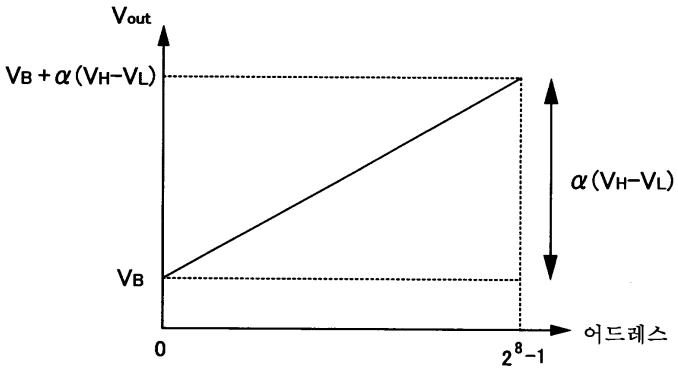
리셋 기간후

도면4b

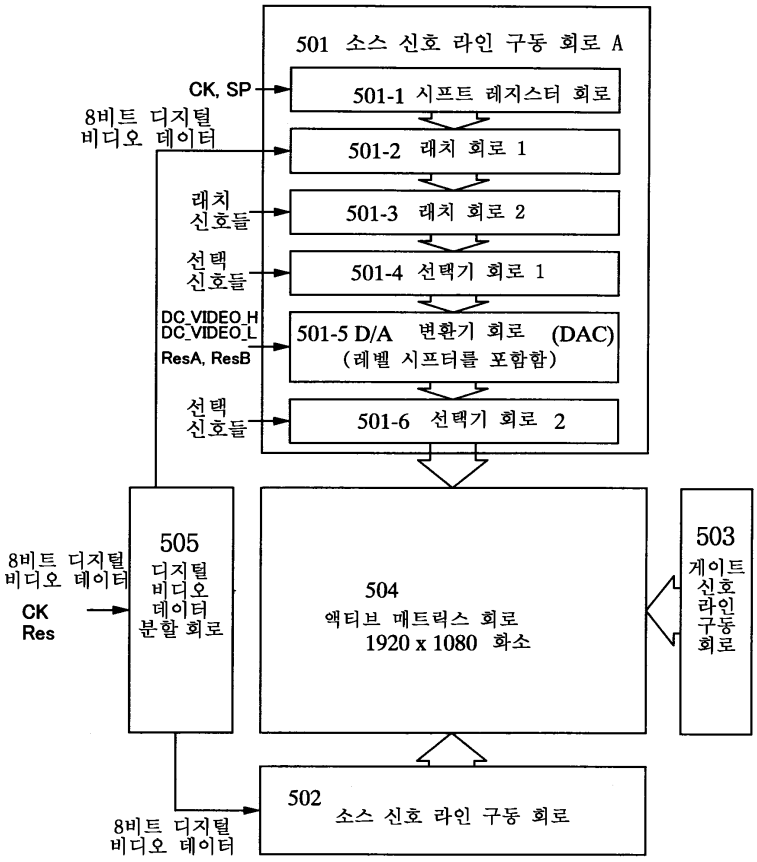


데이터 기입 기간 동안

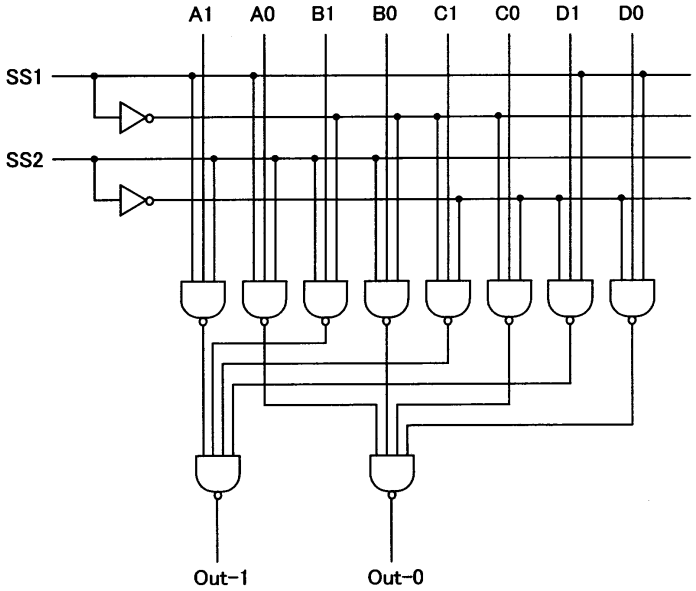
도면4c



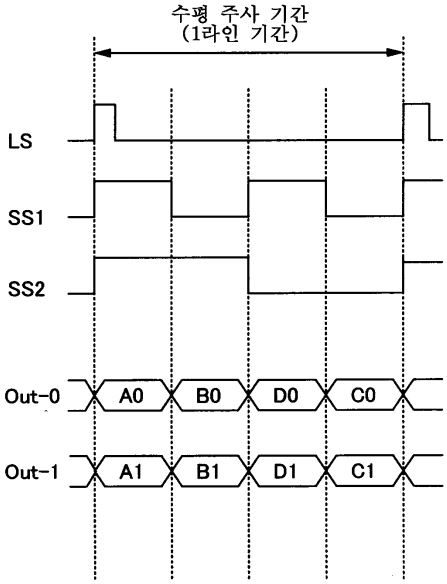
도면5


501 소스 신호 라인 구동 회로 A
CK, SP
501-1 시프트 레지스터 회로
8비트 디지털 비디오 데이터
501-2 래치 회로 1
래치 신호들
501-3 래치 회로 2
선택 신호들
501-4 선택기 회로 1
DC_VIDEO_H
DC_VIDEO_L
ResA, ResB
501-5 D/A 변환기 회로 (DAC)
(레벨 시프터를 포함함)
선택 신호들
501-6 선택기 회로 2
8비트 디지털 비디오 데이터
CK
Res
505
디지털 비디오 데이터 분할 회로
504
액티브 매트릭스 회로
1920 x 1080 화소
503
게이트 신호 라인 구동 회로
502
소스 신호 라인 구동 회로
8비트 디지털 비디오 데이터

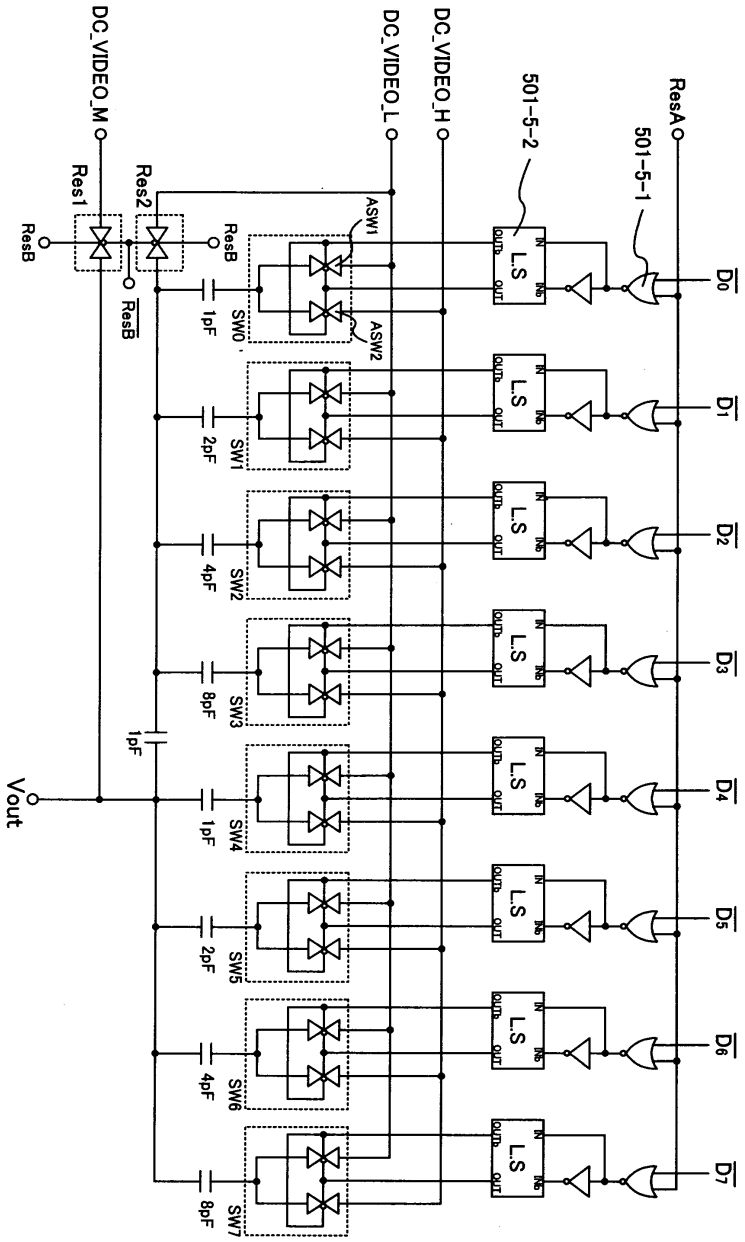
도면6


A1
A0
B1
B0
C1
C0
D1
D0
SS1
SS2
Out-1
Out-0

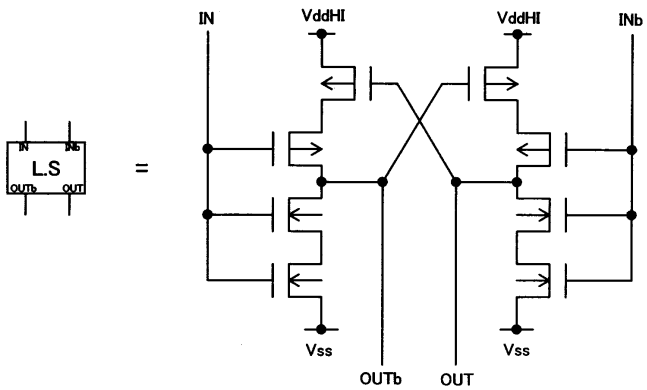
도면7



도면8

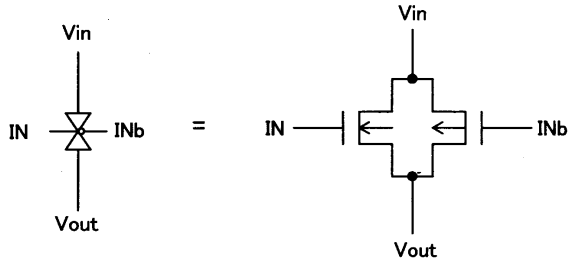


도면9a



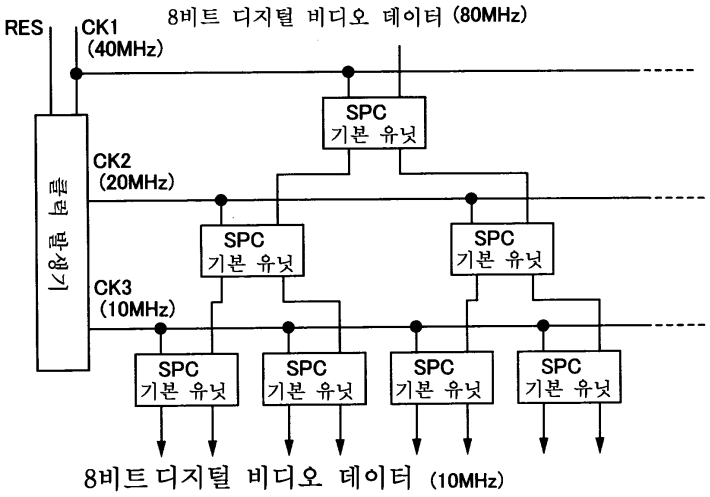
레벨 시프터 (L.S)

도면9b

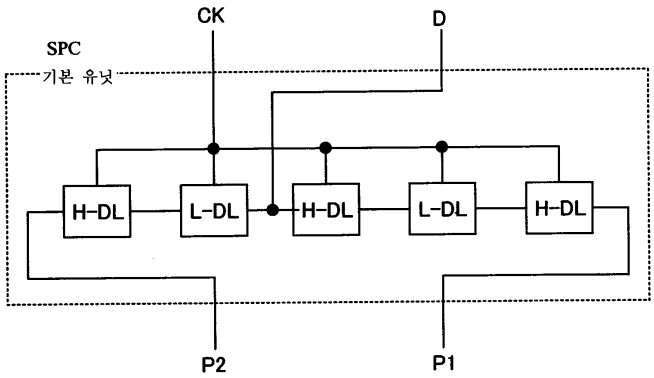


아날로그 스위치

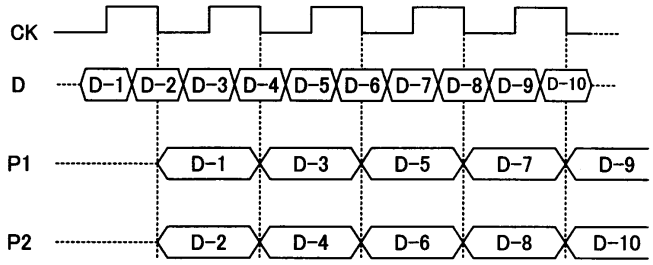
도면10a



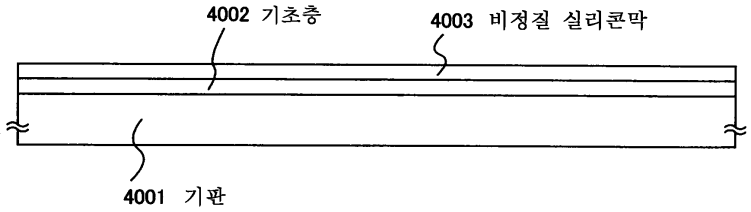
도면10b



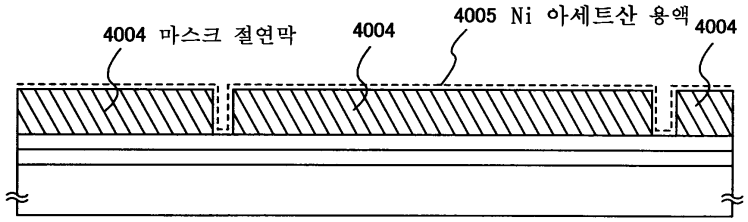
도면11



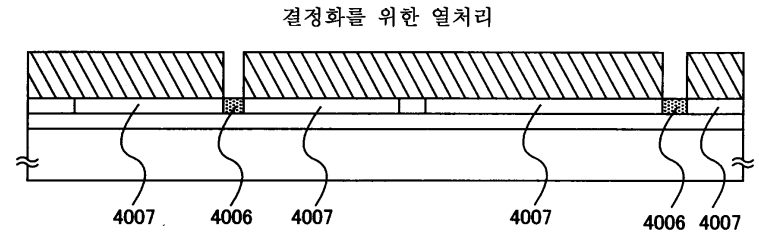
도면12a



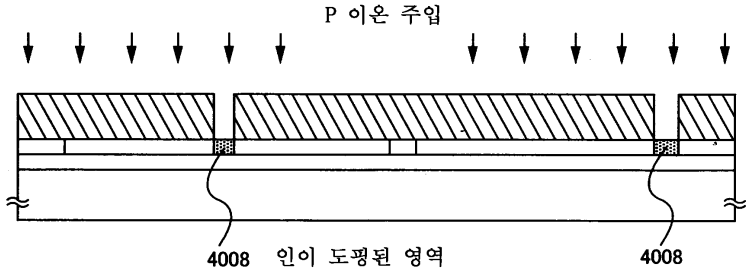
도면12b



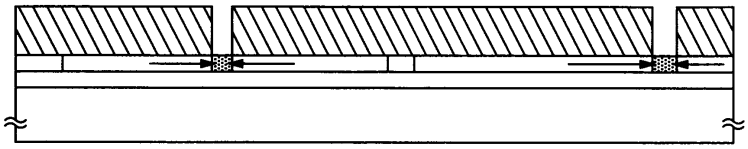
도면12c



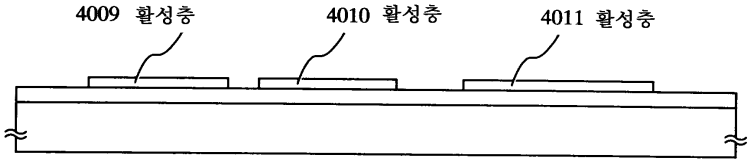
도면12d



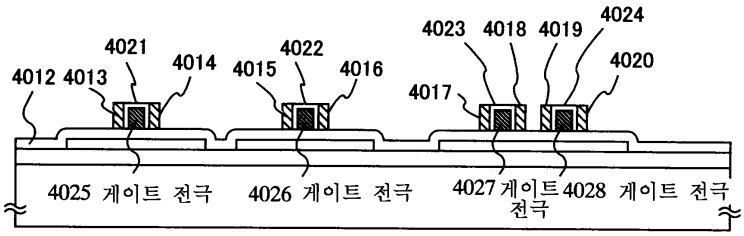
도면12e



도면13a

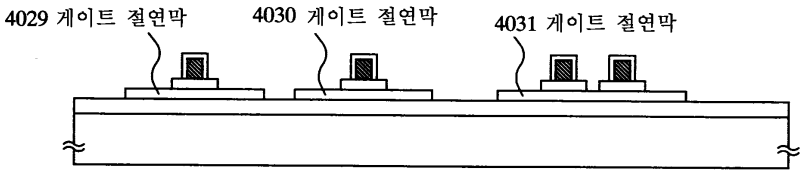


도면13b

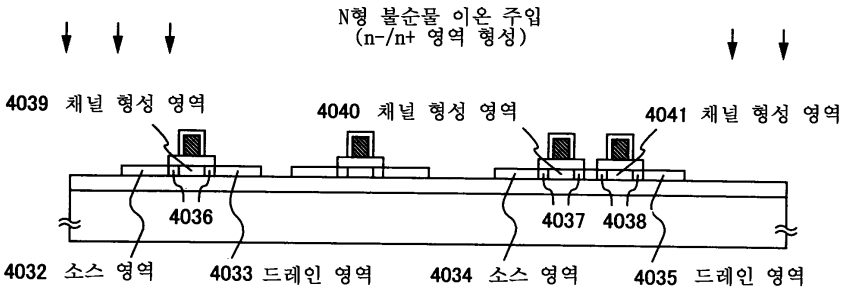


4013 - 4020 : 다공성 양극산화막　　4021 - 4024: 비다공성 양극산화막

도면13c

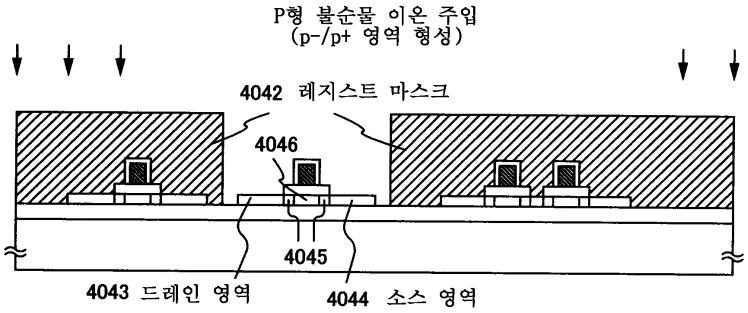


도면14a



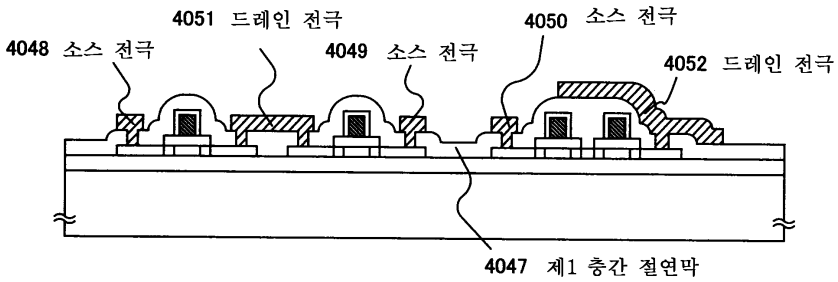
4036, 4037, 4038 : 저농도 불순물 영역

도면14b

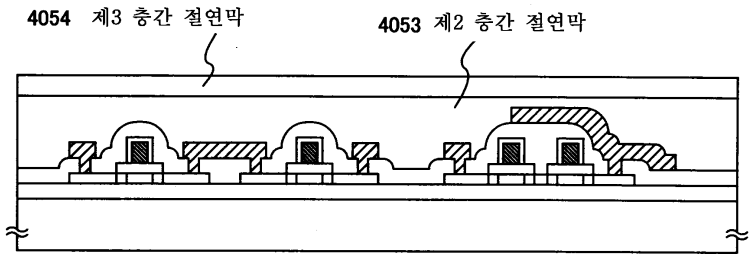


4045 : 저농도 불순물 영역
4046 : 채널 형성 영역

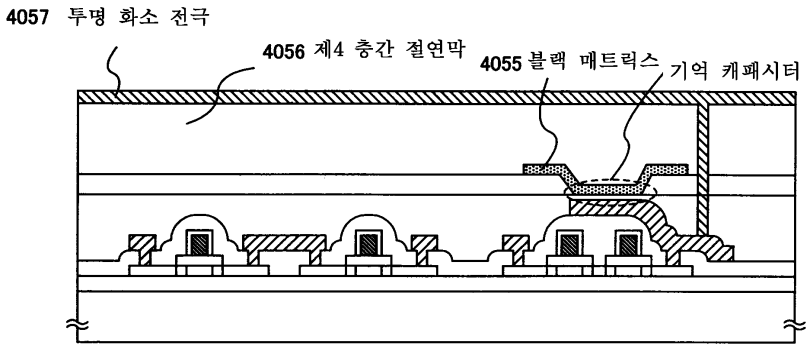
도면14c



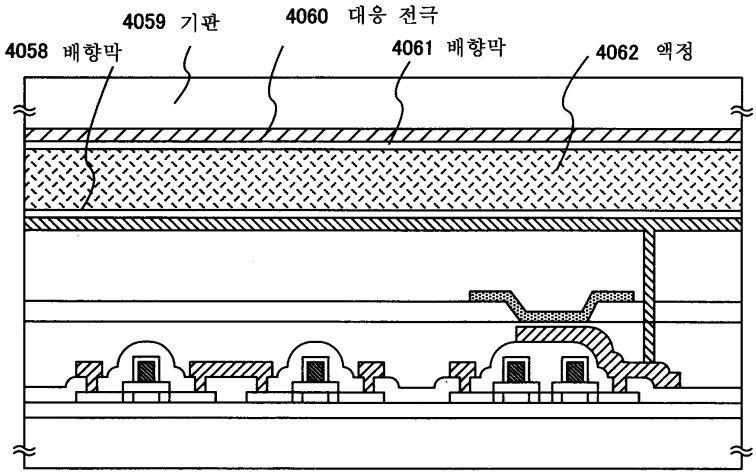
도면15a



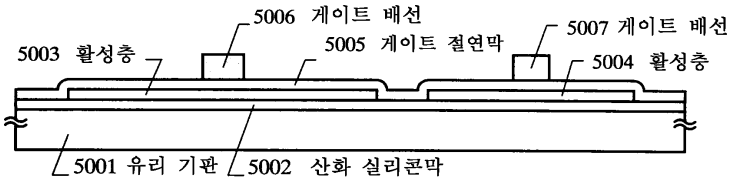
도면15b



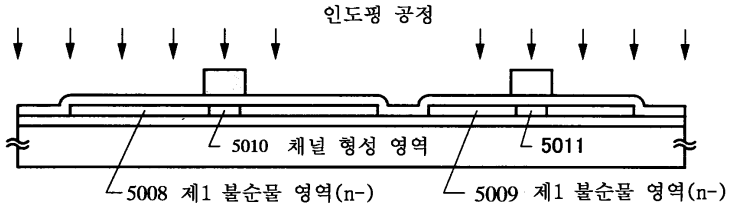
도면15c



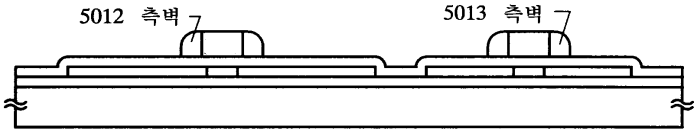
도면16a



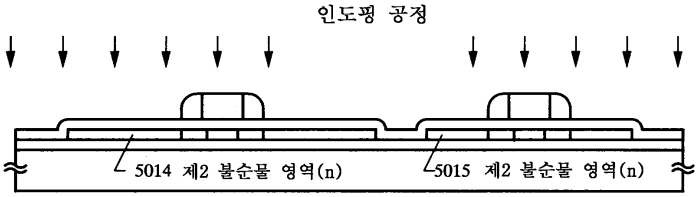
도면16b



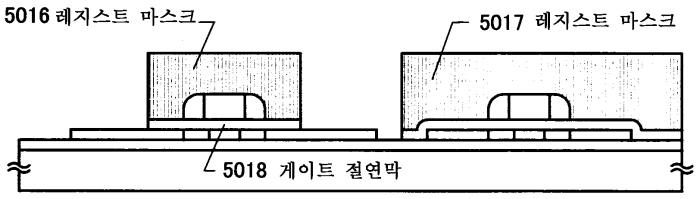
도면16c



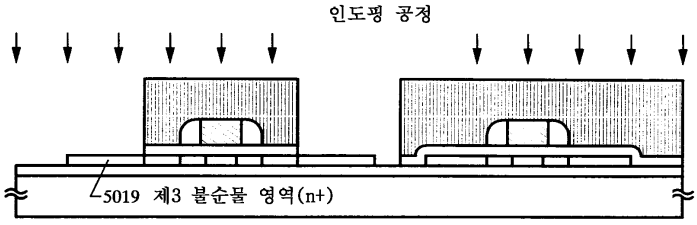
도면16d



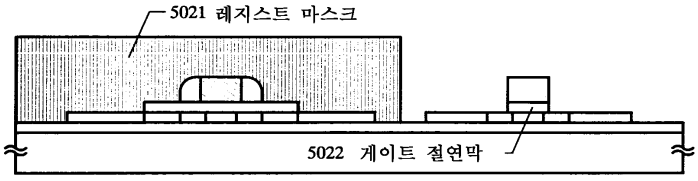
도면16e



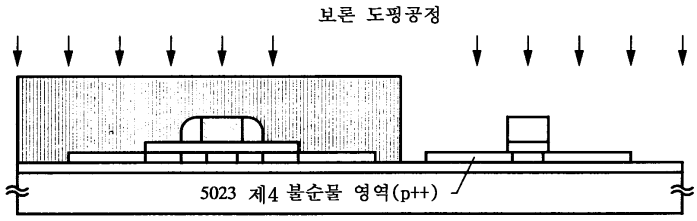
도면17a



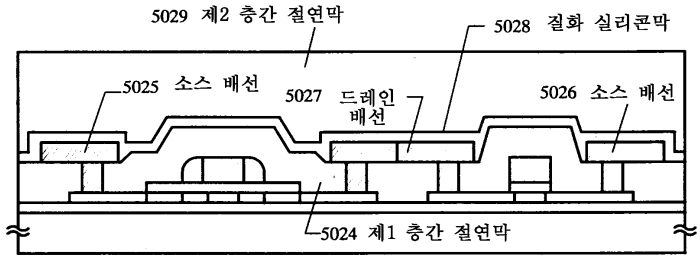
도면17b



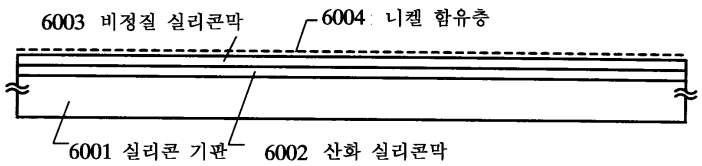
도면17c



도면17d

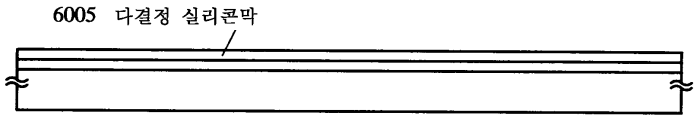


도면18a

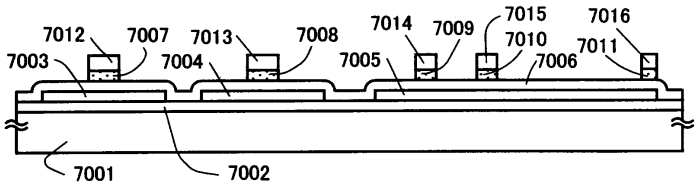


도면18b

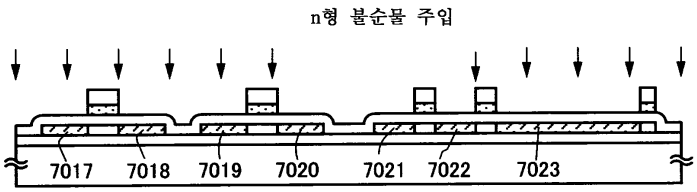
결정화 단계



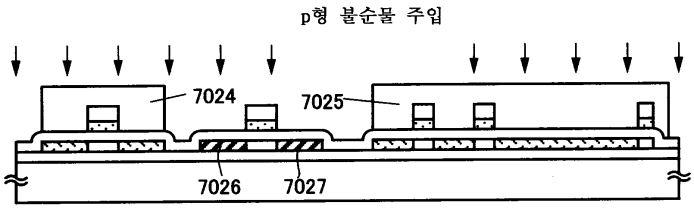
도면19a



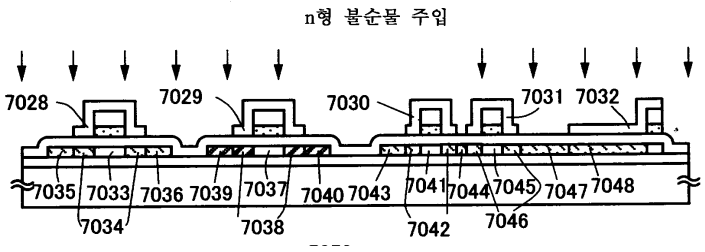
도면19b



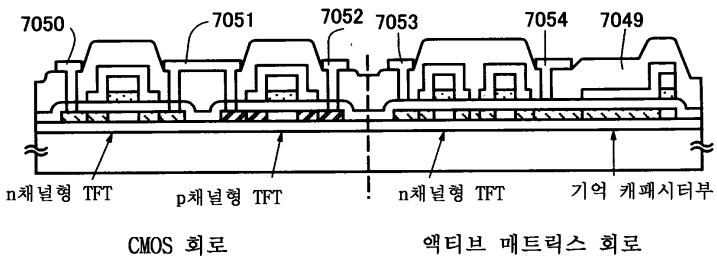
도면19c



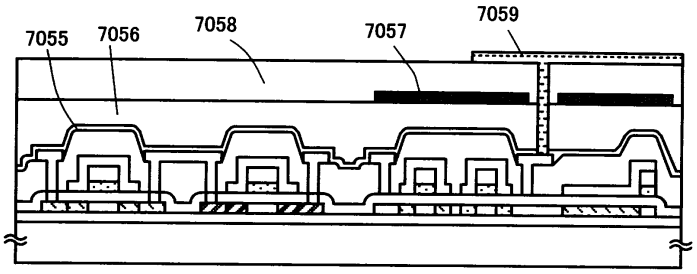
도면19d



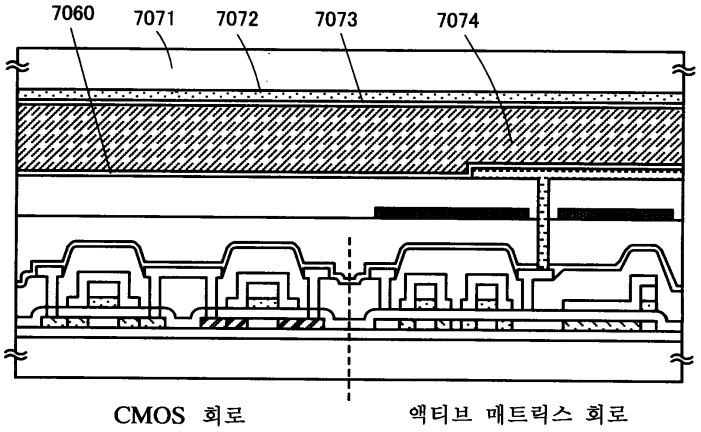
도면19e



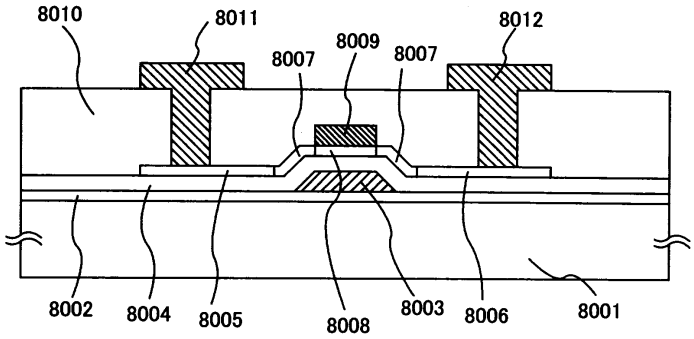
도면20a



도면20b

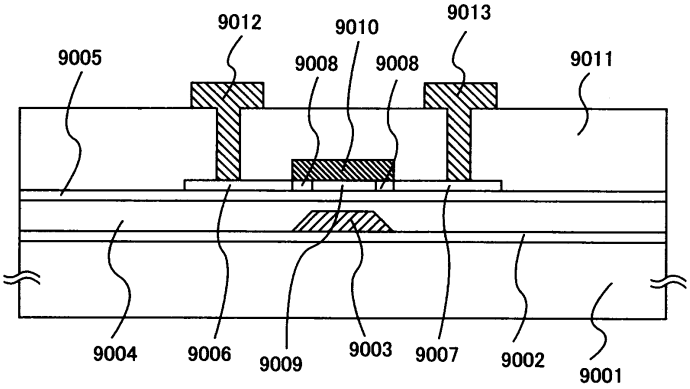


도면21



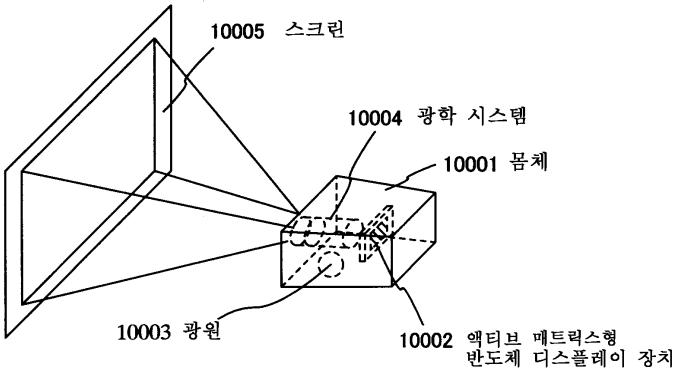
8001 기판
8002 산화 실리콘막
8003 게이트 전극
8004 게이트 절연막
8005 소스 영역
8006 드레인 영역
8007 저농도 불순물 영역(LDD 영역)
8008 채널 형성 영역
8009 채널 보호막
8010 층간 절연막
8011 소스 전극
8012 드레인 전극

도면22

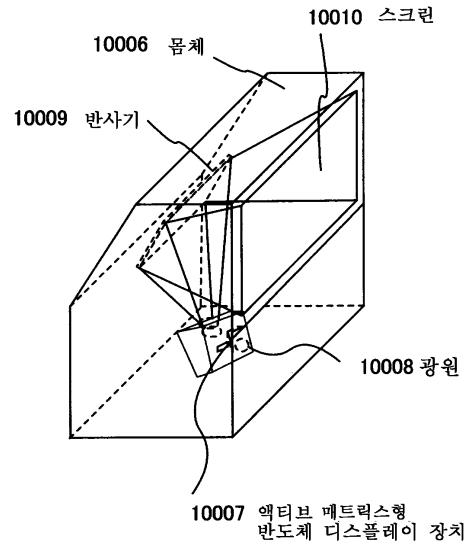


9001 기판
9002 산화 실리콘막
9003 게이트 전극
9004 벤조 사이클로부텐(BCB)층
9005 질화 실리콘층
9006 소스 영역
9007 드레인 영역
9008 저농도 불순물 영역(LDD 영역)
9009 채널 형성 영역
9010 채널 보호막
9011 층간 절연막
9012 소스 전극
9013 드레인 전극

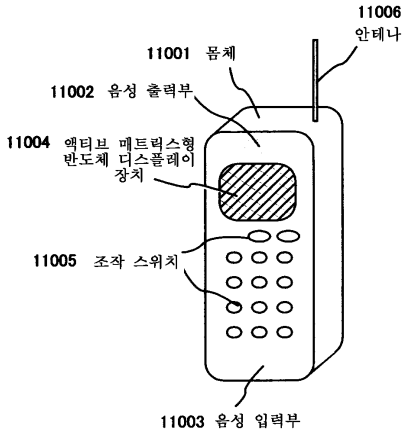
도면23a



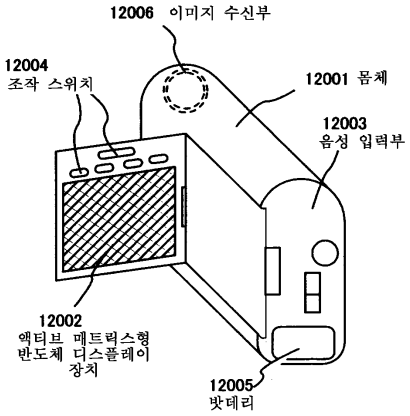
도면23b



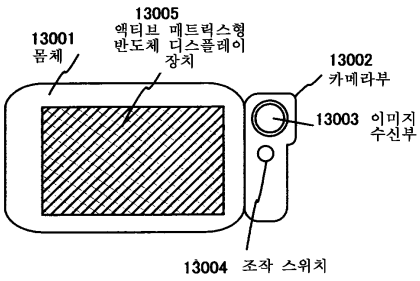
도면24a



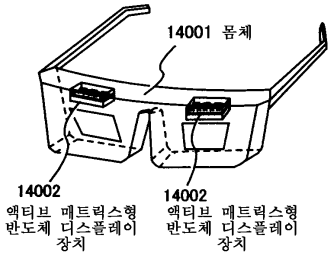
도면24b



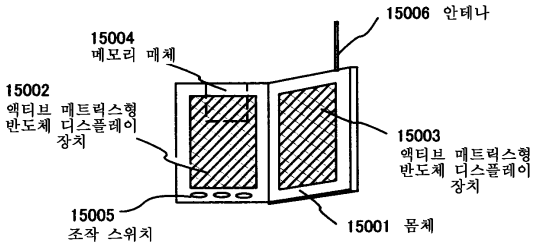
도면24c



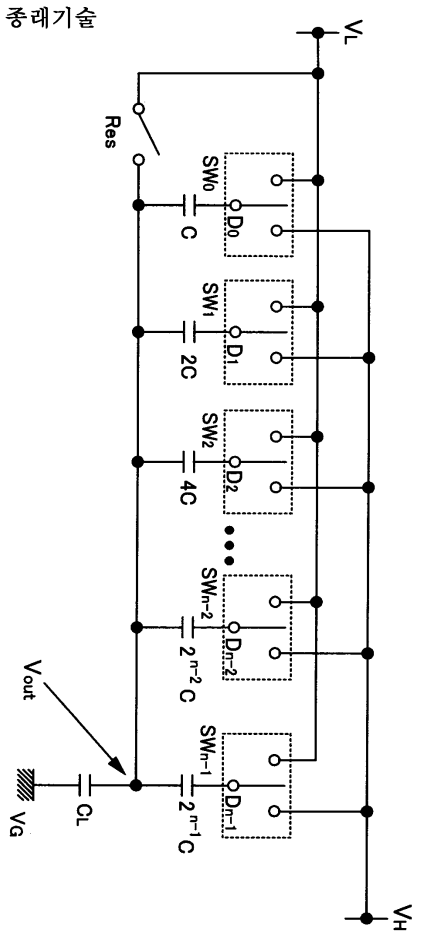
도면24d



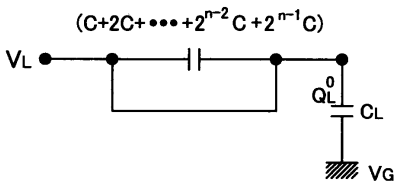
도면24e



도면25

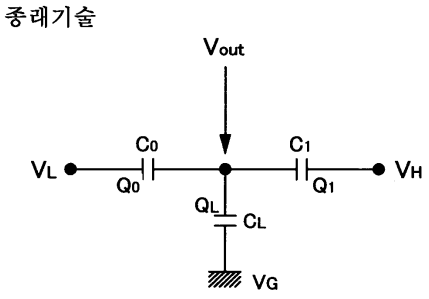


도면26a



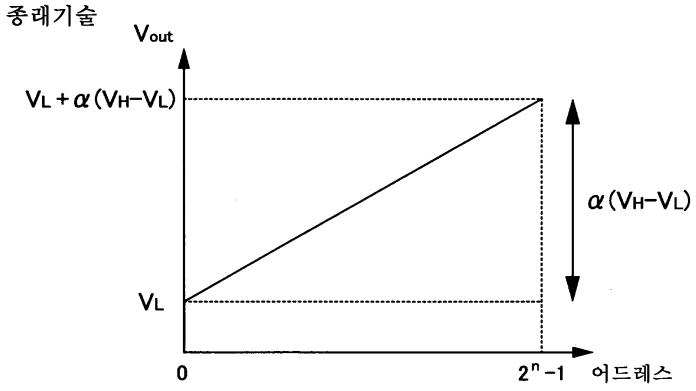
리셋 기간직후

도면26b



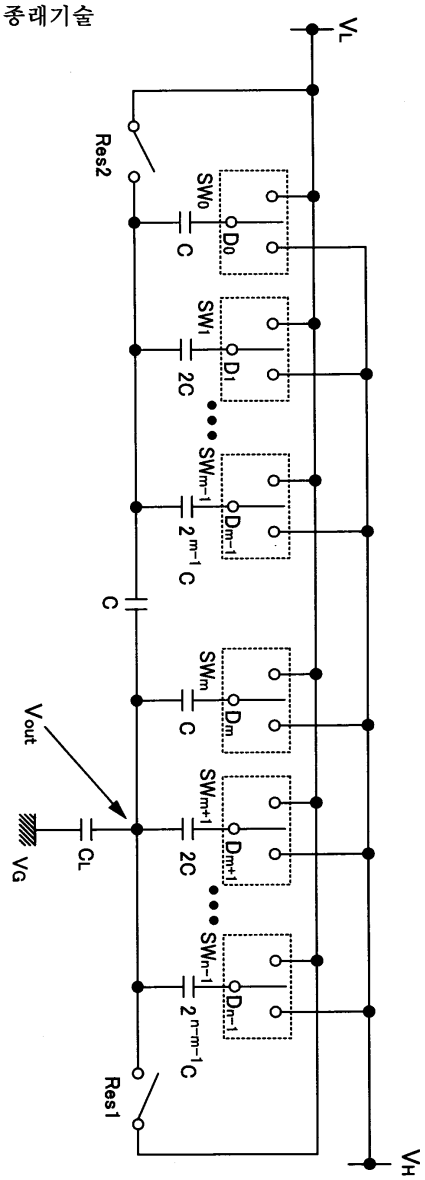
데이터 기입 기간동안

도면26c

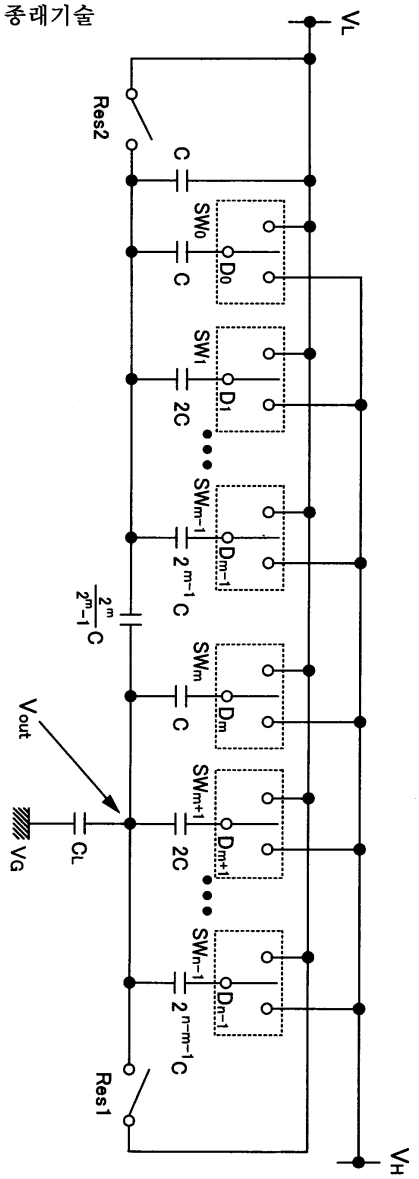


도면27

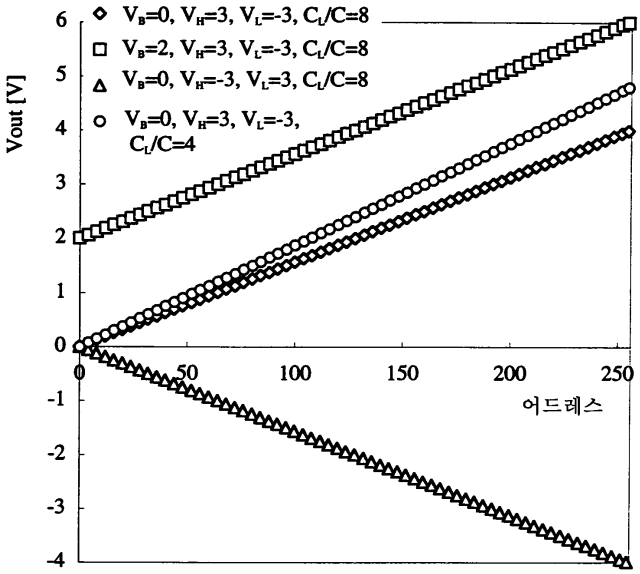
종래기술


VL
Res2
SW0
D0
C
SW1
D1
2C
SWm-1
Dm-1
2m-1C
C
SWm
Dm
C
Vout
SWm+1
Dm+1
2C
VG
CL
SWn-1
Dn-1
2n-m-1C
Res1
VH

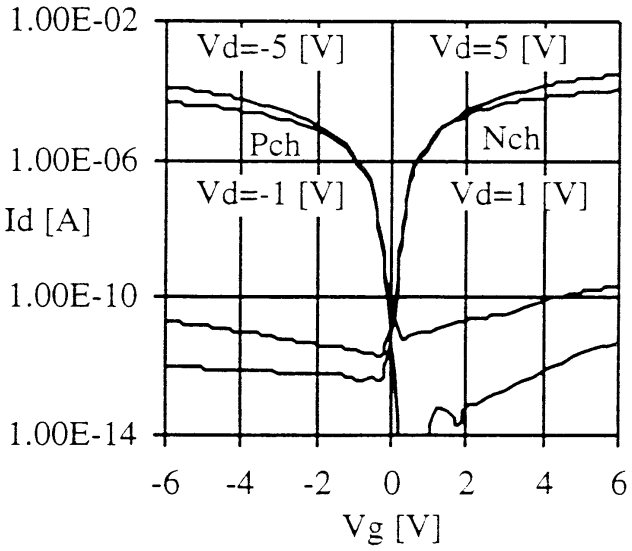
도면28


종래기술
VL
Res2
C
SW0
D0
C
SW1
D1
2C
SWm-1
Dm-1
2m-1C
2m/2m-1C
SWm
Dm
C
Vout
SWm+1
Dm+1
2C
VG
CL
SWn-1
Dn-1
2n-m-1C
Res1
VH

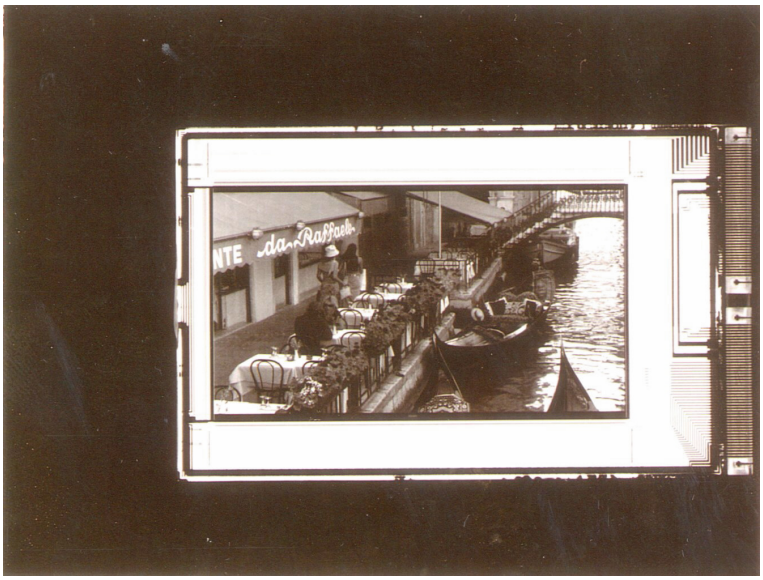
도면29


V_B=0, V_H=3, V_L=-3, C_L/C=8
V_B=2, V_H=3, V_L=-3, C_L/C=8
V_B=0, V_H=-3, V_L=3, C_L/C=8
V_B=0, V_H=3, V_L=-3, C_L/C=4
Vout [V]
6
5
4
3
2
1
0
-1
-2
-3
-4
0
50
100
150
200
250
어드레스

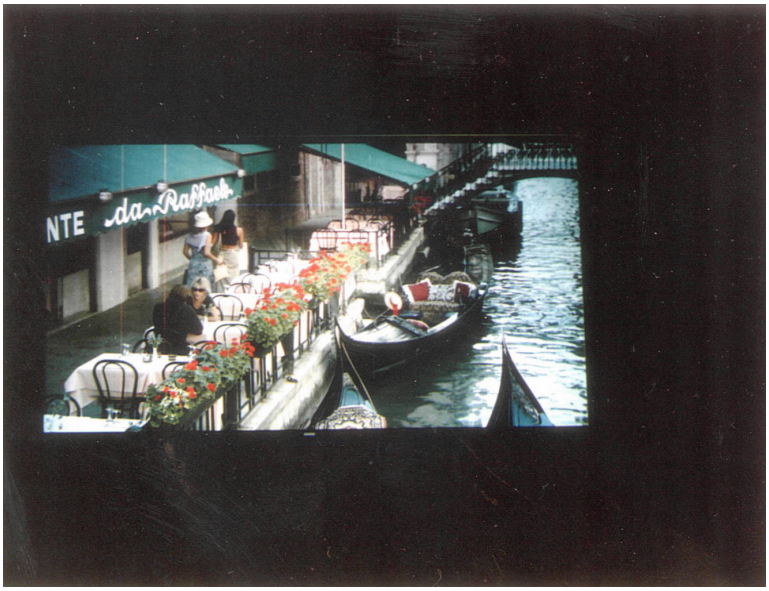
도면30


1.00E-02
1.00E-06
1.00E-10
1.00E-14
Id [A]
Vd=-5 [V]
Vd=5 [V]
Pch
Nch
Vd=-1 [V]
Vd=1 [V]
-6
-4
-2
0
2
4
6
Vg [V]

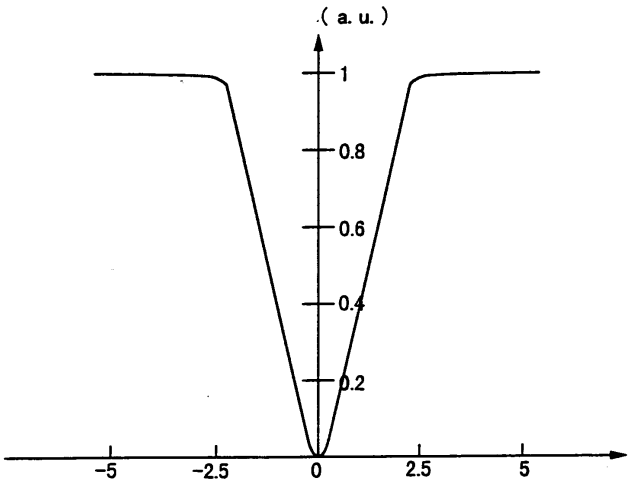
도면31



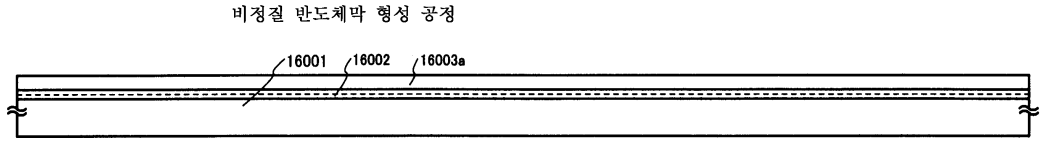
도면32



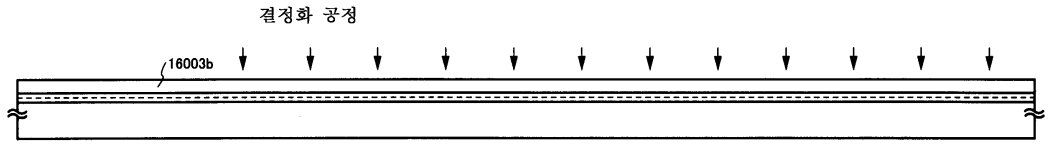
도면33



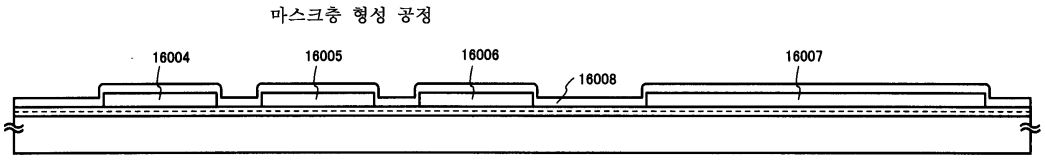
도면34a



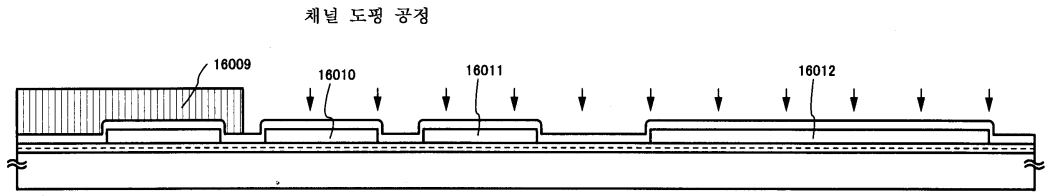
도면34b



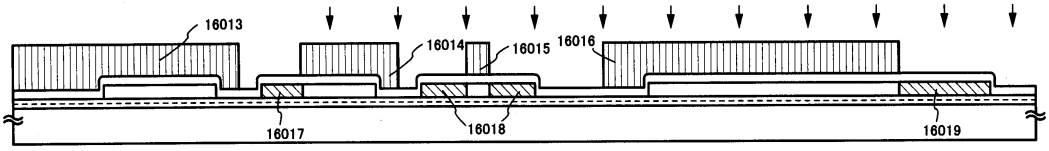
도면34c



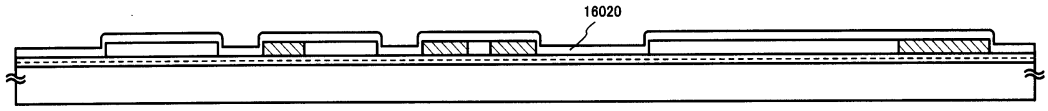
도면34d



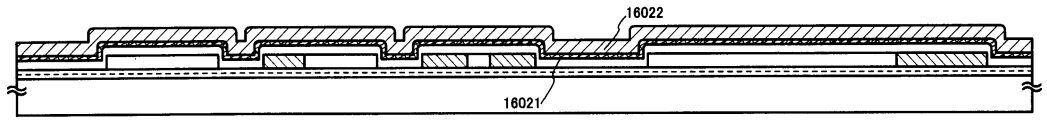
도면35a



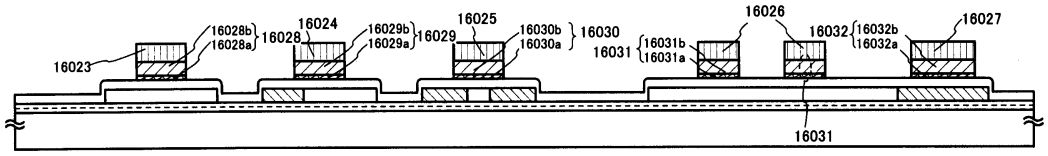
도면35b



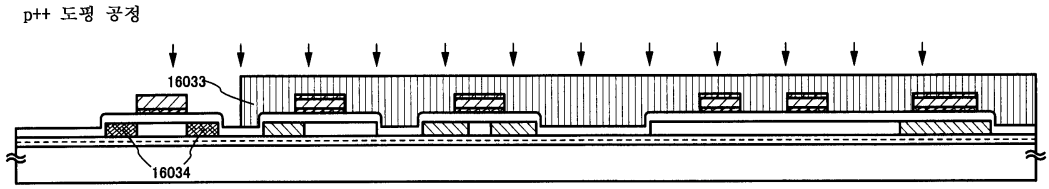
도면35c



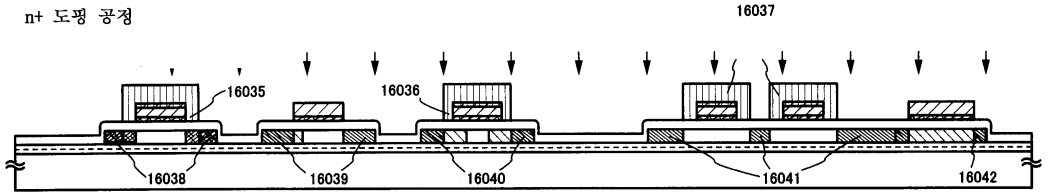
도면35d



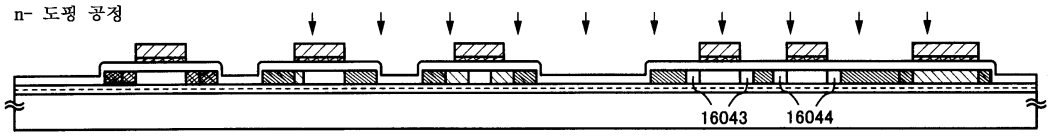
도면36a



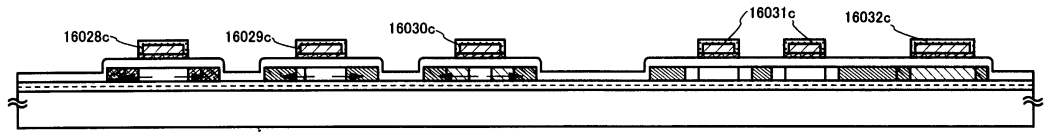
도면36b



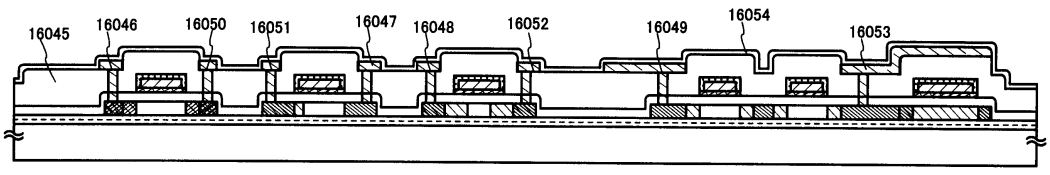
도면36c



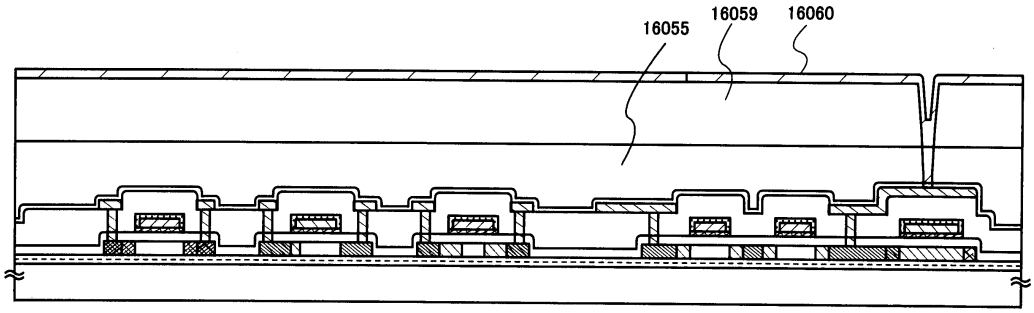
도면36d



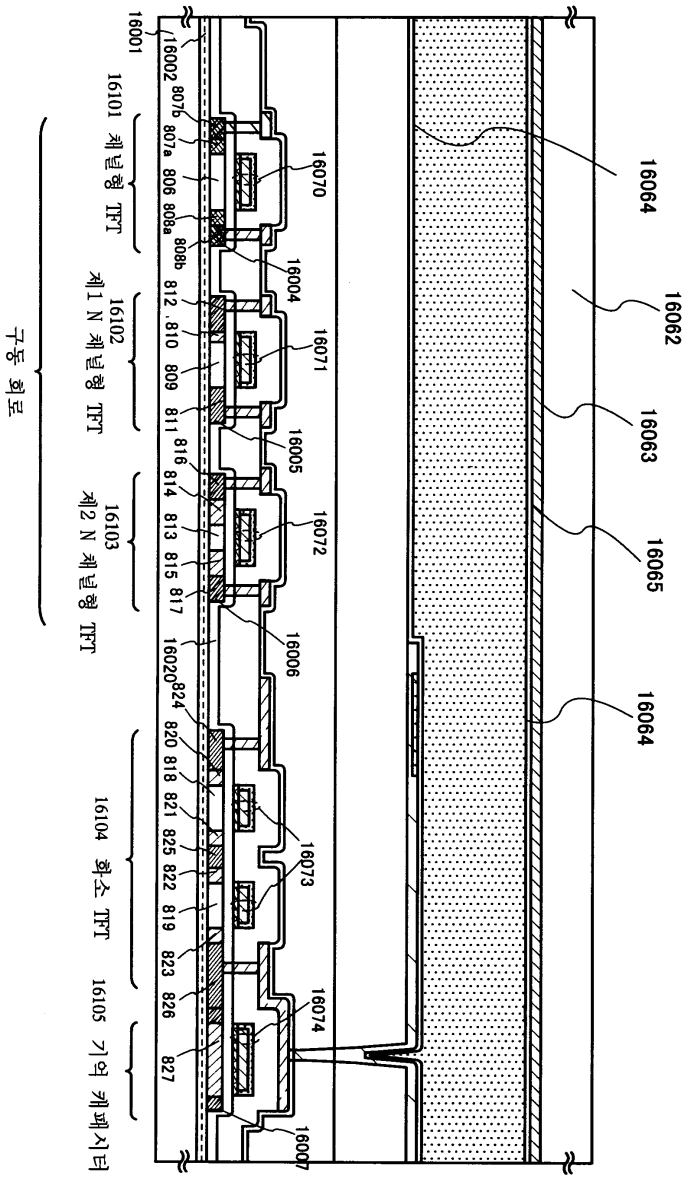
도면37a



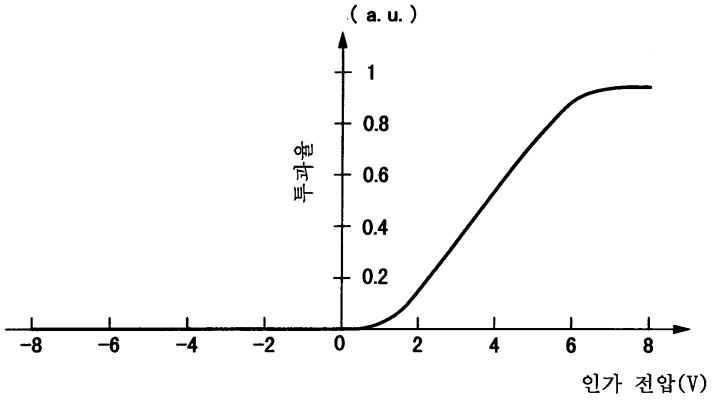
도면37b


16055
16059
16060

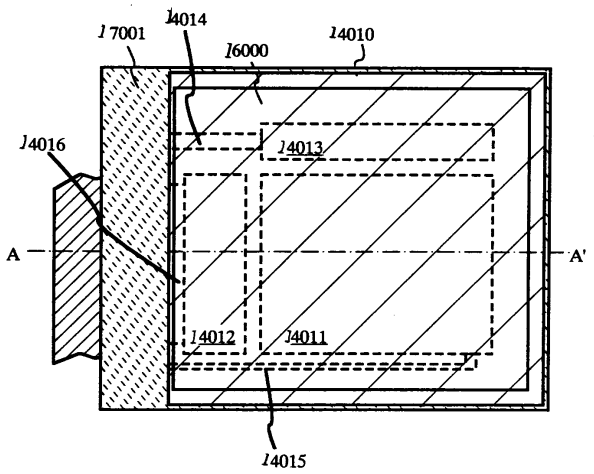
도면38


16001
16002
16101 채널형 TFT
16102 제1 N 채널형 TFT
16103 제2 N 채널형 TFT
구동 회로
16104 화소 TFT
16105 기억 캐패시터
16064
16062
16063
16065
16064
16070
16004
16071
16005
16072
16006
16073
16074
16007

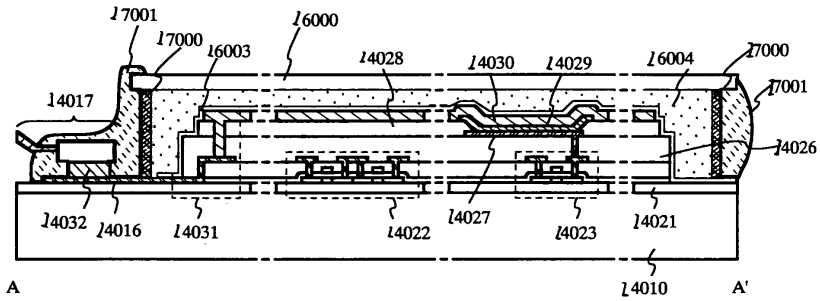
도면39



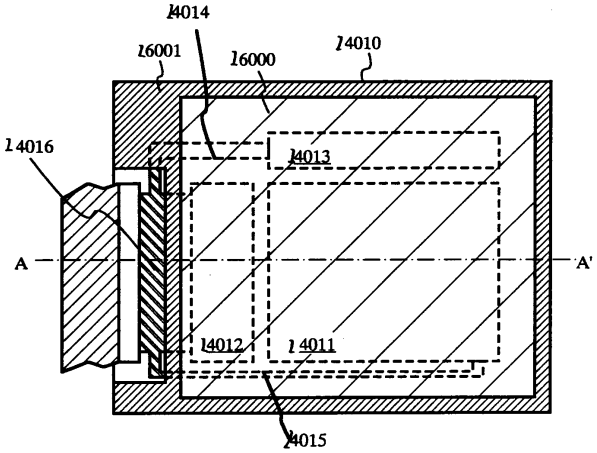
도면40a



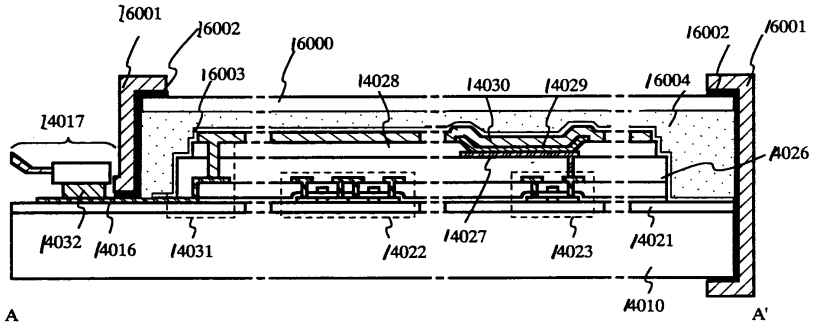
도면40b



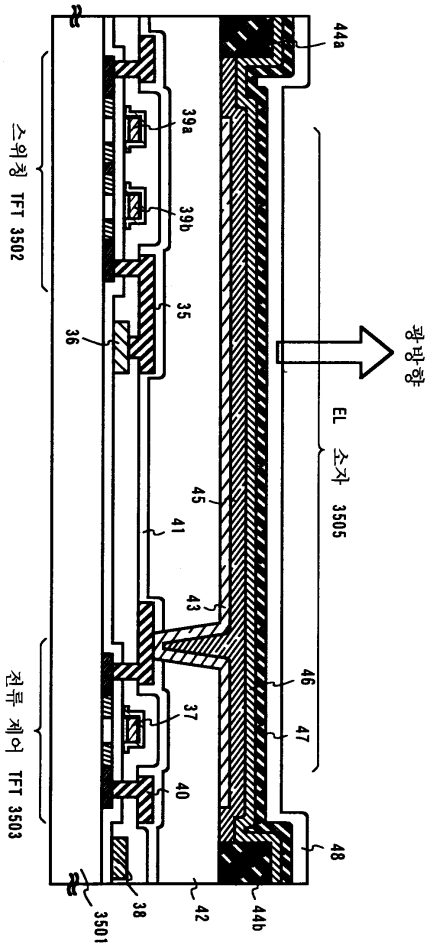
도면41a


14014
16001
16000
14010
14016
14013
A
A'
14012
14011
14015

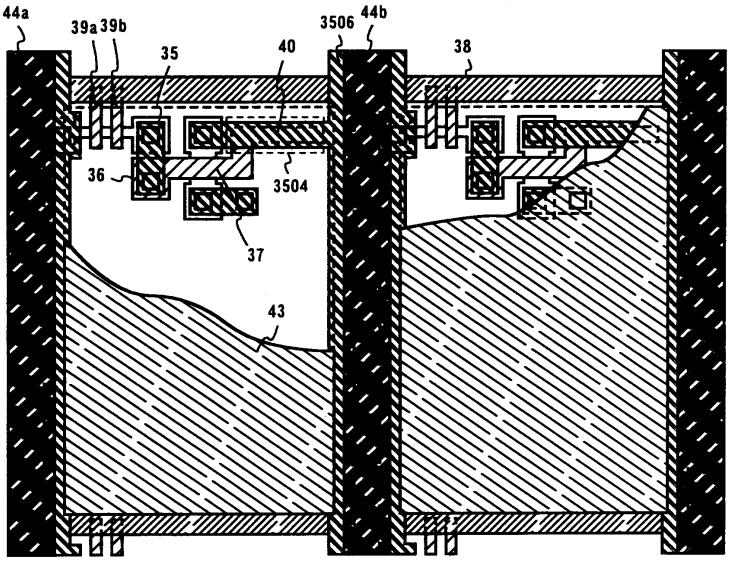
도면41b


16001
16002
16000
16002
16001
16003
14028
14030
14029
16004
14017
14026
14032
14016
14031
14022
14027
14023
14021
14010
A
A'

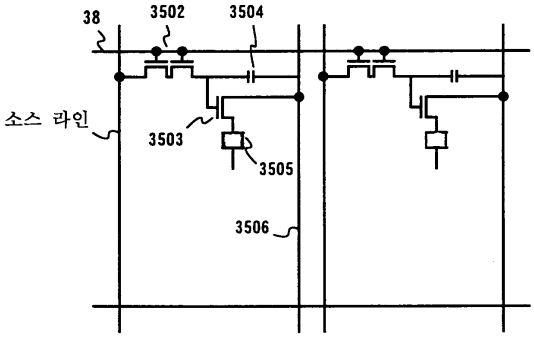
도면42


44a
39a
39b
35
36
45
41
43
46
47
37
40
48
38
42
44b
3501
스위칭 TFT 3502
전류 제어 TFT 3503
EL 소자 3505
광방향

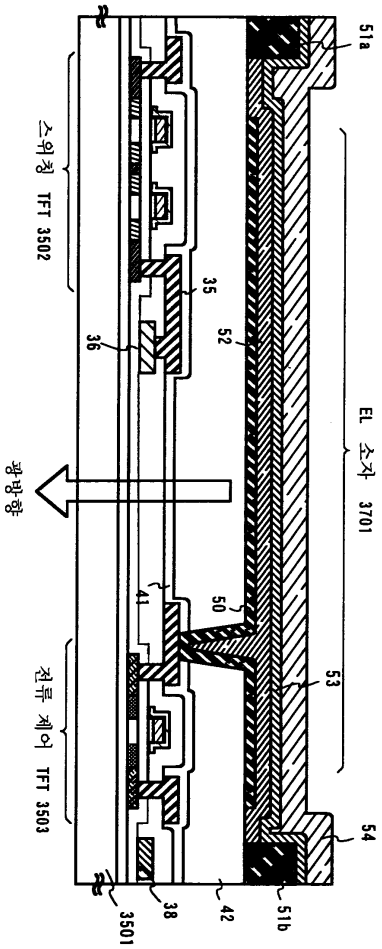
도면43a


44a
39a
39b
35
40
3506
44b
38
36
3504
37
43

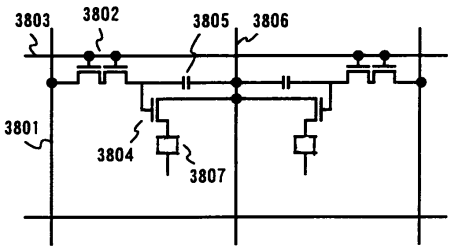
도면43b



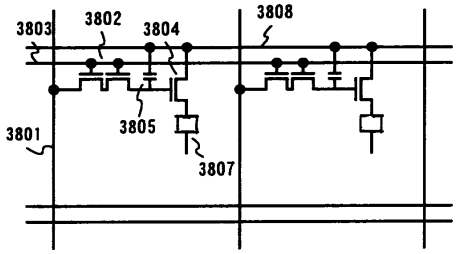
도면44



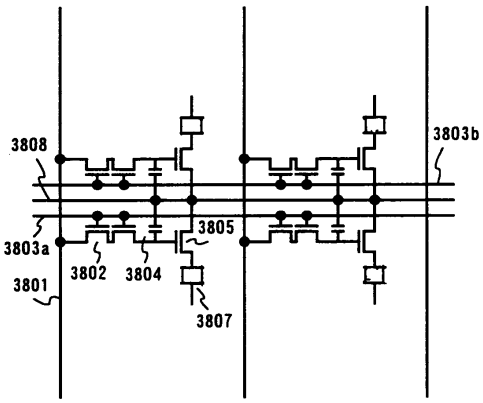
도면45a



도면45b


3803
3802
3804
3808
3805
3801
3807

도면45c


3808
3803b
3805
3803a
3802
3804
3801
3807