(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
G09G 3/36

(11) 공개번호 특1999-0077407
(43) 공개일자 1999년10월25일

(21) 출원번호 10-1999-0004082
(22) 출원일자 1999년02월06일
(30) 우선권주장 1998-049277 1998년03월02일 일본(JP)
1998-063686 1998년03월13일 일본(JP)
1998-079937 1998년03월26일 일본(JP)
(71) 출원인 가부시키가이샤 아드반스트 디스프레이 히로 산쥬
일본국 구마모토켄 기쿠치군 니시고오시마찌 미요시 997반지
(72) 발명자 마츠무라다츠야
일본국구마모토켄기쿠치군니시고시마치미요시997아드반스트디스플레이(주)내
아오키가즈오
일본국구마모토켄기쿠치군니시고시마치미요시997아드반스트디스플레이(주)내
곤도겐지
일본국구마모토켄기쿠치군니시고시마치미요시997아드반스트디스플레이(주)내
(74) 대리인 백남기

심사청구 : 없음

(54) 액정표시장치와이것에사용되는집적회로및액정표시장치의구동방법과구동장치

요약

액정표시장치 및 다수 포트의 데이타출력부를 갖는 집적회로에 관한 것으로서, 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불피요한 전자파를 저감한 고품질의 액정표시장치 및 다수포트의 데이타 출력부를 갖는 집적회로를 제공하기 위해, 데이타 입력신호에 대해 다수포트의 데이타 출력신호를 생성하고 시간축에 대한 데이타 출력신호의 변화위치를 기준으로 되는 내부클럭신호의 1주기의 동안에 있어서 서로 어긋난 위치에 존재시키는 구성으로 하였다.

이와 같은 구성에 의해, 표시데이타 출력신호의 동시변화수를 감소시키는 회로구성을 얻을 수 있다.

대표도

도1

색인어

전용 IC, 소스 드라이버 IC, 다수포트출력, 지연장치, LCD 타이밍 컨트롤러

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예1에 관한 액정표시장치중에 있어서의 2포트의 표시데이타 출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 도시한 전압파형도,

도 2는 실시예1의 표시데이타 출력신호를 생성하는 집적회로에 있어서의 회로구성도,

도 3은 실시예1의 표시데이타 출력신호를 생성하는 집적회로에 있어서의 기능블럭 구성도,

도 4는 본 발명의 실시예2의 표시데이타 출력신호를 생성하는 집적회로에 있어서의 기능블럭 구성도,

도 5는 본 발명의 실시예3의 데이타출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 도시한 전압파형도,

도 6은 실시예3의 데이타출력신호를 생성하는 집적회로에 있어서의 기능블럭구성도,

도 7은 본 발명의 실시예4의 데이타출력신호를 생성하는 집적회로에 있어서의 기능블럭 구성도,

도 8은 본 발명의 실시예5에 있어서의 전송표시데이타의 변화타이밍도,

도 9는 도 8에 도시한 데이타전송 타이밍을 실현하는 회로예를 도시한 도면,

도 10은 도 8에 도시한 데이타전송 타이밍을 설명하기 위한 도면,

도 11은 본 발명의 실시예6에 있어서의 전송표시 데이타의 변화타이밍도,

도 12는 실시예6을 설명하기 위한 도면,

도 13은 실시예6을 설명하기 위한 도면,

도 14는 실시예6을 설명하기 위한 도면,

도 15는 실시예6을 설명하기 위한 도면,

도 16은 실시예6을 설명하기 위한 도면,

도 17은 실시예6을 설명하기 위한 도면,

도 18은 실시예6을 설명하기 위한 도면,

도 19는 실시예6을 설명하기 위한 도면,

도 20은 실시예7에 있어서의 전송표시 데이타의 변화타이밍도,

도 21은 본 발명의 실시예8의 블럭도를 도시한 도면,

도 22는 종래의 액정표시장치중에 있어서의 2포트의 표시데이타 출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 도시한 전압파형도,

도 23은 종래의 다수 포트의 데이타 출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 도시한 전압파형도,

도 24는 TFT-LCD패널의 구동회로의 블럭도를 도시한 도면,

도 25는 종래에 있어서의 전송표시데이타의 변화타이밍도,

도 26은 종래예의 등가회로를 도시한 도면,

도 27은 종래예를 설명하기 위한 도면,

도 28은 종래의 액정표시장치의 전용 IC와 소스 드라이버 IC의 신호수수를 도시한 블럭도.

[부호의 설명]

1…클럭입력신호, 2…표시데이타 입력신호, 3…제1 내부클럭신호, 4…클럭출력신호, 6…데이타 입력신호, 7…데이타 출력신호, 8…제2 내부클럭신호, 9…제1 표시데이타 출력신호, 10…제2 표시데이타 출력신호, 11…제3 표시데이타 출력신호, 12…래치회로, 13…NOT회로, 15…내부클럭신호 생성부, 16…클럭출력신호 생성부, 17…데이타 래치부, 18…제1 지연회로부, 19…제2 지연회로부, 20…제2 내부클럭신호, 21…제1 데이타 출력신호, 22…제2 데이타 출력신호, 23…제3 데이타 출력신호, 24…내부클럭신호 생성부, 25…클럭출력신호 생성부, 26…데이타 래치부, 27…제1 지연회로부, 28…제2 지연회로부, 201, 202, 203…출력회로, 204, 205, 206…부하용량, 207, 208…지연회로, 211…LCD 타이밍 컨트롤러, 212, 213, 214…데이타버스, 315…신호선, 316…비교검출회로, 317…제어회로A, 318…제어회로B, 319…데이타 처리회로.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시장치 및 다수 포트의 데이타출력부를 갖는 집적회로에 관한 것이다.

또, 본 발명은 액티브 매트릭스 구동방식 등의 액정표시장치의 구동방법 및 구동장치, 특히 TFT 액정표시장치(이하, TFT-LCD패널이라 한다)의 저EMI화에 관한 것이다.

또, 본 발명은 액정표시장치에 관한 것으로서, 특히 액정표시장치를 구동하기 위해 마련되는 전용 IC와 소스 드라이버 IC와의 신호의 수수에 관한 것이다.

임의의 데이타 입력신호에 대해 데이타 출력신호의 주파수를 낮게 하고, 데이타 출력신호의 총수를 많게 하는 방식을 일반적으로 다수 포트 출력이라 한다. 예를 들면, 데이타 출력신호의 주파수가 데이타 입력신호의 주파수의 1/20이고, 데이타 출력신호의 총수가 데이타 입력신호의 총수의 2배인 경우에는 2포트 출력이라 한다.

액정표시장치중의 전기회로구성에 있어서, 표시데이타 입력신호에 대해 2포트의 표시데이타 출력신호를 생성하는 집적회로를 필요로 하는 경우에는 통상, 집적회로내부에 있어서의 표시데이타 출력부 직전의 래치회로의 클럭신호로서 사용하는 내부클럭신호는 클럭입력신호를 입력으로 한 2분주회로를 경유하여

클럭입력신호의 주파수에 대해 1/2의 주파수로 해서 생성된다.

출력부에 있어서, 클럭출력신호는 내부클럭신호의 변화점과 동위상에서 생성되고, 표시데이타 출력신호는 출력지의 소스 드라이버 IC중에서 래치동작하기 위한 에지인 클럭출력신호의 액티브에지에 대해 클럭출력신호의 반주기('H'기간 또는 'L'기간)분 어긋나서 변화하도록 생성된다.

이것은 표시데이타 출력신호가 회로내부에 있어서의 내부클럭신호에 의해 데이타를 래치하기 위한 에지인 1종류의 내부클럭신호의 액티브에지와 동일위치에서 동시에 변화하도록 생성되는 것을 의미한다.

도 22는 이상에서 설명한 종래의 2포트의 표시데이타 출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 전압파형으로 도시한 도면으로서, 도면에 있어서, (1)은 클럭입력신호, (2)는 표시데이타 입력신호, (3)은 내부클럭신호, (4)는 클럭출력신호, (5)는 표시데이타 출력신호이다. 표시데이타 입력신호(2)의 주기는 클럭입력신호(1)의 주기1CLKI와 동일하고, 표시데이타 출력신호(5)의 주기는 내부클럭신호(3)의 주기1CLK 및 클럭출력신호(4)의 주기1CLKO와 동일하며, 1CLK는 2 CLKI와 동등한 시간폭이고 또 1CLKO는 2CLKI와 동등한 시간폭이며, 내부클럭신호(3)의 에지의 화살표는 집적회로내부에 있어서의 표시데이타 출력부 직전의 래치회로의 액티브에지(도면에서는 하강에지)를 나타내고, 클럭출력신호(4)의 에지의 화살표는 표시데이타 출력신호(5)의 출력지인 소스 드라이버 IC에 있어서의 표시데이타 입력부 직후의 래치회로의 액티브에지(도면에서는 상승에지)를 나타내고 있다.

또, 액정표시장치에 관계없이 다른 장치중의 전기회로구성에 있어서, 데이타 입력신호에 대해 2포트이상 존재하는 다수 포트의 데이타 출력신호를 생성하는 집적회로를 필요로 하는 경우에는 통상, 상기와 마찬가지로 집적회로 내부에서의 내부클럭신호는 분주회로를 경유하는 것에 의해 클럭입력신호의 주파수에 대해 출력포트수를 정수배한 값의 역수의 주파수로 해서 생성된다.

출력부에 있어서, 데이타 출력신호는 회로내부에 있어서의 1종류의 내부클럭신호에 의해 데이타를 래치하기 위한 에지인 내부클럭신호의 액티브에지와 동일 위치에서 동시에 변화하도록 생성된다.

도 23은 이상에서 설명한 종래의 2포트이상 존재하는 다수 포트(n포트 : n은 임의의 정수)의 데이타 출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 전압파형으로 도시한 도면으로서, 도면에 있어서, (1)은 클럭입력신호, (3)은 내부클럭신호, (4)는 클럭출력신호, (6)은 데이타 입력신호, (7)은 데이타 출력신호이다. 데이타 입력신호(6)의 주기는 클럭입력신호(1)의 주기1CLKI와 동일하고, 데이타 출력신호(7)의 주기는 내부클럭신호(3)의 주기1CLK 및 클럭출력신호(4)의 주기1CLKO와 동일하며, 1CLK는 nCLKI와 동등한 시간폭이고 또 1CLKO는 nCLKI와 동등한 시간폭이며, 내부클럭신호(3)의 에지의 화살표는 집적회로 내부에 있어서의 데이타 출력부 직전의 래치회로의 액티브에지(도면에서는 하강에지)를 나타내고, 클럭출력신호(4)의 에지의 화살표는 데이타 출력신호의 출력지에 있어서의 데이타 입력부 직후의 래치회로의 액티브에지(도면에서는 상승에지)를 나타내고 있다. 단, 클럭입력신호(1)이나 클럭출력신호(4)가 입출력단자로서 설정되는 것에 한정되지 않는 것으로 한다.

도 24는 TFT-LCD패널의 구동회로의 간단한 블럭도로서, (218)은 TFT-LCD패널, (215)는 TFT-LCD 패널을 표시하기 위한 TFT 소스라인 구동회로(이하, 소스 드라이버라고 한다), (217)은 TFT-LCD 패널을 표시하기 위한 TFT 게이트라인 구동회로(이하, 게이트 드라이버라고 한다), (211)은 소스 드라이버(215)와 게이트 드라이버(217)에 표시동작을 위해 필요한 각종 데이타나 타이밍신호를 생성하고 출력하는 표시타이밍 제어회로(이하, LCD 타이밍컨트롤러라고 한다), (212)는 LCD 타이밍 컨트롤러(211)에서 소스 드라이버(215)로 예를 들면 적색의 표시데이타(이하, R데이타라고 한다)을 전송하기 위한 데이타버스, (213)은 예를 들면 녹색의 표시데이타(이하, G데이타라고 한다)를 전송하기 위한 데이타버스, (214)는 예를 들면 청색의 표시데이타(이하, B데이타라고 한다)를 전송하기 위한 데이타버스이다. (216)은 이들 R, G, B의 표시데이타를 LCD 타이밍 컨트롤러(211)에서 소스 드라이버(215)로 전송하기 위한 전송클럭신호선이다.

도 24의 상세한 동작의 설명은 생략하지만, 본 발명에 관한 동작에 대해 간단히 설명한다. 도 24에 있어서, 예를 들면 SVGA의 경우, TFT-LCD 패널(218)에는 적, 녹, 청의 액정셀로 구성되는 화소가 가로로 800화소 배열되어 있는 열(라인)이 600개 존재한다.

소스 드라이버 IC(215)는 LCD 타이밍컨트롤러 IC(211)에서 데이타버스(212), (213), (214)의 R, G, B의 각 데이타버스에 의해서 보내진 가로(횡) 800화소분의 표시데이타를 데이타전송용 클럭과 동기해서 순차 페치하고, TFT-LCD 패널(218)의 화소열에 대해 표시데이타를 전압으로 변환해서 출력한다. 이 때, 게이트 드라이버 IC(217)에 의해서 600라인중에서 1라인만 지정되어 있는 화소열에 이 소스 드라이버 IC(215)에서 출력된 전압이 페치된다. 이 동작을 600회 실행하여 패널1화면의 표시가 완성된다. 일반적으로, 화면의 리라이트동작은 1초동안에 60회 실행된다.

도 25는 도 24에 있어서 RGB의 각 데이타를 LCD 타이밍컨트롤러(211)에서 TFT 소스 드라이버로 전송하는 경우의 데이타버스의 타이밍파형을 도시한 도면이다.

이 예에서는 RGB 데이타는 각 색 64종류의 색계조를 재현하기 위해 각각 6비트의 데이타버스로 구성되어 있다.

일반적으로, 이들 RGB 데이타버스상의 데이타를 변화시키는 경우에는 모든 버스를 전송클럭(216)과 동시에 변화시킨다. 이것은 소스 드라이버 IC(215)가 전송클럭(216)과 동기하여 데이타를 페치하므로(이 예에서는 전송클럭(216)의 상승에지), 그 타이밍의 관리(데이타 셋업(setup), 데이타 유지(hold) 타이밍의 확보)를 용이하게 하기 위해 도 25와 같이 모든 데이타를 소스 드라이버 IC(215)가 데이타를 페치하는 전송클럭의 에지와 반대의 에지 즉 이 예에서는 하강에지에서 변화시키고 있다.

일반적으로, SVGA패널에서는 이 전송클럭 주파수는 약 40㎒로 매우 높은 주파수로 되고, 각 6비트로 이루어지는 합계18비트의 RGB데이타는 그 내용에 따라서 약 25nS라는 짧은 주기로 변화한다.

도 24에 있어서의 LCD 타이밍컨트롤러 IC(211)의 RGB 표시데이타 출력회로와 LCD 타이밍컨트롤러

IC(211)의 출력회로에 접속되어 있는 RGB 데이타버스 및 소스 드라이버 IC(215)를 간단한 등가회로로 나타내면 도 26과 같이 된다.

이 등가회로에서는 RGB 데이타버스와 소스 드라이버 IC를 용량부하로서 나타내고 있다. 즉, 도 26에 있어서, (204)는 R데이타버스(212)의 배선용량과 R데이타버스에 접속되어 있는 여러개의 소스 드라이버 IC(215)의 입력용량을 하나로 통합한 부하용량, (205)는 G데이타버스의 배선용량과 G소스 버스(213)에 접속되어 있는 여러개의 소스 드라이버 IC(215)의 입력용량을 하나로 통합한 부하용량, (206)은 마찬가지로 B데이타버스(214)와 여러개의 소스 드라이버 IC(215)를 통합한 부하용량이다.

또, (201)은 LCD 타이밍 컨트롤러 IC(211)에 있어서 RGB 데이타를 출력하는 출력회로 중, R데이타를 출력하는 출력회로, (202)는 마찬가지로 G데이타의 출력회로, (203)은 마찬가지로 B데이타의 출력회로이다.

또, 이 예에서는 RGB의 표시데이타는 각각 6비트로 구성되어 있지만, 도 26에서는 데이타 출력회로 및 용량부하를 RGB 각각 1비트분만 기술하고 있다.

종래의 액정표시장치에서는 전용 IC로부터의 출력은 그대로 소스 드라이버 IC로 출력되거나 또는 데이타수의 1/2이 동시에 변화하면 극성을 반전시켜 출력하는 것이 주류였다.

도 28은 종래의 액정표시장치의 전용 IC와 소스 드라이버 IC와의 신호의 수수를 도시한 블럭도이다.

도면에 있어서, (301)은 내부버스로서 (301_1)~(301_n) 비트의 데이타를 전송한다. (302)는 내부버스(301)상의 데이타를 입력으로 하는 셀렉터로서 내부버스(301)에 대응해서 (302_1)~(302_n) 마련되며 각각 2입력의 배타적 논리합회로로 이루어진다.

(303)은 셀렉터(302)의 출력을 입력으로 하는 (303_1)~(303_n) 비트의 레지스터이다. (304)는 레지스터(303)에 대응해서 (304_1)~(304_n) 마련되며 레지스터(303)의 데이타를 입력으로 하는 출력버퍼, (305)는 출력버퍼(304)에 대응해서 (305_1)~(305_n)마련되며 출력버퍼(304)의 데이타를 외부버스로 송출하는 출력핀이다.

(306)은 비교 다수결회로로서 내부버스(301)의 데이타를 비교하고 셀렉터(302)를 반전모드로 설정하는 판정출력신호J를 출력한다. (307)은 (302)의 입력의 배타적논리합회로, (308)은 토글형 플립플롭으로서 극성표시신호P를 출력버퍼(309) 및 출력핀(310)을 통해 출력한다. (311)은 클럭신호CK가 전송되는 클럭신호선이고, (312)는 리세트신호R이 전송되는 리세트신호선이다.

이와 같은 종래의 신호수수의 회로에서는 셀렉터(302)는 내부버스(301)상의 신호를 그대로의 극성으로 또는 전체를 반전해서 레지스터(303)의 입력으로서 전달하고, n비트의 레지스터(303_1)~(303_n)은 리세트신호R에 의해서 "0'출력상태로 초기화되고 클럭신호선(311)로부터의 출력전환마다 부여되는 클럭신호CK와 동기해서 입력데이타를 페치한다.

여기서, 비교 다수결회로(306)은 레지스터(303)의 내부버스(301)로부터의 출력전환마다 입력하는 데이타에 대응하는 비트마다 비교하고, 서로 동일한 것의 수보다 다른 것의 수가 많을 때에 한해 판정출력신호J를 '1'레벨로 하고, 셀렉터(302)를 반전모드로 설정한다. 배타적논리합회로(307)에는 이 판정출력신호J와 토글형 플립플롭(308)로부터의 극성표시신호P를 입력하고 그 출력을 토글형 플립플롭(308)에 입력한다. 토글형 플립플롭(308)은 리세트신호R을 받아 초기화되고, 배타적논리합회로(307)로부터의 출력이 '1'일 때 클럭신호CK를 수취하는 것에 의해 상태가 반전하도록 되어 있다.

발명이 이루고자하는 기술적 과제

이상과 같이, 2포트이상 존재하는 다수 포트의 데이타 출력신호가 내부클럭신호의 1주기동안에 1종류의 내부클럭신호에 대해 내부클럭신호에 의해 데이타를 래치하기 위한 에지인 내부클럭신호의 액티브에지의 동일위치로 되는 1개소에서만 변화하는 것 즉 모든 데이타 출력신호가 시간축에 대해 1개소에서만 동시에 변화하는 것에 의해, 데이타 출력부의 변화시에 출력버퍼에서 발생하는 순시(瞬時)전류가 출력신호의 수와 함께 시간축에 대해 동일위치에서 중첩되어 커지므로 그것에 기인한 입출력신호부에서의 전자파노이즈나 다른 장치나 회로로의 악영향을 주는 불필요한 전자파(EMI)가 증대해 버린다고 하는 문제가 발생한다.

도 27은 도 26에 있어서 RGB 데이타를 전송한 경우의 RGB 각 데이타버스(212), (213), (214)의 전압파형을 도시한 도면이다.

데이타전송클럭의 하강에지와 동기하여 RGB의 각 데이타가 L, H, L로 변화했을 때, L에서 H로 데이타가 변화한 경우에는 도 26의 부하용량(204), (205), (206)을 충전하는 전류 Ic1, Ic2, Ic3이 각 데이타버스로 흐르고, H에서 L로 데이타가 변화한 경우에는 부하용량을 방전하는 전류Id1, Id2, Id3이 흐른다.

이들 전류는 LCD 타이밍컨트롤러 IC(211)의 출력회로를 통해 IC(211)의 전원 및 GND에 흐르므로, 결국 LCD 타이밍컨트롤러 IC(211) 내외의 전원배선, GND 배선에는 이들 전류의 합이 흐른다.

따라서, 도 27에 도시한 바와 같이, RGB의 각 데이타버스의 합계18비트가 동시에 변화한 경우, Ic1=Ic2=Ic3=Ic, Id1=Id2=Id3=Id이면, RGB 데이타가 L에서 H로 변화했을 때에는 Ic의 18배의 큰 전류가 흐르고, 또 H에서 L로 변화했을 때에는 Id의 18배의 큰 전류가 LCD 타이밍컨트롤러 IC의 전원배선 및 GND 배선에 흐르게 된다.

이와 같은 용량부하의 충방전에 있어서는 특히 큰 충방전전류는 그 전류경로의 주위에 큰 전자계의 변화 즉 전자계 노이즈를 발생시킨다.

예를 들면 상술한 바와 같이, 최악18비트의 데이타의 전체비트가 40㎒의 클럭주기에서 동시에 변화한 경우에 발생하는 전자계노이즈는 상당한 레벨에 달한다고 예상되며, 사실 TFT-LCD 패널에 있어서는 EMI의 규격을 만족시키기 위해 매우 시간과 노력 그리고 비용을 많이 소비하는 등의 문제가 발생하고 있다.

종래의 액정표시장치의 전용 IC와 소스 드라이버 IC와의 데이타 수수는 상술한 바와 같이 되어 있으며, 어디까지나 n비트의 반수이상이 동시에 극성이 반전했을 때에 한해 셀렉터에 의해 데이타를 반전시키는 것이었다.

예를 들면, 액정표시장치에 있어서 주류를 차지하고 있는 6비트용을 고려하면, 적, 녹, 청이 각각 6비트이므로 데이타의 총 갯수는 6×3=18개로 되므로, 과반수인 10개이상의 데이타가 동시에 변화했을 때에 데이타의 반전을 실행하게 된다. 특히 최근에는 동시 변화에 있어서의 노이즈가 EMI대책에 있어서 문제로 된다. 적, 녹, 청의 각 6비트 모두가 동시변화한 경우에 대해서는 유효하지만, 10개의 변화에 대해서는 1개분의 효과밖에 기대할 수 없다.

종래의 액정표시장치의 전용 IC와 소스 드라이버 IC와의 데이타수수는 상술한바와 같이 되어 있으며 어디까지나 과반수의 동시변화가 데이타를 반전시키는 조건으로 되어 있었다.

본 발명의 목적은 상기와 같은 문제를 해결하기 위해 이루어진 것으로서, 입출력신호부에서의 전자파노이즈나 다른 장치나 회로로의 악영향을 주는 불필요한 전자파를 저감한 고품질의 액정표시장치 및 다수포트의 데이타 출력부를 갖는 집적회로를 제공하는 것이다.

또, 본 발명의 다른 목적은 TFT-LCD 패널에 있어서 LCD타이밍 컨트롤러에서 소스드라이버 IC로 표시데이타를 전송하는 경우에 있어서의 상기한 바와 같은 전자계 노이즈를 저감할 수 있는 데이타전송방법을 제공하는 것이다.

또, 본 발명의 다른 목적은 데이타상호간의 변화를 검출해서 동시변화의 수를 감소시킬 수 있는 액정표시장치를 제공하는 것이다.

발명의 구성 및 작용

본 발명에 관한 집적회로는 데이타 입력신호에 대해 다수 포트의 데이타 출력신호를 생성하고 시간축에 대한 상기 데이타 출력신호의 변화위치를 기준의 내부클럭신호의 1주기 동안에 있어서 서로 어긋난 위치에 존재시키고 표시데이타 출력신호의 동시변화수를 감소시키는 회로구성으로 한 것이다.

또, 상기 구성에 있어서, 시간축에 대한 데이타 출력신호의 변화위치를 클럭출력신호의 액티브에지에서 각각 데이타 입력신호의 0. 5주기, 1주기, 1. 5주기분 지연시킨 위치에 설정한 것이다.

또, 시간축에 대한 데이타 출력신호의 변화위치를 클럭출력신호의 액티브에지에서 각각 데이타 입력신호의 반주기의 임의의 정수배분 서로 어긋난 위치에 설정한 것이다.

또, 시간축에 대한 데이타 출력신호의 변화위치를 클럭출력신호의 액티브에지에서 각각 데이타 입력신호의 반주기의 임의의 정수배분 및 데이타 입력신호의 반주기의 임의의 정수배로 지연회로에 의해 생성된 지연시간을 부가한 분만큼 서로 어긋난 위치에 설정한 것이다.

본 발명에 관한 액정표시장치는 표시데이타 입력신호에 대해 다수포트의 표시데이타 출력신호를 생성하고 시간축에 대한 표시데이타 출력신호의 변화위치를 클럭출력신호 또는 클럭출력신호와 동위상인 기준의 내부클럭신호의 1주기 동안에 있어서 서로 어긋난 위치에 존재시키고 표시데이타 출력신호의 동시변화수를 감소시키는 회로구성으로 한 집적회로를 구비한 것이다.

또, 상기 구성에 있어서, 시간축에 대한 표시데이타 출력신호의 변화위치를 클럭출력신호의 액티브에지에서 각각 클럭입력신호 또는 표시데이타 입력신호의 0. 5주기, 1주기, 1. 5주기분 지연시킨 위치에 설정한 것이다.

또, 시간축에 대한 표시데이타 출력신호의 변화위치를 클럭출력신호의 액티브에지에서 각각 클럭입력신호 또는 표시데이타 입력신호의 반주기의 임의의 정수배분 서로 어긋난 위치에 설정한 것이다.

또, 시간축에 대한 표시데이타 출력신호의 변화위치를 클럭출력신호의 액티브에지에서 각각 클럭입력신호 또는 표시데이타 입력신호의 반주기의 임의의 정수배분 및 클럭입력신호 또는 표시데이타 입력신호의 반주기의 임의의 정수배로 지연회로에 의해 생성된 지연시간을 부가한 분만큼 서로 어긋난 위치로 되도록 설정한 것이다.

본 발명에 의한 액정표시장치의 구동방법은 TFT 액정패널을 표시구동하는 TFT 구동회로에 표시타이밍 제어회로에서 각각 여러개의 비트로 구성되는 적, 녹, 청의 컬러표시데이타를 전송할 때에 상기 각 컬러표시 데이타에서 임의로 선택된 여러개의 비트로 구성되는 비트단위마다 타이밍을 조금씩 어긋나게 해서 전송하도록 한 것이다.

또, 비트단위는 적, 녹, 청의 컬러표시데이타마다 구성되어 있는 것이다.

또, 비트단위는 적, 녹, 청의 컬러표시데이타를 구성하는 여러개의 비트의 일부를 각각 갖고 있는 것이다.

또, 비트단위는 2나노초(nsec)이상 어긋나게 해서 전송되는 것이다.

본 발명에 의한 액정표시장치의 구동장치는 TFT 액정패널을 표시구동하는 TFT구동회로, 이 TFT 구동회로에 각각 여러개의 비트로 구성되는 적, 녹, 청의 컬러표시데이타를 이들 각 컬러표시데이타에서 임의로 선택된 여러개의 비트로 구성되는 비트단위마다 전송하는 표시타이밍 제어회로 및 이 표시타이밍 제어회로에 마련되고 비트단위상호간의 전송타이밍을 어긋나게 하는 지연장치를 구비한 것이다.

본 발명에 관한 액정표시장치에 있어서는 표시부를 구동하는 구동회로에 신호선을 거쳐서 화상 데이타를 공급하는 데이타공급회로, 이 데이타공급회로가 출력하는 화상데이타의 소정 그룹마다의 비트의 극성을 비교하고 극성의 일치를 검출하는 검출회로, 이 검출회로에 의해서 극성의 일치가 검출되었을 때, 그룹의 데이타를 일부의 데이타로 대표시켜 신호선으로 출력하는 제1 제어회로 및 검출회로에 의해서 비트 극성의 일치가 검출되었을 때, 신호선의 일부의 데이타에서 그룹의 데이타를 복원하고 구동회로로 출력하는 제2 제어회로를 구비한 것이다.

또, 소정 그룹의 화상 데이타는 적, 녹, 청의 데이타인 것이다.

또, 일부의 데이타는 적색의 데이타인 것이다.

또, 제1 제어회로는 일부의 데이타를 제외하고 소정 그룹의 데이타를 저전위로 하는 것이다.

또, 제2 제어회로는 소정 그룹의 데이타를 일부의 데이타와 동일하게 형성하는 것이다.

<발명의 실시예>

실시예1

도 1은 본 발명의 실시예1에 관한 2포트의 표시데이타 출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 전압파형으로 도시한 도면으로서, 도면에 있어서, (1)은 클럭입력신호, (2)는 표시데이타 입력신호, (3)은 기준으로 되는 제1 내부클럭신호, (4)는 클럭출력신호, (8)은 제1 내부클럭신호(3)에 대해 클럭입력신호(1)의 반주기('H'기간 또는 'L'기간)분의 지연을 갖게 한 제2 내부클럭신호, (9)는 표시데이타 출력신호의 출력지인 소스 드라이버 IC중에서 래치동작하기 위한 에지인 클럭출력신호(4)의 액티브에지에 대해 클럭입력신호(1)의 0. 5주기분의 지연을 갖게 한 제1 표시데이타 출력신호, (10)은 표시데이타 출력신호의 출력지인 소스 드라이버 IC중에서 래치동작하기 위한 에지인 클럭출력신호(4)의 액티브에지에 대해 클럭입력신호(1)의 1주기분지연을 갖게 한 제2 표시데이타 출력신호, (11)은 표시데이타 출력신호의 출력지인 소스 드라이버 IC중에서 래치동작하기 위한 에지인 클럭출력신호(4)의 액티브에지에 대해 클럭입력신호(1)의 1. 5주기분의 지연을 갖게 한 제3 표시데이타 출력신호이다.

표시데이타 입력신호(2)의 주기는 클럭입력신호(1)의 주기1CLKI과 동일하고, 표시데이타 출력신호의 주기는 내부클럭신호의 주기1CLK 및 클럭출력신호(4)의 주기1CLKO와 동일하며, 1CLK는 2CLKI와 동등한 시간폭이고 또 1CLKO는 2CLKI와 동등한 시간폭이다. 내부클럭신호(3), (8)의 에지의 화살표는 집적회로 내부에 있어서의 표시데이타 출력부 직전의 래치회로의 액티브에지(도면에서는 상승 및 하강에지)를 나타내고, 클럭출력신호(4)의 에지의 화살표는 표시데이타 출력신호의 출력지인 소스 드라이버 IC에 있어서의 표시데이타 입력부 직후의 래치회로의 액티브에지(도면에서는 상승에지)를 나타내고 있다.

예를 들면, 입력부에서는 클럭입력신호(1)을 신호명CLKI, 표시데이타 입력신호(2)를 신호명 RI[1 : m], GI[1 : m], BI[1 : m]으로 하고, 출력부에서는 클럭출력신호(4)를 신호명 CLKO, m을 임의의 정수, 제1 표시데이타 출력신호(9)를 신호명 RO1[1 : m], RO2[1 : m], 제2 표시데이타 출력신호(10)을 신호명GO1[1 : m], GO2[1 : m], 제3 표시데이타 출력신호(11)을 신호명BO1[1 : m], BO2[1 : m]으로 하고, RO1[1 : m]과 RO2[1 : m]은 RI[1 : m]을 2종류의 데이타로 분할하고 또 GO1[1 : m] 과 GO2[1 : m]은 GI[1 : m]을 2종류의 데이타로 분할하고 또 BO1[1 : m]과 BO2[1 : m]은 BI[1 : m]을 2종류의 데이타로 분할한 신호라고 하면, RO1[1 : m], RO2[1 : m]과 GO1[1 : m], GO2[1 : m] 및 BO1[1 : m], BO2[1 : m]은 시간축상의 각각 3종류의 다른 위치에서 변화하도록 생성되게 된다.

즉, 데이타 출력신호를 클럭출력신호의 액티브에지(이 경우에는 상승에지)에 대해 각각 클럭입력신호의 0. 5주기, 1주기, 1. 5주기분의 시간만큼 지연되어 변화하는 동시변화위치를 3개소로 분할하는 것에 의해, 데이타 출력신호의 동시변화수를 감소시키고 있다.

도 2는 도 1의 출력신호를 생성하는 회로구성예로서, 도면에 있어서, (12)는 래치회로, (13)는 NOT회로, (14)는 2개의 점선중의 한쪽을 접속하는 포인트를 의미하며, 입력부의 클럭신호CLKO in은 도 8에 있어서의 클럭출력신호(4)이고, 입력부의 표시데이타신호 RO1 in[1 : m], RO2 in [1 : m], GO1 in [1 : m], GO2 in [1 : m], BO1 in [1 : m], BO2 in [1 : m]은 도 8에 있어서의 표시데이타 출력신호(5)이고, 출력부의 클럭신호 CLKO와 표시데이타신호 RO1[1 : m], RO2[1 : m]와 GO1 [1 : m], GO2[1 : m] 및 BO1[1 : m], BO2[1 : m]은 각각 도 1의 (4), (9), (10), (11)에 대응한다.

도 3은 도 1의 출력신호를 생성하는 회로를 기능블럭마다 도시한 예로서, 도면에 있어서, (15)는 내부클럭신호 생성부, (16)은 클럭출력신호 생성부, (17)은 데이타래치부로서, 도2에 대응시키면 (12a), (12b), (12c)는 (15)에, (12d)는 (16)에, (12e), (12f), (12g)는 (17)에 각각 대응하고, 입출력부의 표시데이타신호 RO1 in [1 : m], RO2 in [1 : m], GO1 in [1 : m], GO2 in [1 : m], BO1 in [1 : m], BO2 in [1 : m], RO1[1 : m], RO2[1 : m], GO1[1 : m], GO2[1 : m], BO1[1 : m], BO2[1 : m]에서의 실선의 갯수는 시간축상에서의 다른 변화위치의 총수를 나타내고, 이 도면의 경우, 입력부에서는 시간축상에서의 1종류의 변화위치를, 출력부에서는 시간축상에서의 3종류의 변화위치를 각각 나타내고 있다.

이 실시예1에 의하면, 종래의 것에 비해 표시데이타 출력신호의 동시변화수를 최대 종래의 1/3로 감소시키는 것이 가능하게 되고 이 때의 표시데이타 출력신호의 변화시에 발생하는 출력버퍼의 순시전류에 대한 그 시간에서의 비율이 종래의 1/3정도로 작아지게 되므로, 그것에 기인한 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파(EMI)를 저감한 고품질의 액정표시장치가 얻어진다.

또, 도 3에서 실행한 설정에 있어서, 표시데이타 출력신호 RO1[1 : m], GO1 [1 : m], BO1[1 : m], RO2[1 : m], GO2[1 : m], BO2[1 : m]의 시간축에 대한 다른 변화위치의 분할방법이나 3종류의 변화위치에서 임의의 2종류로만 변경한 경우에도 표시데이타 출력신호의 동시변화수가 감소하므로 표시데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시전류에 대한 그 시간에서의 비율이 감소하고, 입출력신호부에서의 전자파노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감하는 효과를 얻을

수 있다.

실시예2

도 4는 실시예2에 관한 출력신호를 생성하는 회로구성도로서, 도 3의 기능블럭구성을 개량하여 데이타래치부의 전후중 어느 한쪽 또는 양쪽에 입력에서 출력까지 경유하는 동안에 적당한 지연을 생성하는 지연회로부를 부가한 기능블럭마다의 구성을 도시한 예이고, 도면에 있어서, (15)는 내부클럭신호 생성부, (16)은 클럭출력신호 생성부, (17)은 데이타래치부, (18)은 제1 지연회로부, (19)는 제2 지연회로부이다.

도 4는 도 3의 회로구성에 의해 얻어지는 시간축에 대한 표시데이타 출력신호 RO1[1 : m], RO2[1 : m], GO1[1 : m], GO2[1 : m], BO1[1 : m], BO2[1 : m]의 변화위치로서 2배인 6개소의 다른 변화위치를 취하도록 기재하고 있지만, 실제로는 최대 표시데이타 출력신호수 m의 2배의 값과 동등하게 할 수 있는 가능성이 있다.

이 실시예2에 의하면, 종래에 비해 표시데이타 출력신호의 동시변화수를 최대 종래의 표시데이타 출력신호수의 역수배로 감소시킬 수 있는 가능성이 있고, 이 때의 표시데이타 출력신호의 변화시에 발생하는 출력버퍼의 순시전류에 대한 그 시간에서의 비율이 최대 종래의 표시데이타 출력신호수의 역수배정도 작아지므로, 그것에 기인한 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감하는 고품질의 액정표시장치가 얻어진다.

또, 도 4에서 실행한 설정에 있어서, 표시데이타 출력신호 RO1[1 : m], GO1 [1 : m], BO1[1 : m], RO2[1 : m], GO2[1 : m], BO2[1 : m]의 시간축에 대한 다른 변화위치의 분할방법이나 6종류의 변화위치에서 임의의 여러개의 변화위치로 변경한 경우에도 표시데이타 출력신호의 동시변화수가 감소하므로, 표시데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시전류에 대한 그 시간에서의 비율이 감소하고 입출력신호부에서의 전자파노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감할 수 있는 효과를 얻을 수 있다.

실시예3

도 5는 본 발명의 실시예3에 관한 2포트이상 존재하는 다수 포트(n포트 : n은 임의의 정수)의 데이타 출력신호를 생성하는 집적회로에서의 입출력신호부의 관계를 전압파형으로 표시한 도면이고, 도면에 있어서, (1)은 클럭입력신호, (3)은 기준으로 되는 제1 내부클럭신호, (4)는 클럭출력신호, (6)은 데이타 입력신호, (20)은 제1 내부클럭신호(3)에 대해 클럭입력신호(1)의 0. 5주기분의 지연을 갖게 한 제2 내부클럭신호, (21)은 클럭출력신호(4)의 액티브에지에 대해 클럭입력신호(1)의 0. 5주기분의 지연을 갖게 한 제1 데이타 출력신호, (22)는 클럭출력신호(4)의 액티브에지에 대해 클럭입력신호(1)의 (n/2)주기분의 지연을 갖게 한 제2 데이타 출력신호, (23)은 클럭출력신호(4)의 액티브에지에 대해 클럭입력신호(1)의 ((n/2)+ 0. 5)주기분의 지연을 갖게 한 제3 데이타 출력신호이며, 데이타 입력신호(6)의 주기는 클럭입력신호(1)의 주기1CLKI의 주기와 동일하고, 데이타 출력신호의 주기는 내부클럭신호(3)의 주기1CLK 및 클럭출력신호(4)의 주기1CLKO와 동일하며, 1CLK는 nCLKI와 동등한 시간폭이고 또 1CLKO는 nCLKI와 동등한 시간폭이며, 내부클럭신호의 에지의 화살표는 집적회로내부에 있어서의 데이타 출력부 직전의 래치회로의 액티브에지(도면에서는 상승 및 하강에지)를 나타내고, 클럭출력신호의 에지의 화살표는 데이타 출력신호의 출력지에 있어서의 데이타 입력부 직후의 래치회로의 액티브에지(도면에서는 상승에지)를 나타낸다. 단, 클럭입력신호(1)이나 클럭출력신호(4)가 입출력단자로서 설정되는 것에 한정되지 않는 것으로 한다.

도 5에서는 제2 내부클럭신호(20)과 마찬가지인 제1 내부클럭신호(3)에 대해 (1)의 반주기의 정수배분의 지연을 갖게 한 내부클럭신호의 일부나 (21), (22), (23)과 마찬가지인 클럭출력신호(4)의 액티브에지에 대해 클럭입력신호(1)의 반주기의 정수배분의 지연을 갖게 한 데이타 출력신호의 일부는 생략하고 있다.

입력부에서는 클럭입력신호(1)을 신호명 CLK1, m1, m2, …, mn을 임의의 정수, 데이타 입력신호(6)을 신호명 DI(1)[1 : m1], DI(2) [0 : m2], …DI(n) [1 : mn]로 하고, 출력부에서는 클럭출력신호(4)를 신호명 CLKO, 제1 데이타 출력신호(21)을 신호명 DO(1)[1 : m1], 제2 데이타 출력신호(22)를 신호명 DO(n/2)[1 : m(n/2)], 제3 데이타 출력신호(23)을 신호명 DO((n+1)/2 [1 : m((n+ 1)/2)]로 하면, DO(1)[1 : m1]과 DO(2)[1 : m2]…와 DI(n)[1 : mn]는 시간축상의 각각 n종류의 다른 위치에서 변화하도록 생성되게 된다.

도 6은 도 5의 출력신호를 생성하는 회로를 기능블럭마다 도시한 예로서, 도면에 있어서, (24)는 내부클럭신호 생성부, (25)는 클럭출력신호 생성부, (26)은 데이타래치부이며, 입력부의 클럭신호 CLKO in은 도 9에 있어서의 클럭출력신호(4)이고, 입력부의 데이타신호 DO(1) in [1 : m1], DO(2) in [1 : m2], …DO (n) in [1 : mn]은 도 9에 있어서의 데이타 출력신호(7)이고, 출력부의 클럭신호 CLKO, 데이타신호 DO(1)[1 : m1], DO(n/2)[1 : m(n/2)] 및 DO((n+1)/2) [1 : m((n+ 1)/2)]는 각각 도 5의 (4), (21), (22), (23)에 대응한다.

이 실시예3에 의하면, 종래의 것에 비해 표시데이타 출력신호의 동시변화수를 최대 종래의 출력포트수에 1을 더한(+1) 값의 역수배로 감소시킬 수 있는 가능성이 있고, 이 때의 표시데이타 출력신호의 변화시에 발생하는 출력버퍼의 순시전류에 대한 그 시간에서의 비율이 최대 종래의 출력포트수에 1을 더한 값의 역수배정도 작아지므로, 그것에 기인한 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감한 고품질의 액정표시장치가 얻어진다.

또, 도 6에서 실행한 설정에 있어서, 데이타 출력신호 DO(1)[1 : m1], DO(2) [1 : m2], …DO(n) [1 : mn]의 시간축에 대한 다른 변화위치의 분할방법이나 임의의 여러개의 변화위치로 변경한 경우에도 데이타 출력신호의 동시변화수가 감소하므로, 데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시전류에 대한 그 시간에서의 비율이 감소하고, 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감하는 효과를 얻을 수 있다.

실시예4

도 7은 실시예4에 관한 출력신호를 생성하는 회로구성도로서, 도 6의 기능블럭구성을 개량하여 데이타래치부의 전후중 어느 한쪽 또는 양쪽에 입력에서 출력까지 경유하는 동안에 적당한 지연을 생성하는 지연회로부를 부가한 구성을 기능블럭마다 도시한 예이며, 도면에 있어서, (24)는 내부클럭신호 생성부, (25)는 클럭출력신호 생성부, (26)은 데이타래치부, (27)은 제1 지연회로부, (28)은 제2 지연회로부이다.

도 7에서는 도 6의 회로구성에 의해 얻어지는 시간축에 대한 데이타 출력신호 DO(1)[1 : m1], DO(2)[1 : m2], …DO(n)[1 : mn]의 변화위치가 ((n+ m1+ m2+…+mn)/n)배로 되는 즉 각각 m1+m2…+mn개소(데이타 출력신호수)의 다른 변화위치를 취하도록 기재하고 있지만, 실제로는 이 경우에 최대로서 데이타 출력신호수의 역수배, 시간축상의 변화위치를 취할 가능성이 있는 것을 나타내고 있다.

이 실시예4에 의하면, 종래에 비해 데이타 출력신호의 동시변화수를 최대 종래의 데이타 출력신호수의 역수배로 감소시킬 수 있는 가능성이 있고, 이 때의 데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시전류에 대한 그 시간에서의 비율을 최대 종래의 데이타 출력신호수의 역수배정도 작게 할 수 있으므로, 그것에 기인한 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감한 고품질의 액정표시장치가 얻어진다.

또, 도 7에서 실행한 설정에 있어서, 데이타 출력신호 DO(1)[1 : m1], DO(2) [1 : m2], …DO(n)[1 : mn]의 시간축에 대한 다른 변화위치의 분할방법이나 임의의 여러개의 변화위치로 변경한 경우에도 데이타 출력신호의 동시변화수가 감소하므로, 데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시전류에 대한 그 시간에서의 비율이 감소하고, 입출력신호부에서의 전자파노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감하는 효과를 얻을 수 있다.

실시예5

이하, 본 발명의 실시예5에 대해 설명한다. 도 8은 실시예5에 있어서의 전송표시데이타의 변화타이밍도이다. 도 8에 있어서, RGB 데이타가 L에서 H로 변화하는 경우, R데이타버스(R0, R1, R2, R3, R4, R5)에 대해 G데이타버스(G0, G1, G 2, G3, G4, G5)의 변화타이밍을 D1만큼 지연시키고 있고, B데이타버스(B0, B1, B2, B3, B4, B5)의 변화타이밍을 또 D2만큼 지연시키고 있다.

또, RGB 데이타가 H에서 L로 변화하는 경우, R데이타버스에 대해 G데이타버스의 변화타이밍을 D3만큼 지연시키고, B데이타버스는 또 D4만큼 지연시키고 있다.

또, D1에서 D4의 지연에 대해 D1=D3 및 D2=D4 또는 D1=D2=D3=D4로 해도 좋다.

도 9에는 도 8에 도시한 데이타전송 타이밍을 실현하는 회로예를 도시한다.

도 9에서는 도 26에 도시한 종래의 회로예에 있어서, G데이타 출력회로에 d1의 지연시간을 가진 지연회로(207)을 삽입하고, B데이타 출력회로에 d2의 지연회로(208)을 삽입한 것이다. 또한, 도 26에 도시한 종래의 회로와 동일부분에는 동일부호를 붙이고 설명을 생략한다.

여기서, d1=D1로 하고, d2=D1+D2로 되도록 설정하면, 도 8에 도시한 타이밍을 실현할 수 있다.

단, 도 9의 예에서는 도 8에 있어서 D1=D3, D2=D4로 된다.

다음에, 도 10에 도 9에 있어서의 RGB데이타를 전송한 경우의 RGB의 각 데이타버스(212), (213), (214)의 전압파형과 전류파형을 도시한다.

RGB의 각 데이타가 L, H, L로 변경한 경우, 종래 예에서 설명한 도 17과 마찬가지로 L에서 H로 데이타가 변화했을 때에는 도 9의 부하용량(204), (205), (206)을 충전하는 전류 Ic1, Ic2, Ic3이 각 데이타버스에 흐르고, H에서 L로 데이타가 변화했을 때에는 부하용량을 방전하는 전류 Id1, 1d2, Id3이 흐른다.

이들 전류는 역시 종래예와 마찬가지로 LCD 타이밍 컨트롤러 IC(211)의 출력의 회로를 통해 전원 및 GND에 흐르므로, 결국 LCD 타이밍 컨트롤러 IC(211)내외의 전원배선, GND배선에는 이들 전류의 합이 흐른다.

그러나, 도 9에 도시한 바와 같이, RGB의 각 데이타버스의 변화타이밍에 각각 D1, D2의 타이밍차를 마련하고 있으므로, 합계18비트가 동시에 변화한 경우에도 Ic1, Ic2, Ic3 및 Id1, Id2, Id3은 D1, D2의 시간차를 갖고 흐르므로, 종래예에서는RGB 데이타가 L에서 H로 변화했을 때에 1개의 출력회로에 흐르는 전류의 18배인 큰 전류가 동시에 흘렀지만, 본 발명의 실시예인 도 2의 예에서는 각 데이타버스를 구성하는 6비트분 즉 6배의 전류가 동시에 흐르는데 그친다.

즉, 동시에 흐르는 전류의 최대값은 종래예에 비해 1/3로 되므로, 이 전류에의한 전자계 노이즈도 종래에 비해 1/3로 된다.

또한, 여기서는 R데이타버스에 대해 G 및 B의 데이타버스의 변화를 지연시키고 있었지만, G데이타버스에 대해 또는 B데이타버스에 대해 다른 데이타버스를 지연시켜도 마찬가지의 효과를 얻을 수 있다.

실시예6

도 11은 본 발명의 실시예6을 도시한 전송표시데이타의 변화타이밍도이다.

도 11에 있어서, RGB 데이타가 L에서 H로 변경되는 경우, R데이타버스 중 R0, R1과 G데이타버스중 G0, G1 및 B데이타버스중 B0, B1을 동시에 변화시키고 변화타이밍을 D1만큼 지연시켜 R데이타버스중 R2, R3과 G데이타버스중 G2, G3 및 B데이타버스중 B2, B3을 동시에 변화시키고 있다. 또, 변화타이밍을 D2만큼 지연시키고 나머지 데이타비트인 R4, R5, G4, G5, B4, B5를 동시에 변화시키고 있다.

또, RGB 데이타가 H에서 L로 변화하는 경우에는 마찬가지로 R0, R1, G0, G1, B0, B1에 대해 R2, R3, G2, G3, B2, B3을 D3만큼 지연시켜 변화시키고, 또 D4만큼 지연시켜 R4, R5, G4, G5, B4, B5를 변화시키고 있다.

또, D1에서 D4의 지연에 대해 D1=D3 및 D2=D4 또는 D1=D2=D3=D4로 해도 좋다.

이 실시예6은 실시예5의 개량을 도모한 것으로서, 다음에 그 내용에 대해 설명한다.

도 12는 TFT-LCD 패널상에 'H'의 문자를 표시시킨 경우의 예로서, 적(R),녹(G), 청(B)의 액정셀이 각각 1셀로 구성된 화소가 배열된 TFT-LCD 패널상의 n+1행 m+5열째의 화소부터 'H'의 문자가 표시되기 시작하고 있다. 또, 그 문자의 굵기는 2화소를 사용해서 구성되어 있다.

도 13은 그 도 12의 n+1행 m+5열째의 화소부근(도 12의 실선으로 둘러싼 부분)을 확대한 것이다. 현재, n+1행 m+4열째의 화소표시를 하기 위한 데이타의 논리레벨이 L이고, m+5열째 및 m+6열째의 표시를 하기 위한 표시데이타의 논리레벨이 H라고 하면, 표시데이타전송에 있어서의 m+4열째에서 m+5열째로의 데이타의 변화는 종래의 표시데이타 전송방법에 의해 실행한 경우, 도 14와 같이 된다. m+4열째의 데이타에서 m+5열째의 데이타로의 데이타의 변화수는 18비트가 동시에 변화하고, 마찬가지로 m+6열째에서 m+7열째로의 데이타의 변화수도 동시에 18비트 변화하고 있다. 이것에 대해 도 15에 본 발명의 실시예5에 의한 데이타의 변화수를 도시한다.

실시예5에서는 RGB의 데이타버스에 각각 D1, D2의 시간차를 마련하여 데이타를 변화시키고 있으므로, m+4열째에서 m+5열째로의 데이타의 변화와 동시에 변화하는 데이타수는 종래예에 대해 1/3인 6비트이고, 마찬가지로 m+6열째에서 m+7열째로의 데이타의 변화수도 동시에 6비트밖에 변화하지 않는다.

다음에, 실시예6에 있어서, 이 데이타전송시의 데이타변화수가 어떻게 되는 지를 도시한 도면이 도 16이다.

실시예6에 있어서도 도면에 도시한 바와 같이, 데이타의 최대변화수는 6비트로서 종래예에 비해 1/3로 되어 있으며 실시예1과 마찬가지의 효과가 얻어지는 것을 알 수 있다. 즉, RGB의 데이타18비트가 모두 동시에 변화하는 데이타전송을 실행한 경우, 본 발명의 실시예1에 있어서의 도 10에 도시한 바와 같은 데이타버스에 흐르는 전류변화의 분산이 실시예6에 있어서도 실현되고 있으며 이것에 의해 전자계 노이즈가 저감되고 있는 것은 물론이다.

한편, LCD패널상의 H문자의 구성을 R, G, B의 순서에 의한 화소단위가 아니라 도 17과 같이 G, B, R의 순서에 의한 화소단위로서 구성하고 표시시킨 경우에 대해 고려한다.

이 경우, R데이타버스는 m+4열째에서 m+5열째가 아닌 m+5열째에서 m+6열째에서 L에서 H로 데이타가 변화한다.

이 때, 실시예5에 있어서의 데이타의 변화수는 도 18과 같이 되며 역시 어떤 타이밍에서도 6비트이다. 그런데, 실시예6에서는 도 19와 같이 데이타의 최대변화수는 4비트로 된다.

즉, 실시예5에 대해 2비트분 최대변화수가 감소하고 있고, 당연히 전자계노이즈에 대해서도 실시예5보다 저감되는 것은 명확하다

이상과 같이, RGB 표시데이타의 변화타이밍을 어긋나게 하는 것에 의해, LCD 타이밍컨트롤러 IC의 출력회로 및 데이타버스에 흐르는 부하용량의 충방전전류를 분산하여 전자계 노이즈의 저감을 도모하는 경우에 있어서는 RGB의 각 데이타버스 사이에서 변화타이밍을 어긋나게 하는 것보다 RGB의 데이타폭을 여러개로 분할하고 분할된 단위로 어긋나게 하는 것이 보다 전자계 노이즈의 저감을 도모할 수 있다.

실시예7

실시예5 및 6에서는 RGB의 표시데이타가 6비트로 구성되어 있는 예에 대해서 설명했지만, 표시데이타가 8비트로 구성되어 있는 경우에도 마찬가지로 실시할 수 있다.

도 20은 실시예7을 설명하기 위한 도면으로서, 8비트로 구성되어 있는 전송표시데이타의 변화타이밍도이다.

다음에, 표시데이타의 변화타이밍을 어긋나게 하는 경우의 어긋남량D1, D2,…를 결정한다. 도 10과 같이, 데이타의 변화타이밍을 어긋나게 하기 위해 지연회로를 사용하는 경우에 지연량을 너무 크게 하면, 지연회로의 회로규모가 증대하고 그만큼 LCD 타이밍컨트롤러 IC의 회로규모도 커져 비용상승이나 소비전류의 증대라는 문제가 발생한다.

한편, LCD 소스 드라이버 IC(215)의 RGB 데이타의 페치동작(샘플링)에 있어서 잘못된 데이타를 페치하지 않도록 가능한한 어긋남량을 작게 할 필요가 있다.

현재의 일반적인 LCD 소스 드라이버 IC(215)의 데이타 세트업시간, 데이타 유지시간은 모두 4~6nS이다. 또, 데이타의 전송클럭주기는 SVGA의 경우 약25 nS이다.

따라서, RGB 데이타의 타이밍조정에 허용되는 시간은 클럭주기25nS에서 데이타 세트업시간 예를 들면 4nS와 데이타 유지시간 예를 들면 4nS를 뺀 17nS이다.

즉, RGB 데이타의 변화타이밍을 RGB와 3타이밍으로 나눈 경우에는 타이밍의 어긋남D1, D2는 17÷2= 8. 5nS가 최대허용값이 된다. 또, XGA의 경우, 데이타전송클럭 주파수는 약 65㎒이고 주기는 약 15. 4nS이므로, RGB 데이타의 변화타이밍을 3타이밍으로 나눈 경우에는 소스 드라이버의 세트업 및 유지시간의 합계 8nS를 뺀 7. 4nS의 1/2인 3. 7nS가 D1, D2의 최대허용값으로 된다.

SXGA인 경우에는 데이타전송클럭 주파수가 더욱 높아지지만, 일반으로는RGB 데이타의 버스를 병렬(듀얼포트)로 해서 주파수를 내리기 위해 XGA인 경우의 전송주파수 약 65㎒가 현실적으로 사용되는 최고주파

수라고 할 수 있다.

한편, 도 24에 도시된 바와 같은 TFT-LCD패널에 있어서는 LCD 타이밍 컨트롤러 IC(211)과 LCD 소스 드라이버 IC(215) 간의 데이타버스배선은 일반적으로 프린트기판상에 결선(wiring)된다.

그리고, 데이타, 클럭등의 신호선의 왜곡을 회피하기 위해 임피던스의 정합을 취한다. 일반적으로 사용되는 프린트기판에 있어서는 그 임피던스를 50Ω정도로 하지만 가장 일반적이므로 LCD 타이밍컨트롤러 IC(211)의 출력임피던스도 50Ω정도로 되도록 설정하고 있다.

소스 드라이버 IC(215)는 일반적으로 CMOS 프로세스에 의해 작성되고 있고, 그 입력용량은 4~6pF정도이며 이들 값에서 최소의 시정수를 구하면, 50Ω×4pF= 2nS로 된다. 이 데이타 라인의 임피던스에서 구해지는 시간2nS와 상술한 XGA의 경우의 최대허용타이밍 조정시간3. 7nS를 비교하면 여전히 1. 7nS의 차가 있지만, 소스 드라이버 IC의 데이타샘플링을 확실하게 하기 위해 이 1. 7nS를 마진이라 고려하고 2nS를 RGB 데이타의 변화타이밍에 부가하는 어긋남량D1, D2의 최소값으로 하는 것이 바람직하다고 할 수 있다.

이상과 같이, 본 발명에 있어서의 액정표시장치의 구동방법으로서 RGB 데이타의 변화에 의한 불필요한 복사노이즈를 저감하기 위해 데이타의 변화타이밍을 조금씩 어긋나게 해서 전송하는 경우에는 각각 어긋남량을 2nS 이상으로 하는 것을 제안한다.

실시예8

도 21은 본 발명의 실시예에 의한 액정표시장치의 데이타수수를 도시한 블럭도이다.

도면에 있어서, (315)는 데이타 공급회로인 전용 IC의 출력부의 신호선으로서 비트수를 3n으로 하고 있고, (315_1)~(315_{3n}) 비트 마련되어 있다. 적, 녹, 청 3색의 각 n비트 구성이다. (316)은 전용 IC측에 마련된 비트의 극성을 비교하는 비교검출회로이다. (317)은 제1 제어회로인 전용 IC측의 제어회로A로서, 녹색과 청색의 신호가 입력되고 비교검출회로(316)으로부터의 제어신호A에 의해 적색과 청색의 출력을 제어하고 있다.

(318)은 구동회로인 소스 드라이버 IC측의 제2 제어회로인 제어회로B로서, 제어회로A(317)의 출력 및 적색의 신호가 입력되고 비교검출회로(316)으로부터의 제어신호A에 의해 적색의 입력신호와 제어회로A(317)의 출력신호를 제어하고 있다. (319)는 소스 드라이버 IC측의 데이타처리회로로서, 적색의 신호선 및 제어회로B(318)의 출력이 입력되어 있다.

이와 같은 액정표시장치의 데이타수수는 다음과 같이 실행된다.

적색의 신호선은 비교검출회로(316)에 배선되고 녹색, 청색의 신호선과 각 비트대응의 비교가 실행된다. 녹색, 청색의 각 비트가 전부 적색의 비트의 신호선과 극성이 일치하였을 때에만 비교검출회로(316)의 출력인 제어신호A가 '1'로 되고, 제어회로A(317)로 보내진다. 또, 비교검출회로(316)에서는 적, 녹, 청의 각 비트에서 비교되는 그룹을 형성하고 있다.

이 때, 녹, 청의 출력을 제어하는 제어회로A(317)은 비교검출회로(316)으로부터의 제어신호A가 '1'일 때에 제어회로A(317)의 출력은 로우로 고정되고, 적, 녹, 청의 데이타는 적색의 데이타로 대표되게 된다.

또, 소스 드라이버회로측에도 제어회로B(318)이 설치되고, 이 제어에도 비교검출회로(316)으로부터의 제어신호A가 사용된다. 즉, 이 제어신호A가 '1'일때에만 제어회로B(318)이 동작하고, 적색의 데이타가 녹색, 청색의 데이타선으로 출력되며 내부의 데이타처리회로(319)로 보내진다.

즉, 3n개의 데이타가 n개의 데이타로 치환되고 1/3의 데이타로 모든 데이타를 커버할 수 있게 된다.

비교검출회로(316)에 있어서 데이타의 극성이 일치하지 않을 때에는 제어신호 A가 '0'으로 되고, 제어회로A(317)로는 녹색, 청색의 데이타가 그대로 출력되며 제어회로B(318)을 경유해서 데이타처리회로(319)에 입력된다.

발명의 효과

이상과 같이 본 발명에 의하면, 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로로의 악영향을 주는 불필요한 전자파를 저감한 고품질의 액정표시장치 및 다수포트의 데이타 출력부를 갖는 집적회로를 제공할 수 있다.

또, 다수포트의 데이타 출력신호를 생성하고, 시간축에 대한 표시데이타 출력신호의 변화위치를 클럭출력신호의 1주기 동안에 클럭입력신호의 0. 5주기, 1주기, 1. 5주기분으로 되는 2개소 또는 3개소의 여러개소에 존재시켜 데이타 출력신호의 동시변화수를 감소시키는 것에 의해, 출력부의 데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시전류에 대한 그 시간에서의 비율을 감소시키고 그것에 기인한 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감할 수 있다.

또, 다수포트의 데이타 출력신호를 생성하고 시간축에 대한 데이타 출력신호의 변화위치를 기준으로 되는 내부클럭신호의 1주기 동안에 데이타 입력신호의 반주기의 임의의 정수배분으로 되는 여러개소에 존재시켜 데이타 출력신호의 동시변화수를 감소시키는 것에 의해, 출력부의 데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시전류에 대한 그 시간에서의 비율을 감소시키고 그것에 기인한 입출력신호부에서의 전자파 노이즈나 그 밖의 장치나 회로에 악영향을 주는 불필요한 전자파를 저감할 수 있다.

또, 다수포트의 데이타 출력신호를 생성하고 시간축에 대한 데이타 출력신호의 변화위치를 기준으로 되는 내부클럭신호의 1주기 동안에 데이타 입력신호의 반주기의 임의의 정수배분 및 반주기의 임의의 정수배에 지연회로에 의해 생성된 지연시간을 부가한 분으로 되는 여러개소에 존재시켜 데이타 출력신호의

동시변화수를 감소시키는 것에 의해, 출력부의 데이타 출력신호의 변화시에 발생하는 출력버퍼의 전체의 순시 전류에 대한 그 시간에서의 비율을 감소시키고 그것에 기인한 입출력신호부에서의 전자파 노이즈나 다른 장치나 회로에 악영향을 주는 불필요한 전자파를 저감할 수 있다.

본 발명에 있어서의 액정표시장치의 구동방법에서는 LCD 타이밍컨트롤러 IC에서 소스 드라이버 IC로 RGB의 표시데이타를 전송하는 경우에, RGB 각각의 데이타버스의 변화타이밍을 R데이타버스, G데이타버스, B데이타버스가 동시에 변화하지않도록 각각 조금씩 어긋나게 했으므로, RGB의 데이타비트가 모두 L에서 H 또는 H에서 L로 변화해도 그 때에 흐르는 전류가 분산되어 전자계 노이즈의 저감을 도모할 수 있다.

또, LCD 타이밍컨트롤러 IC에서 소스 드라이버 IC로 RGB의 표시데이타를 전송하는 경우에 RGB 각각의 데이타버스의 버스폭을 상위비트에서 여러개의 비트단위로 분할하고, 그 분할된 데이타 비트 단위사이에서 변화타이밍을 어긋나게 했으므로, RGB의 데이타비트가 모두 L에서 H 또는 H에서 L로 변화해도 그 때에 흐르는 전류가 분산되어 전자계 노이즈의 저감을 도모할 수 있다.

또, LCD 타이밍컨트롤러 IC에서 소스 드라이버 IC로 RGB의 표시데이타를 전송할 때에 RGB 각각의 데이타의 변화타이밍을 어긋나게 한 경우의 어긋남량을 각각 2나노초 이상으로 했으므로, 소스 드라이버 IC의 데이타샘플링에 문제를 발생시키는 일 없이 전자계 노이즈를 저감할 수 있다.

또, 본 발명에 있어서의 액정표시장치에 의하면, 표시부를 구동하는 구동회로에 신호선을 거쳐서 화상 데이타를 공급하는 데이타공급회로, 이 데이타공급회로가 출력하는 화상 데이타의 소정 그룹마다의 비트의 극성을 비교하고 일치를 검출하는 검출회로, 이 검출회로에 의해서 극성의 일치가 검출되었을 때에 그룹의 데이타를 일부의 데이타로 대표시키고 신호선으로 출력하는 제1 제어회로 및 검출회로에 의해서 극성의 일치가 검출되었을 때에 신호선의 일부의 데이타에서 그룹의 데이타를 복원하고 구동회로로 출력하는 제2 제어회로를 구비했으므로, 극성의 동시변화를 감소시킬 수 있다.

또, 소정 그룹의 화상 데이타는 적, 녹, 청의 데이타이므로 픽쳐소자마다 처리할 수 있다.

또, 일부의 데이타는 적색의 데이타이므로, 픽쳐소자마다 1/3의 데이타로 할 수 있다.

또, 제1 제어회로는 일부의 데이타를 제외하고 소정 그룹의 데이타를 저전위로 하므로 극성의 변화를 감소시킬 수 있다.

또, 제2 제어회로는 소정 그룹의 데이타를 일부의 데이타와 동일하게 형성하므로 용이하게 복원할 수 있다.

(57) 청구의 범위

청구항 1

데이타 입력신호에 대해 다수 포트의 데이타 출력신호를 생성하고 시간축에 대한 상기 데이타 출력신호의 변화위치를 기준으로 되는 내부클럭신호의 1주기 동안에 있어서 서로 어긋난 위치에 존재시키고 데이타 출력신호의 동시변화수를 감소시키는 회로구성으로 한 것을 특징으로 하는 집적회로.

청구항 2

제1항에 있어서,

시간축에 대한 데이타 출력신호의 변화위치는 클럭출력신호의 액티브에지에서 각각 데이타 입력신호의 0. 5주기, 1주기, 1. 5주기분 지연시킨 위치에 설정되어 있는 것을 특징으로 하는 집적회로.

청구항 3

제1항에 있어서,

시간축에 대한 데이타 출력신호의 변화위치는 클럭출력신호의 액티브에지에서 각각 데이타 입력신호의 반주기의 임의의 정수배분 서로 어긋난 위치에 설정되어 있는 것을 특징으로 하는 집적회로.

청구항 4

제1항에 있어서,

시간축에 대한 데이타 출력신호의 변화위치는 클럭출력신호의 액티브에지에서 각각 데이타 입력신호의 반주기의 임의의 정수배분 및 데이타 입력신호의 반주기의 임의의 정수배로 지연회로에 의해 생성된 지연시간을 부가한 분만큼 서로 어긋난 위치에 설정되어 있는 것을 특징으로 하는 집적회로.

청구항 5

표시데이타 입력신호에 대해 다수포트의 표시데이타 출력신호를 생성하고 시간축에 대한 표시데이타 출력신호의 변화위치를 클럭출력신호 또는 클럭출력신호와 동위상인 기준으로 되는 내부클럭신호의 1주기 동안에 있어서 서로 어긋난 위치에 존재시키고 표시데이타 출력신호의 동시변화수를 감소시키는 회로구성으로 한 집적회로를 구비한 것을 특징으로 하는 액정표시장치.

청구항 6

제5항에 있어서,

시간축에 대한 표시데이타 출력신호의 변화위치는 클럭출력신호의 액티브에지에서 각각 클럭입력신호 또는 표시데이타 입력신호의 0. 5주기, 1주기, 1. 5주기분 지연시킨 위치에 설정되어 있는 것을 특징으

로 하는 액정표시장치.

청구항 7

제5항에 있어서,

시간축에 대한 표시데이타 출력신호의 변화위치는 클럭출력신호의 액티브에지에서 각각 클럭입력신호 또는 표시데이타 입력신호의 반주기의 임의의 정수배분 서로 어긋난 위치에 설정되어 있는 특징으로 하는 액정표시장치.

청구항 8

제5항에 있어서,

시간축에 대한 표시데이타 출력신호의 변화위치는 클럭출력신호의 액티브에지에서 각각 클럭입력신호 또는 표시데이타 입력신호의 반주기의 임의의 정수배분 및 클럭입력신호 또는 표시데이타 입력신호의 반주기의 임의의 정수배로 지연회로에 의해 생성된 지연시간을 부가한 분만큼 서로 어긋난 위치로 되도록 설정되어 있는 것을 특징으로 하는 액정표시장치.

청구항 9

TFT 액정패널을 표시구동하는 TFT 구동회로로 표시타이밍 제어회로에서 각각 여러개의 비트로 구성되는 적, 녹, 청의 컬러표시데이타를 전송할 때에 상기 각 컬러표시 데이타에서 임의로 선택된 여러개의 비트로 구성되는 비트단위마다 타이밍을 조금씩 어긋나게 해서 전송하는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 10

제9항에 있어서,

비트단위는 적, 녹, 청의 컬러표시데이타마다 구성되어 있는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 11

제9항에 있어서,

비트단위는 적, 녹, 청의 컬러표시데이타를 구성하는 여러개의 비트의 일부를 각각 갖고 있는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 12

제9항에 있어서,

비트단위는 2나노초이상 어긋나게 해서 전송되는 것을 특징으로 하는 액정표시장치의 구동방법.

청구항 13

TFT 액정패널을 표시구동하는 TFT구동회로,

이 TFT 구동회로로 각각 여러개의 비트로 구성되는 적, 녹, 청의 컬러표시데이타를 이들 각 컬러표시데이타에서 임의로 선택된 여러개의 비트로 구성되는 비트단위마다 전송하는 표시타이밍 제어회로 및

이 표시타이밍 제어회로에 마련되고 상기 비트단위상호간의 전송타이밍을 어긋나게 하는 지연장치를 구비한 것을 특징으로 하는 액정표시장치의 구동장치.

청구항 14

표시부를 구동하는 구동회로,

이 구동회로에 신호선을 거쳐서 화상 데이타를 공급하는 데이타공급회로,

이 데이타공급회로가 출력하는 화상데이타의 소정 그룹마다의 비트의 극성을 비교하고 극성의 일치를 검출하는 검출회로,

이 검출회로에 의해 비트의 극성의 일치가 검출되었을 때, 상기 그룹의 데이타를 일부 데이타로 대표시켜 상기 신호선으로 출력하는 제1 제어회로 및

상기 검출회로에 의해 비트의 극성의 일치가 검출되었을 때, 상기 신호선의 일부의 데이타에서 상기 그룹의 데이타를 복원하고 상기 구동회로로 출력하는 제2 제어회로를 구비한 것을 특징으로 하는 액정표시장치.

청구항 15

제14항에 있어서,

소정 그룹의 화상 데이타는 적, 녹, 청의 데이타인 것을 특징으로 하는 액정표시장치.

청구항 16

제14항에 있어서,

일부의 데이타는 적색의 데이타인 것을 특징으로 하는 액정표시장치.

청구항 17

제14항에 있어서,

제1 제어회로는 일부의 데이타를 제외하고 소정 그룹의 데이타를 저전위로 하는 것을 특징으로 하는 액정표시장치.

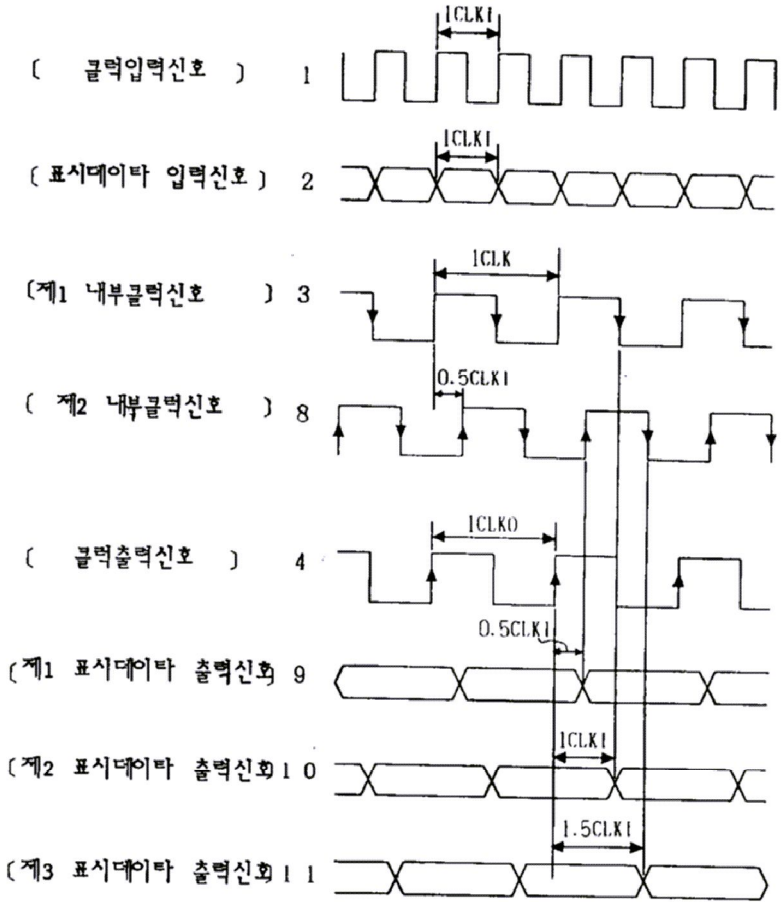
청구항 18

제14항에 있어서,

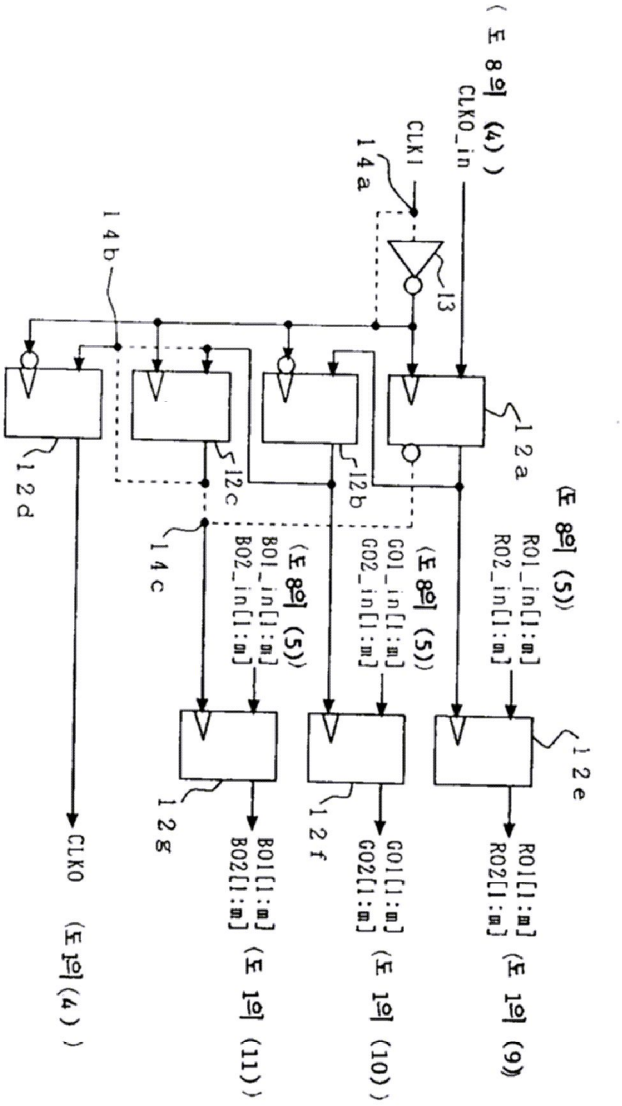
제2 제어회로는 소정 그룹의 데이타를 일부의 데이타와 동일하게 형성하는 것을 특징으로 하는 액정표시장치.

도면

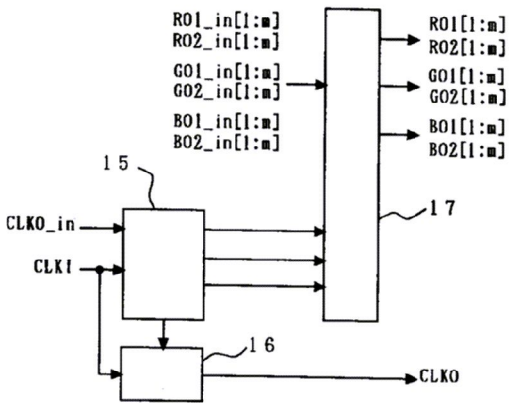
도면1



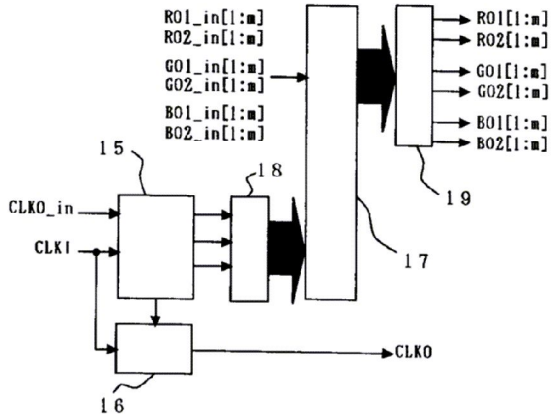
도면2


CLKO_in (도 8의 (4))
CLKI
14a
14b
13
12a
12b
12c
12d
14c
RO1_in[1:m]
RO2_in[1:m]
(도 8의 (5))
GO1_in[1:m]
GO2_in[1:m]
BO1_in[1:m]
BO2_in[1:m]
12e
12f
12g
RO1[1:m]
RO2[1:m] (도 1의 (9))
GO1[1:m]
GO2[1:m] (도 1의 (10))
BO1[1:m]
BO2[1:m] (도 1의 (11))
CLKO (도 1의 (4))

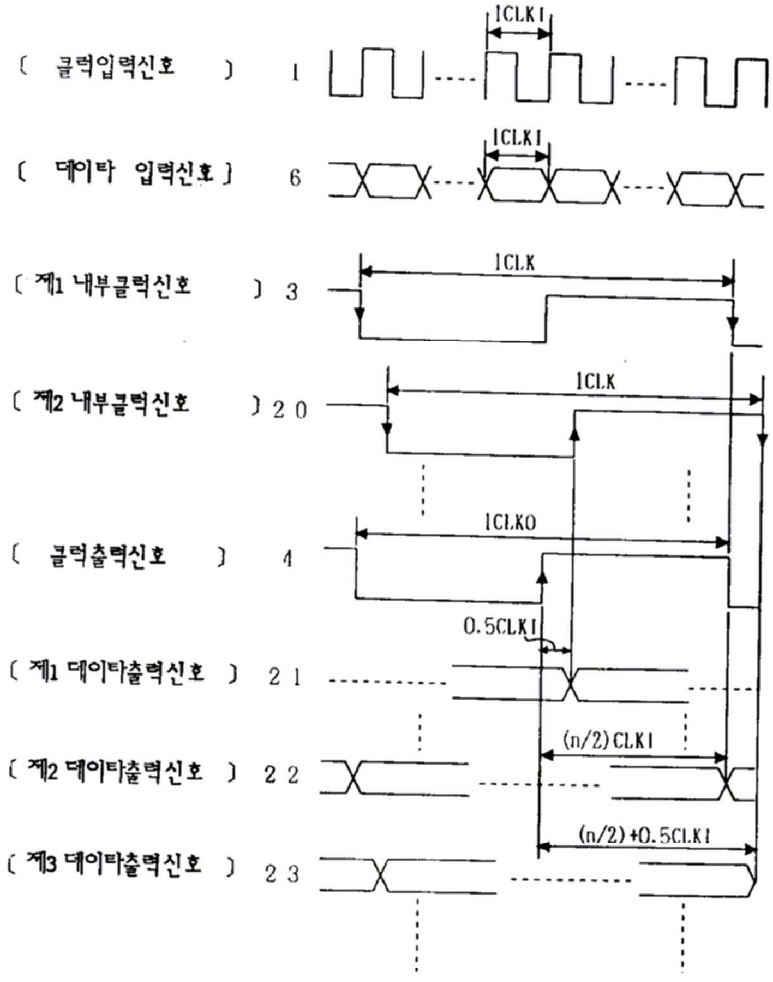
도면3


RO1_in[1:m]
RO2_in[1:m]
GO1_in[1:m]
GO2_in[1:m]
BO1_in[1:m]
BO2_in[1:m]
15
CLKO_in
CLKI
16
17
RO1[1:m]
RO2[1:m]
GO1[1:m]
GO2[1:m]
BO1[1:m]
BO2[1:m]
CLKO

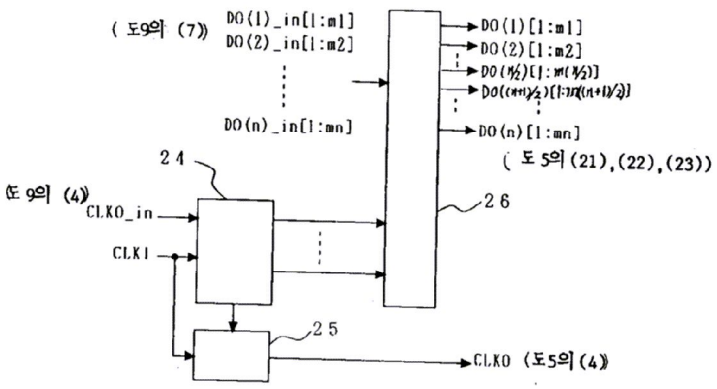
도면4


RO1_in[1:m]
RO2_in[1:m]
GO1_in[1:m]
GO2_in[1:m]
BO1_in[1:m]
BO2_in[1:m]
RO1[1:m]
RO2[1:m]
GO1[1:m]
GO2[1:m]
BO1[1:m]
BO2[1:m]
15
18
19
17
CLKO_in
CLKI
CLKO
16

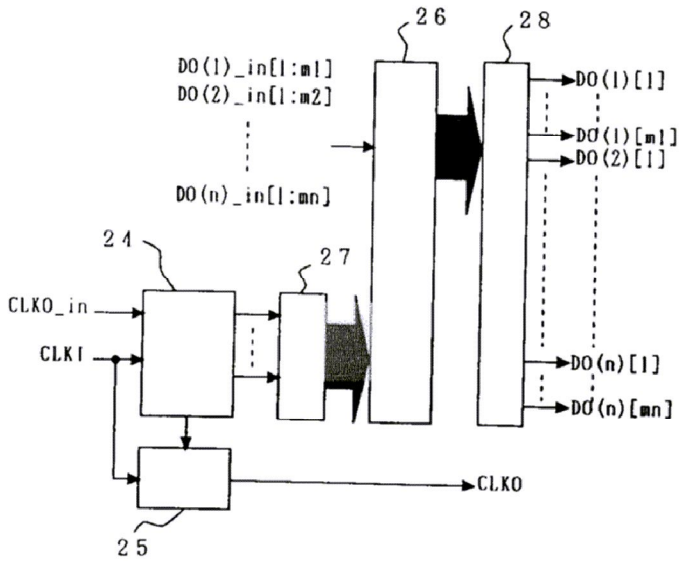
도면5


〔 클럭입력신호 〕 1
〔 데이타 입력신호 〕 6
〔 제1 내부클럭신호 〕 3
〔 제2 내부클럭신호 〕 20
〔 클럭출력신호 〕 4
〔 제1 데이타출력신호 〕 21
〔 제2 데이타출력신호 〕 22
〔 제3 데이타출력신호 〕 23
1CLKI
1CLK
1CLKO
0.5CLKI
(n/2)CLKI
(n/2)+0.5CLKI

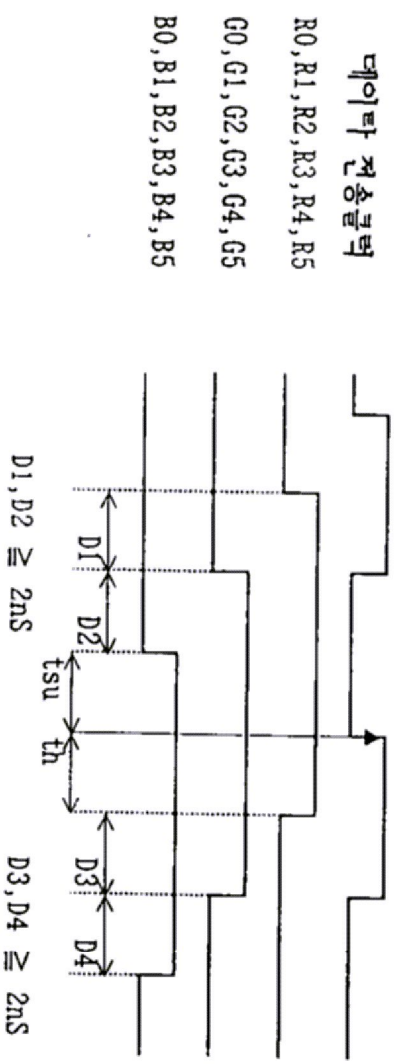
도면6


(도9의 (7))
DO(1)_in[1:m1]
DO(2)_in[1:m2]
DO(n)_in[1:mn]
DO(1)[1:m1]
DO(2)[1:m2]
DO(n)[1:mn]
(도5의(21),(22),(23))
24
(도9의 (4))
CLKO_in
CLKI
26
25
CLKO (도5의(4))

도면7


26
28
DO(1)_in[1:m1]
DO(2)_in[1:m2]
DO(n)_in[1:mn]
DO(1)[1]
DO(1)[m1]
DO(2)[1]
DO(n)[1]
DO(n)[mn]
24
27
CLKO_in
CLKI
CLKO
25

도면8


데이타 전송클럭
R0,R1,R2,R3,R4,R5
G0,G1,G2,G3,G4,G5
B0,B1,B2,B3,B4,B5
D1
D2
tsu
th
D3
D4
D1,D2 ≧ 2nS
D3,D4 ≧ 2nS