

申請日期	91.7.19
案 號	91116129
類 別	G06C11/16

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	用以使電阻性陣列中之信號對雜訊比最大化的方法與結構
	英 文	METHODS AND STRUCTURE FOR MAXIMIZING SIGNAL TO NOISE RATIO IN RESISTIVE ARRAY
二、發明 人	姓 名	朗格 T. 特蘭 Lung T. Tran
	國 籍	美國 U.S.A.
	住、居所	美國加州薩拉托加·伍德伯雷巷5085號 5085 Woodbrae Ct., Saratoga, CA 95070, U.S.A.
三、申請人	姓 名 (名稱)	美商·惠普公司 HEWLETT-PACKARD COMPANY
	國 籍	美國 USA
	住、居所 (事務所)	美國加州帕羅亞托·哈諾維街3000號 3000 HANOVER STREET, PALO ALTO, CA 94304, USA
	代 表 人 姓 名	安 O. 巴斯金 Ann O. Baskins

裝

訂

線

010801

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申請專利，申請日期： 案號： ， ☒ 有 ☐ 無主張優先權
2001,08,31 09/944,680

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

010893

五、發明說明（1）

本發明係屬於電阻性記憶體胞元陣列之領域。更特別的本發明係有關於用於使電阻性記憶體陣列之記憶體中陣列信號對雜訊比最大化的方法與結構。

電阻性隨機存取記憶體(RAM)為扁平矩陣之交岔點式記憶體陣列，其記憶體胞元被隔開夾在於胞元上方與下方以正交方向延伸之二網狀組織的導體間。RAM陣列 10 之一列被顯示於第 1 圖。在一方向延伸之列導體 12 被稱為句組線路，而在通常與該第一方向垂直之第二方向延伸的行導體 14 被稱為位元線路。記憶體胞元 16 通常被配置成方形或長方形陣列，使得每一記憶體胞元單元 16 與一句組線路 12 及相交的一位元線路 14 被連接。

在電阻性電阻中，每一記憶體胞元之電阻具有一種以上的狀態，且記憶體胞元之資料為該胞元之電阻狀態的函數。該等電阻性記憶體胞元可包括一個以上的磁性層、一熔絲或反熔絲、或任何元件，其藉由影響該元件之名義電阻之量而儲存或產生資訊。用於電阻性 RAM 陣列之其他型式的電阻性元件包括作為唯讀記憶體之一部分的多矽電阻器、作為光學記憶體之一部分的浮動閘電晶體、成像裝置或浮動閘記憶體裝置。

其他型式的隨機存取記憶體為磁性隨機存取記憶體(MRAM)，其中每一記憶體胞元係由數片以絕緣層隔離之磁性層形成。一磁性層被稱為被固定層，其中磁性排向被固定而不致於在所論及之範圍內有被施用磁場出現時會轉動。另一磁性層被稱為感應層，其中磁性排向在與被固定

五、發明說明（2）

層之狀態對齊的狀態及被固定層之狀態不對齊的狀態間為可變的。絕緣穿隧障壁層被夾於磁性被固定層與磁性層間。絕緣穿隧障壁層允許量子機械穿隧在感應層與被固定層間發生。穿隧係因旋轉而相依的，造成記憶體胞元之電阻為感應層與被固定層之磁化相對排向的函數。該感應層之二狀態的接合電阻值變異決定儲存於記憶體胞元的資料。2001年1月2日許可給Bruy等人的美國專利6,169,686號揭示此種磁性記憶體胞元記憶體。

參照第2圖，一MRAM記憶體胞元被顯示。記憶體單元16被顯示成三層式記憶體胞元20。在每一胞元20中，一位元之資訊依據胞元20之磁性感應層22的排向被儲存。通常，胞元20具有二穩定的磁性狀態對應邏輯狀態“1”與“0”。在感應層22上之雙向箭頭15顯示此二元狀態之能力。在胞元20中之被固定層24用一薄膜絕緣體26自感應層被隔離。被固定層24具有固定的磁性排向，如層24上顯示之單向箭頭17。當感應層22之磁性狀態被排向與被固定層24之磁化方向有相同方向時，此胞元磁化被稱為「平行」。類似地，當感應層22之磁性狀態被排向與被固定層24之磁化方向有相反方向時，此胞元磁化被稱為「反平行」。這些排向分別對應於低電阻狀態與高電阻狀態。

所選擇的記憶體胞元20的磁性狀態可藉由對與所選擇之記憶體胞元相交的句組線路12與位元線路14施用電流而被改變。該等電流產生正交的二磁場，其在被組合時

五、發明說明（3）

將在平行與反平行間切換所選擇的記憶體胞元 20 之磁場排向。其他未被選擇的記憶體胞元僅自該未被選擇之相交的句組線路 12 與位元線路 14 之一接收磁場。此單一的磁場不足以強到改變該未被選擇之胞元的磁性排向，故保持其磁性排向。

參照第 3 圖，一 MRAM 記憶體陣列 30 被顯示。一感應放大器 32 被連接至所選擇的記憶體胞元 36 之位元線路 34。電壓 V_r 被施用至該所選擇的記憶體胞元之句組線路 38，且感應放大器 32 施用電壓至胞元 36 的位元線路 34。感應放大器 32 提供放大後的輸出 39 反映記憶體胞元 36 的狀態。相同的位元線路電壓被施用至所有的線路 34，有效地使未被選擇的列之所有胞元偏壓為零電位。此動作使位元線路電流彼此隔離，有效地阻斷可能流過輔助路徑而可能造成該所選擇的記憶體胞元感應功能錯誤的大多數洩漏電流。

其被了解在磁性陣列中句組線路與位元線路之導體對流通該等線路之電力都有相同數量的電阻。同時，對應於“0”與“1”記憶體狀態之低電阻狀態與高電阻狀態通過交岔點胞元之接合。雖然每一這種電阻本身之影響可忽略，但在陣列中之這些電阻的組合影響，特別是該等導體電阻對感應放大器會造成其決定記憶體胞元之“0”與“1”狀態的可用感應電流之某些降低。若該陣列變得太大，該等導體電阻因其有更多列與行導體而增加。在大陣列中較大電流與較高列與行導體電阻會造成沿著句組線路之實質

五、發明說明（4）

的電壓下降及位元線路中不相等的電位。因而，更多的電流流動，通過「潛逃路徑」之洩漏電流亦增加。這些影響造成感應放大器可用的感應電流顯著地減少，其會導致在感應該等記憶體胞元之狀態的錯誤。

該等導體之組合電阻所造成的錯誤問題在記憶體陣列中之記憶體胞元數目增加時會變得惡化。每一導體必須較長以連接至數目已增加的記憶體胞元，結果為每一導體之線路電阻更大。此外，當陣列變得越大，記憶體陣列之設計被依比例調整為越小以提高容量而不須提高陣列之大小。該等導體對應地被做得較薄且較小以能不須實質增加列與行導體之寫出電流地寫出資料至記憶體胞元。導體厚度之減小形成沿著每一導體之更大電阻的結果，增加會與陣列輸出或信號干擾之錯誤或「雜訊」的可能性。

在 MRAM 陣列之每一記憶體胞元的「磁電阻穿隧結合」(MTJ)亦可能為一因子。當記憶體之大小向下調整以增加容量而不致實質地提高陣列大小時，MTJ 電阻會提高。此提高的電阻導致通過 MTJ 的穿隧電流減少而降低信號電流。通過每一記憶體胞元之接合的「穿隧電流」為每一記憶體胞元之 MTJ 電流的函數亦為陣列之雜訊的成因。通過該接合之 MTJ 電阻受到胞元所使用之材料與該接合每一側之層的各別極化之影響。見 2000 年 10 月 2 日 Sharma 等人在 77 Applied Physics Letters，第 14 號的“Spin-dependent tunneling junction with AlN and AlON barriers”之文章。

五、發明說明（5）

因之，其欲於決定該記憶體胞元之最適電阻範圍與某一導體電阻之記憶體陣列的最適大小以使輸出信號之不欲有的錯誤成因為最小。偵測該陣列之資料的能力以信號對雜訊比(SNR)為準被測量，較高的 SNR 有較低錯誤率之結果。SNR 通常以分貝(dB)被測量。藉由維持上面陣列之 SNR 於可接受的分貝水準，陣列中之電阻所致的錯誤被維持於可容忍的水準。

以另一方式述之，其欲於針對記憶體陣列大小與導體電阻決定 MTJ 電阻範圍以使錯誤率最小，且因而維持信號對雜訊比高於所欲的門檻。

本發明提供一種方法用於設計電阻性隨機存取記憶體(RAM)陣列，其中之元件用被配以相關而為該陣列維持 20 分貝以上之信號對雜訊比的電阻值被選擇。數個記憶體胞元被選擇而以列與行之矩陣彼此被相隔，每一記憶體胞元被選擇成以具有 0.25 百萬歐姆至 3.60 百萬歐姆間之接合電阻值。數條傳導性列線路被連接於成行的記憶體胞元間且被選擇以具有實質介於 0.0 歐姆與 0.38 歐姆間之列單位線路電阻。數條傳導性行線路被連接於成列的記憶體胞元間且被選擇以具有記憶體胞元間之行單位線路電阻，該等列單位線路電阻大約等於該等行單位線路電阻。記憶體胞元的接合電阻值及列與行單位線路之電阻被配以相關而使得該記憶體陣列被維持 20 分貝以上之信號對雜訊比。

在本發明另一較佳實施例中，一電阻性隨機存取記憶體陣列已選擇元件以電阻被配以相關以為該陣列維持 20

五、發明說明（6）

分貝以上之信號對雜訊比。數個記憶體胞元在列與行之矩陣中彼此被相隔，每一記憶體胞元被選擇以具有 0.80 百萬歐姆至 2.80 百萬歐姆間之接合電阻值。在列之記憶體胞元連接的數個傳導性列線路被選擇以具有記憶體胞元間所被決定之列單位線路電阻具有的值實質在 0.0 歐姆至 0.38 歐姆間。在行之記憶體胞元連接的數個傳導性行線路被選擇以具有記憶體胞元間所被決定之行單位線路電阻具有的值實質在 0.0 歐姆至 0.38 歐姆間。該等記憶體胞元被選擇成使得接合電阻值與列或行單位線路電阻被配以相關以在該電阻性記憶體陣列中維持 20 分貝以上之信號對雜訊比。

較佳的是一種 $1,024 \times 1,024$ 記憶體胞元陣列設計，其中列或行單位線路線路被選擇為介於約 0.24 歐姆與 0.38 歐姆間，接合電阻值之範圍被選擇為介於 0.8 百萬歐姆與 2.80 百萬歐姆間。以廣泛基準而言，接合電阻值及列與行單位線路線路被選擇成使得接合電阻值對行或列單位線路線路之比約為五百萬比一。

依照本發明之另一較佳實施例，一種磁性隨機存取記憶體(MRAM)陣列具有電阻性元件，其電阻被建立以使該陣列之信號對雜訊比在至少 20 分貝為最大。數個磁性電阻穿隧接合(MTJ)記憶體胞元在約 N 列與 N 行之方形距陣中被選擇且彼此被相隔，每一記憶體胞元被選擇以具有 0.25 百萬歐姆至 3.60 百萬歐姆間之 MTJ 電阻。數條傳導性列線路在記憶體胞元間於每一列被連接，每一列線路被選擇以使總列線路電阻為記憶體胞元間列單位線路之 N 倍。數

五、發明說明（7）

條傳導性行線路在記憶體胞元間於每一行被連接，每一行線路被選擇以使總行線路電阻為記憶體胞元間行單位線路之 N 倍。該等列與行被選擇使得每一列之總列線路電阻大約等於每一行之總行線路電阻。該等 MTJ 電阻值及列與行導體線路值被選擇成使得 MTJ 電阻值比列或行線路電阻值必須大於約五百萬比一以為該記憶體陣列維持 20 分貝以上的信號對雜訊比。較佳的是 N 約等於 1,024，MTJ 電阻值及列與行總線路電阻值被配以相關，使得 MTJ 電阻對總列或行線路電阻之比大於 5,000。

本發明之其他層面與優點將由下列詳細的描述變得明白的，其配合附圖以作為本發明之原理的例子被說明。

第 1 圖為依據本發明之電阻性交岔點記憶體裝置習知技藝的示意圖；

第 2 圖顯示一 MRMA 記憶體胞元及導體被連接於此之習知技藝構造的示意圖；

第 3 圖為依據本發明具有感應元件之記憶體胞元習知技藝構造的示意圖；

第 4A 圖顯示依據本發明在記憶體陣列之洩漏電流與不欲有之電壓下降的示意圖；

第 4B 與 4C 圖為依據本發明在所施用之電壓與信號電流損失(錯誤)的變異為沿著一導體線路之元件數目的函數之圖形示意；

第 5 圖為一輪廓圖，圖形式地呈現依照本發明隨機存取記憶體為導體單位電阻與 MTJ 電阻之函數。

五、發明說明（8）

第 6，7 與 8 圖為電路圖，顯示記憶體胞元陣列針對陣列中電阻、電流與電壓依據本發明之動態；以及

第 9 與 10 圖為流程圖顯示依據本發明之較佳方法。

參照第 4A 圖，本發明之一較佳實施例為 MRAM 記憶體胞元陣列 40。MRAM 裝置 40 包括以列 44 與行 46 配置之一陣列的記憶體胞元 42，而以列 44 沿著 X 方向延伸及行 46 沿著 Y 方向延伸。僅有相當少數目之記憶體胞元 42 被畫出以簡化本發明之描述。在實務中 1,024×1,024 或更大的記憶體胞元被使用且列中之記憶體胞元數目可不等於行中之記憶體胞元數目。

導體 48 作用成在記憶體胞元陣列 40 一側之平面沿著 x 方向延伸之句組線路。導體 49 作用成在記憶體胞元陣列 40 另一側之平面沿著 y 方向延伸之位元線路。較佳的是，在陣列 40 之每一列有一句組線路 48 及在陣列 40 之每一行有一位元線路 49。每一記憶體胞元 42 位於對應的句組線路 48 與位元線路 49 之交岔點。

記憶體胞元 42 不受限於任何特定型式之裝置。一旋轉相依的穿隧裝置可被使用(如上述者)。資料藉由將每一胞元之磁化排向以代表“1”或“0”而被儲存於記憶體胞元 42 內。例如，參照第 2 圖，邏輯值“0”可藉由將感應層之磁化排向以與被固定層之磁性排向平行而被儲存於記憶體胞元 42，而邏輯值“1”可藉由將感應層之磁化排向以與被固定層之磁性排向反平行(或於相反方向)而被儲存於記憶體胞元。

五、發明說明（9）

邏輯值如上述地被儲存於所選擇之記憶體胞元中。利用電壓被施用於所選擇之胞元的句組線路與位元線路下，通過記憶體胞元之接合的電流決定胞元磁化是平行或反平行的。較佳的是，反平行排向將造成較大的 MTJ 電阻及因而較低的電流通過所選擇之記憶體胞元的接合。較佳的是，每一記憶體胞元在沒有電力時保持磁性排向，因而被稱為「非依電性」的。

第 4B 圖之圖 50 顯示沿著句組線路 52 被施用之電壓。沿著句組線路 52 之箭頭 54, 56 與 58 表示當電流沿著句組線路 52 前進時，電流流動且電壓下降。如第 4B 圖顯示者，在句組線路 52 起始端所原始被施用之 0.50 伏特的電壓將在末端連接 1,000 個記憶體胞元之導體下降至小於 0.45 伏特。第 4C 圖之圖 60 因行導體針對列位置之電阻所致的洩漏電流結果。該洩漏電流約為 1.1×10^{-8} 安培而在連接 1,000 個記憶體胞元之最後一個列導體降低至有效地零值。更遠離感應放大器之列比靠近感應放大器之列因導體電阻較大而遭受較多的洩漏電流。

現在參照第 5 圖，一輪廓圖 70 被給予，顯示以分貝表示之信號對雜訊比為以歐姆表示之導體電阻(y 軸)及以百萬歐姆表示之記憶體胞元的 MTJ 電阻(x 軸)之函數。在點線 78 上約為 0.24 歐姆之導體單位電阻可用現行的製作技術與如銅、鋁或銅鋁合金之普遍被使用的金屬容易地被製造。較低的導體電阻單元藉由增加該導體之寬度與厚度而為可能的，但因造成陣列大小提高而將會有不利的影響，

五、發明說明（10）

故需有更多電流以寫出資料至陣列。新發展的金屬合金或超導體為較佳的以降低單位導體電阻，但其在目前可能是不務實的。

— 20 分貝的輪廓線 72 已被決定以代表一門檻，低於此 SNR 須不可下降以維持陣列中可接受的低水準之錯誤率。低於輪廓線 72，SNR 將高於 20。較佳的是 SNR 高於線 78(0.24 歐姆)，以便易於製造，但低於線 72 以維持可接受的 SNR。因而，最適的設計範圍為第 5 圖顯示的以 20 dB 輪廓線 72 與點線 78 為界的陰影區 74。在此範圍內，單位導體線路與 MTJ 電阻範圍對記憶體陣列為最適的，而仍維持 20 dB SNR 或更佳。

在檢視輪廓圖 70 下，很明白的是列與行導體應被選擇成具有導體單位電阻低於約 0.38 歐姆以維持 SNR 為 20 分貝或更高。較佳的是，若導體範圍為可用的，列與行導體被選擇成具有單位電阻實質上為在 0.0 歐姆至 0.38 歐姆的範圍內。就第 5 圖之輪廓圖而言，列與行單位電阻被假設為相同。然而本發明之領域為欲於包括不同的列與行單位電阻，只要其每一個落在實質的 0.0 歐姆至 0.38 歐姆範圍內。類似地，列與行的數目可不同，視電路設計而定。

該等記憶體胞元被選擇，使得每一記憶體胞元之 MTJ 電阻為在 0.25 百萬歐姆至 3.60 百萬歐姆間，較佳的是，在約 0.8 百萬歐姆至 2.8 百萬歐姆的範圍內，視單位導體電阻而定。然後記憶體胞元接合值及列與行單位線路電阻值被配以相關以在記憶體陣列內提供至少 20 分貝之信號

五、發明說明（11）

對雜訊比。

見第 5 圖，在記憶體陣列之電阻性元件的選擇，其中導體電阻之範圍低於 0.24 歐姆且接合電阻值之範圍為介於 0.25 百萬歐姆至 3.60 百萬歐姆間之範圍在製造中為更難以達成，但仍落在本發明之領域中。在第 5 圖中，此區就 20 至 25 dB 間之 SNR 被標示為區 75，而就 25 dB 以上為區 76。然而其在特殊狀況中如稍早提及地為可達成的，且被包括在本發明之領域中。

導體單位電阻將依陣列的大小而變化，原因在於陣列變得較大時，導體必須為較薄。因而就某種程度而言，陣列的大小將決定導體單位電阻。就 1,024×1,024 記憶體胞元之陣列而言，約 0.24 歐姆之導體單位電阻如點線 78 指示地可較佳地被選擇。點線 78 與輪廓線 72 在點 71 及 73 相交定義 MTJ 電阻值之可接受範圍為介於約 0.8 百萬歐姆至 2.8 百萬歐姆間。

因之，在本發明之一較佳實施例中，就列與行導體被選擇以具有約 0.24 歐姆之導體單位線路電阻值的 1,024×1,024 記憶體胞元陣列而言，每一列之總電阻為 246 歐姆且每一行之總電阻為 246 歐姆。該等記憶體胞元被選擇使得 MTJ 電阻值之範圍為介於 0.8 百萬歐姆至 2.8 百萬歐姆間。此資訊就電路設計者在為典型的，記憶體陣列維持可接受的 SNR 位準為極端地有價值的。

第 5 圖在點 77 顯示約 0.38 歐姆之最大值，導體單位線路電阻值不應高於此處。因而第 5 圖之輪廓線 72 表示最

五、發明說明（12）

高的導體單位線路電阻值約 0.38 歐姆，記憶體胞元必須被選擇以具有約 1.8 百萬歐姆之 MTJ 電阻值。因之，MTJ 電阻值及列與行單位線路電阻值被選擇，使得 MTJ 電阻對導體單位線路電阻值的近似比值為約 $1.8 \times 10^{+6}$ 比 3.8×10^{-1} ，或約為五百萬比一。在設計該記憶體陣列中，記憶體胞元及列與行導體被選擇，使得 MTJ 電阻值及列與行單位線路電阻值被配以相關以在記憶體陣列中提供至少 20 分貝之信號對雜訊比。

見第 5 圖之輪廓圖，為了協助設計具有 N 列與 M 行之陣列，吾人可就一列中特定的記憶體元件數目 N 及一行中特定的記憶體元件數目 M 決定 MTJ 電阻對總線路電阻之有效比。一導體之總線路電阻就最大的可接受導體單位線路電阻值而言為 0.38 歐姆乘以在一導體線路中記憶體元件之數目 N。就最大的可接受單位線路電阻值而言，最適的 MTJ 記憶體胞元電阻值約為 1.8 百萬歐姆。所以，MTJ 記憶體胞元電阻對總導體線路電阻為約 $1.8 \times 10^{+6}$ 比 $3.8 \times 10^{-1} \times N$ ，即 $5 \times 10^{+6}$ 比 N，或五百萬比 N。因而就典型的 1,024 × 1,024 記憶體胞元之陣列而言，MTJ 記憶體胞元電阻對總線路電阻之比為約 5,000 比 1。這些參數與比值對 MRAM 陣列設計者在迅速地決定陣列中電阻之相對值有很大的協助。

較佳的是，列與行導體由高度地傳導性的材料做成，如銅或鋁甚或超導體材料。在 MRAM 記憶體胞元中，被固定層係由抗鐵磁材料組成且感應層係由被磁場影響之磁性

五、發明說明（13）

材料組成，如鎳鐵、鈷鐵或鎳鐵鈷。其絕緣層可由任何型的材料組成，且非常薄，通常不會超過 10 至 50 埃以讓穿隧電流發生。

在一例中，胞元接合電阻值狀態可在低狀態之 1.0 百萬歐姆至高狀態之 1.3 百萬歐姆間變化。若 0.5 伏特之電壓被施用通過該接合，結果的電流為低狀態之 500 毫微安培及高狀態之 384 毫微安培。因而，為感應記憶體胞元中之資料，電流信號變異或窗在理想狀況典型上僅約 116 毫微安培。在因列與行電阻所致的信號損失下，有效的窗甚至更低。因之陣列元件之小心設計為根本的，以在陣列中維持另人滿意的信號對雜訊比。

提供第 5 圖所顯示之輪廓圖的等式如下：

$$(1) \text{SNR} := 20 \log(I_{\text{signal}}/N_{\text{rms}})$$

其中：

SNR 為以分貝表示之信號對雜訊比，

N_{rms} 為陣列中之總雜訊，及

I_{signal} 為可用於感應一記憶體胞元之被估計的信號。

在假設感應放大器雜訊等於陣列雜訊下，所估計的總雜訊被導出如下：

$$(2) N_{\text{rms}} := \sqrt{[4 \cdot k \cdot T \cdot 1/R + (4 \cdot k \cdot T \cdot 1/R) + 4 \cdot k \cdot T \cdot 1/R \cdot m] \cdot BW \cdot \sqrt{2}}$$

其中：

BW 為感應放大器之頻寬，

T 為以 Kelvin 度數表示之溫度，R 為 TMR 接合之電阻，

k 為 Boltzman 常數，及

五、發明說明（14）

m 與 n 為陣列列與行之數目。

用於感應之可用的估計信號 I_{signal} 由下列等式被導出。

$$(3) I_{\text{signal}} := (1 - I_{\text{loss}}) \cdot (1 - 1/dR) \cdot V/R$$

其中 V 為用於感應該等記憶體胞元之狀態所施用的電壓，

R 為記憶體接合電阻，

dR 為高與低狀態之接合電阻值的比，及

I_{loss} 被導出如：

$$(4) I_{\text{loss}} := \frac{3 \cdot V \cdot (1 - \frac{1}{dR}) \cdot r_c}{R^2 \cdot (1 + \frac{dR}{n-1})} \cdot \left[\sum_{i=1}^m (m-i) \right]$$

其中 r_c 為以每平方單位歐姆所表示的導體之電阻。

第 6、7 與 8 圖提供電路以伴隨下列在電阻性陣列之電阻的分析。參照第 6 圖，所分析者為沿著記憶體陣列每一列的電阻。一電阻性陣列 80 以簡化電路被顯示具有 1 至 m 列，每一列具有一導體 82，且具有 1 至 n 行，每一行具有一導體 84。在每一列與行相交處為一記憶體胞元 86 被連接於列與行導體間。每一列導體對通過其流動的電流有一些電阻。在每一記憶體胞元 86 間沿著每一列導體 82 之單位電阻被顯示成電阻(r_c)87，88 與 89。

在讀取過程之際，一電壓被感應於所選擇的列上形成在節點 81 之電壓 V_0 的結果，造成電流流過被連接於節點 90 之記憶體胞元 86a。沿著第 0 列看，單位電阻 87 造成第 0 行與第 1 行間之電壓下降，使得稍微較低的電壓 V_1 被感應通過記憶體胞元 86b 形成電流 I_1 通過記憶體胞元之結

五、發明說明（15）

果。相同的單位電阻 88 沿著第 0 列在第 1 及 2 行間被遭遇，形成電壓 V_2 通過記憶體胞元 86c 造成一電流 I_2 。繼續沿著第 0 列，導體 82a 具有單位電阻介於每一行導體 84 間，一直至最後的單位電阻 89，形成電壓 V_n 通過記憶體胞元 86n 之結果且電流 I_n 通過。根本上而言，相同的現象針對第 0 至 m 列沿著第 0 至 n 行發出。

列導體電阻之數學分析係根據下列的假設：

1. 行導體電阻等於 0。
2. 同一列中每一記憶體胞元之 TMR 接合電阻值為 R。
3. 列導體具有單位電阻 r_c 。

為讀取電阻性交岔點陣列，電壓 V 被施用至所選擇之列，行導體被連接至感應放大器之接地或虛擬接地。結果為沿著行導體無電阻或電位差異。因此，電流 $I_0, I_1, \dots, I_n$ 被限定於對應的行導體 0, 1, ..., n。吾人可將沿著列每一節點之電壓寫成：

$$V_0 = V$$

$$V_1 = V_0 - r_c(I_1 + I_2 + \dots I_n)$$

$$V_2 = V_1 - r_c(I_2 + I_3 + \dots I_n)$$

$$V_3 = V_2 - r_c(I_3 + I_4 + \dots I_n)$$

$$V_n = V_{n-1} - r_c(I_n)$$

對於一系列中行數小於 1000 的合理大小之陣列，且 R 小於 r_c 很多而言，所有的電流 $I_1, I_2, \dots, I_n$ 大約相等且 $I = V/R$ 。所以：

$$V_0 = V_1$$

五、發明說明 (16)

$$V_1 = V - r_c I(n)$$

$$V_2 = V - r_c I[n+(n-1)]$$

$$V_3 = V - r_c I[n+(n-1)+(n-2)]$$

$$V_n = V - r_c I[n+(n-1)+(n-2)+(n-3)\dots+1]$$

因之，對沿著列任一點(i)之電壓的一般等式可寫成為：

$$V_i = V - r_c I \sum_{j=0}^i (n-j)$$

現在看第 7 圖，類似的分析可就陣列中之行電阻被完成。一電阻性陣列 90 在簡化電路中被顯示，具有第 1 至 m 列，每一具有一導體 92，及第 1 至 n 行，每一具有一導體 94。在每一列與行相交處為一記憶體胞元 96 被連接於列與行導體間。每一列導體對通過其流動的電流有一些電阻。在每一記憶體胞元 96 間沿著每一列導體 82 之單位電阻被顯示成電阻(r_c)97，98 與 99。

行導體電阻之數學分析係根據下列的假設：

1. 列導體電阻等於 0。
2. 在最壞情況分析中，所選擇之 TMR 接合電阻值將在高電阻狀態被讀取而所其他胞元之 TMR 接合電阻值將在低電阻狀態被讀取。
3. R 接合電阻值比 r_c 之 m 倍大很多。

由於第 0 至 n-1 行均相同，吾人將之組合在一起(如第 8 圖顯示者)而不致改變陣列之電氣性質。因而在第 8 圖之簡化陣列 100 僅具有二行，第 n 行具有一行導體 104，其為最後一行，及第 n-1 行具有組合的導體，其為第 n 行外

五、發明說明 (17)

所有行之組合。

為讀取陣列 100 中之一胞元，電壓 V 被施用至所選擇的列，例如第 n 行的第二列。該所選擇之胞元具有二狀態，一高電阻狀態 R_H 與一低電阻狀態 R_L 。其被假設 R_H 與 R_L 均比 r_c 之 m 倍大很多。則：

$$I_H = \frac{V(n-1)}{R_L} \text{ 且 } I_L = \frac{V}{R_H}$$

然後就第 2 列而言，在節點 112 處：

$$V_{2H} = I_H \cdot (m-2) \frac{r_c}{n-1} = \frac{V}{R_L} (m-2) \cdot r_c$$

通過第 n 行最後一個胞元 110 之 TMR 接合的電壓具有最多之錯誤：

$$V_n = V - r_c I \sum_{j=0}^n (n-j)$$

$$\text{Error_row}(\%) = (V - V_n) / V \times 100$$

$$\text{Error_row}(\%) = \frac{V - [V - r_c \frac{V}{R} \sum_{j=0}^n (n-j)]}{V} \times 100$$

$$\text{Error_row}(\%) = [\frac{r_c}{R} \sum_{j=0}^n n-j] \times 100$$

所以該錯誤係與列導體電阻及陣列大小成比例，且與 TMR 接合電阻值成反比。

注意：若 $r_c = 0.2$ 歐姆， $R = 10^6$ 歐姆， $n = 1000$ ，

則在列之尾端通過 TMR 之電壓將有 10% 之降低。

就節點 114 之電壓而言， $V_{3L} = I_L(m-2)r_c = V/R_H(m-2)r_c$

五、發明說明 (18)

故就任一特定列而言，第二列用變數 a 取代：

$$V_H(a) = V/R_L(m-a)r_c$$

$$V_L(a) = V/R_H(m-a)r_c$$

其可以看出在第 $n-1$ 行之電位電壓與所選擇的第 n 行之電位電壓間有很小的差。

$$\Delta V(a) = V_H(a) - V_L(a)$$

$$\Delta V(a) = [V/R_L - V/R_H]r_c(m-a)$$

此電壓之小差異 $\Delta V(a)$ 將如第 8 圖顯示地造成小的洩漏電流 $\Delta i(a)$ 流動通過記憶體胞元 110。

$$\Delta i(a) = \frac{\Delta V(a)}{R_L + \frac{R_L}{n-1}} = [V/R_L - V/R_H]r_c(m-a-1) \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right]$$

結果為在任何特定第 “ a ” 列之總洩漏電流 I_{leak} 被估計為：

$$I_{leak}(a) = [V/R_L - V/R_H] \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right] r_c \cdot [(m-a) + (m-a-1) + (m-a-2) \dots]$$

$$I_{leak}(a) = [V/R_L - V/R_H] \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right] r_c \cdot \sum_{j=0}^{m-a} (m-a-j)$$

因而藉由選擇一記憶體胞元來讀取第 0 列，用於決定該記憶體胞元之狀態的感應電流將因大的洩漏電流 I_{leak} 而具有最大的錯誤。

I_{leak} 可被寫成：

$$I_{leak} = [V/R_L - V/R_H] \left[\frac{1}{R_L + \frac{R_L}{n-1}} \right] r_c \cdot \sum_{j=0}^m (m-j)$$

其中： $I_H = R/R_L$ ， $I_L = V/R_H$ ， $R_H = R_L(1 + \Delta R/R_L)$ 及 $\Delta R = R_H - R_L$

五、發明說明（19）

$\Delta R/R_L(\%)$ 為 TMR 接合自低電阻狀態至高低電阻狀態之變化百分比。因洩漏電流所致的相對於信號窗 $I_H - I_L$ 之錯誤百分比可被估計為：

$$\text{Error-cloumn}(\%) = \left[\frac{I_{\text{leak}}}{I_H - I_L} \right] \times 100$$

$$\text{Error-cloumn}(\%) = \frac{(V/R_L - V/R_H)}{(V/R_L - V/R_H)} \left[\frac{r_c}{R_L} \sum_{j=0}^m (m-j) \right] \times 100$$

$$\text{Error-cloumn}(\%) = \left[\frac{r_c}{R_L} \sum_{j=0}^m (m-j) \right] \times 100$$

就 $m=n$ 之方形矩陣而言，因列導體電阻與行導體電阻所致的錯誤百分比大約相同。

前面的分析提供對因列與行導體電阻所致的錯誤之估計。這些計算指出導體電阻、TMR 接合電阻值與陣列大小均對陣列的錯誤率有顯著的影響。

因而，該陣列之設計者需要為導體電阻、TMR 接合電阻值與陣列大小找出最適的操作範圍。

在標準的製作過程中，特別是對 MRAM 裝置，導體厚度亦被選擇以使資料之寫出最適化。窄且薄的導體對寫出為較佳的，但會造成相當高的導體電阻，其將降低信號對雜訊比(SNR)。所以，錯誤率將會相當高。藉由使用此處所描述的本發明，最適化之參數可就所選擇的陣列大小與導體電阻為較佳的 SNR 被獲取。因之，錯誤率可被降低且較不需要錯誤修正軟體或電路。

現在見第 9 與 10 圖，流程圖被提供以進一步說明本發

五、發明說明（20）

明之二較佳方法。在第 9 圖中，於步驟 120，數個記憶體胞元在列與行之矩陣中被彼此相隔。於步驟 122，每一記憶體胞元被選擇以具有介於 0.25 百萬歐姆至 3.60 百萬歐姆間之接合電阻值。接著於步驟 124，數個導體列線路在數個列中被連接於記憶體胞元間。於步驟 126，每一導體列線路被選擇以在相鄰記憶體胞元間具有單位列電阻，其中每一列之單位列電阻具有實質上 0.0 歐姆至 0.38 歐姆間之值。接著於步驟 128 數個導體行線路在數個行中被連接於記憶體胞元間。於步驟 130，每一導體行線路被選擇以具有實質上 0.0 歐姆至 0.38 歐姆間之值。最後於步驟 132，記憶體胞元接合電阻值及列與行單位線路電阻值被配以相關以在電阻性記憶體陣列具有 20 分貝以上之信號對雜訊比。

本發明之另一較佳實施例被顯示於第 10 圖。在第 10 圖中，於步驟 140，數個記憶體胞元在列與行之矩陣中被彼此相隔。於步驟 142，每一記憶體胞元被選擇以具有介於 0.80 百萬歐姆至 2.80 百萬歐姆間之接合電阻值。接著於步驟 144，數個導體列線路在數個列中被連接於記憶體胞元間。於步驟 146，每一導體列線路被選擇以在相鄰記憶體胞元間具有單位列電阻，其中每一列之單位列電阻具有實質上 0.24 歐姆至 0.38 歐姆間之值。接著於步驟 148 數個導體行線路在數個行中被連接於記憶體胞元間。於步驟 150，每一導體行線路被選擇以具有實質上 0.24 歐姆至 0.38 歐姆間之值。最後於步驟 152，記憶體胞元接合電阻

五、發明說明（21）

值及列與行單位線路電阻值被配以相關以在電阻性記憶體陣列具有 20 分貝以上之信號對雜訊比。

雖然上面的實施例為本發明之代表，其他的實施例對熟習本技藝者由考慮此說明書與所附的申請專利範圍，或由所揭示之發明的實施例實務將為明白的。其欲於該說明書與實施例僅被視為釋例性的，而本發明係被申請專利範圍及其等值事項所定義。

元 件 標 號 對 照 表

元件編號	譯 名	元件編號	譯 名
10	電阻性 RAM 陣列	36	記憶體胞元
12	列導體，句組線路	38	句組線路
14	行導體，行線路	39	輸出
15	雙向箭頭	40	MRAM 陣列
16	記憶體胞元，記憶 體單元	42	記憶體胞元
17	單向箭頭	44	列
20	三層記憶體胞元	46	行
22	磁性感應層	48	導體，句組線路
24	被固定層	49	導體，位元線路
25	雙向箭頭	50	圖
26	薄膜絕緣體	52	句組線路
30	MRAM 記憶體陣列	54	箭頭
32	感應放大器	56	箭頭
34	位元線路	58	箭頭
		60	圖

五、發明說明（22）

元 件 標 號 對 照 表

元件編號	譯 名	元件編號	譯 名
70	輪 廓 圖	86a	記 憶 體 胞 元
71	點	86b	記 憶 體 胞 元
72	20 分 貝 輪 廓 線	:	:
73	點	86n	記 憶 體 胞 元
74	陰 影 區	87	單 元 電 阻
75	區	88	單 元 電 阻
76	區	89	單 元 電 阻
77	點	90	節 點，電 阻 性 陣 列
78	點 線	92	導 體
80	電 阻 性 陣 列	94	導 體
81	節 點	96	記 憶 體 胞 元
82	導 體	96a	記 憶 體 胞 元
82a	導 體	96b	記 憶 體 胞 元
82b	導 體	96c	記 憶 體 胞 元
82c	導 體	:	:
:	:	96n	記 憶 體 胞 元
82m	導 體	97	電 阻
84	導 體	98	電 阻
84a	導 體	99	電 阻
:	:	100	陣 列
84n	導 體	102	組 合 導 體
86	記 憶 體 胞 元	104	行 導 體

五、發明說明（23）

元 件 標 號 對 照 表

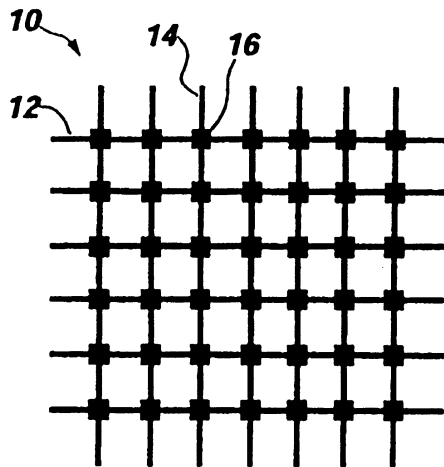
元件編號	譯	名	元件編號	譯	名
110	胞元				
112	節點				
114	節點				
120	步驟				
122	步驟				
124	步驟				
126	步驟				
128	步驟				
130	步驟				
132	步驟				
140	步驟				
142	步驟				
144	步驟				
146	步驟				
148	步驟				
150	步驟				
152	步驟				

四、中文發明摘要（發明之名稱： 用以使電阻性陣列中之信號對雜訊比最大化的方法與結構）

一種方法用於設計電阻性隨機存取記憶體陣列，其中之元件用被配以相關而為該陣列維持 20 分貝以上之信號對雜訊比的電阻值被選擇。數個記憶體胞元被選擇而以列與行之矩陣彼此被相隔，每一記憶體胞元被選擇成以具有 0.25 百萬歐姆至 3.60 百萬歐姆間之接合電阻值。數條傳導性列線路被選擇且於每一列之 N 個記憶體胞元間被連接，每一列與行線路被選擇以具有低於 0.38 歐姆之列或行單位線路電阻值，使得接合電阻值及列與行單位線路之電阻被配以相關而為該陣列提供 20 分貝以上之信號對雜訊比。RAM 陣列單位線路之電阻值被選擇使得每一列之總列線路電阻大約等於每一行之總行線路電阻。接合電阻值對單位線路電阻之比約為五百萬比一，以在電阻性記憶體陣列內維持至少 20 分貝之信號對雜訊比。對列與行元件之數目相等為 N 而言，總列或行線路電阻必須大於約百萬比 N。若 N 大約等於 1,000，接合電阻值對總列或行線路電阻必須約大於 5,000。

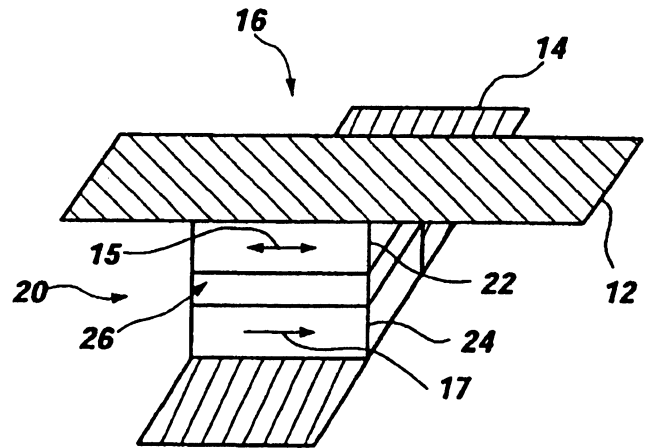
英文發明摘要（發明之名稱： METHODS AND STRUCTURE FOR MAXIMIZING SIGNAL TO NOISE RATIO IN RESISTIVE ARRAY）

A method for designing a resistive random access memory array in which elements are selected with values of resistances that are correlated to maintain a signal-to-noise ratio of 20 decibels or more for the array. A plurality of memory cells are selected and spaced from each other in a matrix of rows and columns, each memory cell being selected to have a junction resistance value of between 0.25 megaohms and 3.60 megaohms. A plurality of conductive row lines are selected and connected between a number N of memory cells in each row, each row and column line being selected to have a row or column unit line resistance value below 0.38 ohms, so that the values of junction resistance are correlated with the values of the row and column unit line resistance to provide a signal-to-noise ratio of 20 decibels or more for the memory array. The values of the row and column unit line resistance are selected so that the total row line resistance for each row is approximately equal to the total column line resistance for each column. The ratio of the junction resistance to the unit line resistance is approximately five million to one, in order to maintain a signal-to-noise ratio of at least 20 decibels in the resistive memory array. For an equal number N of row and column elements, the total row or column line resistance must be greater than approximately five million to N. If N is equal to approximately 1000, the ratio of junction resistance to total row or column line resistance must be approximately 5,000 or greater.

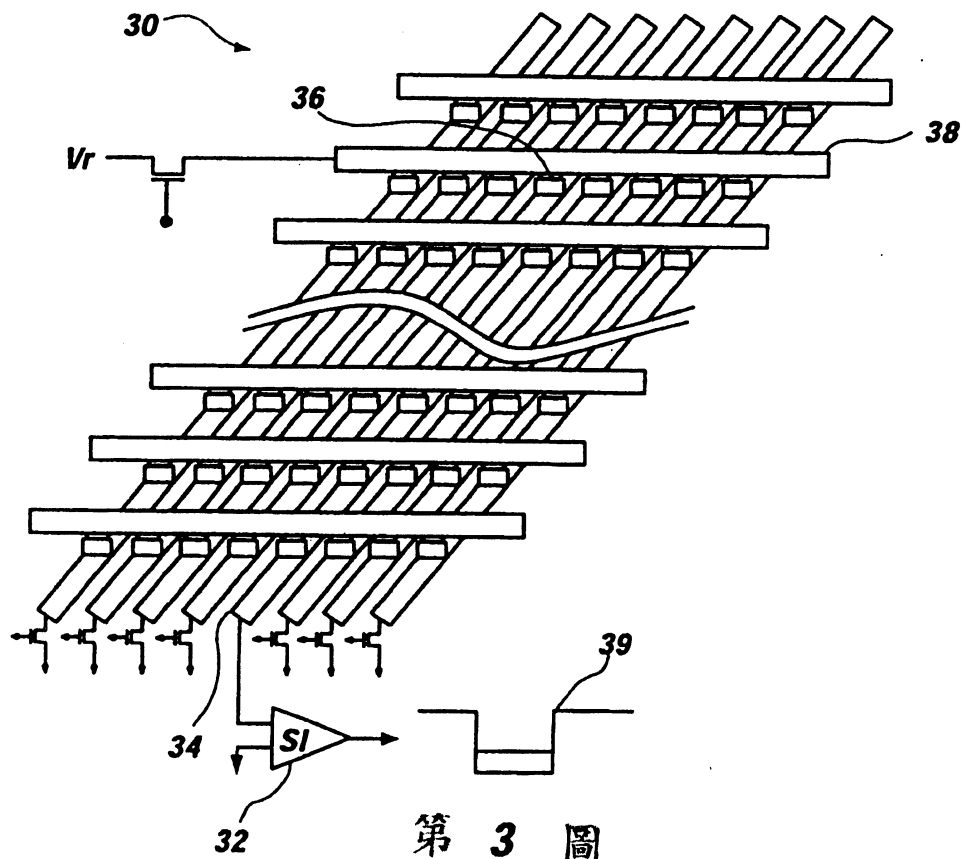


第 1 圖

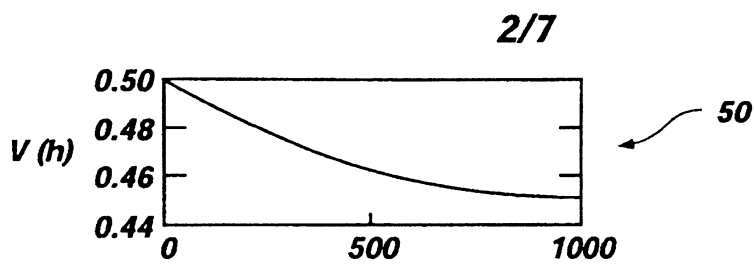
1/7



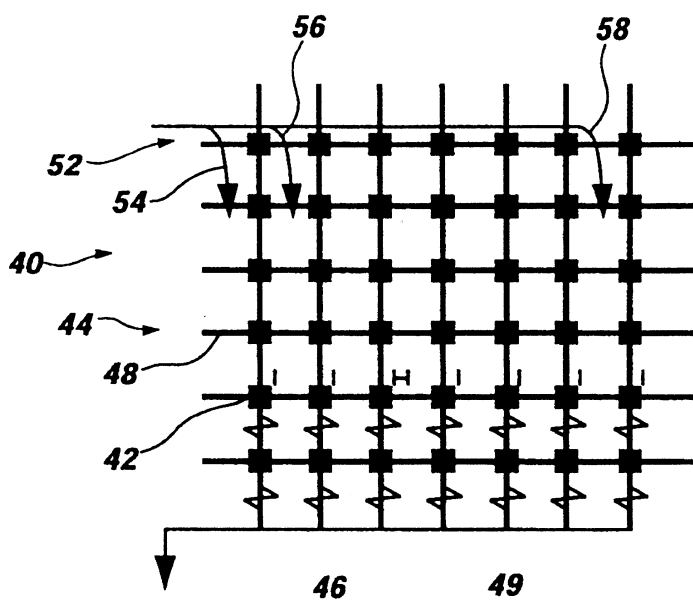
第 2 圖



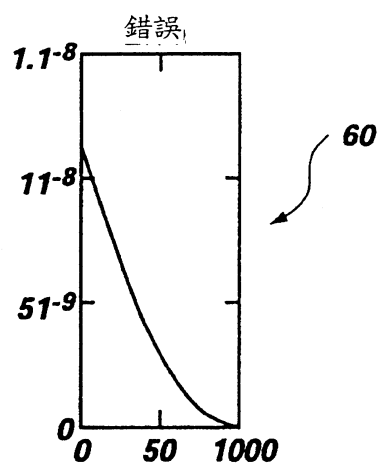
第 3 圖



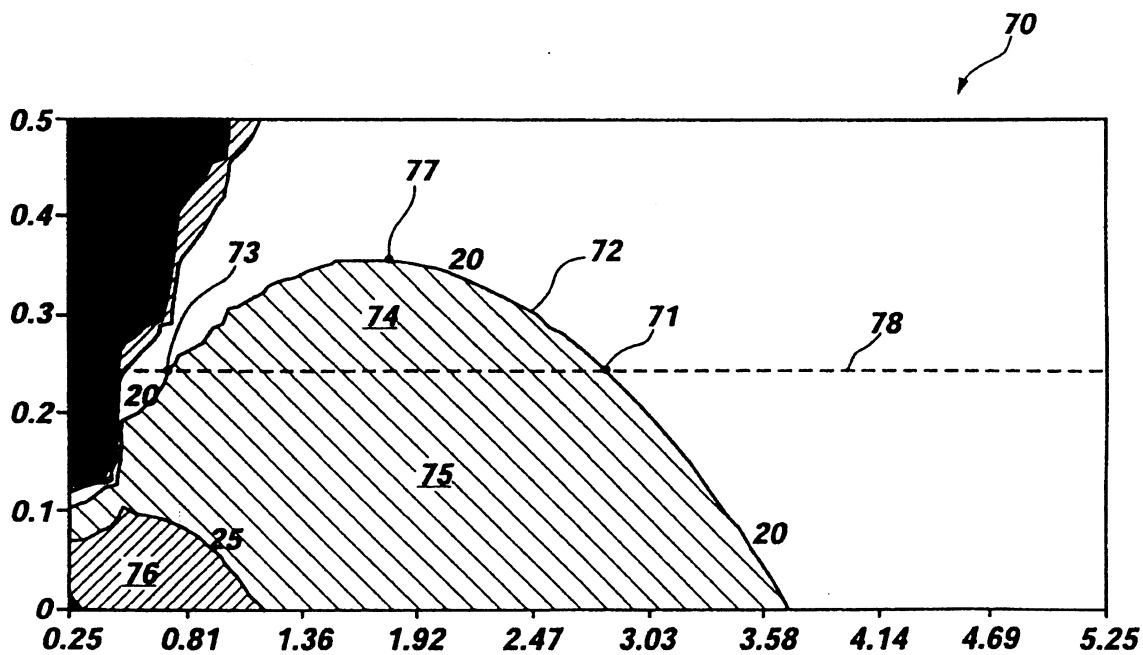
第 4B 圖



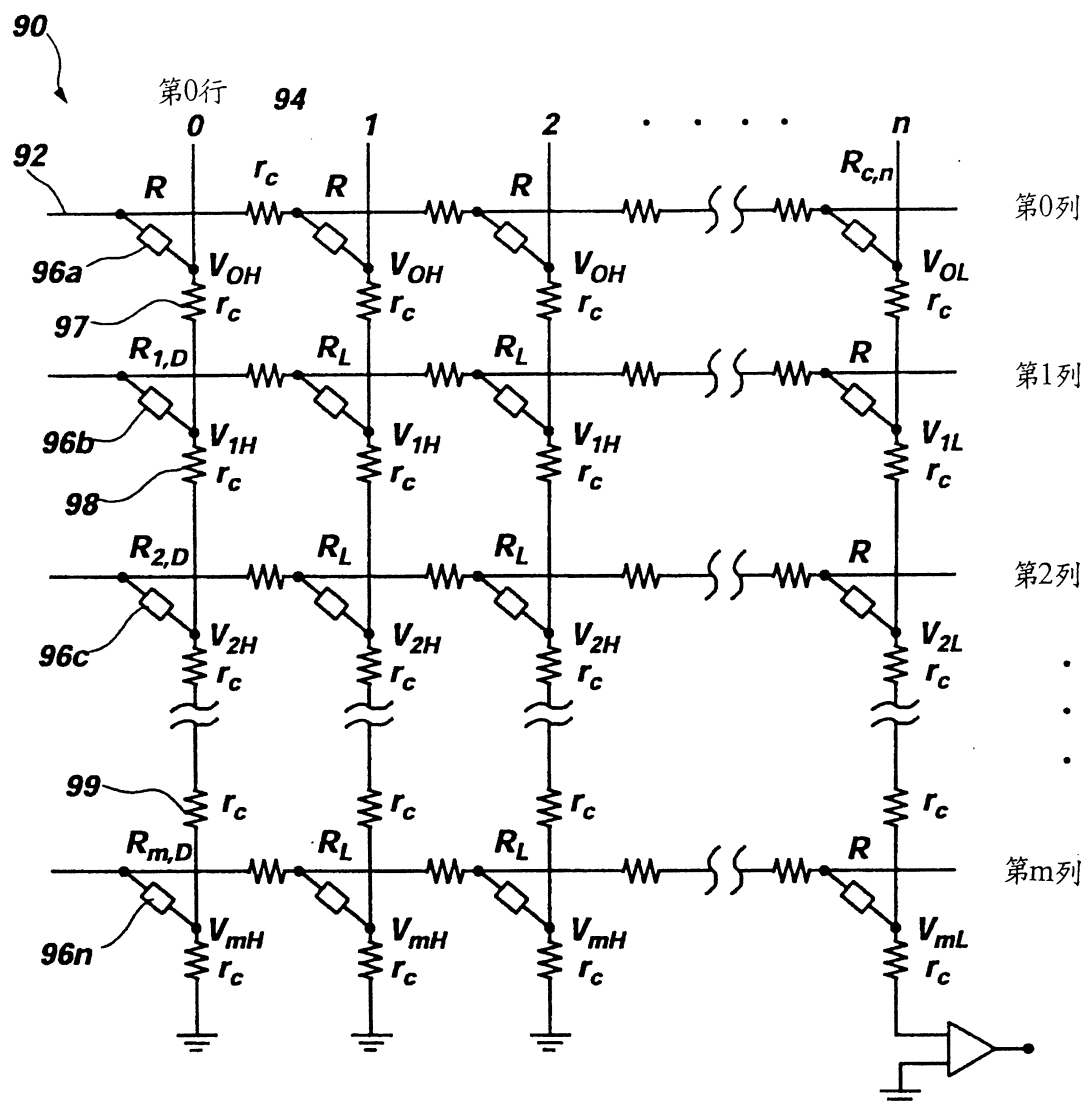
第 4A 圖



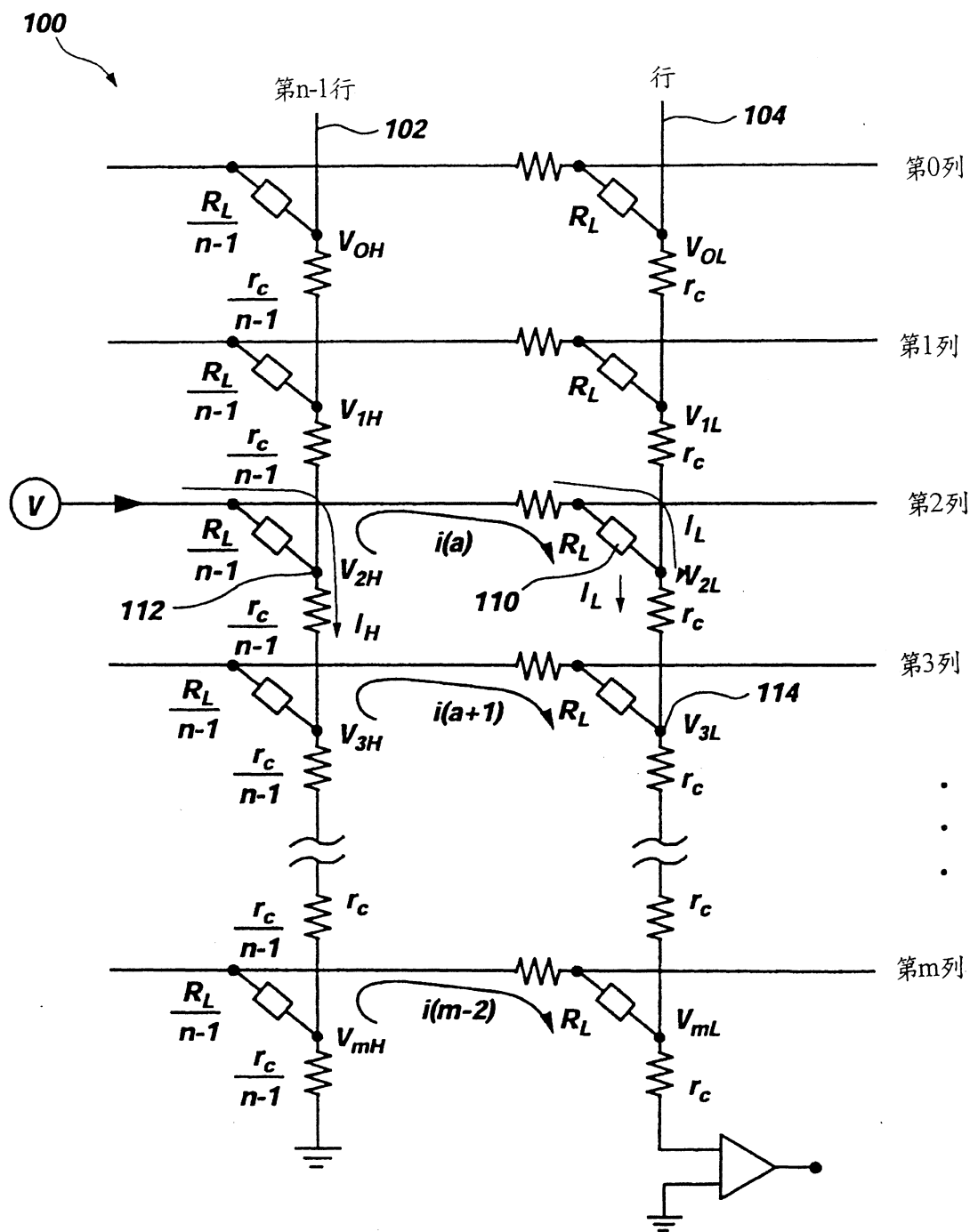
第 4C 圖



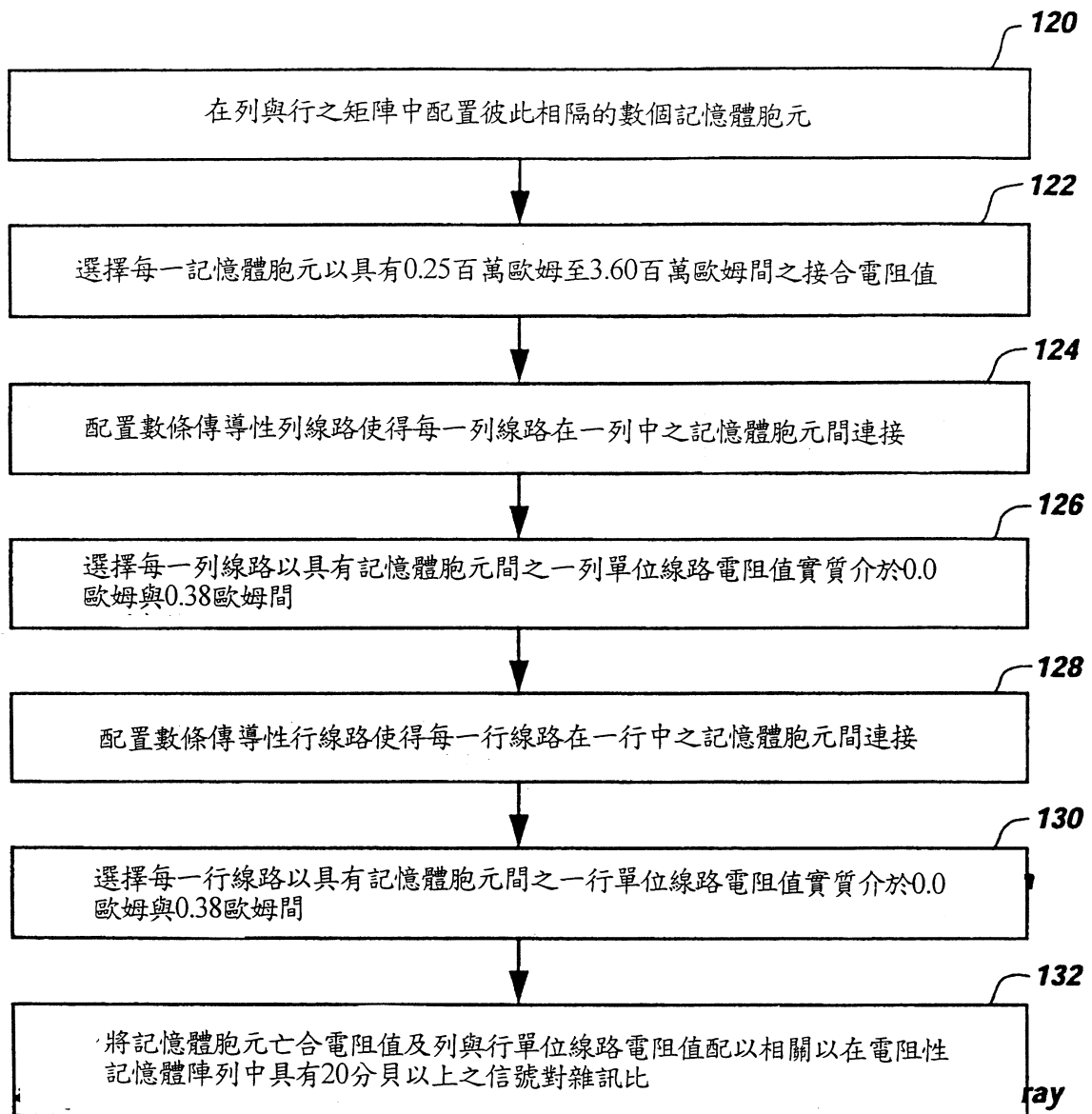
第 5 圖



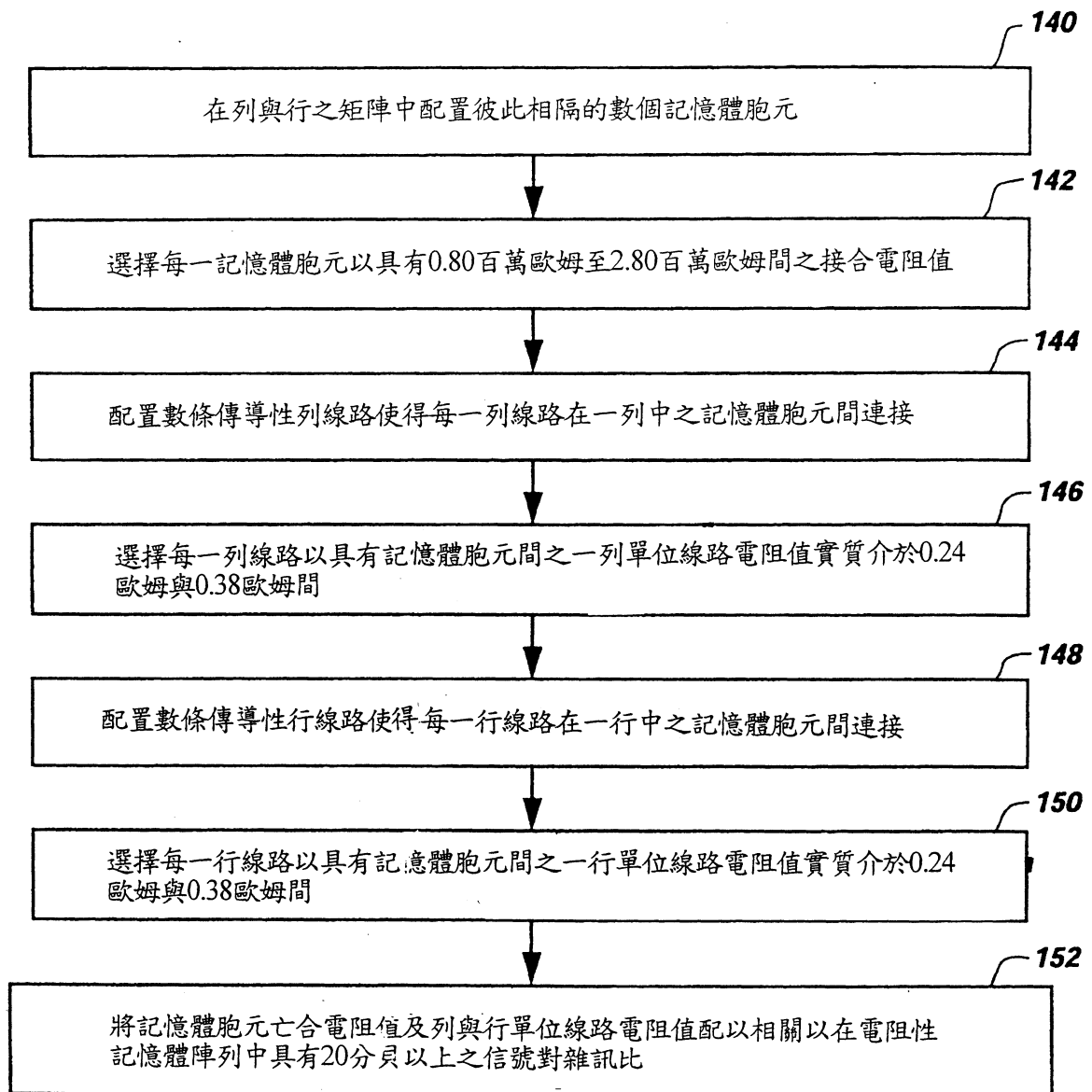
第 7 图



6/7



第 9 圖



第 10 圖

六、申請專利範圍

第 91116129 號申請案申請專利範圍修正本 93.11.18.

1.一種設計一隨機存取記憶體(RAM)陣列之方法，具有電阻性元件用於為該陣列維持20分貝以上之信號對雜訊比，包含：

(a)配置數個記憶體胞元在列與行之矩陣內彼此相隔，每一記憶體胞元被選擇以具有一接合電阻值介於 0.25 百萬歐姆與 3.60 百萬歐姆間；

(b)配置數條傳導性列線路，每一列線路在一列中之記憶體胞元間連接且被選擇以具有之記憶體胞元間的一列單位線路電阻值為實質介於 0.0 歐姆與 0.38 歐姆間；

(c)配置數條傳導性行線路，每一行線路在一行中之記憶體胞元間連接且被選擇以具有之記憶體胞元間的一行單位線路電阻值為實質介於 0.0 歐姆與 0.38 歐姆間；以及

(d)將記憶體胞元接合電阻值及列與行單位線路電阻值配以相關以在該電阻性記憶體陣列中具有 20 分貝以上之信號對雜訊比。

2.如申請專利範圍第1項所述之方法，其中列或行單位線路電阻值被選擇為在約0.24歐姆至0.38歐姆之範圍間，且接合電阻值之範圍被選擇為在0.8百萬歐姆至2.8百萬歐姆間。

3.如申請專利範圍第1項所述之方法，其中記憶體胞元之接合電阻值及列或行單位線路電阻值被配以相關，使得接合電阻值對列或行單位線路電阻值之比值為約五百萬比一。

六、申請專利範圍

4.如申請專利範圍第1項所述之方法，其中具有N列與M行之記憶體陣列內之接合電阻值及列或行線路總電阻值被配以相關，使得接合電阻值對列或行線路總電阻值之比值為約五百萬比N或M。

5.如申請專利範圍第4項所述之方法，其中N與M約等於1,024，且磁電阻穿隧接合(MTJ)電阻對列或行線路總電阻之比值被維持於約5,000以上。

6.一種電阻性隨機存取記憶體(RAM)陣列，具有用於為該陣列維持20分貝以上之信號對雜訊比的元件電阻值，該陣列包含：

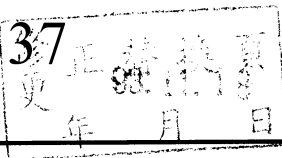
(a)數個記憶體胞元在列與行之矩陣內彼此相隔，每一記憶體胞元被選擇以具有一接合電阻值介於0.25百萬歐姆與3.60百萬歐姆間；

(b)數條傳導性列線路，每一列線路在一列中之記憶體胞元間連接且被選擇以具有之記憶體胞元間的一列單位線路電阻值為實質介於0.0歐姆與0.38歐姆間；

(c)數條傳導性行線路，每一行線路在一行中之記憶體胞元間連接且被選擇以具有記憶體胞元間的一行單位線路電阻值，該列單位線路電阻值大致等於該行單位線路電阻值；以及

(d)其中記憶體胞元接合電阻值及列與行單位線路電阻值被配以相關以在該電阻性記憶體陣列中具有20分貝以上之信號對雜訊比。

7.如申請專利範圍第6項所述之記憶體陣列，其中該等數個



六、申請專利範圍

記憶體胞元被配置成 $1,024 \times 1,024$ 之記憶體胞元陣列，該等列與行單位線路電阻值被選擇為落在約0.24歐姆至0.38歐姆之範圍間，且接合電阻值之範圍被選擇為在0.8百萬歐姆至2.8百萬歐姆間。

5 8.如申請專利範圍第7項所述之記憶體陣列，其中接合電阻值及列或行單位線路電阻值被配以相關，使得接合電阻值對列或行單位線路電阻值之比值為約五百萬比一。

9.如申請專利範圍第6項所述之記憶體陣列，其中該等列與行單位線路電阻值被選擇成使得列導體之總列電阻大約
10 等於行導體之總線路電阻。

10.如申請專利範圍第6項所述之記憶體陣列，其中該記憶體胞元為一MTJ裝置，具有一被固定層其磁性排向被固定，一感應層其磁性排向狀態在回應於一磁場之施用下變化，及一絕緣層介於該被固定層與該感應層間。