



(10) 申请公布号 CN 119013789 A

(43) 申请公布日 2024. 11. 22

(21) 申请号 202380027455.X

(22) 申请日 2023.03.06

(30) 优先权数据

2022-044442 2022.03.18 JP

2022-049086 2022.03.24 JP

(85) PCT国际申请进入国家阶段日

2024.09.13

(86) PCT国际申请的申请数据

PCT/IB2023/052049 2023.03.06

(87) PCT国际申请的公布数据

W02023/175436 JA 2023.09.21

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 保坂泰靖 岛行德 神长正美

中田昌孝 肥塚纯一 冈崎健一

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

专利代理师 童春媛 杨思捷

(51) Int.Cl.

H01L 29/786 (2006.01)

G02F 1/1335 (2006.01)

G02F 1/1368 (2006.01)

G09F 9/30 (2006.01)

H01L 21/336 (2006.01)

H01L 21/8234 (2006.01)

H01L 27/06 (2006.01)

H01L 27/088 (2006.01)

H05B 33/14 (2006.01)

H10K 50/00 (2006.01)

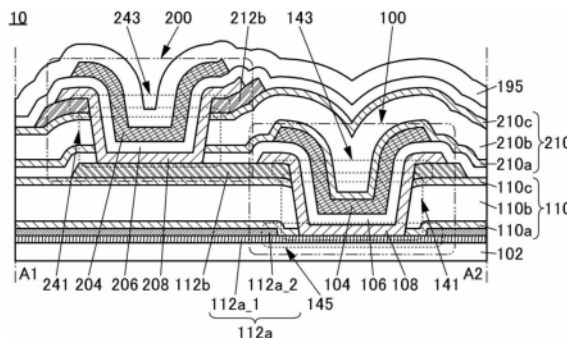
权利要求书4页 说明书80页 附图96页

(54) 发明名称

半导体装置

(57) 摘要

提供一种包括微小的晶体管的半导体装置。提供一种包括晶体管、第一绝缘层以及第二绝缘层的半导体装置。第一晶体管包括第一半导体层、第一导电层、包括隔着第一绝缘层与第一导电层重叠的区域的第二导电层、第三导电层以及第三绝缘层。第二导电层及第一绝缘层包括到达第一导电层的第一开口,第一半导体层与第二导电层的顶面及侧面、第一绝缘层的侧面以及第一导电层的顶面接触。第三绝缘层设置在第一绝缘层、第一半导体层及第二导电层上。第三导电层设置在第三绝缘层上。第二绝缘层设置在第三导电层及第三绝缘层上。



1. 一种半导体装置,包括:
 - 第一晶体管;
 - 第二晶体管;
 - 第一绝缘层;以及
 - 第二绝缘层,其中,所述第一晶体管包括:
 - 第一半导体层;
 - 第一导电层;
 - 包括隔着所述第一绝缘层与所述第一导电层重叠的区域的第二导电层;
 - 第三导电层;以及
 - 第三绝缘层,所述第二导电层及所述第一绝缘层包括到达所述第一导电层的第一开口,
 - 所述第一半导体层与所述第二导电层的顶面及侧面、所述第一绝缘层的侧面以及所述第一导电层的顶面接触,
 - 所述第三绝缘层设置在所述第一绝缘层、所述第一半导体层及所述第二导电层上,
 - 所述第三导电层设置在所述第三绝缘层上,
 - 所述第二绝缘层设置在所述第三导电层及所述第三绝缘层上,所述第二晶体管包括:
 - 第二半导体层;
 - 所述第二导电层;
 - 包括隔着所述第二绝缘层及所述第三绝缘层与所述第二导电层重叠的区域的第四导电层;
 - 第五导电层;以及
 - 第四绝缘层,所述第四导电层、所述第二绝缘层及所述第三绝缘层包括到达所述第二导电层的第二开口,
 - 所述第二半导体层与所述第四导电层的顶面及侧面、所述第二绝缘层的侧面、所述第三绝缘层的侧面以及所述第二导电层的顶面接触,所述第四绝缘层设置在所述第二半导体层上,
 - 所述第五导电层设置在所述第四绝缘层上,
 - 所述第一绝缘层具有第五绝缘层与所述第五绝缘层上的第六绝缘层的叠层结构,并且,所述第六绝缘层包括膜密度比所述第五绝缘层高的区域。
2. 一种半导体装置,包括:
 - 第一晶体管;
 - 第二晶体管;
 - 第一绝缘层;以及
 - 第二绝缘层,其中,所述第一晶体管包括:
 - 第一半导体层;
 - 第一导电层;

包括隔着所述第一绝缘层与所述第一导电层重叠的区域的第二导电层；
第三导电层；以及
第三绝缘层，
所述第二导电层及所述第一绝缘层包括到达所述第一导电层的第一开口，
所述第一半导体层与所述第二导电层的顶面及侧面、所述第一绝缘层的侧面以及所述第一导电层的顶面接触，
所述第三绝缘层设置在所述第一绝缘层、所述第一半导体层及所述第二导电层上，
所述第三导电层设置在所述第三绝缘层上，
所述第二绝缘层设置在所述第三导电层及所述第三绝缘层上，所述第二晶体管包括：
所述第二导电层；
包括隔着所述第二绝缘层及所述第三绝缘层与所述第二导电层重叠的区域的第四导电层；
第五导电层；以及
第四绝缘层，
所述第四导电层、所述第二绝缘层及所述第三绝缘层包括到达所述第二导电层的第二开口，
所述第二半导体层与所述第四导电层的顶面及侧面、所述第二绝缘层的侧面、所述第三绝缘层的侧面以及所述第二导电层的顶面接触，所述第四绝缘层设置在所述第二半导体层上，
所述第五导电层设置在所述第四绝缘层上，
所述第一绝缘层具有第五绝缘层与所述第五绝缘层上的第六绝缘层的叠层结构，
并且，所述第六绝缘层包括含氮量比所述第五绝缘层多的区域。

3. 一种半导体装置，包括：
第一晶体管；
第二晶体管；
第一绝缘层；以及
第二绝缘层，
其中，所述第一晶体管包括：
第一半导体层；
第一导电层；
包括隔着所述第一绝缘层与所述第一导电层重叠的区域的第二导电层；
第三导电层；以及
第三绝缘层，
所述第二导电层及所述第一绝缘层包括到达所述第一导电层的第一开口，
所述第一半导体层与所述第二导电层的顶面及侧面、所述第一绝缘层的侧面以及所述第一导电层的顶面接触，
所述第三绝缘层设置在所述第一绝缘层、所述第一半导体层及所述第二导电层上，
所述第三导电层设置在所述第三绝缘层上，
所述第二绝缘层设置在所述第三导电层及所述第三绝缘层上，所述第二晶体管包括：

第二半导体层；
所述第三导电层；
包括隔着所述第二绝缘层与所述第三导电层重叠的区域的第四导电层；
第五导电层；以及
第四绝缘层，
所述第四导电层及所述第二绝缘层包括到达所述第三导电层的第二开口，
所述第二半导体层与所述第四导电层的顶面及侧面、所述第二绝缘层的侧面以及所述第三导电层的顶面接触，

所述第四绝缘层设置在所述第二半导体层上，
所述第五导电层设置在所述第四绝缘层上，
所述第一绝缘层具有第五绝缘层与所述第五绝缘层上的第六绝缘层的叠层结构，
并且，所述第六绝缘层包括膜密度比所述第五绝缘层高的区域。

4. 一种半导体装置，包括：

第一晶体管；
第二晶体管；
第一绝缘层；以及
第二绝缘层，
其中，所述第一晶体管包括：
第一半导体层；
第一导电层；
包括隔着所述第一绝缘层与所述第一导电层重叠的区域的第二导电层；
第三导电层；以及
第三绝缘层，
所述第二导电层及所述第一绝缘层包括到达所述第一导电层的第一开口，
所述第一半导体层与所述第二导电层的顶面及侧面、所述第一绝缘层的侧面以及所述第一导电层的顶面接触，

所述第三绝缘层设置在所述第一绝缘层、所述第一半导体层及所述第二导电层上，
所述第三导电层设置在所述第三绝缘层上，
所述第二绝缘层设置在所述第三导电层及所述第三绝缘层上，所述第二晶体管包括：
第二半导体层；
所述第三导电层；
包括隔着所述第二绝缘层与所述第三导电层重叠的区域的第四导电层；
第五导电层；以及
第四绝缘层，
所述第四导电层及所述第二绝缘层包括到达所述第三导电层的第二开口，
所述第二半导体层与所述第四导电层的顶面及侧面、所述第二绝缘层的侧面以及所述第三导电层的顶面接触，
所述第四绝缘层设置在所述第二半导体层上，
所述第五导电层设置在所述第四绝缘层上，

- 所述第一绝缘层具有第五绝缘层与所述第五绝缘层上的第六绝缘层的叠层结构，并且，所述第六绝缘层包括含氮量比所述第五绝缘层多的区域。
5. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一绝缘层包括第七绝缘层，
所述第七绝缘层位于所述第五绝缘层和所述第一导电层之间，
并且所述第七绝缘层包括膜密度比所述第五绝缘层高的区域。
6. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一绝缘层包括第七绝缘层，
所述第七绝缘层位于所述第五绝缘层和所述第一导电层之间，
并且所述第七绝缘层包括含氮量比所述第五绝缘层多的区域。
7. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一绝缘层的厚度为 $0.01\mu\text{m}$ 以上且小于 $3\mu\text{m}$ 。
8. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一导电层包括氧化物导电体。
9. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一导电层包括第六导电层及所述第六导电层上的第七导电层，
所述第七导电层包括第三开口，
所述第一半导体层包括通过所述第三开口与所述第六导电层接触的区域，
并且所述第六导电层包括氧化物导电体。
10. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一半导体层及所述第二半导体层都包含铟，
并且所述第二半导体层中的相对于所有的含有金属元素的原子数之和的所述铟的原子数的比率比所述第一半导体层高。
11. 根据权利要求1至4中任一项所述的半导体装置，
其中所述第一半导体层及所述第二半导体层都包含铟，
并且所述第一半导体层中的相对于所有的含有金属元素的原子数之和的所述铟的原子数的比率比所述第二半导体层高。

半导体装置

技术领域

[0001] 本发明的一个方式涉及一种半导体装置、显示装置、显示模块及电子设备。本发明的一个方式涉及一种半导体装置的制造方法及显示装置的制造方法。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的一个例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置(例如触摸传感器)、输入输出装置(例如触摸面板)以及上述装置的驱动方法或制造方法。

背景技术

[0003] 包括晶体管的半导体装置广泛应用于显示装置及电子设备,需要半导体装置的高集成化及高速化。例如,在高清晰的显示装置中使用半导体装置时,需要高集成的半导体装置。作为提高晶体管的集成度的方法之一,对微细的晶体管进行开发。

[0004] 近年来,对可用于虚拟现实(VR:Virtual Reality)、增强现实(AR:Augmented Reality)、替代现实(SR:Substitutional Reality)或者混合现实(MR:Mixed Reality)的显示装置的需求很高。将VR、AR、SR及MR总称为XR(Extended Reality:扩展现实)。为了提高现实感及沉浸感,XR用显示装置被要求清晰度高且颜色再现性高。作为上述显示装置,例如可以举出液晶显示装置、具备有机EL(Electro Luminescence:电致发光)器件或发光二极管(LED:Light Emitting Diode)等发光器件(也称为发光元件)的发光装置等。

[0005] 专利文献1公开了使用有机EL器件(也称为有机EL元件)的面向VR的显示装置。

[先行技术文献]

[专利文献]

[0006] [专利文献1]国际专利申请公开第2018/087625号

发明内容

发明所要解决的技术问题

[0007] 本发明的一个方式的目的之一是提供一种包括微细的晶体管的半导体装置及其制造方法。另外,本发明的一个方式的目的之一是提供一种小型半导体装置及其制造方法。另外,本发明的一个方式的目的之一是提供一种包括通态电流大的晶体管的半导体装置及其制造方法。另外,本发明的一个方式的目的之一是提供一种电特性良好的半导体装置及其制造方法。另外,本发明的一个方式的目的之一是提供一种可靠性高的半导体装置及其制造方法。另外,本发明的一个方式的目的之一是提供一种生产率高的半导体装置的制造方法。另外,本发明的一个方式的目的之一是提供一种新颖的半导体装置及其制造方法。

[0008] 注意,这些目的的记载并不妨碍其他目的的存在。注意,本发明的一个方式并不需要实现所有上述目的。注意,可以从说明书、附图、权利要求书等的记载抽取上述以外的目的。

解决技术问题的手段

[0009] 本发明的一个方式是一种半导体装置,该半导体装置包括第一晶体管、第二晶体管、第一绝缘层以及第二绝缘层。第一晶体管包括第一半导体层、第一导电层、包括隔着第一绝缘层与第一导电层重叠的区域的第二导电层、第三导电层以及第三绝缘层。第二导电层及第一绝缘层包括到达第一导电层的第一开口。第一半导体层与第二导电层的顶面及侧面、第一绝缘层的侧面以及第一导电层的顶面接触。第三绝缘层设置在第一绝缘层、第一半导体层及第二导电层上。第三导电层设置在第三绝缘层上。第二绝缘层设置在第三导电层及第三绝缘层上。第二晶体管包括第二半导体层、第二导电层、包括隔着第二绝缘层及第三绝缘层与第二导电层重叠的区域的第四导电层、第五导电层以及第四绝缘层。第四导电层、第二绝缘层及第三绝缘层包括到达第二导电层的第二开口。第二半导体层与第四导电层的顶面及侧面、第二绝缘层的侧面、第三绝缘层的侧面以及第二导电层的顶面接触。第四绝缘层设置在第二半导体层上。第五导电层设置在第四绝缘层上。第一绝缘层具有第五绝缘层与第五绝缘层上的第六绝缘层的叠层结构。第六绝缘层包括膜密度比第五绝缘层高的区域。

[0010] 本发明的一个方式是一种半导体装置,该半导体装置包括第一晶体管、第二晶体管、第一绝缘层以及第二绝缘层。第一晶体管包括第一半导体层、第一导电层、包括隔着第一绝缘层与第一导电层重叠的区域的第二导电层、第三导电层以及第三绝缘层。第二导电层及第一绝缘层包括到达第一导电层的第一开口。第一半导体层与第二导电层的顶面及侧面、第一绝缘层的侧面以及第一导电层的顶面接触。第三绝缘层设置在第一绝缘层、第一半导体层及第二导电层上。第三导电层设置在第三绝缘层上。第二绝缘层设置在第三导电层及第三绝缘层上。第二晶体管包括第二半导体层、第二导电层、包括隔着第二绝缘层及第三绝缘层与第二导电层重叠的区域的第四导电层、第五导电层以及第四绝缘层。第四导电层、第二绝缘层及第三绝缘层包括到达第二导电层的第二开口。第二半导体层与第四导电层的顶面及侧面、第二绝缘层的侧面、第三绝缘层的侧面以及第二导电层的顶面接触。第四绝缘层设置在第二半导体层上。第五导电层设置在第四绝缘层上。第一绝缘层具有第五绝缘层与第五绝缘层上的第六绝缘层的叠层结构。第六绝缘层包括含氮量比第五绝缘层多的区域。

[0011] 本发明的一个方式是一种半导体装置,该半导体装置包括第一晶体管、第二晶体管、第一绝缘层以及第二绝缘层。第一晶体管包括第一半导体层、第一导电层、包括隔着第一绝缘层与第一导电层重叠的区域的第二导电层、第三导电层以及第三绝缘层。第二导电层及第一绝缘层包括到达第一导电层的第一开口。第一半导体层与第二导电层的顶面及侧面、第一绝缘层的侧面以及第一导电层的顶面接触。第三绝缘层设置在第一绝缘层、第一半导体层及第二导电层上。第三导电层设置在第三绝缘层上。第二绝缘层设置在第三导电层及第三绝缘层上。第二晶体管包括第二半导体层、第三导电层、包括隔着第二绝缘层与第三导电层重叠的区域的第四导电层、第五导电层以及第四绝缘层。第四导电层及第二绝缘层包括到达第三导电层的第二开口。第二半导体层与第四导电层的顶面及侧面、第二绝缘层的侧面以及第三导电层的顶面接触。第四绝缘层设置在第二半导体层上。第五导电层设置在第四绝缘层上。第一绝缘层具有第五绝缘层与第五绝缘层上的第六绝缘层的叠层结构。第六绝缘层包括膜密度比第五绝缘层高的区域。

[0012] 本发明的一个方式是一种半导体装置,该半导体装置包括第一晶体管、第二晶体

管、第一绝缘层以及第二绝缘层。第一晶体管包括第一半导体层、第一导电层、包括隔着第一绝缘层与第一导电层重叠的区域的第二导电层、第三导电层以及第三绝缘层。第二导电层及第一绝缘层包括到达第一导电层的第一开口。第一半导体层与第二导电层的顶面及侧面、第一绝缘层的侧面以及第一导电层的顶面接触。第三绝缘层设置在第一绝缘层、第一半导体层及第二导电层上。第三导电层设置在第三绝缘层上。第二绝缘层设置在第三导电层及第三绝缘层上。第二晶体管包括第二半导体层、第三导电层、包括隔着第二绝缘层与第三导电层重叠的区域的第四导电层、第五导电层以及第四绝缘层。第四导电层及第二绝缘层包括到达第三导电层的第二开口。第二半导体层与第四导电层的顶面及侧面、第二绝缘层的侧面以及第三导电层的顶面接触。第四绝缘层设置在第二半导体层上。第五导电层设置在第四绝缘层上。第一绝缘层具有第五绝缘层与第五绝缘层上的第六绝缘层的叠层结构。第六绝缘层包括含氮量比第五绝缘层多的区域。

[0013] 在上述半导体装置中,第一绝缘层优选包括第七绝缘层。第七绝缘层优选位于第五绝缘层与第一导电层之间。第七绝缘层优选包括膜密度比第五绝缘层高的区域。

[0014] 在上述半导体装置中,第一绝缘层优选包括第七绝缘层。第七绝缘层优选位于第五绝缘层与第一导电层之间。第七绝缘层优选包括含氮量比第五绝缘层多的区域。

[0015] 在上述半导体装置中,第一绝缘层的厚度优选为 $0.01\mu\text{m}$ 以上且小于 $3\mu\text{m}$ 。

[0016] 在上述半导体装置中,第一导电层优选包含氧化物导电体。

[0017] 在上述半导体装置中,第一导电层优选包括第六导电层以及第六导电层上的第七导电层。第七导电层优选包括第三开口。第一半导体层优选包括隔着第三开口与第六导电层接触的区域。第六导电层优选包含氧化物导电体。

[0018] 在上述半导体装置中,第一半导体层及第二半导体层优选都包含铟。第二半导体层中的相对于所有的含有金属元素的原子数之和的铟的原子数的比率优选比第一半导体层高。

[0019] 在上述半导体装置中,第一半导体层及第二半导体层优选都包含铟。第一半导体层中的相对于所有的含有金属元素的原子数之和的铟的原子数的比率优选比第二半导体层高。

发明效果

[0020] 根据本发明的一个方式可以提供一种包括微细的晶体管的半导体装置及其制造方法。另外,根据本发明的一个方式可以提供一种小型半导体装置及其制造方法。另外,根据本发明的一个方式可以提供一种包括通态电流大的晶体管的半导体装置及其制造方法。另外,根据本发明的一个方式可以提供一种电特性良好的半导体装置及其制造方法。另外,根据本发明的一个方式可以提供一种可靠性高的半导体装置及其制造方法。另外,根据本发明的一个方式可以提供一种生产率高的半导体装置的制造方法。另外,根据本发明的一个方式可以提供一种新颖的半导体装置及其制造方法。

[0021] 注意,这些效果的记载并不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。可以从说明书、附图、权利要求书的记载中抽取上述效果以外的效果。

附图简要说明

[0022] 图1A是示出半导体装置的一个例子的俯视图。图1B是半导体装置的等效电路图。图1C是示出半导体装置的一个例子的截面图。

图2A是示出半导体装置的一个例子的截面图。图2B是示出半导体装置的一个例子的立体图。

图3A至图3E是示出半导体装置的一个例子的立体图。

图4A至图4E是示出半导体装置的一个例子的立体图。

图5A是示出半导体装置的一个例子的俯视图。图5B是示出半导体装置的一个例子的截面图。

图6A是示出半导体装置的一个例子的俯视图。图6B是示出半导体装置的一个例子的截面图。

图7A及图7B是示出半导体装置的一个例子的截面图。

图8A及图8B是示出半导体装置的一个例子的截面图。

图9A及图9B是示出半导体装置的一个例子的截面图。

图10是示出半导体装置的一个例子的截面图。

图11A是示出半导体装置的一个例子的俯视图。图11B及图11C是示出半导体装置的一个例子的截面图。

图12A是示出半导体装置的一个例子的俯视图。图12B及图12C是示出半导体装置的一个例子的截面图。

图13A是示出半导体装置的一个例子的俯视图。图13B是半导体装置的等效电路图。图13C是示出半导体装置的一个例子的截面图。

图14是示出半导体装置的一个例子的截面图。

图15A及图15B是半导体装置的等效电路图。图15C是示出半导体装置的一个例子的俯视图。

图16是示出半导体装置的一个例子的截面图。

图17是示出半导体装置的一个例子的立体图。

图18A至图18D是示出半导体装置的一个例子的立体图。

图19A及图19B是半导体装置的等效电路图。图19C是示出半导体装置的一个例子的俯视图。

图20是示出半导体装置的一个例子的截面图。

图21是示出半导体装置的一个例子的立体图。

图22A至图22D是示出半导体装置的一个例子的立体图。

图23A1及图23B1是示出半导体装置的制造方法的一个例子的立体图。图23A2及图23B2是示出半导体装置的制造方法的一个例子的截面图。

图24A1及图24B1是示出半导体装置的制造方法的一个例子的立体图。图24A2及图24B2是示出半导体装置的制造方法的一个例子的截面图。

图25A1及图25B1是示出半导体装置的制造方法的一个例子的立体图。图25A2及图25B2是示出半导体装置的制造方法的一个例子的截面图。

图26A1及图26B1是示出半导体装置的制造方法的一个例子的立体图。图26A2及图26B2是示出半导体装置的制造方法的一个例子的截面图。

图27A1及图27B1是示出半导体装置的制造方法的一个例子的立体图。图27A2及图27B2是示出半导体装置的制造方法的一个例子的截面图。

图28A1及图28B1是示出半导体装置的制造方法的一个例子的立体图。图28A2及图28B2是示出半导体装置的制造方法的一个例子的截面图。

图29A1及图29B1是示出半导体装置的制造方法的一个例子的立体图。图29A2及图29B2是示出半导体装置的制造方法的一个例子的截面图。

图30A1及图30B1是示出半导体装置的制造方法的一个例子的立体图。图30A2及图30B2是示出半导体装置的制造方法的一个例子的截面图。

图31A是显示装置的立体图。图31B是显示装置的方框图。

图32A是锁存电路的电路图。图32B是反相器电路的电路图。

图33A是像素电路的电路图。图33B是示出像素电路的一个例子的截面图。

图34是示出显示装置的结构例子的截面图。

图35A至图35C是示出显示装置的结构例子的截面图。

图36是示出显示装置的结构例子的截面图。

图37A至图37G是示出像素的一个例子的图。

图38A至图38K是示出像素的一个例子的图。

图39A至图39F是示出发光器件的结构例子的图。

图40A至图40C是示出发光器件的结构例子的图。

图41A及图41B是示出显示装置的结构例子的图。

图42A至图42D是示出显示装置的结构例子的图。

图43A至图43C是示出显示装置的结构例子的图。

图44A至图44D是示出显示装置的结构例子的图。

图45A至图45F是示出显示装置的结构例子的图。

图46A至图46F是示出显示装置的结构例子的图。

图47A至图47F是示出电子设备的一个例子的图。

图48A至图48F是示出电子设备的一个例子的图。

图49A及图49B是示出根据实施例的晶体管的特性的图。

图50A及图50B是示出根据实施例的晶体管的特性的图。

图51A及图51B是示出根据实施例的晶体管的特性的图。

实施发明的方式

[0023] 参照附图对实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0024] 注意,在下面说明的发明结构中,在不同的附图中共用相同的符号来显示相同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使用相同的阴影线,而不特别附加附图标记。

[0025] 为了便于理解,有时附图中示出的各构成的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明并不必然限于附图中公开的位置、尺寸及范围等。

[0026] 另外,根据情况或状态,可以互相调换“膜”和“层”。例如,可以将“导电层”变换为

“导电膜”。此外,可以将“绝缘膜”变换为“绝缘层”。

[0027] 在本说明书等中,有时将使用金属掩模或FMM(Fine Metal Mask,高精度金属掩模)制造的器件称为具有MM(Metal Mask)结构的器件。此外,在本说明书等中,有时将不使用金属掩模或FMM制造的器件称为具有MML(Metal Mask Less)结构的器件。

[0028] 在本说明书等中,有时将在发光波长不同的发光器件中至少分别制造发光层的结构称为SBS(Side By Side)结构。SBS结构由于可以对各发光器件使材料及结构最优化,材料及结构的选择自由度得到提高,可以容易实现亮度及可靠性的提高。

[0029] 在本说明书等中,有时将空穴或电子表示为“载流子”。具体而言,有时将空穴注入层或电子注入层称为“载流子注入层”,将空穴传输层或电子传输层称为“载流子传输层”,将空穴阻挡层或电子阻挡层称为“载流子阻挡层”。注意,上述载流子注入层、载流子传输层及载流子阻挡层有时无法根据其截面形状或特性等明确地进行区分。另外,有时一个层兼具载流子注入层、载流子传输层和载流子阻挡层中的两者或三者的功能。

[0030] 在本说明书等中,发光器件在一对电极间包括EL层。EL层至少包括发光层。在此,作为EL层所包括的层(也被称为功能层),可以举出发光层、载流子注入层(空穴注入层及电子注入层)、载流子传输层(空穴传输层及电子传输层)及载流子阻挡层(空穴阻挡层及电子阻挡层)。

[0031] 在本说明书等中,受光器件(也被称为受光元件)在一对电极之间至少包括被用作光电转换层的活性层。

[0032] 在本说明书等中,岛状是指以同一工序形成并使用同一材料的两个以上的层物理分离的状态。例如,岛状发光层是指该发光层与相邻的发光层物理分离的状态。

[0033] 在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,优选具有倾斜的侧面和衬底面或被形成面所形成的角度(也被称为锥角)小于90度的区域。在此,构成要素的侧面、衬底面及被形成面不一定必须完全平坦,也可以是具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0034] 在本说明书等中,掩模层(也称为牺牲层)至少位于发光层(更具体而言是构成EL层的层中被加工为岛状的层)的上方,并且在制造工序中具有保护该发光层的功能。

[0035] 在本说明书等中,断开是指层、膜或电极因被形成面的形状(例如,台阶等)而断开的现象。

[0036] 在本说明书等中,“顶面形状大致一致”是指叠层中的每一个层的边缘的至少一部分重叠。例如,包括上层及下层通过同一的掩模图案或其一部分同一的掩模图案被加工的情况。但是,实际上有边缘不重叠的情况,有时上层位于下层的内侧或者上层位于下层的外侧,该情况也可以说“顶面形状大致一致”。

[0037] (实施方式1)

在本实施方式中参照图1至图30对本发明的一个方式的半导体装置及其制造方法等进行说明。

[0038] <结构例子1>

(结构例子1-1)

对本发明的一个方式的半导体装置进行说明。图1A示出半导体装置10的俯视图(也称为平面图)。图1B示出半导体装置10的等效电路图。图1C示出沿着图1A所示的点划线

A1-A2的截断面的截面图,图2A示出沿着点划线B1-B2及点划线B3-B4的截断面的截面图。图2B示出半导体装置10的立体图。注意,在图1A中,省略半导体装置10的构成要素的一部分(绝缘层等)。关于半导体装置的俯视图,与图1A同样地,后面的附图中也省略构成要素的一部分。此外,为了容易理解,在图2B中使绝缘层透过且以虚线示出其轮廓。

[0039] 半导体装置10包括晶体管100及晶体管200。晶体管100的源电极和漏电极中的一个与晶体管200的源电极和漏电极中的一个电连接。

[0040] 注意,在图1B中,晶体管100及晶体管200为n沟道型晶体管,但是本发明的一个方式不局限于此。晶体管100和晶体管200中的一方或双方也可以为p沟道型晶体管。

[0041] 晶体管100设置在衬底102上。晶体管100包括导电层104、绝缘层106、半导体层108、导电层112a及导电层112b。导电层104被用作栅电极。绝缘层106的一部分被用作栅极绝缘层。导电层112b被用作源电极和漏电极中的一个,导电层112a被用作源电极和漏电极中的另一个。在半导体层108中,在源电极与漏电极之间隔着栅极绝缘层与栅电极重叠的区域的整体被用作沟道形成区域。此外,在半导体层108中,与源电极接触的区域被用作源区域,与漏电极接触的区域被用作漏区域。

[0042] 晶体管200可以具有与晶体管100同样的结构。晶体管200包括导电层204、绝缘层206、半导体层208、导电层112b及导电层212b。导电层204被用作栅电极。绝缘层206的一部分被用作栅极绝缘层。导电层112b被用作源电极和漏电极中的一个,导电层212b被用作源电极和漏电极中的另一个。在半导体层208中,在源电极与漏电极之间隔着栅极绝缘层与栅电极重叠的区域的整体被用作沟道形成区域。此外,在半导体层208中,与源电极接触的区域被用作源区域,与漏电极接触的区域被用作漏区域。

[0043] 导电层112b不仅被用作晶体管100的源电极和漏电极中的一个,而且被用作晶体管200的源电极和漏电极中的一个。当晶体管100和晶体管200共用导电层112b时,可以缩小电路的占有面积,可以实现小型半导体装置。

[0044] 首先,说明晶体管100的详细结构。

[0045] 衬底102上设置有导电层112a,导电层112a上设置有绝缘层110,绝缘层110上设置有导电层112b。绝缘层110包括夹在导电层112a与导电层112b之间的区域。导电层112a包括隔着绝缘层110与导电层112b重叠的区域。绝缘层110在与导电层112a重叠的区域包括开口141。在开口141中导电层112a露出。导电层112b在与导电层112a重叠的区域包括开口143。开口143设置在重叠于开口141的区域。

[0046] 导电层112a和导电层112b也可以都具有叠层结构。在图1C等中,导电层112a具有导电层112a_1与导电层112a_1上的导电层112a_2的叠层结构。如图1C所示,导电层112a_2包括开口145,在开口145中导电层112a_1露出。在开口145中导电层112a_1包括与半导体层108接触的区域。导电层112a_2优选不包括与半导体层108接触的区域。

[0047] 图3A是摘要示出晶体管100的立体图。图3B是摘要示出导电层112a的立体图。导电层112a_2在与导电层112a_1重叠的区域中包括开口145。

[0048] 图3C是摘要示出导电层112a及导电层112b、开口141及开口143的立体图。注意,用虚线示出设置在绝缘层110中的开口141。如图3C所示,导电层112b在与导电层112a重叠的区域中包括开口143。

[0049] 开口141及开口143的顶面形状例如可以都呈圆形或椭圆形。开口141及开口143的

顶面形状也可以都呈三角形、四角形(包括长方形、菱形、正方形)、五角形等多角形或这些多角形的角部呈圆形的形状。如图1A所示,开口141及开口143的顶面形状优选都呈圆形。通过开口141及开口143的顶面形状呈圆形,可以提高形成开口141及开口143时的加工精度,可以形成微细的开口141及开口143。注意,在本说明书等中,圆形不局限于正圆。

[0050] 导电层112b的开口143一侧的端部优选与绝缘层110的开口141一侧的端部一致或大致一致。开口143的顶面形状也可以说与开口141的顶面形状一致或大致一致。注意,在本说明书等中,导电层112b的开口143一侧的端部是指导电层112b的开口143一侧的底面端部。导电层112b的底面是指绝缘层110一侧的面。绝缘层110的开口141一侧的端部是指绝缘层110的开口141一侧的顶面端部。绝缘层110的顶面是指导电层112b一侧的面。此外,开口143的顶面形状是指导电层112b的开口143一侧的底面端部的形状。开口141的顶面形状是指绝缘层110的开口141一侧的顶面端部的形状。

[0051] 端部一致或大致一致也可以说是端部对齐或大致对齐。在端部对齐或大致对齐的情况以及顶面形状一致或大致一致的情况下,可以说在俯视(也称为从平面看)时至少其边缘的一部分在层叠的各层间彼此重叠。例如,包括上层与下层由同一掩模图案或其一部分相同的掩模图案加工而成的情况。但是,实际上有边缘不重叠的情况,有时上层位于下层的内侧或者上层位于下层的外侧,这种情况也可以说“端部大致对齐”或“顶面形状大致一致”。

[0052] 开口141例如可以使用用于开口143的形成的抗蚀剂掩模形成。具体而言,形成将成为绝缘层110的绝缘膜、该绝缘膜上的将成为导电层112b的导电膜及该导电膜上的抗蚀剂掩模。并且,在使用该抗蚀剂掩模在该导电膜中形成开口143之后,使用该抗蚀剂掩模在该绝缘膜中形成开口141,由此可以使开口141的端部与开口143的端部一致或大致一致。通过采用这种结构,可以使工序简化。

[0053] 也可以在形成开口143之后通过与开口143不同的工序形成开口141。此外,对开口141及开口143的形成顺序没有特别的限制。例如,也可以在将成为绝缘层110的绝缘膜中形成开口141之后形成将成为导电层112b的导电膜且在该导电膜中形成开口143。

[0054] 导电层112b的开口143一侧的端部也可以不与绝缘层110的开口141一侧的端部一致。就是说,开口143的顶面形状也可以不与开口141的顶面形状一致。在俯视时,开口143优选包括开口141。导电层112b的开口143一侧的端部也可以位于绝缘层110的开口141一侧的端部的外侧。半导体层108包括与导电层112b的顶面及侧面、绝缘层110的顶面及侧面以及导电层112a的顶面接触的区域。通过采用这样的结构,形成在导电层112a、导电层112b及绝缘层110上的层(例如,半导体层108)的被形成面的阶段变小。因此,可以提高形成在导电层112a、导电层112b及绝缘层110上的层的覆盖性,因此可以抑制在该层中产生不良诸如断开或空洞。

[0055] 半导体层108以覆盖开口141及开口143的方式设置。半导体层108包括与导电层112b的顶面及侧面、绝缘层110的侧面以及导电层112a的顶面接触的区域。半导体层108通过开口141及开口143与导电层112a电连接。半导体层108具有沿着导电层112b的顶面及侧面、绝缘层110的侧面以及导电层112a的顶面的形状的形状。

[0056] 注意,在本实施方式中,在绝缘层110及导电层112b中设置开口141及开口143,以覆盖开口141及开口143的方式设置半导体层108,但是本发明的一个方式不局限于此。本发

明的一个方式的半导体装置只要包括在导电层112a上设置绝缘层110的第一区域以及在导电层112a上没有设置绝缘层110的第二区域就可。在晶体管100中,在因第一区域和第二区域而形成的台阶中设置半导体层108即可。绝缘层106设置在半导体层108上即可,导电层104以隔着绝缘层106与导电层112a和导电层112b之间的半导体层108重叠的方式设置即可。

[0057] 半导体层108优选覆盖导电层112b的开口143一侧的端部。图1C等示出半导体层108的端部位于导电层112b上的结构。半导体层108的端部也可以说与导电层112b的顶面接触。此外,半导体层108也可以延伸覆盖导电层112b的不面对开口143的一侧的端部。半导体层108的端部也可以与绝缘层110的顶面接触。

[0058] 图3D是摘要示出导电层112a及半导体层108的立体图。如图3C所示,半导体层108以覆盖开口141及开口143的方式设置。如图1C等所示,在开口141中,半导体层108包括与导电层112a的顶面接触的区域。具体而言,在开口141中,半导体层108优选包括与导电层112a₁的顶面接触的区域。

[0059] 在图1C等中示出半导体层108具有单层结构,但本发明的一个方式不局限于此。半导体层108也可以具有两层以上的叠层结构。

[0060] 被用作晶体管100的栅极绝缘层的绝缘层106以覆盖开口141及开口143的方式设置。绝缘层106设置在半导体层108、导电层112b及绝缘层110上。绝缘层106包括与半导体层108的顶面及侧面、导电层112b的顶面及侧面以及绝缘层110的顶面接触的区域。绝缘层106具有沿着绝缘层110的顶面、导电层112b的顶面及侧面、半导体层108的顶面及侧面以及导电层112a的顶面的形状的形状。

[0061] 被用作晶体管100的栅电极的导电层104设置在绝缘层106上,并包括与绝缘层106的顶面接触的区域。导电层104包括隔着绝缘层106与半导体层108重叠的区域。导电层104具有沿着绝缘层106的顶面的形状的形状。

[0062] 图3E是摘要示出导电层112a及导电层104的立体图。如图3E所示,导电层104以覆盖开口141及开口143的方式设置。

[0063] 如图1C等所示,在开口141及开口143中,导电层104包括隔着绝缘层106与半导体层108重叠的区域。此外,导电层104包括隔着绝缘层106及半导体层108与导电层112a重叠的区域以及与导电层112b重叠的区域。导电层104优选覆盖导电层112b的开口143一侧的端部。通过采用这种结构,可以在半导体层108中使在源电极与漏电极之间隔着栅极绝缘层与栅电极重叠的区域的整体用作沟道形成区域。

[0064] 接着,说明晶体管200的详细结构。

[0065] 导电层112b上设置有绝缘层106,绝缘层106上设置有绝缘层210,绝缘层210上设置有导电层212b。绝缘层106及绝缘层210包括夹在导电层112b与导电层212b之间的区域。导电层112b包括隔着绝缘层106及绝缘层210与导电层212b重叠的区域。绝缘层106及绝缘层210在与导电层112b重叠的区域包括开口241。在开口241中导电层112b露出。导电层212b在与导电层112b重叠的区域包括开口243。开口243设置在重叠于开口241的区域。

[0066] 图4A是摘要示出晶体管200的立体图。图4B是摘要示出导电层112b的立体图。图4C是摘要示出导电层112b、导电层212b、开口241及开口243的立体图。注意,用虚线示出设置在绝缘层106及绝缘层210中的开口241。如图4C所示,导电层212b在与导电层112b重叠的区

域中包括开口243。

[0067] 开口241及开口243的顶面形状可以参照有关开口141及开口143的记载。如图1A所示,开口241及开口243的顶面形状优选呈圆形。

[0068] 导电层212b的开口243一侧的端部优选与绝缘层210的开口241一侧的端部一致或大致一致。开口243的顶面形状也可以说与开口241的顶面形状一致或大致一致。注意,在本说明书等中,导电层212b的开口243一侧的端部是指导电层212b的开口243一侧的底面端部。导电层212b的底面是指绝缘层210一侧的面。绝缘层210的开口241一侧的端部是指绝缘层210的开口241一侧的顶面端部。绝缘层210的顶面是指导电层212b一侧的面。此外,开口243的顶面形状是指导电层212b的开口243一侧的底面端部的形状。开口241的顶面形状是指绝缘层210的开口241一侧的顶面端部的形状。

[0069] 开口241及开口243的形成可以使用与开口141及开口143的形成同样的方法。注意,导电层212b的开口243一侧的端部也可以不与绝缘层210的开口241一侧的端部一致。

[0070] 半导体层208以覆盖开口241及开口243的方式设置。半导体层208包括与导电层212b的顶面及侧面、绝缘层110的侧面、绝缘层106的侧面以及导电层112b的顶面接触的区域。半导体层208通过开口241及开口243与导电层112b电连接。半导体层208具有沿着导电层212b的顶面及侧面、绝缘层210的侧面、绝缘层106的侧面以及导电层112b的顶面的形状的形状。

[0071] 注意,在本实施方式中,在绝缘层106、绝缘层210及导电层212b中设置开口241及开口243,以覆盖开口241及开口243的方式设置半导体层208,但是本发明的一个方式不局限于此。本发明的一个方式的半导体装置只要包括在导电层112b上设置绝缘层106及绝缘层110的第三区域以及在导电层112b上没有设置绝缘层106和绝缘层110的第四区域中的一方或双方就可。在晶体管200中,在因第三区域和第四区域而形成的台阶中设置半导体层208即可。绝缘层206设置在半导体层208上即可,导电层204以隔着绝缘层206与导电层112b和导电层212b之间的半导体层208重叠的方式设置即可。

[0072] 半导体层208优选覆盖导电层212b的开口243一侧的端部。图1C等示出半导体层208的端部位于导电层212b上的结构。半导体层208的端部也可以说与导电层212b的顶面接触。此外,半导体层208也可以延伸覆盖导电层212b的不面对开口243的一侧的端部。半导体层208的端部也可以与绝缘层210的顶面接触。

[0073] 图4D是摘要示出导电层112b及半导体层208的立体图。如图4D所示,半导体层208以覆盖开口241及开口243的方式设置。在开口241中,半导体层208包括与导电层112b的顶面接触的区域。

[0074] 在图1C等中示出半导体层208具有单层结构,但本发明的一个方式不局限于此。半导体层208也可以具有两层以上的叠层结构。

[0075] 被用作晶体管200的栅极绝缘层的绝缘层206以覆盖开口241及开口243的方式设置。绝缘层206设置在半导体层208、导电层212b及绝缘层210上。绝缘层206包括与半导体层208的顶面及侧面、导电层212b的顶面及侧面以及绝缘层210的顶面接触的区域。绝缘层206具有沿着绝缘层210的顶面、导电层212b的顶面及侧面、半导体层208的顶面及侧面以及导电层112b的顶面的形状的形状。

[0076] 被用作晶体管200的栅电极的导电层204设置在绝缘层206上,并包括与绝缘层206

的顶面接触的区域。导电层204包括隔着绝缘层206与半导体层208重叠的区域。导电层204具有沿着绝缘层206的顶面的形状的形状。

[0077] 图4E是摘要示出导电层112b及导电层204的立体图。如图4E所示,导电层204以覆盖开口241及开口243的方式设置。

[0078] 如图1C等所示,在开口241及开口243中,导电层204包括隔着绝缘层206与半导体层208重叠的区域。此外,导电层204包括隔着绝缘层206及半导体层208与导电层112b重叠的区域以及与导电层212b重叠的区域。导电层204优选覆盖导电层212b的开口243一侧的端部。通过采用这种结构,可以在半导体层208中使在源电极与漏电极之间隔着栅极绝缘层与栅电极重叠的区域的整体用作沟道形成区域。

[0079] 晶体管100是在半导体层108的上方包括栅电极的所谓顶栅型晶体管。再者,由于半导体层108的底面与源电极及漏电极接触,所以可以说是TGBC (Top Gate Bottom Contact: 顶栅底接触) 型晶体管。同样地,可以将晶体管200称为TGBC型晶体管。

[0080] 导电层112a、导电层112b及导电层104可以都被用作布线,晶体管100可以设置在这些布线重叠的区域。同样地,导电层112b、导电层212b及导电层104可以都被用作布线,晶体管200可以设置在这些布线重叠的区域。也就是说,在包括晶体管100、晶体管200及该布线的电路中,可以缩小晶体管100、晶体管200及布线的占有面积。因此,可以缩小电路的占有面积而实现小型半导体装置。晶体管100也可以包括与晶体管200重叠的区域。当晶体管100包括与晶体管200重叠的区域时,可以进一步缩小电路的占有面积。例如,在本发明的一个方式的半导体装置用于显示装置的像素电路时,可以缩小像素电路的占有面积,可以实现高清晰显示装置。此外,在用于显示装置的驱动电路(例如,栅极线驱动电路及源极线驱动电路)时,可以缩小驱动电路的占有面积,因此可以实现窄边框的显示装置。

[0081] 在本发明的一个方式的半导体装置中,用作布线的导电层112a、导电层112b、导电层104、导电层212b及导电层204分别设置在不同层中。因此,可以在各层中配置各导电层,布局自由度得到提高,可以缩小电路的占有面积。

[0082] 这里,参照图5A及图5B说明晶体管100的沟道长度及沟道宽度。图5A是晶体管100的俯视图。图5B是图1C的放大图。

[0083] 在半导体层108中,与导电层112a接触的区域被用作源区域和漏区域中的另一个,与导电层112b接触的区域被用作源区域和漏区域中的一个,源区域与漏区域之间的区域被用作沟道形成区域。

[0084] 晶体管100的沟道长度为源区域与漏区域之间的距离。图5B中以虚线的双箭头表示晶体管100的沟道长度 L_{100} 。沟道长度 L_{100} 在截面中成为半导体层108接触于导电层112a的区域的端部与半导体层108接触于导电层112b的区域的端部的距离。

[0085] 在此,晶体管100的沟道长度 L_{100} 相当于在截面中的绝缘层110的开口141一侧的侧面的长度。也就是说,沟道长度 L_{100} 由绝缘层110的厚度 T_{110} 、绝缘层110的开口141一侧的侧面与绝缘层110的被形成面(这里,导电层112a的顶面)而成的角度 θ_{110} 决定,不受用于晶体管的制造的曝光装置的性能的影响。因此,可以使沟道长度 L_{100} 设为比曝光装置的极限分辨率小的值,可以实现微细的晶体管。例如,沟道长度 L_{100} 优选为 $0.01\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.05\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.1\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.15\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $2.5\mu\text{m}$,更优选为 $0.2\mu\text{m}$

以上且小于 $2\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$,更优选为 $0.3\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下,更优选为 $0.3\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.4\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.4\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下,更优选为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下。在图5B中,以点划线的双箭头表示绝缘层110的厚度 T_{110} 。

[0086] 通过缩小沟道长度 L_{100} ,可以增大晶体管100的通态电流。通过使用晶体管100,可以制造能够高速工作的电路。再者,可以缩小电路的占有面积。因此,可以实现小型半导体装置。例如,在本发明的一个方式的半导体装置用于大型显示装置或高清晰的显示装置的情况下,在布线数增加时也可以降低各布线的信号延迟,由此可以抑制显示不均匀。此外,由于可以缩小电路的占有面积,所以可以缩小显示装置的边框。

[0087] 通过调整绝缘层110的厚度 T_{110} 及角度 θ_{110} ,可以控制沟道长度 L_{100} 。

[0088] 绝缘层110的厚度 T_{110} 优选为 $0.01\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.05\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.1\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.15\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $2.5\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $2\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$,更优选为 $0.3\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下,更优选为 $0.3\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.4\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.4\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下,更优选为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下。

[0089] 绝缘层110的开口141一侧的侧面优选具有锥形形状。由绝缘层110的开口141一侧的侧面与绝缘层110的被形成面(这里,导电层112a的顶面)而成的角度 θ_{110} 优选小于 90° 。通过减小角度 θ_{110} ,可以提高设置在绝缘层110上的层(例如,半导体层108)的覆盖性。但是,有时由于减小角度 θ_{110} 而半导体层108与导电层112a的接触面积变小,因此半导体层108与导电层112a的接触电阻上升。角度 θ_{110} 优选为 45° 以上且小于 90° ,更优选为 50° 以上且小于 90° ,更优选为 55° 以上且小于 90° ,更优选为 60° 以上且小于 90° ,更优选为 60° 以上且 85° 以下,更优选为 65° 以上且 85° 以下,更优选为 65° 以上且 80° 以下,更优选为 70° 以上且 80° 以下。通过使角度 θ_{110} 设在上述范围内,可以提高形成在导电层112a及绝缘层110上的层(例如,半导体层108)的覆盖性,由此可以抑制该层中产生断开或空洞等不良。此外,可以降低半导体层108与导电层112a的接触电阻。

[0090] 注意,在图5B等中示出在截面中绝缘层110的开口141一侧的侧面的形状为直线的结构,但本发明的一个方式不局限于此。在截面中绝缘层110的开口141一侧的侧面的形状也可以为曲线,也可以包括侧面的形状为直线的区域及曲线的区域的双方。

[0091] 导电层112b优选没有设置在开口141的内侧。具体而言,导电层112b优选不包括与绝缘层110的开口141一侧的侧面接触的区域。当将导电层112b还设置在开口141的内侧时,晶体管100的沟道长度 L_{100} 比绝缘层110的侧面的长度短,因此有时沟道长度 L_{100} 的控制变得困难。因此,优选的是,开口143的顶面形状与开口141的顶面形状一致或者在俯视时开口143包括开口141。

[0092] 晶体管100的沟道宽度为与沟道长度方向正交的方向上的源区域的宽度或漏区域的宽度。也就是说,沟道宽度为与沟道长度方向正交的方向上的半导体层108与导电层112a接触的区域或半导体层108与导电层112b接触的区域。这里,以与沟道长度方向正交的方向上的半导体层108与导电层112b接触的区域为晶体管100的沟道宽度进行说明。图5A及图5B中以实线的双箭头表示晶体管100的沟道宽度 W_{100} 。沟道宽度 W_{100} 在

俯视时成为开口143一侧的导电层112b的底面端部的长度。

[0093] 沟道宽度W100由开口143的顶面形状决定。图5A及图5B中以双点划线的双箭头表示开口143的宽度D143。宽度D143是指在俯视时与开口143外接的最小矩形的短边。在通过光刻法形成开口143时,开口143的宽度D143为曝光装置的极限分辨率以上。宽度D143例如优选为 $0.2\mu\text{m}$ 以上且小于 $5\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $4.5\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $4\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $3.5\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $3\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $2.5\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $2\mu\text{m}$,更优选为 $0.2\mu\text{m}$ 以上且小于 $1.5\mu\text{m}$,更优选为 $0.3\mu\text{m}$ 以上且 $1.5\mu\text{m}$ 以下,更优选为 $0.3\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.4\mu\text{m}$ 以上且 $1.2\mu\text{m}$ 以下,更优选为 $0.4\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下,更优选为 $0.5\mu\text{m}$ 以上且 $1\mu\text{m}$ 以下。注意,在开口143的顶面形状呈圆形时,宽度D143相当于开口143的直径,沟道宽度W100可以被算出为“ $D143 \times \pi$ ”。

[0094] 参照图6A及图6B说明晶体管200的沟道长度及沟道宽度。图6A是晶体管200的俯视图。图6B是图1C的放大图。

[0095] 在半导体层208中,与导电层112b接触的区域被用作源区域和漏区域中的一个,与导电层212b接触的区域被用作源区域和漏区域中的另一个,源区域与漏区域之间的区域被用作沟道形成区域。

[0096] 图6B中以虚线的双箭头表示晶体管200的沟道长度L200。沟道长度L200在截面中成为半导体层208接触于导电层112b的区域的端部与半导体层208接触于导电层212b的区域的端部的距离。

[0097] 在此,晶体管200的沟道长度L200相当于截面图中的绝缘层106的开口241一侧的侧面的长度和绝缘层210的开口241一侧的侧面的长度之和。就是说,沟道长度L200根据绝缘层210的厚度T210、绝缘层106的厚度T106以及绝缘层106的开口241一侧的侧面和绝缘层106的被形成面(在此,导电层112b的顶面)所形成的角度 $\theta 106$ 而决定。在图6B中,以点划线的箭头示出绝缘层106的厚度T106,以点划线的双箭头示出绝缘层210的厚度T210。沟道长度L200优选在上述沟道长度L100的范围内。通过调节绝缘层106的厚度T106、角度 $\theta 106$ 以及绝缘层210的厚度T210,可以控制沟道长度L200。

[0098] 绝缘层106的厚度T106和绝缘层210的厚度T210之和优选在上述绝缘层110的厚度T110的范围内。

[0099] 绝缘层106及绝缘层210的开口241一侧的侧面优选具有锥形形状。尤其是,绝缘层106的开口241一侧的侧面和绝缘层106的被形成面(在此,导电层112b的顶面)所形成的角度 $\theta 106$ 优选小于 90° 。角度 $\theta 106$ 优选在上述绝缘层110的角度 $\theta 110$ 的范围内。

[0100] 绝缘层106的厚度T106和绝缘层210的厚度T210之和与上述绝缘层110的厚度T110既可以相同又可以不同。绝缘层106的角度 $\theta 106$ 与绝缘层110的角度 $\theta 110$ 既可以相同又可以不同。通过使厚度T106和厚度T210之和与厚度T110相等或大致相等且使角度 $\theta 106$ 与角度 $\theta 110$ 相等或大致相等,可以使晶体管100的沟道长度L100与晶体管200的沟道长度L200相等或大致相等。通过使厚度T106和厚度T210之和与厚度T110不同或者使角度 $\theta 106$ 与角度 $\theta 110$ 不同,可以使晶体管100的沟道长度L100与晶体管200的沟道长度L200不同。

[0101] 注意,在图6B等中示出在截面中绝缘层106及绝缘层210的开口241一侧的侧面的形状为直线的结构,但本发明的一个方式不局限于此。

[0102] 导电层212b优选没有设置在开口241的内侧。具体而言,导电层212b优选不包括与

绝缘层106及绝缘层210的开口241一侧的侧面接触的区域。在将导电层212b还设置在开口241的内侧时,有时晶体管200的沟道长度L200比绝缘层210的侧面和绝缘层106的侧面的长度之和小,沟道长度L200的控制变困难。因此,优选的是,开口243的顶面形状与开口241的顶面形状一致或者在俯视时开口243包括开口241。

[0103] 图6A及图6B中以实线的双箭头表示晶体管200的沟道宽度W200。沟道宽度W200在俯视时成为开口243一侧的导电层212b的底面端部的长度。

[0104] 沟道宽度W200由开口243的顶面形状决定。图6A及图6B中以双点划线的双箭头表示开口243的宽度D243。宽度D243是指在俯视时与开口243外接的最小矩形的短边。开口243的宽度D243优选在上述开口143的宽度D143的范围内。开口243的宽度D243也可以与开口143的宽度D143不同。当开口243的顶面形状呈圆形时,宽度D243相当于开口243的直径,可以将沟道宽度W200计算为“ $D243 \times \pi$ ”。开口243的宽度D243与开口143的宽度D143既可以相同又可以不同。通过使开口143和开口243具有相同的顶面形状且使开口的宽度相等或大致相等,可以使晶体管100的沟道宽度W100和晶体管200的沟道宽度W200相等或大致相等。当在开口143和开口243之间使顶面形状和宽度中的一方或双方不同时,可以使晶体管100的沟道宽度W100和晶体管200的沟道宽度W200不同。

[0105] 晶体管100及晶体管200上设置有绝缘层195。绝缘层195被用作半导体装置10的保护层。

[0106] 用作半导体装置10的保护层的绝缘层195优选使用不容易使杂质扩散的材料。通过设置绝缘层195,可以有效地抑制杂质从外部扩散到晶体管中,从而可以提高半导体装置的可靠性。作为杂质例如可以举出水及氢。绝缘层195可以为包含无机材料的绝缘层或包含有机材料的绝缘层。绝缘层195例如可以适当地使用氧化物或氮化物的无机材料。更具体而言,可以使用氮化硅、氮氧化硅、氧氮化硅、氧化铝、氧氮化铝、氮化铝、氧化镓和铝酸镓中的一个或多个。作为有机材料例如可以使用丙烯酸树脂和聚酰亚胺树脂中的一个或多个。作为有机材料也可以使用感光性材料。此外,也可以层叠两层以上的上述绝缘膜而使用。绝缘层195也可以具有包含无机材料的绝缘层及包含有机材料的绝缘层的叠层结构。

[0107] 以下说明包括在本实施方式的半导体装置中的构成要素。

[0108] (半导体装置的构成要素)

[半导体层108、半导体层208]

对可用于半导体层108的半导体材料没有特别的限制。例如,可以使用单一材料的半导体或化合物半导体。作为单一材料的半导体例如可以使用硅或锗。作为化合物半导体例如可以举出砷化镓、硅锗。作为化合物半导体可以使用具有半导体特性的有机物或具有半导体特性的金属氧化物(也称为氧化物半导体)。注意,这些半导体材料也可以包含杂质作为掺杂剂。

[0109] 对用于半导体层108的半导体材料的结晶性没有特别的限制,可以使用非晶半导体或具有结晶性的半导体(单晶半导体、多晶半导体、微晶半导体或其一部分具有结晶区域的半导体)。当使用具有结晶性的半导体时可以抑制晶体管的特性劣化,所以是优选的。

[0110] 半导体层108可以使用硅。作为硅可以举出单晶硅、多晶硅、微晶硅及非晶硅。作为多晶硅例如可以举出低温多晶硅(LTPS:Low Temperature Poly Silicon)。

[0111] 作为半导体层108使用非晶硅的晶体管可以形成在大型玻璃衬底上,可以以低成

本制造。作为半导体层108使用多晶硅的晶体管具有高场效应迁移率而能够进行高速工作。此外,作为半导体层108使用微晶硅的晶体管与使用非晶硅的晶体管相比具有高场效应迁移率而能够进行高速工作。

[0112] 半导体层108优选包含具有半导体特性的金属氧化物(氧化物半导体)。作为可用于半导体层108的金属氧化物例如可以举出铟氧化物、镓氧化物及锌氧化物。金属氧化物优选至少包含铟(In)或锌(Zn)。此外,金属氧化物优选包含选自铟、元素M和锌中的两个或三个。注意,元素M是选自镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、钼、镧、铈、钕、钐、钆、铽、铒、铕和镱中的一种或多种。尤其是,元素M优选为选自铝、镓、钇和锡中的一种或多种。元素M优选为镓。

[0113] 半导体层108例如可以使用氧化铟、铟锌氧化物(In-Zn氧化物)、铟锡氧化物(In-Sn氧化物)、铟钛氧化物(In-Ti氧化物)、铟铝锌氧化物(In-Al-Zn氧化物,也记为IAZO)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锌氧化物(In-Ga-Zn氧化物,也记为IGZO)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物,也记为IGZTO)、铟镓铝锌氧化物(In-Ga-Al-Zn氧化物,也记为IGAZO或IAGZO)等。或者,可以使用含硅的铟锡氧化物等。

[0114] 这里,半导体层108所包含的金属氧化物的组成给晶体管100的电特性及可靠性带来很大的影响。

[0115] 例如,通过提高金属氧化物中的相对于所有的含有金属元素的原子数之和的铟的原子数的比率,可以实现通态电流大的晶体管。

[0116] 在作为半导体层108使用In-Zn氧化物的情况下,优选使用铟的原子数比为锌的原子数比以上的金属氧化物。例如,可以使用金属元素的原子数比为In:Zn=1:1、In:Zn=2:1、In:Zn=3:1、In:Zn=4:1、In:Zn=5:1、In:Zn=7:1、In:Zn=10:1或其附近的金属氧化物。

[0117] 在作为半导体层108使用In-Sn氧化物的情况下,优选使用铟的原子数比为锡的原子数比以上的金属氧化物。例如,可以使用金属元素的原子数比为In:Sn=1:1、In:Sn=2:1、In:Sn=3:1、In:Sn=4:1、In:Sn=5:1、In:Sn=7:1、In:Sn=10:1或其附近的金属氧化物。

[0118] 在作为半导体层108使用In-Sn-Zn氧化物的情况下,可以使用铟的原子数比高于锡的原子数比的金属氧化物。再者,优选使用铟的原子数比高于锡的原子数比的金属氧化物。例如,可以使用金属元素的原子数比为In:Sn:Zn=2:1:3、In:Sn:Zn=3:1:2、In:Sn:Zn=4:2:3、In:Sn:Zn=4:2:4.1、In:Sn:Zn=5:1:3、In:Sn:Zn=5:1:6、In:Sn:Zn=5:1:7、In:Sn:Zn=5:1:8、In:Sn:Zn=6:1:6、In:Sn:Zn=10:1:3、In:Sn:Zn=10:1:6、In:Sn:Zn=10:1:7、In:Sn:Zn=10:1:8、In:Sn:Zn=5:2:5、In:Sn:Zn=10:1:10、In:Sn:Zn=20:1:10、In:Sn:Zn=40:1:10或其附近的金属氧化物。

[0119] 在作为半导体层108使用In-Al-Zn氧化物时,可以使用铟的原子数比高于铝的原子数比的金属氧化物。再者,优选使用铟的原子数比高于铝的原子数比的金属氧化物。例如,可以使用金属元素的原子数比为In:Al:Zn=2:1:3、In:Al:Zn=3:1:2、In:Al:Zn=4:2:3、In:Al:Zn=4:2:4.1、In:Al:Zn=5:1:3、In:Al:Zn=5:1:6、In:Al:Zn=5:1:7、In:Al:Zn=5:1:8、In:Al:Zn=6:1:6、In:Al:Zn=10:1:3、In:Al:Zn=10:1:6、In:Al:Zn=10:1:7、In:Al:Zn=10:1:8、In:Al:Zn=5:2:5、In:Al:Zn=10:1:10、In:Al:Zn=20:1:10、In:Al:Zn

=40:1:10或其附近的金属氧化物。

[0120] 在作为半导体层108使用In-Ga-Zn氧化物时,可以使用相对于所有的含有金属元素的原子数之和的铟的原子数比高于镓的原子数比的金属氧化物。再者,更优选使用锌的原子数比高于镓的原子数比的金属氧化物。例如,半导体层108可以使用金属元素的原子数比为In:Ga:Zn=2:1:3、In:Ga:Zn=3:1:2、In:Ga:Zn=4:2:3、In:Ga:Zn=4:2:4.1、In:Ga:Zn=5:1:3、In:Ga:Zn=5:1:6、In:Ga:Zn=5:1:7、In:Ga:Zn=5:1:8、In:Ga:Zn=6:1:6、In:Ga:Zn=10:1:3、In:Ga:Zn=10:1:6、In:Ga:Zn=10:1:7、In:Ga:Zn=10:1:8、In:Ga:Zn=5:2:5、In:Ga:Zn=10:1:10、In:Ga:Zn=20:1:10、In:Ga:Zn=40:1:10或其附近的金属氧化物。

[0121] 在作为半导体层108使用In-M-Zn氧化物时,可以使用相对于所有的含有金属元素的原子数之和的铟的原子数比高于元素M的原子数比的金属氧化物。再者,更优选使用锌的原子数比高于元素M的原子数比的金属氧化物。例如,半导体层108可以使用金属元素的原子数比为In:M:Zn=2:1:3、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:3、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=10:1:3、In:M:Zn=10:1:6、In:M:Zn=10:1:7、In:M:Zn=10:1:8、In:M:Zn=5:2:5、In:M:Zn=10:1:10、In:M:Zn=20:1:10、In:M:Zn=40:1:10或其附近的金属氧化物。

[0122] 注意,在作为元素M包含多个金属元素时,该金属元素的原子数比的总计可以为元素M的原子数比。例如,在采用作为元素M包含镓及铝的In-Ga-Al-Zn氧化物时,镓的原子数比和铝的原子数比的总计可以为元素M的原子数比。此外,铟、元素M及锌的原子数比优选在上述范围内。例如,在采用作为元素M包含镓及锡的In-Ga-Sn-Zn氧化物时,镓的原子数比和锡的原子数比的总计可以为元素M的原子数比。此外,铟、元素M及锌的原子数比优选在上述范围内。

[0123] 优选使用如下金属氧化物:金属氧化物中的相对于所有的含有金属元素的原子数之和的铟的原子数的比率为30原子%以上且100原子%以下,优选为30原子%以上且95原子%以下,更优选为35原子%以上且95原子%以下,更优选为35原子%以上且90原子%以下,更优选为40原子%以上且90原子%以下,更优选为45原子%以上且90原子%以下,更优选为50原子%以上且80原子%以下,更优选为60原子%以上且80原子%以下,更优选为70原子%以上且80原子%以下。例如,在作为半导体层108使用In-Ga-Zn氧化物的情况下,相对于铟、元素M及锌的原子数的总计的铟的原子数的比率优选在上述范围内。

[0124] 在本说明书等中,相对于所有的含有金属元素的原子数之和的铟的原子数的比率有时记载为铟的含有率。其他金属元素也是同样的。

[0125] 通过提高金属氧化物的铟的含有率,可以实现通态电流大的晶体管。通过将该晶体管用于需要大的通态电流的晶体管,可以实现具有优异的电特性的半导体装置。

[0126] 金属氧化物的组成的分析例如可以使用能量色散X射线分析法(EDX:Energy Dispersive X-ray Spectrometry)、X射线光电电子能谱法(XPS:X-ray Photoelectron Spectrometry)、电感耦合等离子体质谱分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)或电感耦合等离子体原子发射光谱法(ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry)。或者,也可以组合多个上述方法而分析。注意,含有率低的元素有时受分析精度的影响实际上的含有率与分析所得的含有率不

同。例如,当元素M的含有率低时,有时分析所得的元素M的含有率低于实际上的含有率。

[0127] 在本说明书等中,附近的组成包括所希望的原子数比的 $\pm 30\%$ 的范围。例如,当记载为原子数比为In:M:Zn=4:2:3或其附近的组成时包括如下情况:铟的原子数比为4时,M的原子数比为1以上且3以下,锌的原子数比为2以上且4以下。此外,当记载为原子数比为In:M:Zn=5:1:6或其附近的组成时包括如下情况:铟的原子数比为5时,M的原子数比大于0.1且为2以下,锌的原子数比为5以上且7以下。此外,当记载为原子数比为In:M:Zn=1:1:1或其附近的组成时包括如下情况:铟的原子数比为1时,M的原子数比大于0.1且为2以下,锌的原子数比大于0.1且为2以下。

[0128] 金属氧化物可以适当地利用溅射法或原子层沉积(ALD:Atomic Layer Deposition)法形成。注意,在利用溅射法形成金属氧化物的情况下,有时靶材的原子数比与该金属氧化物的原子数比不同。尤其是,金属氧化物中的锌的原子数比有时小于靶材中的锌的原子数比。具体而言,该锌的原子数比有时为靶材中的锌的原子数比的40%以上且90%以下左右。

[0129] 这里,说明晶体管的可靠性。作为评价晶体管的可靠性的指标之一,有保持对栅极施加电场的状态的GBT(Gate Bias Temperature:栅极偏置)应力测试。其中,相对于源极电位及漏极电位,对栅极施加正电位(正偏压)的状态下在高温下保持的测试称为PBTS(Positive Bias Temperature Stress)测试,对栅极施加负电位(负偏压)的状态下在高温下保持的测试称为NBTS(Negative Bias Temperature Stress)测试。此外,将在照射光的状态下进行的PBTS测试及NBTS测试分别称为PBTIS(Positive Bias Temperature Illumination Stress)测试及NBTIS(Negative Bias Temperature Illumination Stress)测试。

[0130] 在n型晶体管中,使晶体管开启状态(流过电流的状态)时对栅极施加正电位,因此PBTS测试的阈值电压的变动量是作为晶体管的可靠性指标要着眼的重要因素之一。

[0131] 通过在半导体层108中使用不包含镓或镓的含有率低的金属氧化物,可以实现对于正偏压施加的可靠性高的晶体管。也就是说,可以实现PBTS测试中的阈值电压的变动量小的晶体管。此外,在使用含镓的金属氧化物时,镓的含有率优选比铟的含有率低。由此,可以实现可靠性高的晶体管。

[0132] 作为PBTS测试中的阈值电压的变动的原因之一,可以举出在半导体层和栅极绝缘层的界面或界面附近的缺陷态。缺陷态密度越大,PBTS测试中的劣化越显著。通过降低半导体层的与栅极绝缘层接触的区域镓的含有率,可以抑制该缺陷态的生成。

[0133] 作为通过使用不包含镓或镓的含有率低的金属氧化物作为半导体层可以抑制PBTS测试中的阈值电压的变动的理由例如可以考虑如下。包含在金属氧化物中的镓与其他金属元素(例如铟或锌)相比更容易抽吸氧。因此,可推测在包含较多的镓的金属氧化物与栅极绝缘层的界面,通过镓与栅极绝缘层中的过剩氧键合,容易产生载流子(这里是电子)陷阱位点(trap site)。因此,当对栅极施加正电位时,在半导体层与栅极绝缘层的界面载流子被俘获,阈值电压会变动。

[0134] 更具体而言,在作为半导体层108使用In-Ga-Zn氧化物的情况下,可以将铟的原子数比高于镓的原子数比的金属氧化物用于半导体层108。更优选使用锌的原子数比高于镓的原子数比的金属氧化物。换言之,优选将金属元素的原子数比满足 $\text{In} > \text{Ga}$ 且 $\text{Zn} > \text{Ga}$ 的金属

氧化物用于半导体层108。

[0135] 例如,半导体层108可以使用金属元素的原子数比为In:Ga:Zn=2:1:3、In:Ga:Zn=3:1:2、In:Ga:Zn=4:2:3、In:Ga:Zn=4:2:4.1、In:Ga:Zn=5:1:3、In:Ga:Zn=5:1:6、In:Ga:Zn=5:1:7、In:Ga:Zn=5:1:8、In:Ga:Zn=6:1:6、In:Ga:Zn=10:1:3、In:Ga:Zn=10:1:6、In:Ga:Zn=10:1:7、In:Ga:Zn=10:1:8、In:Ga:Zn=5:2:5、In:Ga:Zn=10:1:10、In:Ga:Zn=20:1:10、In:Ga:Zn=40:1:10或其附近的金属氧化物。

[0136] 半导体层108优选使用如下金属氧化物:相对于所有的含有金属元素的原子数之和的镓的原子数的比率高于0原子%且为50原子%以下,优选为0.1原子%以上且40原子%以下,更优选为0.1原子%以上且35原子%以下,更优选为0.1原子%以上且30原子%以下,更优选为0.1原子%以上且25原子%以下,更优选为0.1原子%以上且20原子%以下,更优选为0.1原子%以上且15原子%以下,更优选为0.1原子%以上且10原子%以下。通过降低半导体层中的镓的含有率,可以实现对于PBTS测试的耐性高的晶体管。注意,通过在金属氧化物中含有镓,具有不容易在金属氧化物中产生氧空位(V_0 :Oxygen Vacancy)的效果。

[0137] 作为半导体层108,也可以使用不包含镓的金属氧化物。例如,可以将In-Zn氧化物用于半导体层108。此时,当提高金属氧化物中的相对于所有的含有金属元素的原子数之和的铟的原子数比时,可以提高晶体管的场效应迁移率。另一方面,当提高金属氧化物中的相对于所有的含有金属元素的原子数之和的锌的原子数比时,金属氧化物具有高结晶性,因此晶体管的电特性的变动得到抑制,可以提高可靠性。此外,作为半导体层108也可以使用氧化铟等不包含镓及锌的金属氧化物。通过使用不包含镓的金属氧化物,尤其是可以使PBTS测试中的阈值电压的变动极为小。

[0138] 例如,可以作为半导体层108使用包含铟及锌的氧化物。此时,可以使用例如金属元素的原子数比为In:Zn=2:3、In:Zn=4:1或其附近的金属氧化物。

[0139] 注意,以镓为例进行说明,但也可以应用于使用元素M代替镓的情况。作为半导体层108优选使用铟的原子数比高于元素M的原子数比的金属氧化物。此外,优选使用锌的原子数比高于元素M的原子数比的金属氧化物。

[0140] 通过作为半导体层108使用元素M的含有率低的金属氧化物,可以实现对于正偏压施加具有高可靠性的晶体管。通过将该晶体管用作需要对于正偏压施加具有高可靠性的晶体管,可以实现具有高可靠性的半导体装置。

[0141] 接着,说明对于光的晶体管的可靠性。

[0142] 由于光入射到晶体管,有时晶体管的电特性变动。尤其优选的是,用于光有可能入射的区域的晶体管在光照射下的电特性变动小且对于光具有高可靠性。对于光的可靠性例如可以通过NBTIS测试中的阈值电压的变动量进行评价。

[0143] 通过提高金属氧化物的元素M的含有率,可以实现对于光具有高可靠性的晶体管。也就是说,可以实现NBTIS测试中的阈值电压的变动量小的晶体管。具体而言,元素M的原子数比为铟的原子数比以上的金属氧化物的带隙更大,可以使晶体管的NBTIS测试中的阈值电压的变动量减少。半导体层108所包含的金属氧化物的带隙优选为2.0eV以上,更优选为2.5eV以上,更优选为3.0eV以上,更优选为3.2eV以上,更优选为3.3eV以上,更优选为3.4eV以上,更优选为3.5eV以上。

[0144] 例如,半导体层108可以使用金属元素的原子数比为In:M:Zn=1:1:1、In:M:Zn=

1:1:1.2、In:M:Zn=1:3:2、In:M:Zn=1:3:3、In:M:Zn=1:3:4或其附近的金属氧化物。

[0145] 半导体层108尤其可以适当地使用如下金属氧化物:相对于所有的含有金属元素的原子数之和的元素M的原子数的比率为20原子%以上且70原子%以下,优选为30原子%以上且70原子%以下,更优选为30原子%以上且60原子%以下,更优选为40原子%以上且60原子%以下,更优选为50原子%以上且60原子%以下。

[0146] 在作为半导体层108使用In-Ga-Zn氧化物时,可以使用相对于所有的含有金属元素的原子数之和的镓的原子数比为镓的原子数比以下的金属氧化物。例如,可以使用金属元素的原子数比为In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:1.2、In:Ga:Zn=1:3:2、In:Ga:Zn=1:3:3、In:Ga:Zn=1:3:4或其附近的金属氧化物。

[0147] 半导体层108尤其优选使用如下金属氧化物:相对于所有的含有金属元素的原子数之和的镓的原子数的比率为20原子%以上且60原子%以下,优选为20%原子%以上且50原子%以下,更优选为30原子%以上且50原子%以下,更优选为40%原子%以上且60原子%以下,更优选为50%原子%以上且60原子%以下。

[0148] 通过对半导体层108使用元素M的含有率高的金属氧化物,可以实现对于光具有高可靠性的晶体管。通过将该晶体管用作需要对于光具有高可靠性的晶体管,可以实现具有高可靠性的半导体装置。

[0149] 如上所述,根据用于半导体层108的金属氧化物的组成而晶体管的电特性及可靠性不同。因此,通过根据晶体管所需的电特性及可靠性使金属氧化物的组成不同,可以实现兼具优异的电特性及高可靠性的半导体装置。

[0150] 半导体层108也可以具有包括两个以上的金属氧化物层的叠层结构。半导体层108所包括的两个以上的金属氧化物层的组成也可以彼此相同或大致相同。通过采用组成相同的金属氧化物层的叠层结构,例如可以使用相同的溅射靶材形成,因此可以降低制造成本。

[0151] 半导体层108所包括的两个以上的金属氧化物层的组成也可以彼此不同。例如,可以适当地使用In:M:Zn=1:3:4[原子数比]或其附近的组成的第一金属氧化物层以及设置于该第一金属氧化物层上的In:M:Zn=1:1:1[原子数比]或其附近的组成的第二金属氧化物层的叠层结构。此外,作为元素M特别优选使用镓或铝。例如,也可以使用选自铟氧化物、铟镓氧化物和IGZO中的任一个及IAZO、IAGZO和ITZO(注册商标)中的任一个的叠层结构。

[0152] 作为半导体层108优选使用具有结晶性的金属氧化物层。例如,可以使用具有CAAC(c-axis aligned crystal)结构、多晶结构、微晶(nc:nano-crystal)结构等的金属氧化物层。通过将具有结晶性的金属氧化物层用于半导体层108,可以降低半导体层108中的缺陷态密度,由此可以实现可靠性高的半导体装置。

[0153] 用于半导体层108的金属氧化物层的结晶性越高,越可以降低半导体层108中的缺陷态密度。另一方面,通过使用结晶性低的金属氧化物层,可以实现能够流过大电流的晶体管。

[0154] 在利用溅射法形成金属氧化物层时,形成时的衬底温度越高,越可以形成结晶性高的金属氧化物层。形成时的衬底温度例如可以通过放置衬底的载物台的温度调整。此外,相对于在形成时使用的沉积气体整体的氧气体的流量比率(以下,也称为氧流量比)或沉积装置的处理室内的氧分压越高,越可以形成结晶性高的金属氧化物层。

[0155] 半导体层108也可以具有结晶性不同的两个以上的金属氧化物层的叠层结构。例

如,可以具有第一金属氧化物层及设置在该第一金属氧化物层上的第二金属氧化物层的叠层结构,第二金属氧化物层可以包括结晶性比第一金属氧化物层高的区域。或者,第二金属氧化物层可以包括结晶性比第一金属氧化物层低的区域。半导体层108所包括的两个以上的金属氧化物层的组成也可以彼此相同或大致相同。通过采用组成相同的金属氧化物层的叠层结构,例如可以使用相同的溅射靶材形成,因此可以降低制造成本。例如,通过使用相同的溅射靶材且使氧流量比或氧分压不同,可以形成结晶性不同的两个以上的金属氧化物层的叠层结构。注意,半导体层108所包括的两个以上的金属氧化物层的组成也可以彼此不同。

[0156] 半导体层108的厚度优选为3nm以上且100nm以下,更优选为5nm以上且100nm以下,更优选为10nm以上且100nm以下,更优选为10nm以上且70nm以下,更优选为15nm以上且70nm以下,更优选为15nm以上且50nm以下,更优选为20nm以上且50nm以下,更优选为20nm以上且40nm以下,更优选为25nm以上且40nm以下。

[0157] 形成半导体层108时的衬底温度优选为室温(25℃)以上且200℃以下,更优选为室温以上且130℃以下。通过采用上述范围的衬底温度,在使用大面积的玻璃衬底时,可以抑制衬底的弯曲或歪曲。

[0158] 在此,对有可能在半导体层108中形成的氧空位进行说明。

[0159] 在半导体层108使用氧化物半导体的情况下,有时氧化物半导体中的氢与键合于金属原子的氧起反应而成为水,在氧化物半导体中形成氧空位(V_O)。再者,有时氢进入氧空位中的缺陷(以下记作 V_OH)被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。

[0160] V_OH 可被用作氧化物半导体的供体。然而,难以对该缺陷定量地进行评价。于是,在氧化物半导体中,有时不是根据供体浓度而是根据载流子浓度进行评价。由此,在本说明书等中,有时作为氧化物半导体的参数,不采用供体浓度而采用假定不被施加电场的状态下的载流子浓度。也就是说,有时也可以将本说明书等所记载的“载流子浓度”称为“供体浓度”。

[0161] 由此,当作为半导体层108使用氧化物半导体时,优选尽量减少半导体层108中的 V_OH 以使其成为高纯度本征或实质上高纯度本征。为了得到这种 V_OH 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水、氢等杂质(有时记载为脱水、脱氢化处理);以及对氧化物半导体供氧来修复氧空位(V_O)。通过将 V_OH 等杂质被充分减少的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定的电特性。注意,有时将氧供应给氧化物半导体来修复氧空位(V_O)的处理记为加氧化处理。

[0162] 当作为半导体层108使用氧化物半导体时,优选用作沟道形成区域的区域的氧化物半导体的载流子浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,更优选为低于 $1 \times 10^{17} \text{cm}^{-3}$,进一步优选为低于 $1 \times 10^{16} \text{cm}^{-3}$,更优选的是低于 $1 \times 10^{13} \text{cm}^{-3}$,进一步优选的是低于 $1 \times 10^{12} \text{cm}^{-3}$ 。对用作沟道形成区域的区域的氧化物半导体的载流子浓度的下限值没有特殊限定,例如,可以将其设定为 $1 \times 10^{-9} \text{cm}^{-3}$ 。

[0163] 半导体层208可以参照有关半导体层108的记载,因此省略详细说明。半导体层108

和半导体层208可以使用相同的材料。当半导体层108和半导体层208使用相同的材料时,例如可以利用相同的溅射靶材形成半导体层108及半导体层208,因此可以减少制造成本。

[0164] 由于通过不同工序形成半导体层108和半导体层208,半导体层108和半导体层208可以使用不同的材料。如上所述,根据用于半导体层的金属氧化物的组成而晶体管的电特性及可靠性不同。因此,通过根据晶体管所需的电特性及可靠性使金属氧化物的组成不同,可以实现兼具优异的电特性及高可靠性的半导体装置。

[0165] 以使用晶体管200作为被要求具有大通态电流的晶体管的情况为例进行说明。例如,当半导体层108和半导体层208都使用In-Ga-Zn氧化物时,半导体层208可以使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率(含有率)高于半导体层108的金属氧化物。

[0166] 半导体层108和半导体层208的铟含有率的差异例如可以利用EDX确认。在EDX中,可以分别计算出构成金属氧化物的各元素的原子数的比率。通过对半导体层108和半导体层208进行所计算的相对于所有的金属元素的原子数之和的铟的原子数的比率(含有率)的对比,可以确认铟含有率的差异。另外,在EDX中,特征X射线的计数(检测值)对应于构成金属氧化物的元素的比率。因此,可以以半导体层108和半导体层208的铟峰的高度确认铟含有率的差异。例如,当半导体层208的铟含有率比半导体层108的铟含有率高时,半导体层208的来源于铟的特征X射线的计数比半导体层108的来源于铟的特征X射线的计数高。注意,在EDX中,某个元素的峰是指:在横轴表示特征X射线的能量且纵轴表示特征X射线的计数的谱图中,该元素的计数取极大值的点。或者,也可以以该元素固有的特征X射线的能量时的计数确认含有率的差异。例如,铟可以使用3.287keV(In-L α)时的计数,镓可以使用9.243keV(Ga-K α)时的计数,锌可以使用8.632keV(Zn-K α)时的计数。在此,以铟含有率的差异为例进行说明,但是其他元素的含有率的差异也可以与上述同样地确认。

[0167] 半导体层108使用In-Ga-Zn氧化物且半导体层208使用In-Ga-Zn氧化物以外的包含铟的金属氧化物的情况也同样,半导体层208可以使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层108的金属氧化物。例如,半导体层108可以适当地使用In-Ga-Zn氧化物,半导体层208可以适当地使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层108的In-Zn氧化物。

[0168] 半导体层108也可以使用In-Ga-Zn氧化物以外的包含铟的金属氧化物。此时也与上述同样,半导体层208可以使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层108的金属氧化物。

[0169] 当将本发明的一个方式的半导体装置用于显示装置时,例如可以在被要求高速开关工作的源极驱动器(也称为源极线驱动电路或信号线驱动电路)或解复用电路中适当地使用半导体层208包含铟含有率高的金属氧化物的晶体管。

[0170] 或者,半导体层108也可以使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层208的金属氧化物。

[0171] 以使用晶体管200作为需要对于正偏压施加具有高可靠性的晶体管的情况为例进行说明。例如,当半导体层108和半导体层208都使用In-Ga-Zn氧化物时,半导体层208可以使用相对于所有的含有金属元素的原子数之和的镓的原子数的比率低于半导体层108的金属氧化物。例如,半导体层108和半导体层208也可以分别使用In-Ga-Zn氧化物和不包含镓

的金属氧化物(例如,In-Zn氧化物)。

[0172] 半导体层208也可以使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层108且元素M的原子数的比率低于半导体层108的金属氧化物。通过采用这样的结构,可以实现具有大通态电流并对于正偏压施加具有高可靠性的晶体管200。

[0173] 或者,半导体层108也可以使用相对于所有的含有金属元素的原子数之和的元素M的原子数的比率低于半导体层208的金属氧化物。并且,半导体层108也可以使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层208且元素M的原子数的比率低于半导体层208的金属氧化物。

[0174] 以使用晶体管200作为需要对于光具有高可靠性的晶体管的情况为例进行说明。半导体层208可以使用相对于所有的含有金属元素的原子数之和的元素M的原子数的比率高于半导体层108的金属氧化物。例如,半导体层208和半导体层108也可以分别使用In-Ga-Zn氧化物和不包含镓的金属氧化物(例如,In-Zn氧化物)。

[0175] 或者,半导体层108也可以使用相对于所有的含有金属元素的原子数之和的元素M的原子数的比率高于半导体层208的金属氧化物。

[0176] 以使用晶体管100作为需要对于光具有高可靠性的晶体管且使用晶体管200作为需要大通态电流的晶体管的情况为例进行说明。半导体层108可以使用相对于所有的含有金属元素的原子数之和的元素M的原子数的比率高于半导体层208的金属氧化物。半导体层208可以使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层108的金属氧化物。

[0177] 半导体层108和半导体层208不仅可以组成不同的金属氧化物,而且可以使用厚度、结晶性、载流子浓度和膜质量中的一种以上不同的金属氧化物。例如,也可以以使晶体管200的通态电流大于晶体管100的通态电流的方式使组成不同,同时使厚度或沉积条件不同。

[0178] 与使用非晶硅的晶体管相比,使用氧化物半导体的晶体管(以下记为OS晶体管)的场效应迁移率非常高。另外,OS晶体管的关闭状态下的源极-漏极间的泄漏电流(以下,也称为关态电流(off-state current))极小,可以长期间保持与该晶体管串联连接的电容器中储存的电荷。另外,通过使用OS晶体管,可以降低半导体装置的功耗。

[0179] 本发明的一个方式的半导体装置例如可以应用于显示装置。在提高显示装置的像素电路所包括的发光器件的发光亮度时,需要增大流过发光器件的电流量。为此,需要提高像素电路所包括的驱动晶体管的源极-漏极间电压。因为OS晶体管的源极-漏极间的耐压比使用硅的晶体管(以下记为Si晶体管)高,所以可以对OS晶体管的源极-漏极间施加高电压。由此,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以增大流过发光器件的电流量而提高发光器件的发光亮度。

[0180] 当晶体管在饱和区域中工作时,与Si晶体管相比,OS晶体管可以使对于栅极-源极间电压的变化的源极-漏极间电流的变化细小。因此,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以根据栅极-源极间电压的变化详细决定流过源极-漏极间的电流,所以可以控制流过发光器件的电流量。由此,可以增大像素电路的灰度数。

[0181] 关于晶体管在饱和区域中工作时流过的电流的饱和性,与Si晶体管相比,OS晶体管即使逐渐地提高源极-漏极间电压也可以使稳定的电流(饱和电流)流过。因此,通过将OS

晶体管用作驱动晶体管,即使例如发光器件的电流-电压特性发生不均匀,也可以使稳定的电流流过发光器件。也就是说,0S晶体管当在饱和区域中工作时即使提高源极-漏极间电压,源极-漏极间电流也几乎不变,因此可以使发光器件的发光亮度稳定。

[0182] 在本说明书等中,有时将晶体管的 I_d - V_d 特性中的饱和区域的电流变化小的情况表现为“饱和性高”。

[0183] 如上所述,通过作为像素电路所包括的驱动晶体管使用0S晶体管,可以实现“黑色模糊的抑制”、“发光亮度的上升”、“多灰度化”、“发光器件不均匀的抑制”等。

[0184] 0S晶体管的因被照射放射线而引起的电特性变动小,即对于放射线的耐受性高,因此可以在有可能入射放射线的环境下也适当地使用。0S晶体管也可以说是对于放射线具有高可靠性。例如,可以适当地使用0S晶体管作为X射线的平板探测器的像素电路。此外,0S晶体管可以适当地用于在宇宙空间中使用的半导体装置。作为放射线,可以举出电磁辐射线(例如,X射线及 γ 射线)及粒子放射线(例如, α 射线、 β 射线、质子辐射及中子辐射)。

[0185] [绝缘层110、绝缘层210]

绝缘层110可以使用无机绝缘材料或有机绝缘材料。绝缘层110也可以具有无机绝缘材料和有机绝缘材料的叠层结构。

[0186] 绝缘层110可以适当地使用无机绝缘材料。作为无机绝缘材料,可以使用氧化物、氮氧化物、氮氧化物和氮化物中的一个或多个。绝缘层110例如可以使用氧化硅、氮氧化硅、氧化铝、氧化钪、氧化钇、氧化锆、氧化镓、氧化铟、氧化镁、氧化镧、氧化铈、氧化钕、氮化硅、氮氧化硅和氮化铝中的一个或多个。

[0187] 注意,在本说明书等中,氮氧化物是指在其组成中含氧量多于含氮量的材料。氮氧化物是指在其组成中含氮量多于含氧量的材料。例如,氮氧化硅是指在其组成中含氧量多于含氮量的材料,而氮氧化硅是指在其组成中含氮量多于含氧量的材料。

[0188] 例如可以利用二次离子质谱分析技术(SIMS:Secondary Ion Mass Spectrometry)或X射线光电子能谱技术(XPS)等分析技术分析出氧及氮的含量。在目的元素的含有率高(例如为0.5atomic%以上或1atomic%以上)时,优选采用XPS进行分析。另一方面,在目的元素的含有率低(例如低于0.5atomic%或低于1atomic%)时,优选采用SIMS进行分析。在比较元素含量时,更优选采用SIMS和XPS的双方分析技术进行复合分析。

[0189] 绝缘层110也可以具有两层以上的叠层结构。在图1C等中示出绝缘层110具有绝缘层110a、绝缘层110a上的绝缘层110b及绝缘层110b上的绝缘层110c的叠层结构。绝缘层110a、绝缘层110b及绝缘层110c都可以使用可用于上述绝缘层110的材料。注意,绝缘层110a、绝缘层110b及绝缘层110c可以使用相同材料或不同材料。注意,绝缘层110a、绝缘层110b及绝缘层110c也可以具有两层以上的叠层结构。

[0190] 绝缘层110b的厚度可以大于绝缘层110a的厚度。绝缘层110b的厚度可以大于绝缘层110c的厚度。绝缘层110b的沉积速度优选快。尤其是,在绝缘层110b的厚度大时,绝缘层110b的沉积速度优选快。通过提高绝缘层110b的沉积速度,可以提高生产率。例如,在提高绝缘层110b的形成时的功率,可以提高沉积速度。

[0191] 绝缘层110b也可以具有两层以上的叠层结构。例如,在绝缘层110b的厚度较大时,绝缘层110b的应力大,有时产生衬底的翘曲。通过分多次形成绝缘层110b,有时可以抑制因应力导致的工序中的问题发生。注意,在截面的透射电子显微镜(TEM:Transmission

Electron Microscopy) 图像等中,有时构成绝缘层110b的各层的边界不明确。

[0192] 绝缘层110b的应力优选小。在绝缘层110b的厚度较大时,绝缘层110b的应力大,有时产生衬底的翘曲。通过减小绝缘层110b的应力,可以抑制衬底弯曲等应力所造成的工序中的问题的发生。

[0193] 绝缘层110a及绝缘层110c被用作抑制从绝缘层110b脱离气体的阻挡膜。绝缘层110a及绝缘层110c优选使用不容易扩散气体的材料。绝缘层110a及绝缘层110c优选包括膜密度比绝缘层110b高的区域。通过提高绝缘层110a及绝缘层110c的膜密度,可以提高阻挡性。绝缘层110a和绝缘层110c的膜密度也可以不同。绝缘层110a及绝缘层110c例如可以使用含氮量比绝缘层110b多的材料。通过增加绝缘层110a及绝缘层110c的含氮量,可以提高阻挡性。绝缘层110a和绝缘层110c的含氮量也可以不同。

[0194] 绝缘层110a及绝缘层110c具有被用作抑制从绝缘层110b脱离气体的阻挡膜的厚度即可,可以使其厚度比绝缘层110b小。绝缘层110a和绝缘层110c的厚度也可以不同。绝缘层110a及绝缘层110c的沉积速度优选比绝缘层110b的沉积速度慢。注意,通过使绝缘层110a及绝缘层110c的沉积速度变慢,膜密度得到提高,因此可以提高阻挡性。同样地,通过提高绝缘层110a及绝缘层110c的沉积时的衬底温度,膜密度得到提高,因此可以提高阻挡性。

[0195] 膜密度的评价例如可以利用卢瑟福背散射分析(RBS:Rutherford Backscattering Spectrometry)或X射线反射(XRR:X-Ray Reflection)。此外,膜密度的不同有时可以由截面的透射电子显微镜(TEM:Transmission Electron Microscopy)图像进行评价。在TEM观察中,膜密度高则透射电子(TE)图像浓(暗),膜密度低则透射电子(TE)图像淡(明)。因此,在透射电子(TE)图像中,有时与绝缘层110b相比绝缘层110a及绝缘层110c呈浓(暗)图像。注意,即使绝缘层110a、绝缘层110b及绝缘层110c使用相同的材料,膜密度也不同,因此有时在截面的TEM图像中,可以以对比度的不同观察到这些边界。

[0196] 绝缘层110a、绝缘层110b和绝缘层110c的含氮量的差异例如可以利用EDX确认。例如,当绝缘层110a使用氮化硅且绝缘层110b使用氧氮化硅时,相对于绝缘层110a中的硅的峰高度的氮的峰高度之比高于相对于绝缘层110b中的硅的峰高度的氮的峰高度之比。当绝缘层110c使用氮化硅且绝缘层110b使用氧氮化硅时,相对于绝缘层110c中的硅的峰高度的氮的峰高度之比高于相对于绝缘层110b中的硅的峰高度的氮的峰高度之比。注意,在EDX中,某个元素的峰是指:在横轴表示特征X射线的能量且纵轴表示特征X射线的计数(检测值)的谱图中,该元素的计数取极大值的点。或者,也可以使用该元素固有的特征X射线的能量时的计数以相对于硅的计数的氮的计数之比确认含氮量的差异。例如,硅可以使用1.739keV(Si-K α)时的计数,氮可以使用0.392keV(N-K α)时的计数。绝缘层110a中的相对于硅的计数的氮的计数之比高于绝缘层110b中的相对于硅的计数的氮的计数之比。绝缘层110c中的相对于硅的计数的氮的计数之比高于绝缘层110b中的相对于硅的计数的氮的计数之比。

[0197] 绝缘层110a及绝缘层110c有时包括膜中的氢浓度比绝缘层110b低的区域。绝缘层110a、绝缘层110b及绝缘层110c的氢浓度的不同例如可以利用二次离子质谱分析法(SIMS)进行评价。

[0198] 这里,以半导体层108使用金属氧化物的结构为例,具体说明绝缘层110。

[0199] 在半导体层108使用氧化物半导体时,绝缘层110a、绝缘层110b及绝缘层110c都可以适当地使用无机绝缘材料。

[0200] 绝缘层110b优选使用氧化物或氮氧化物。绝缘层110b优选使用通过加热释放氧的膜。绝缘层110b例如可以适当地使用氧化硅或氮化硅。

[0201] 通过绝缘层110b释放氧,可以将氧从绝缘层110b供应给半导体层108。通过将氧从绝缘层110b供应给半导体层108,尤其是供应给半导体层108的沟道形成区域,可以减少半导体层108中的氧空位(V_O)及 V_OH ,可以实现具有良好的电特性及高可靠性的晶体管。绝缘层110b优选具有高氧扩散系数。通过提高绝缘层110b的氧扩散系数,氧容易扩散到绝缘层110b中,可以高效地将氧从绝缘层110b供应给半导体层108。注意,作为向半导体层108供氧的处理,还有含氧的气氛下的加热处理或含氧的气氛下的等离子体处理等。

[0202] 晶体管100的沟道形成区域中的氧空位(V_O)及 V_OH 优选少。尤其是,在沟道长度 L_{100} 小时,沟道形成区域的氧空位(V_O)及 V_OH 给电特性及可靠性带来较大的影响。例如,在 V_OH 从源极区域或漏极区域扩散到沟道形成区域时,有时沟道形成区域的载流子浓度增高而导致晶体管100的阈值电压的变动或可靠性的下降。晶体管100的沟道长度 L_{100} 越小,这样的 V_OH 扩散给电特性及可靠性带来的影响越大。通过从绝缘层110b将氧供应到半导体层108尤其是半导体层108的沟道形成区域,可以减少氧空位(V_O)及 V_OH 。因此,可以实现一种具有良好的电特性及高可靠性的沟道长度小的晶体管。

[0203] 优选的是,从绝缘层110b本身释放的杂质(例如,水及氢)少。由于从绝缘层110b释放的杂质少,所以可以抑制杂质扩散到半导体层108,从而可以实现呈现良好的电特性且可靠性高的晶体管。

[0204] 绝缘层110b例如可以适当地使用利用PECVD法的氧化硅或氮化硅。此时,优选作为源气体使用含硅的气体和含氧的气体的混合气体。作为含硅的气体,例如可以使用硅烷、乙硅烷、丙硅烷和氟化硅烷中的任一个或多个。作为含氧的气体,例如可以使用氧(O_2)、臭氧(O_3)、一氧化二氮(N_2O)、一氧化氮(NO)和二氧化氮(NO_2)中的任一个或多个。注意,通过提高形成绝缘层110b时的功率,可以减少从绝缘层110b释放的杂质(例如,水及氢)的量。

[0205] 绝缘层110a及绝缘层110c优选不容易透过氧。绝缘层110a及绝缘层110c被用作抑制氧从绝缘层110b脱离的阻挡膜。再者,绝缘层110a及绝缘层110c优选不容易透过氢。绝缘层110a及绝缘层110c被用作抑制氢从晶体管的外侧通过绝缘层110扩散到半导体层108的阻挡膜。绝缘层110a及绝缘层110c的膜密度优选高。通过提高绝缘层110a及绝缘层110c的膜密度,可以提高氧及氢的阻挡性。绝缘层110a及绝缘层110c的膜密度优选比绝缘层110b的膜密度高。当作为绝缘层110b使用氧化硅或氮化硅时,绝缘层110a及绝缘层110c例如可以适当地使用氮化硅、氮氧化硅或氧化铝。绝缘层110a及绝缘层110c例如优选包括含氮量比绝缘层110b多的区域。绝缘层110a及绝缘层110c例如可以使用含氮量比绝缘层110b多的材料。绝缘层110a及绝缘层110c优选使用氮化物或氮氧化物。绝缘层110a及绝缘层110c例如可以适当地使用氮化硅或氮氧化硅。

[0206] 在绝缘层110b所包含的氧从绝缘层110b的不与半导体层108接触的区域(例如,绝缘层110b的顶面)向上方扩散时,有时从绝缘层110b供应给半导体层108的氧的量减少。通过在绝缘层110b上设置绝缘层110c,可以抑制包含在绝缘层110b中的氧从绝缘层110b的不与半导体层108接触的区域扩散。同样地,通过在绝缘层110b下设置绝缘层110a,可以抑制

包含在绝缘层110b中的氧从绝缘层110b的不与半导体层108接触的区域扩散到下方。因此,从绝缘层110b供应给半导体层108的氧的量得到增加,因此可以降低半导体层108中的氧空位(V_O)及 V_OH 。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0207] 有时由于包含在绝缘层110b中的氧,导电层112a及导电层112b被氧化,因此电阻变高。此外,由于包含在绝缘层110b中的氧而导电层112a及导电层112b被氧化,有时从绝缘层110b供应给半导体层108的氧的量变少。通过在绝缘层110b和导电层112a之间设置绝缘层110a,可以抑制导电层112a被氧化而电阻变高。同样地,通过在绝缘层110b和导电层112b之间设置绝缘层110c,可以抑制导电层112b被氧化而电阻变高。同时,从绝缘层110b供应给半导体层108的氧的量得到增加,可以降低半导体层108中的氧空位(V_O)及 V_OH ,由此可以实现呈现良好的电特性且可靠性高的晶体管。

[0208] 在氢扩散到半导体层108时,与包含在氧化物半导体中的氧原子起反应而成为水,有时形成氧空位(V_O)。再者,形成 V_OH ,有时载流子浓度变高。通过设置绝缘层110a及绝缘层110c,可以降低半导体层108中的氧空位(V_O)及 V_OH ,由此可以实现呈现良好的电特性且可靠性高的晶体管。

[0209] 绝缘层110a及绝缘层110c优选具有被用作氧及氢的阻挡膜的厚度。在绝缘层110a及绝缘层110c的厚度小时,有时作为阻挡膜的功能降低。另一方面,在绝缘层110a及绝缘层110c的厚度大时,与绝缘层110b接触的半导体层108的区域变窄,有时从绝缘层110b供应给半导体层108的氧的量变少。绝缘层110a及绝缘层110c的厚度也可以比绝缘层110b的厚度小。绝缘层110a及绝缘层110c的厚度优选为5nm以上且100nm以下,更优选为5nm以上且70nm以下,更优选为10nm以上且70nm以下,更优选为10nm以上且50nm以下,更优选为20nm以上且50nm以下,更优选为20nm以上且40nm以下。通过使绝缘层110a及绝缘层110c的厚度在上述范围内,可以降低半导体层108中(尤其是沟道形成区域)的氧空位(V_O)及 V_OH ,因此可以实现呈现良好的电特性且可靠性高的晶体管。

[0210] 优选的是,从绝缘层110a及绝缘层110c本身释放的杂质(例如,水及氢)少。由于从绝缘层110a及绝缘层110c释放的杂质少,所以可以抑制杂质扩散到半导体层108,从而可以实现呈现良好的电特性且可靠性高的晶体管。

[0211] 通过减少从绝缘层110a及绝缘层110c的杂质(例如,水及氢)释放,与绝缘层110a接触的区域半导体层108及与绝缘层110c接触的区域半导体层108也可以被用作沟道形成区域。此外,当绝缘层110a使用释放杂质(例如,水及氢)的材料时,与绝缘层110a接触的区域半导体层108可以被用作源极区域或漏极区域。绝缘层110c也是同样的。

[0212] 在晶体管100中,由于氧从绝缘层110供应到半导体层108,沟道形成区域的氧空位(V_O)及 V_OH 得到减少。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0213] 氧有时因形成半导体层108后的工序施加的热而从半导体层108脱离。但是,由于氧从绝缘层110供应到半导体层108,可以抑制氧空位(V_O)及 V_OH 的增加。另外,在形成半导体层108后的工序中,可以提高处理温度的自由度。具体而言,在形成半导体层108后的工序中也可以增高处理温度。因此,可以实现呈现良好的电特性且可靠性高的晶体管100及晶体管200。

[0214] 绝缘层210可以参照有关绝缘层110的记载,因此省略详细说明。另外,绝缘层210a可以参照有关绝缘层110a的记载,绝缘层210b可以参照有关绝缘层110b的记载,绝缘层

210c可以参照有关绝缘层110c的记载。

[0215] 在晶体管200中,由于氧从绝缘层210供应到半导体层208,沟道形成区域的氧空位(V_O)及 V_OH 得到减少。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0216] 此外,也可以采用没有设置绝缘层110a、绝缘层110c、绝缘层210a和绝缘层210c中的任一个以上的结构。也可以采用没有设置绝缘层110a、绝缘层110c、绝缘层210a和绝缘层210c的结构。

[0217] [导电层112a、导电层112b、导电层104、导电层212b、导电层204]

用作源电极、漏电极或栅电极的导电层112a、导电层112b、导电层104、导电层212b及导电层204都可以使用铬、铜、铝、金、银、锌、钽、钛、钨、锰、镍、铁、钴、钼和铌中的一个或多个或者以上述金属中的一个或多个为成分的合金形成。导电层112a、导电层112b、导电层104、导电层212b及导电层204都可以适当地使用包含铜、银、金和铝中的一个或多个的低电阻率导电材料。铜或铝在量产性上尤其具有优势,因此是优选的。

[0218] 导电层112a、导电层112b、导电层104、导电层212b及导电层204都可以使用金属氧化物膜(也称为氧化物导体)。作为氧化物导体(OC:Oxide Conductor),例如可以举出In-Sn氧化物(ITO)、In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物、In-Zn氧化物、In-Sn-Si氧化物(ITSO)及In-Ga-Zn氧化物。

[0219] 这里,对氧化物导体(OC)进行说明。例如,在具有半导体特性的金属氧化物中形成氧空位,对该氧空位添加氢而在导带附近形成施主能级。其结果,金属氧化物的导电性增高,而成为导体。可以将成为导体的金属氧化物称为氧化物导体。

[0220] 作为导电层112a、导电层112b、导电层104、导电层212b及导电层204,也可以采用含有上述氧化物导体(金属氧化物)的导电膜和含有金属或合金的导电膜的叠层结构。通过使用含有金属或合金的导电膜,可以降低布线电阻。

[0221] 作为导电层112a、导电层112b、导电层104、导电层212b及导电层204,也可以应用Cu-X合金膜(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)。通过使用Cu-X合金膜,可以以湿蚀刻法进行加工,从而可以抑制制造成本。

[0222] 注意,导电层112a、导电层112b、导电层104、导电层212b及导电层204可以使用彼此相同的材料或不同的材料。

[0223] 这里,以作为半导体层108及半导体层208使用金属氧化物的结构为例,对导电层112a、导电层112b及导电层212b进行具体说明。

[0224] 在作为半导体层108使用氧化物半导体时,由于包含在半导体层108中的氧而导电层112a及导电层112b被氧化,有时电阻变高。由于包含在绝缘层110b中的氧而导电层112a及导电层112b被氧化,有时电阻变高。由于包含在半导体层108中的氧而导电层112a及导电层112b被氧化,有时半导体层108中的氧空位(V_O)增加。由于包含在绝缘层110b中的氧而导电层112a及导电层112b被氧化,有时从绝缘层110b供应给半导体层108的氧的量减少。

[0225] 作为半导体层208使用氧化物半导体的情况也同样,由于包含在半导体层208中的氧而导电层112b及导电层212b被氧化,有时电阻变高。由于包含在绝缘层210b中的氧而导电层112b及导电层212b被氧化,有时电阻变高。由于包含在半导体层208中的氧而导电层112b及导电层212b被氧化,有时半导体层208中的氧空位(V_O)增加。由于包含在绝缘层210b中的氧而导电层112b及导电层212b被氧化,有时从绝缘层210b供应给半导体层208的氧的

量减少。

[0226] 导电层112a、导电层112b及导电层212b优选都使用不容易氧化的材料。导电层112a及导电层112b优选都使用氧化物导电体。例如,可以适当地使用In-Sn氧化物(ITO)或In-Sn-Si氧化物(ITSO)。导电层112a、导电层112b及导电层212b也可以都使用氮化物导电体。作为氮化物导电体可以举出氮化铟及氮化钛。导电层112a、导电层112b及导电层212b也可以具有上述材料的叠层结构。

[0227] 通过导电层112a及导电层112b使用不容易氧化的材料,可以抑制由于包含在半导体层108中的氧或包含在绝缘层110b中的氧被氧化而电阻变高。此外,可以在半导体层108中的氧空位(V_O)的增加得到抑制的同时增加从绝缘层110b供应给半导体层108的氧的量。因此,可以降低半导体层108中的氧空位(V_O)及 V_OH ,由此可以实现呈现良好的电特性且高可靠性的晶体管。

[0228] 同样地,通过导电层112b及导电层212b使用不容易氧化的材料,可以抑制电阻变高。此外,可以在半导体层208中的氧空位(V_O)的增加得到抑制的同时增加从绝缘层210b供应给半导体层208的氧的量。因此,可以降低半导体层208中的氧空位(V_O)及 V_OH ,由此可以实现呈现良好的电特性且高可靠性的晶体管。注意,导电层112a、导电层112b及导电层212b可以使用相同的材料或不同材料。

[0229] 导电层112b包括与晶体管100接触的区域及与晶体管200接触的区域。当导电层112b使用不容易氧化的材料时,可以减少半导体层108中的氧空位(V_O)及 V_OH ,并且可以减少半导体层208中的氧空位(V_O)及 V_OH 。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0230] 如上所述,与半导体层108接触的导电层112a及导电层112b优选使用不容易氧化的材料。但是,在使用不容易氧化的材料的情况下,电阻有时变高。因为导电层112a及导电层112b被用作布线,所以电阻优选低。于是,当包括与半导体层108接触的区域导电层112a_1使用不容易氧化的材料且不包括与半导体层108接触的区域导电层112a_2使用电阻率低材料时,可以降低导电层112a的电阻。并且,可以减少半导体层108中的氧空位(V_O)及 V_OH ,可以实现呈现良好的电特性且可靠性高的晶体管。

[0231] 如上所述,尤其在沟道长度 L_{100} 较小时,沟道形成区域的氧空位(V_O)及 V_OH 给电特性及可靠性带来的影响较大。当导电层112a_1使用不容易氧化的材料时,可以抑制半导体层108中的氧空位(V_O)及 V_OH 的增加。因此,可以实现一种具有良好的电特性及高可靠性的沟道长度小的晶体管。

[0232] 导电层112a_1可以适当地使用氧化物导电体和氮化物导电体中的一个或多个。导电层112a_2优选使用电阻率比导电层112a_1低的材料。导电层112a_2例如可以适当地使用铜、铝、钛、钨和钼中的一个或多个或者以上述金属中的一个或多个为成分的合金。具体而言,导电层112a_1可以适当地使用In-Sn-Si氧化物(ITSO),导电层112a_2可以适当地使用钨。

[0233] 注意,导电层112a的结构根据导电层112a被要求的布线电阻而决定即可。例如,当布线(导电层112a)的长度较小而被要求较高的布线电阻时,作为导电层112a也可以采用单层结构并使用不容易氧化的材料。另一方面,当布线(导电层112a)的长度较大而被要求较低的布线电阻时,作为导电层112a优选采用不容易氧化的材料和低电阻率材料的叠层结

构。

[0234] 注意,可以将导电层112a的结构用于其他导电层。例如,作为导电层112b采用第一导电层和第一导电层上的第二导电层的叠层结构,在第二导电层的与半导体层208接触的区域中设置开口即可。另外,作为导电层212b也可以采用同样的结构。

[0235] [绝缘层106、绝缘层206]

被用作栅极绝缘层的绝缘层106的缺陷密度优选低。在绝缘层106的缺陷密度较低时,可以实现呈现良好的电特性的晶体管。再者,绝缘层106优选具有高绝缘耐压。由于绝缘层106的绝缘耐压高,所以可以形成可靠性高的晶体管。

[0236] 绝缘层106例如可以使用具有绝缘性的氧化物、氧氮化物、氮氧化物和氮化物中的一个或多个。绝缘层106可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氮氧化铝、氮化铝、氧化镓、氧氮化镓、氧化铋、氧氮化铋和Ga-Zn氧化物中的一个或多个。绝缘层106也可以为单层或叠层。绝缘层106例如也可以具有氧化物及氮化物的叠层结构。

[0237] 注意,在微细的晶体管中,在栅极绝缘层的厚度小时,有时泄漏电流增大。通过栅极绝缘层使用相对介电常数高的材料(也称为high-k材料),可以在保持物理厚度的同时实现晶体管工作时的低电压化。作为high-k材料,可以举出氧化镓、氧化镓、氧化铋、含有铝及镓的氧化物、含有铝及镓的氧氮化物、含有硅及镓的氧化物、含有硅及镓的氧氮化物或含有硅及镓的氮化物。

[0238] 优选的是,从绝缘层106本身释放的杂质(例如,水及氢)少。由于从绝缘层106释放的杂质少,所以可以抑制杂质扩散到半导体层108,从而可以实现呈现良好的电特性且可靠性高的晶体管。

[0239] 在晶体管200中,绝缘层106包括与半导体层208接触的区域。通过减少从绝缘层106的杂质(例如,水及氢)释放,与绝缘层106接触的区域半导体层208也可以被用作沟道形成区域。

[0240] 由于绝缘层106形成于半导体层108上,所以优选为在给半导体层108造成的损伤少的条件下形成的膜。例如,可以在沉积速度(也称为沉积速率)充分低的条件下形成。例如,在利用等离子体CVD法形成绝缘层106时,通过在低功率的条件下形成,可以使给半导体层108造成的损伤较小。

[0241] 这里,以半导体层108使用金属氧化物的结构为例,对绝缘层106进行具体说明。

[0242] 为了提高绝缘层106与半导体层108的界面特性,绝缘层106中的至少与半导体层108接触一侧优选使用氧化物或氧氮化物。绝缘层106例如可以适当地使用氧化硅和氧氮化硅中的一个以上。此外,绝缘层106更优选使用通过加热释放氧的膜。

[0243] 注意,绝缘层106也可以具有叠层结构。绝缘层106可以具有接触于半导体层108一侧的氧化物膜或氧氮化物膜与接触于导电层104一侧的氮化物膜或氮氧化物膜的叠层结构。作为该氧化物膜或氧氮化物膜,例如可以适当地使用氧化硅和氧氮化硅中的一个以上。作为该氮化物膜或氮氧化物膜,可以适当地使用氮化硅。

[0244] 绝缘层206可以参照有关绝缘层106的记载,因此省略详细说明。绝缘层206可以使用与绝缘层106相同的材料或不同的材料。

[0245] 通过减少从绝缘层206的杂质(例如,水及氢)释放,与绝缘层206接触的区域半

导体层208也可以被用作沟道形成区域。

[0246] [衬底102]

虽然对衬底102的材料没有特别的限制,但是至少需要具有能够承受后续的加热处理的耐热性。例如,可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、硅锗等化合物半导体衬底、SOI衬底、玻璃衬底、石英衬底、蓝宝石衬底、陶瓷衬底或有机树脂衬底作为衬底102。另外,也可以将在上述衬底上设置有半导体元件的衬底用作衬底102。注意,半导体衬底及绝缘性衬底的形状可以为圆形或角形。

[0247] 作为衬底102,也可以使用柔性衬底,并且在柔性衬底上直接形成晶体管100等。或者,也可以在衬底102与晶体管100等之间设置剥离层。当剥离层上制造半导体装置的一部分或全部,然后将其从衬底102分离并转置到其他衬底上时可以使用剥离层。此时,也可以将晶体管100等转置到耐热性低的衬底或柔性衬底上。

[0248] 注意,在图1C等中,在晶体管100的导电层112a(具体而言,导电层112a_1)中与半导体层108接触的区域厚度和不与半导体层108接触的区域厚度相等或大致相等,但是本发明的一个方式不局限于此。在导电层112a_1中与半导体层108接触的区域厚度和不与半导体层108接触的区域厚度也可以不同。如图7A所示,在导电层112a_1中与半导体层108接触的区域厚度优选比不与半导体层108接触的区域厚度小。

[0249] 图7A示出导电层112a_1的被形成面(在此,衬底102的顶面)至导电层104的底面的最低位置的高度H104。另外,示出导电层112a_1的被形成面(在此,衬底102的顶面)至导电层112a_1和半导体层108接触的区域最高位置的高度H112a。如图7A所示,到导电层104的底面的最低位置的高度H104优选与到导电层112a_1和半导体层108接触的区域最高位置的高度H112a相等或大致相等。或者,如图7B所示,高度H104优选比高度H112a低。通过将到导电层104的底面的最低位置的高度H104设定为等于到导电层112a_1和半导体层108接触的区域最高位置的高度H112a或低于高度H112a,可以增强施加到导电层112a附近的沟道形成区域的栅电极电场,可以增大晶体管100的通态电流。

[0250] 通过将到导电层104的底面的最低位置的高度H104设定为等于到导电层112a_1和半导体层108接触的区域最高位置的高度H112a或低于高度H112a,可以使施加到沟道形成区域的栅电极电场更均匀。在此,当施加到沟道形成区域的栅电极电场不均匀时,有时导电层112a被用作源电极且导电层112b被用作漏电极时的电特性与导电层112a被用作漏电极且导电层112b被用作源电极时的电特性不同。在施加到晶体管100的沟道形成区域的栅电极电场更均匀时,可以使各电特性相等。因此,在调换源极和漏极的电路结构中可以适当地使用晶体管100。

[0251] 以使高度H104等于高度H112a或低于高度H112a的方式适当地调节导电层112a(具体而言,导电层112a_1)的厚度即可。

[0252] 晶体管200也同样,在导电层112b中与半导体层208接触的区域厚度和不与半导体层208接触的区域厚度也可以不同。如图8A所示,在导电层112b中与半导体层208接触的区域厚度优选比不与半导体层208接触的区域厚度小。

[0253] 图8A示出导电层112b的被形成面(在此,绝缘层110c的顶面)至导电层204的底面的最低位置的高度H204。另外,示出导电层112b的被形成面(在此,绝缘层110c的顶面)至导电层112b和半导体层208接触的区域最高位置的高度H112b。如图8A所示,到导电层204的

底面的最低位置的高度H204优选与到导电层112b和半导体层208接触的区域的最大位置的高度H112b相等或大致相等。或者,如图8B所示,高度H204优选比高度H112b低。通过将到导电层204的底面的最低位置的高度H204设定为等于到导电层112b和半导体层208接触的区域的最大位置的高度H112b或低于高度H112b,可以增强施加到导电层112b附近的沟道形成区域的栅电极电场,可以增大晶体管200的通态电流。在施加到晶体管200的沟道形成区域的栅电极电场更均匀时,可以使调换源极和漏极时的电特性相等。因此,在调换源极和漏极的电路结构中可以适当地使用晶体管200。

[0254] 以使高度H204等于高度H112b或低于高度H112b的方式适当地调节导电层112b的厚度即可。

[0255] 注意,这里示出的导电层112a及导电层112b的结构也可以用于其他结构例子。

[0256] 以上是构成要素的说明。

[0257] 下面说明其一部分的结构与上述结构例子1-1不同的半导体装置的结构例子。下面,有时省略与上述结构例子1-1重复的部分的说明。此外,在以下所示的附图中,关于具有与上述结构例子1-1相同的功能的的部分使用相同的阴影线,而有时不附加附图标记。

[0258] (结构例子1-2)

作为半导体装置10A的俯视图可以参照图1A。图9A示出沿着图1A中的点划线A1-A2的截断面的截面图,图9B示出沿着点划线B1-B2及点划线B3-B4的截断面的截面图。作为半导体装置10A的等效电路图可以参照图1B。

[0259] 半导体装置10A的与上述结构例子1-1中的半导体装置10的主要不同之处在于绝缘层106及绝缘层206的结构。

[0260] 绝缘层106的端部与导电层104的端部一致或大致一致。就是说,绝缘层106加工成具有与导电层104大致一致的顶面形状。绝缘层106例如可以使用用来加工导电层104的抗蚀剂掩模进行加工来形成。注意,绝缘层106的端部也可以不与导电层104的端部一致。例如,绝缘层106的端部也可以位于导电层104的端部的外侧。

[0261] 在晶体管200中,半导体层208通过设置在绝缘层210中的开口241与导电层112b电连接。图10示出晶体管200的放大图。在图10中,以虚线的双箭头表示晶体管200的沟道长度L200。晶体管200的沟道长度L200相当于截面图中的绝缘层210的开口241一侧的侧面的长度。就是说,沟道长度L200根据绝缘层210的厚度T210及绝缘层210的开口241一侧的侧面和绝缘层210的被形成面(在此,导电层112b的顶面)所形成的角度 θ 210而决定。在图10与以点划线的双箭头表示绝缘层210的厚度T210。通过调节绝缘层210的厚度T210及角度 θ 210,可以控制沟道长度L200。

[0262] 注意,可以在此示出的绝缘层106及绝缘层206的结构用于其他结构例子。

[0263] (结构例子1-3)

图11A示出半导体装置10B的俯视图。图11B示出沿着图11A中的点划线A1-A2的截断面的截面图,图11C示出沿着点划线B1-B2及点划线B3-B4的截断面的截面图。作为半导体装置10B的等效电路图可以参照图1B。

[0264] 半导体装置10B的与上述结构例子1-1中的半导体装置10的主要不同之处在于晶体管100和晶体管200形成在同一面上。

[0265] 晶体管100及晶体管200设置在衬底102上。晶体管100和晶体管200可以通过同一

工序形成。

[0266] 晶体管100可以参照有关上述结构例子1-1所示的晶体管100的记载,因此省略详细说明。

[0267] 晶体管200包括导电层204、绝缘层106、半导体层208、导电层112b及导电层212a。导电层204被用作栅电极。绝缘层106的一部分被用作栅极绝缘层。导电层112b被用作源电极和漏电极中的一个,导电层212a被用作该源电极和漏电极中的另一个。

[0268] 导电层204可以通过与晶体管100中的导电层104相同的工序形成。半导体层208可以通过与晶体管100中的半导体层108相同的工序形成。导电层212a可以通过与晶体管100中的导电层112a相同的工序形成。导电层112b由晶体管100和晶体管200共同使用。

[0269] 如图11B及图11C所示,可以采用如下结构:导电层112a_2包括开口,半导体层108通过该开口与导电层112a_1接触。导电层212a优选具有导电层212a_1和导电层212a_1上的导电层212a_2的叠层结构。可以采用如下结构:导电层212a_2包括开口,半导体层208通过该开口与导电层212a_1接触的结构。

[0270] 在绝缘层110中,与导电层112a重叠的区域中设置有开口141,与导电层212a重叠的区域中设置有开口241。开口141及开口241可以通过同一工序形成。在导电层112b中,与开口141重叠的区域中设置有开口143,与开口241重叠的区域中设置有开口243。开口143及开口243可以通过同一工序形成。

[0271] 开口143及开口243的顶面形状优选呈圆形。并且,开口143的宽度D143优选与开口243的宽度D243相等或大致相等。当开口143和开口243具有相同的顶面形状并且使开口的宽度相等或大致相等时,可以提高形成开口143及开口243时的加工精度。在开口143和开口243之间顶面形状和宽度中的一方或双方也可以不同。

[0272] 注意,在本说明书等中,宽度大致相等是指在对比的两个宽度中一个宽度为另一个宽度的0.8以上且1.2以下。

[0273] 注意,可以在此示出的晶体管100及晶体管200的结构用于其他结构例子。

[0274] (结构例子1-4)

图12A示出半导体装置10C的俯视图。图12B示出沿着图12A中的点划线A1-A2的截断面的截面图,图12C示出沿着点划线B1-B2及点划线B3-B4的截断面的截面图。作为半导体装置10C的等效电路图可以参照图1B。

[0275] 半导体装置10C的与上述结构例子1-3中的半导体装置10B的主要不同之处在于晶体管100和晶体管200共同使用导电层112a。

[0276] 晶体管100可以参照有关上述结构例子1-1所示的晶体管100的记载,因此省略详细说明。

[0277] 晶体管200包括导电层204、绝缘层106、半导体层208、导电层112a及导电层212b。导电层112a被用作源电极和漏电极中的一个,导电层212b被用作该源电极和漏电极中的另一个。导电层212b可以通过与晶体管100中的导电层112b相同的工序形成。

[0278] 注意,可以在此示出的导电层112a的结构用于其他结构例子。

[0279] <结构例子2>

图13A示出本发明的一个方式的半导体装置20的俯视图。图13B示出半导体装置20的等效电路图。图13C示出沿着图13A所示的点划线A1-A2的截断面的截面图,图14示出沿着

点划线B1-B2及点划线B3-B4的截断面的截面图。

[0280] 半导体装置20包括晶体管100A及晶体管200A。晶体管100A的栅电极与晶体管200A的源电极和漏电极中的一个电连接。

[0281] 注意,在图13B中,晶体管100A及晶体管200A为n沟道型晶体管,但是本发明的一个方式不局限于此。晶体管100A和晶体管200A中的一方或双方也可以为p沟道型晶体管。

[0282] 晶体管100A可以参照有关上述晶体管100的记载。

[0283] 晶体管200A包括导电层204、绝缘层206、半导体层208、导电层104及导电层212b。导电层204被用作栅电极。绝缘层206的一部分被用作栅极绝缘层。导电层104被用作源电极和漏电极中的一个,导电层212b被用作源电极和漏电极中的另一个。

[0284] 导电层104不仅被用作晶体管100A的栅电极,而且被用作晶体管200A的源电极和漏电极中的一个。当晶体管100A和晶体管200A共用导电层104时,可以缩小电路的占有面积,可以实现小型半导体装置。

[0285] 导电层104上设置有绝缘层210,绝缘层210上设置有导电层212b。绝缘层210包括夹在导电层104与导电层212b之间的区域。导电层104包括隔着绝缘层210与导电层212b重叠的区域。绝缘层210在与导电层104重叠的区域包括开口241。在开口241中导电层104露出。

[0286] 注意,导电层104也可以具有叠层结构。导电层104可以采用图1C等所示的导电层112a的结构。例如,作为导电层104采用第一导电层和第一导电层上的第二导电层的叠层结构,在第二导电层的与半导体层208接触的区域中设置开口即可。优选的是,第一导电层使用不容易氧化的材料,第二导电层使用低电阻率材料。由此,可以抑制导电层104的电阻的增高。并且,可以减少半导体层208中的氧空位(V_O)及 V_OH ,可以实现呈现良好的电特性且可靠性高的晶体管200A。

[0287] 注意,可以在此示出的晶体管100A及晶体管200A的结构用于其他结构例子。

[0288] <结构例子3>

图15A示出本发明的一个方式的半导体装置30的等效电路图。半导体装置30包括晶体管100_1至晶体管100_p(p为2以上的整数)。晶体管100_1至晶体管100_p并联连接,可以将半导体装置30视为一个晶体管。

[0289] 晶体管100_1至晶体管100_p的栅电极彼此电连接。晶体管100_1至晶体管100_p的源电极彼此电连接。晶体管100_1至晶体管100_p的漏电极彼此电连接。

[0290] 注意,在图15A中,晶体管100_1至晶体管100_p为n沟道型晶体管,但是本发明的一个方式不局限于此。晶体管100_1至晶体管100_p也可以为p沟道型晶体管。

[0291] 以p为4的情况为例进行具体的说明。图15B示出本发明的一个方式的半导体装置30的等效电路图。图15C示出半导体装置30的俯视图。图16示出沿着图15C中的点划线A3-A4的截断面的截面图。图17示出半导体装置30的立体图。

[0292] 半导体装置30包括晶体管100_1至晶体管100_4。晶体管100_1至晶体管100_4都可以采用上述晶体管100的结构。

[0293] 注意,图15C所示的俯视图及图17所示的立体图示出将晶体管100_1至晶体管100_4配置为2行2列的结构,但是本发明的一个方式不局限于此。例如,也可以将晶体管100_1至晶体管100_4配置为1行4列。

[0294] 晶体管100_1至晶体管100_4都包括导电层104、绝缘层106、半导体层108、导电层112a及导电层112b。导电层104被用作晶体管100_1至晶体管100_4的栅电极。绝缘层106的一部分被用作晶体管100_1至晶体管100_4的栅极绝缘层。导电层112a被用作晶体管100_1至晶体管100_4的源电极和漏电极中的另一个,导电层112b被用作该源电极和漏电极中的一个。

[0295] 图18A是摘要示出导电层112a的立体图。导电层112a在与半导体层108接触的区域中包括开口145_1至开口145_4。在开口145_1至开口145_4中导电层112a_1露出。

[0296] 图18B是摘要示出导电层112a、导电层112b、开口141_1至开口141_4及开口143_1至开口143_4的立体图。注意,以虚线示出设置在绝缘层110中的开口141_1至开口141_4。开口141_1至开口141_4优选设置在与开口145_1至开口145_4重叠的区域中。优选在开口141_1至开口141_4中导电层112a_1露出。另外,如图18B所示,导电层112b在与导电层112a重叠的区域中包括开口143_1至开口143_4。

[0297] 开口141_1至开口141_4及开口143_1至开口143_4的顶面形状优选呈圆形。并且,开口141_1至开口141_4的宽度优选相等或大致相等。同样地,开口143_1至开口143_4的宽度优选相等或大致相等。当开口141_1至开口141_4的宽度相等或大致相等并且开口143_1至开口143_4的宽度相等或大致相等时,可以提高形成开口141_1至开口141_4及开口143_1至开口143_4时的加工精度。

[0298] 当将半导体装置30视为一个晶体管时,该晶体管的沟道宽度为晶体管100_1至晶体管100_4的沟道宽度之和。例如,当开口143_1至开口143_4的顶面形状呈圆形且将开口143_1至开口143_4各自的宽度记载为宽度D143时,可以将半导体装置30视为沟道宽度为“ $D143 \times \pi \times 4$ ”的晶体管(参照图5A及图5B)。可以将由p个晶体管构成的半导体装置30视为沟道宽度为“ $D143 \times \pi \times p$ ”的晶体管。此外,可以将半导体装置30视为具有沟道长度L100的晶体管(参照图5B)。通过并联连接多个晶体管,沟道宽度变大,而可以增高通态电流。另外,通过调节并联连接的晶体管的个数(p)可以使沟道宽度不同。以实现所希望的通态电流的方式决定并联连接的晶体管的个数(p)即可。

[0299] 图18C是摘要示出导电层112a及半导体层108的立体图。如图18C所示,半导体层108以覆盖开口141_1至开口141_4及开口143_1至开口143_4的方式设置。在开口141_1至开口141_4中,半导体层108包括与导电层112a的顶面接触的区域。具体而言,在开口141_1至开口141_4中,半导体层108优选包括与导电层112a_1的顶面接触的区域。注意,图18C示出晶体管100_1至晶体管100_4共同使用半导体层108的结构,但是本发明的一个方式不局限于此。半导体层108也可以按晶体管100_1至晶体管100_4分离。

[0300] 注意,图18A等示出导电层112a包括4个开口145(开口145_1至开口145_4)的结构,但是本发明的一个方式不局限于此。导电层112a只要包括一个以上的包括开口141_1至开口141_4的开口就可。例如,导电层112a可以包括一个包括开口141_1至开口141_4的开口。在该开口中,晶体管100_1至晶体管100_4的半导体层108也可以与导电层112a_1接触。

[0301] 图18D是摘要示出导电层112a及导电层104的立体图。如图18D所示,导电层104以覆盖开口141_1至开口141_4及开口143_1至开口143_4的方式设置。

[0302] 也可以将半导体装置30用于图1B等所示的半导体装置10中的晶体管100和晶体管200中的一方或双方。具体而言,作为半导体装置10中的晶体管100可以使用图15A所示的晶

晶体管100_1至晶体管100_p。另外,作为晶体管200可以使用图15A所示的晶体管100_1至晶体管100_p。

[0303] 也可以将半导体装置30用于图13B等所示的半导体装置20中的晶体管100A和晶体管200A中的一方或双方。具体而言,作为半导体装置20中的晶体管100A可以使用图15A所示的晶体管100_1至晶体管100_p。另外,作为晶体管200A可以使用图15A所示的晶体管100_1至晶体管100_p。

[0304] 注意,可以在此示出的并联连接的结构用于其他结构例子。

[0305] <结构例子4>

图19A示出本发明的一个方式的半导体装置40的等效电路图。半导体装置40包括晶体管100_1至晶体管100_q(q为2以上的整数)。晶体管100_1至晶体管100_q串联连接,可以将半导体装置40视为一个晶体管。

[0306] 注意,在图19A中,晶体管100_1至晶体管100_q为n沟道型晶体管,但是本发明的一个方式不局限于此。晶体管100_1至晶体管100_q也可以为p沟道型晶体管。

[0307] 以q为4的情况为例进行具体的说明。图19B示出本发明的一个方式的半导体装置40的等效电路图。图19C示出半导体装置40的俯视图。图20示出沿着图19C中的点划线A5-A6的截断面的截面图。图21示出半导体装置40的立体图。

[0308] 半导体装置40包括晶体管100_1至晶体管100_4。晶体管100_1至晶体管100_4都可以采用上述晶体管100的结构。

[0309] 注意,图19C所示的俯视图及图21所示的立体图示出将晶体管100_1至晶体管100_4配置为2行2列的结构,但是本发明的一个方式不局限于此。例如,也可以将晶体管100_1至晶体管100_4配置为1行4列。

[0310] 晶体管100_1包括导电层104、绝缘层106、半导体层108_1、导电层112a及导电层112b。导电层112a被用作晶体管100_1的源电极和漏电极中的一个,导电层112b被用作该源电极和漏电极中的另一个。

[0311] 晶体管100_2包括导电层104、绝缘层106、半导体层108_2、导电层112a及导电层112c。导电层112a被用作晶体管100_2的源电极和漏电极中的一个,导电层112c被用作该源电极和漏电极中的另一个。导电层112a由晶体管100_1和晶体管100_2共同使用。

[0312] 晶体管100_3包括导电层104、绝缘层106、半导体层108_3、导电层212a及导电层112c。导电层212a被用作晶体管100_3的源电极和漏电极中的一个,导电层112c被用作该源电极和漏电极中的另一个。导电层112c由晶体管100_2和晶体管100_3共同使用。

[0313] 晶体管100_4包括导电层104、绝缘层106、半导体层108_4、导电层212a及导电层212b。导电层212a被用作晶体管100_4的源电极和漏电极中的一个,导电层212b被用作该源电极和漏电极中的另一个。导电层212a由晶体管100_3和晶体管100_4共同使用。

[0314] 图22A是摘要示出导电层112a及导电层212a的立体图。导电层112a和导电层212a可以通过同一工序形成。可以采用如下结构:导电层112a_2包括开口145_1及开口145_2,半导体层108_1及半导体层108_2通过开口145_1及开口145_2与导电层112a_1接触。可以采用如下结构:导电层212a_2包括开口145_3及开口145_4,半导体层108_3及半导体层108_4通过开口145_3及开口145_4与导电层212a_1接触。

[0315] 图22B是摘要示出导电层112a、导电层212a、导电层112b、导电层112c、导电层

212b、开口141_1至开口141_4及开口143_1至开口143_4的立体图。导电层112b、导电层112c及导电层212b可以通过同一工序形成。导电层112b中设置有开口143_1,导电层112c中设置有开口143_2及开口143_3,导电层212b中设置有开口143_4。

[0316] 图22C是摘要示出导电层112a、导电层212a及半导体层108_1至半导体层108_4的立体图。半导体层108_1至半导体层108_4可以通过同一工序形成。

[0317] 图22D是摘要示出导电层112a、导电层212a及导电层104的立体图。导电层104被用作晶体管100_1至晶体管100_4的栅电极。

[0318] 晶体管100_1的源电极和漏电极中的一个与晶体管100_2的源电极和漏电极中的一个电连接。晶体管100_2的源电极和漏电极中的另一个与晶体管100_3的源电极和漏电极中的另一个电连接。晶体管100_3的源电极和漏电极中的一个与晶体管100_4的源电极和漏电极中的一个电连接。

[0319] 当将半导体装置40视为一个晶体管时,该晶体管的沟道长度为晶体管100_1至晶体管100_4的沟道长度之和。例如,当将晶体管100_1至晶体管100_4各自的沟道长度记载为沟道长度L100时,可以将半导体装置40视为沟道长度为“ $L100 \times 4$ ”的晶体管(参照图5B)。可以将由q个晶体管构成的半导体装置40视为沟道长度为“ $L100 \times q$ ”的晶体管。此外,可以将半导体装置40视为具有沟道宽度W100的晶体管(参照图5A及图5B)。通过串联连接多个晶体管,沟道长度变大,而可以提高饱和性。另外,通过调节串联连接的晶体管的个数(q),可以使沟道长度不同。以实现所希望的饱和性的方式决定串联连接的晶体管的个数(q)即可。

[0320] 也可以将半导体装置40用于图1B等所示的半导体装置10中的晶体管100和晶体管200中的一方或双方。具体而言,作为半导体装置10中的晶体管100可以使用图19A所示的晶体管100_1至晶体管100_q。另外,作为晶体管200可以使用图19A所示的晶体管100_1至晶体管100_q。

[0321] 也可以将半导体装置40用于图13B等所示的半导体装置20中的晶体管100A和晶体管200A中的一方或双方。具体而言,作为半导体装置20中的晶体管100A可以使用图19A所示的晶体管100_1至晶体管100_q。另外,作为晶体管200A可以使用图19A所示的晶体管100_1至晶体管100_q。

[0322] 也可以将半导体装置40用于半导体装置30中的各晶体管。就是说,可以使并联连接的晶体管群还串联连接(以下,也称为串并联连接)。

[0323] 注意,可以在此示出的串联连接及串并联连接的结构用于其他结构例子。

[0324] <制造方法例子>

以下,参照附图说明本发明的一个方式的半导体装置的制造方法。这里,以图1C等所示的半导体装置10的半导体层108及半导体层208使用氧化物半导体的结构为例进行说明。

[0325] 注意,构成半导体装置的薄膜(绝缘膜、半导体膜、导电膜等)可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、真空蒸镀法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、原子层沉积(ALD)法等形成。作为CVD法有等离子体增强化学气相沉积(PECVD:Plasma Enhanced CVD)法、热CVD法等。此外,作为热CVD法之一,有有机金属化学气相沉积(MOCVD:Metal Organic CVD)法。

[0326] 构成半导体装置的薄膜(绝缘膜、半导体膜、导电膜等)可以利用旋涂法、浸渍法、

喷涂法、喷墨法、分配器法、丝网印刷法、胶版印刷法、刮刀(doctor knife)法、狭缝式涂布法、辊涂法、帘式涂布法、刮刀式涂布法等方法形成。

[0327] 当对构成半导体装置的薄膜进行加工时,可以利用光刻法等。另外,可以利用纳米压印法、喷砂法、剥离法等对薄膜进行加工。此外,可以通过利用金属掩模等遮蔽掩模的沉积方法直接形成岛状的薄膜。

[0328] 光刻法典型地有如下两种方法。一个是在要进行加工的薄膜上形成抗蚀剂掩模,通过蚀刻等对该薄膜进行加工,并去除抗蚀剂掩模的方法。另一个是形成具有感光性的薄膜之后进行曝光而显影,将该薄膜加工为所希望的形状的方法。

[0329] 在光刻法中,作为用于曝光的光,例如可以使用i线(波长365nm)、g线(波长436nm)、h线(波长405nm)或将这些光混合了的光。另外,还可以使用紫外光、KrF激光或ArF激光等。此外,也可以利用液浸曝光技术进行曝光。此外,作为用于曝光的光,也可以使用极紫外(EUV:Extreme Ultra-violet)光或X射线。此外,代替用于曝光的光,也可以使用电子束。当使用极紫外光、X射线或电子束时,可以进行极其微细的加工,所以是优选的。注意,在通过利用电子束等光束进行扫描而进行曝光时,不需要光掩模。

[0330] 作为薄膜的蚀刻方法,例如可以利用干蚀刻法、湿蚀刻法或喷砂法。

[0331] 图23A1至图30B2所示的各图是说明晶体管100A的制造方法的图。各图的A1及B1是立体图,A2及B2是沿着点划线A1-A2及点划线B1-B2的截断面的截面图。注意,在各图的A1及B1中省略绝缘层110、绝缘层106、绝缘层210及绝缘层206。

[0332] (导电层112a的形成)

在衬底102上形成将成为导电层112a_1及导电层112a_2的导电膜。该导电膜例如可以适当地利用溅射法形成。在该导电膜上利用光刻工序形成抗蚀剂掩模之后加工该导电膜,由此形成导电层112a_1及导电层112a_2A(图23A1及图23A2)。在对该导电膜进行加工时,利用湿蚀刻法和干蚀刻法中的一个或两个即可。

[0333] 接着,利用光刻工序在该导电层112a_2A上形成抗蚀剂掩模之后加工导电层112a_2A,由此形成包括开口145的导电层112a_2(图23B1及图23B2)。由此,形成用作晶体管100的源电极和漏电极中的一个的导电层112a。

[0334] (绝缘膜110af及绝缘膜110bf的形成)

接着,在衬底102及导电层112a上形成将成为绝缘层110a的绝缘膜110af及将成为绝缘层110b的绝缘膜110bf。

[0335] 绝缘膜110af及绝缘膜110bf的形成可以适当地使用PECVD法。优选在形成绝缘膜110af之后以不使绝缘膜110af的表面暴露于大气的方式在真空中连续形成绝缘膜110bf。通过连续形成绝缘膜110af及绝缘膜110bf,可以抑制在绝缘膜110af的表面附着来源于大气的杂质。作为该杂质例如可以举出水及有机物。

[0336] 形成绝缘膜110af及绝缘膜110bf时的衬底温度都优选为180℃以上且450℃以下,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下,更优选为350℃以上且400℃以下。通过使形成绝缘膜110af及绝缘膜110bf时的衬底温度在上述范围内,可以减少从绝缘膜110af及绝缘膜110bf本身的杂质(例如,水及氢)的释放,由此可以抑制杂质扩散到半导体层108。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0337] 注意,由于先形成绝缘膜110af及绝缘膜110bf然后形成半导体层108,所以没有因形成绝缘膜110af及绝缘膜110bf时施加的热导致的氧从半导体层108脱离的担忧。

[0338] 也可以在形成绝缘膜110af及绝缘膜110bf之后进行加热处理。通过进行加热处理,可以使水及氢从绝缘膜110af及绝缘膜110bf的表面及膜中脱离。

[0339] 加热处理的温度优选为150℃以上且低于衬底的应变点,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下,更优选为350℃以上且400℃以下。可以在包含贵气体、氮和氧中的一个以上的气氛下进行加热处理。作为含氮气氛或含氧气氛,也可以使用干燥空气(CDA: Clean Dry Air)。注意,该气氛中氢或氧等的含量优选为尽可能少。作为该气氛,优选使用露点为-60℃以下,优选为-100℃以下的高纯度气体。通过使用氢、水等的含量尽可能少的气氛,可以尽可能地防止氢、水等被绝缘膜110af及绝缘膜110bf等吸收。该加热处理例如可以使用烘箱或快速热退火(RTA:Rapid Thermal Annealing)装置。通过使用RTA装置,可以缩短加热处理时间。

[0340] 接着,在绝缘膜110bf上形成金属氧化物层149(图24A1及图24A2)。

[0341] 金属氧化物层149既可以是绝缘层又可以是导电层。金属氧化物层149例如也可以使用氧化铝、氧化钪、铝酸钪、铟氧化物、铟锡氧化物(ITO)或含硅的铟锡氧化物(ITSO)。

[0342] 作为金属氧化物层149,优选使用包含一个以上的与半导体层108或半导体层208相同的元素的氧化物材料。尤其是,优选使用可应用于半导体层108或半导体层208的氧化物半导体材料。

[0343] 作为金属氧化物层149,可以使用利用与半导体层108或半导体层208相同的组成的溅射靶材形成的金属氧化物膜。通过使用相同的组成的溅射靶材,可以共同使用制造装置及溅射靶材,因此是优选的。

[0344] 在半导体层108和金属氧化物层149使用包含铟及镓的金属氧化物材料的情况下,金属氧化物层149可以使用其镓组成(含有率)高于半导体层108的材料。由于作为金属氧化物层149使用镓组成(含有率)高的材料可以提高对氧的阻挡性,所以是优选的。

[0345] 金属氧化物层149例如优选在含氧气氛下形成。尤其是,优选在含氧气氛下利用溅射法形成。由此,在形成金属氧化物层149时可以适当地将氧供应给绝缘膜110bf。

[0346] 例如,也可以作为沉积气体使用氧,通过使用金属靶材的反应性溅射法形成金属氧化物层149。例如,在作为金属靶材使用铝的情况下,可以形成氧化铝膜。

[0347] 当形成金属氧化物层149时,相对于引入到沉积装置的处理室内的沉积气体的总流量的氧气体之比率(氧流量比)或处理室内的氧分压越高,越可以增大供应给绝缘膜110bf中的氧量。氧流量比或氧分压例如为50%以上且100%以下,优选为65%以上且100%以下,更优选为80%以上且100%以下,进一步优选为90%以上且100%以下。尤其是,优选将氧流量比设定为100%,来使氧分压尽量接近于100%。

[0348] 如此,通过在含氧气氛下利用溅射法形成金属氧化物层149,在形成金属氧化物层149时可以在对绝缘膜110bf供氧的同时防止氧从绝缘膜110bf脱离。其结果是,可以将较多的氧封闭在绝缘膜110bf中。并且,可以通过后面的加热处理对半导体层108供应较多的氧。其结果是,可以减少半导体层108中的氧空位(V_O)及 V_OH ,而可以实现呈现良好的电特性且可靠性高的晶体管。

[0349] 在形成金属氧化物层149之后也可以进行加热处理。关于加热处理可以参照上述记载,所以省略详细说明。通过在形成金属氧化物层149之后进行加热处理,可以有效地从金属氧化物层149对绝缘膜110bf供氧。

[0350] 在形成金属氧化物层149之后或在上述加热处理之后也可以还将氧通过金属氧化物层149供应给绝缘膜110bf。作为氧的供应方法,例如可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理。作为该等离子体处理,可以适当地使用以高频功率使氧气体等离子体化的装置。作为以高频功率使气体等离子体化的装置,例如可以举出等离子体蚀刻装置及等离子体灰化装置。

[0351] 接着,去除金属氧化物层149。

[0352] 虽然对金属氧化物层149的去除方法没有特别的限制,但是可以适当地采用湿蚀刻法。通过利用湿蚀刻法,可以抑制去除金属氧化物层149时绝缘膜110bf被蚀刻。因此,可以抑制绝缘膜110bf的厚度变小,并且可以使绝缘层110b的厚度均匀。

[0353] 对绝缘膜110bf供氧处理不局限于上述方法。例如,可以利用离子掺杂法、离子注入法、等离子体处理等对绝缘膜110bf供应氧自由基、氧原子、氧原子离子、氧分子离子等。另外,也可以在绝缘膜110bf上形成抑制氧脱离的膜之后,经过该膜对绝缘膜110bf添加氧。优选在供应氧之后去除该膜。作为上述抑制氧脱离的膜,可以使用含有铟、锌、镓、锡、铝、铬、钽、钛、钼、镍、铁、钴和钨的一种以上的导电膜或半导体膜。

[0354] (绝缘膜110cf的形成及导电膜112f的形成)

接着,在绝缘膜110bf上形成将成为绝缘层110c的绝缘膜110cf。由于绝缘膜110cf的形成可以参照有关绝缘膜110af及绝缘膜110bf的形成的记载,所以省略其详细说明。

[0355] 接着,在绝缘膜110cf上形成将成为导电层112b的导电膜112f(图24B1及图24B2)。导电膜112f的形成例如可以适当地利用溅射法。

[0356] (开口141的形成及开口143的形成)

接着,加工导电膜112f来形成导电层112B(图25A1及图25A2)。导电层112B的形成可以使用湿蚀刻法和干蚀刻法中的一方或双方。导电层112B的形成例如可以适当地利用湿蚀刻法。

[0357] 接着,去除与开口145重叠的区域的导电层112B来形成包括开口143的导电层112b。开口143的形成可以使用湿蚀刻法和干蚀刻法中的一方或双方。开口143的形成例如可以适当地利用湿蚀刻法。

[0358] 接着,去除与开口143重叠的区域的绝缘膜110f(绝缘膜110af、绝缘膜110bf及绝缘膜110cf),形成包括开口141的绝缘层110(图25B1及图25B2)。开口141可以利用湿蚀刻法和干蚀刻法中的一个或两个形成。开口141例如可以适当地利用干蚀刻法形成。注意,在图25B1中,用虚线示出设置在绝缘层110中的开口141。开口141设置在重叠于开口145的区域。在开口145中导电层112a_1露出。

[0359] 开口141例如可以使用用于开口143的形成的抗蚀剂掩模形成。具体而言,可以在导电膜112f上形成抗蚀剂掩模,使用该抗蚀剂掩模去除导电膜112f形成开口143,使用该抗蚀剂掩模去除绝缘膜110f形成开口141。开口143也可以使用与用于开口141的形成的抗蚀剂掩模不同的抗蚀剂掩模形成。

[0360] 此外,也可以在形成开口141时或形成开口141之后去除与开口141重叠的区域的

导电层112a(具体而言,导电层112a_1)的一部分。通过去除导电层112a_1的一部分,可以实现图7A及图7B所示的结构。

[0361] (半导体层108的形成)

接着,以覆盖开口141及开口143的方式形成将成为半导体层108的金属氧化物膜108f(图26A1及图26A2)。金属氧化物膜108f以与导电层112b的顶面及侧面、绝缘层110的顶面及侧面以及导电层112a_1的顶面接触的方式设置。

[0362] 金属氧化物膜108f优选通过使用金属氧化物靶材的溅射法形成。

[0363] 金属氧化物膜108f优选为缺陷尽可能少的致密的膜。金属氧化物膜108f优选为高纯度膜,其中尽可能降低含氢元素的杂质。尤其是,作为金属氧化物膜108f,优选使用具有结晶性的金属氧化物膜。

[0364] 在形成金属氧化物膜108f时,优选使用氧气体。通过在形成金属氧化物膜108f时使用氧气体,可以适当地对绝缘层110中供应氧。例如,在绝缘层110b使用氧化物或氧氮化物时,可以适当地对绝缘层110b中供应氧。

[0365] 通过对绝缘层110b供应氧,在后面工序中对半导体层108供应氧,由此可以降低半导体层108中的氧空位(V_O)及 V_OH 。

[0366] 在沉积金属氧化物膜108f时,也可以混合氧气体和惰性气体(例如,氦气体、氩气体、氙气体等)。注意,在沉积金属氧化物膜108f时的氧流量比或氧分压越高,金属氧化物膜108f的结晶性可以越高,可以实现具有高可靠性的晶体管。另一方面,氧流量比或氧分压越低,金属氧化物膜108f的结晶性越低,可以实现通态电流大的晶体管。

[0367] 在形成金属氧化物膜108f时的衬底温度较高时,可以形成结晶性更高且更致密的金属氧化物膜。另一方面,在衬底温度较低时,可以形成结晶性更低且导电性更高的金属氧化物膜108f。

[0368] 形成金属氧化物膜108f时的衬底温度为室温以上且250℃以下,优选为室温以上且200℃以下,更优选为室温以上且140℃以下即可。例如,衬底温度优选为室温以上且140℃以下,由此可以提高生产性。通过在衬底温度为室温或不进行加热衬底的状态下沉积金属氧化物膜108f,可以降低结晶性。

[0369] 在沉积金属氧化物膜108f之前,优选进行用来使在绝缘层110的表面吸附的水、氢及有机物等脱离的处理和对绝缘层110供应氧的处理中的至少一个。例如,可以在减压气氛下以70℃以上且200℃以下的温度进行加热处理。或者,也可以进行含氧气氛下的等离子体处理。或者,通过进行包含一氧化二氮(N_2O)等含氧化性气体的气氛下的等离子体处理,也可以将氧供应给绝缘层110。当进行包含一氧化二氮气体的等离子体处理时,可以适当地去除绝缘层110的表面的有机物且可以将氧供应给绝缘层110。优选的是,在这种处理之后,以不使绝缘层110的表面暴露于大气的方式连续地沉积金属氧化物膜108f。

[0370] 注意,在半导体层108具有叠层结构的情况下,优选的是,在沉积下层的金属氧化物膜之后,以不使其表面暴露于大气的方式连续地沉积上层的金属氧化物膜。

[0371] 接着,将金属氧化物膜108f加工为岛状,形成半导体层108(图26B1及图26B2)。

[0372] 半导体层108可以利用湿蚀刻法和干蚀刻法中的一个或两个形成。半导体层108例如可以适当地利用湿蚀刻法形成。此时,有时不与半导体层108重叠的区域的导电层112b的一部分被蚀刻而减薄。同样地,有时不与半导体层108及导电层112b重叠的区域的绝缘层

110的一部分被蚀刻而厚度变薄。例如,有时由于蚀刻而绝缘层110中的绝缘层110c消失,露出绝缘层110b的表面。注意,在金属氧化物膜108f的蚀刻中,通过作为绝缘层110c使用选择比高的材料,可以抑制绝缘层110c的厚度变小。

[0373] 优选在沉积金属氧化物膜108f或将金属氧化物膜108f加工为半导体层108之后进行加热处理。通过加热处理,可以去除包含在金属氧化物膜108f或半导体层108中或吸附在金属氧化物膜108f或半导体层108的表面的氢或水。此外,通过加热处理,有时金属氧化物膜108f或半导体层108的膜质得到提高(例如,缺陷的降低及结晶性的提高)。

[0374] 通过加热处理,可以将氧从绝缘层110b供应给金属氧化物膜108f或半导体层108。此时,更优选的是,在加工成半导体层108之前进行加热处理。关于加热处理可以参照上述记载,所以省略详细说明。

[0375] 注意,并不一定需要进行该加热处理。也可以在该工序中不进行加热处理而将在后面的工序中进行的加热处理用作在该工序中的加热处理。有时,也可以将在后面的工序中的高温下的处理(例如,沉积工序等)等用作该工序中的加热处理。

[0376] (绝缘层106的形成)

接着,以覆盖半导体层108、导电层112b及绝缘层110的方式形成绝缘层106。绝缘层106可以适当地利用PECVD法形成。

[0377] 在半导体层108使用氧化物半导体时,优选将绝缘层106用作抑制氧扩散的阻挡膜。通过使绝缘层106具有抑制氧扩散的功能,可以抑制氧从绝缘层106的上侧扩散到导电层104而导电层104被氧化。其结果是,可以实现呈现良好的电特性且可靠性高的晶体管。

[0378] 通过提高被用作栅极绝缘层的绝缘层106的形成时的温度,可以形成缺陷少的绝缘层。但是,形成绝缘层106时的温度较高时氧从半导体层108脱离,有时半导体层108中的氧空位(V_O)及 V_OH 增加。形成绝缘层106时的衬底温度优选为180℃以上且450℃以下,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下。通过使形成绝缘层106时的衬底温度在上述范围内,可以在减少绝缘层106的缺陷的同时抑制氧从半导体层108脱离。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0379] 在形成绝缘层106之前也可以对半导体层108的表面进行等离子体处理。通过该等离子体处理,可以降低吸附在半导体层108的表面的水等杂质。因此,可以减少半导体层108与绝缘层106的界面中的杂质,所以可以实现可靠性高的晶体管。尤其是,从半导体层108的形成到绝缘层106的形成之间半导体层108的表面暴露于大气的情况下,进行等离子体处理是优选的。等离子体处理可以例如在氧、臭氧、氮、一氧化二氮、氩等气氛下进行。等离子体处理与绝缘层106的沉积优选以不暴露于大气的方式连续地进行。

[0380] (导电层104的形成)

接着,在绝缘层106上形成将成为导电层104的导电膜。该导电膜例如可以适当地利用溅射法形成。利用光刻工序在该导电膜上形成抗蚀剂掩模之后加工该导电膜,由此形成被用作栅电极的导电层104(图27A1及图27A2)。

[0381] 通过上述工序,可以制造晶体管100。

[0382] (绝缘膜210af及绝缘膜210bf的形成)

接着,在晶体管100上形成将成为绝缘层210a的绝缘膜210af及将成为绝缘层210b

的绝缘膜210bf。

[0383] 由于绝缘膜210af及绝缘膜210bf的形成可以参照有关绝缘膜110af及绝缘膜110bf的形成的记载,所以省略其详细说明。

[0384] 形成绝缘膜210af及绝缘膜210bf时的衬底温度都优选为180℃以上且450℃以下,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下,更优选为350℃以上且400℃以下。通过使形成绝缘膜210af及绝缘膜210bf时的衬底温度在上述范围内,可以减少从绝缘膜210af及绝缘膜210bf本身的杂质(例如,水及氢)的释放,由此可以抑制杂质扩散到半导体层208。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0385] 也可以在形成绝缘膜210af及绝缘膜210bf之后进行加热处理。通过进行加热处理,可以使水及氢从绝缘膜210af及绝缘膜210bf的表面及膜中脱离。加热处理可以参照有关形成绝缘膜110af及绝缘膜110bf后的加热处理的记载,因此省略详细说明。

[0386] 接着,在绝缘膜210bf上形成金属氧化物层249(图27B1及图27B2)。金属氧化物层249的形成可以参照有关金属氧化物层149的记载,因此省略详细说明。

[0387] 在形成金属氧化物层249之后也可以进行加热处理。关于加热处理可以参照上述记载,所以省略详细说明。

[0388] 接着,去除金属氧化物层249。关于金属氧化物层249的去除可以参照有关金属氧化物层149的去除的记载,所以省略详细说明。

[0389] (绝缘膜210cf的形成、导电膜212f的形成)

接着,在绝缘膜210bf上形成将成为绝缘层210c的绝缘膜210cf。由于绝缘膜210cf的形成可以参照有关绝缘膜110af及绝缘膜110bf的形成的记载,所以省略其详细说明。

[0390] 接着,在绝缘膜210cf上形成将成为导电层212b的导电膜212f(图28A1及图28A2)。由于导电膜212f的形成可以参照有关导电膜112f的形成的记载,所以省略其详细说明。

[0391] (开口241的形成、开口243的形成)

接着,加工导电膜212f来形成导电层212B(图28B1及图28B2)。由于导电层212B的形成可以参照有关导电层112B的形成的记载,所以省略其详细说明。

[0392] 接着,去除与导电层112b重叠的区域的导电层212B,形成包括开口243的导电层212b。开口243的形成可以参照有关开口143的形成的记载,因此省略详细说明。

[0393] 接着,去除与开口243重叠的区域的绝缘层106及绝缘膜210f(绝缘膜210af、绝缘膜210bf及绝缘膜210cf),形成包括开口241的绝缘层106及绝缘层210(图29A1及图29A2)。开口241的形成可以参照有关开口141的形成的记载,因此省略详细说明。注意,在图29A1中,用虚线示出设置在绝缘层106及绝缘层210中的开口241。在开口241中导电层112b露出。

[0394] 此外,也可以在形成开口241时或形成开口241之后去除与开口241重叠的区域的导电层112b。通过去除导电层112b的一部分,可以实现图8A及图8B所示的结构。

[0395] (半导体层208的形成)

接着,以覆盖开口241及开口243的方式形成将成为半导体层208的金属氧化物膜208f(图29B1及图29B2)。金属氧化物膜208f以与导电层212b的顶面及侧面、绝缘层210的顶面及侧面、绝缘层106的侧面以及导电层112b的顶面接触的方式设置。

[0396] 由于金属氧化物膜208f的形成可以参照有关金属氧化物膜108f的形成的记载,所

以省略其详细说明。

[0397] 注意,在半导体层208具有叠层结构的情况下,优选的是,在沉积下层的金属氧化物膜之后,以不使其表面暴露于大气的方式连续地沉积上层的金属氧化物膜。

[0398] 接着,将金属氧化物膜208f加工为岛状,形成半导体层208(图30A1及图30A2)。由于半导体层208的形成可以参照有关半导体层108的形成的记载,所以省略其详细说明。

[0399] 优选在沉积金属氧化物膜208f或将金属氧化物膜208f加工为半导体层208之后进行加热处理。通过加热处理,可以去除包含在金属氧化物膜208f或半导体层108中或吸附在金属氧化物膜208f或半导体层108的表面的氢或水。此外,通过加热处理,有时金属氧化物膜208f或半导体层208的膜质得到提高(例如,缺陷的降低及结晶性的提高)。

[0400] 通过加热处理,可以将氧从绝缘层210b供应给金属氧化物膜208f或半导体层208。此时,更优选的是,在加工成半导体层208之前进行加热处理。关于加热处理可以参照上述记载,所以省略详细说明。

[0401] (绝缘层206的形成)

接着,以覆盖半导体层208、导电层212b及绝缘层210的方式形成绝缘层206。由于绝缘层206的形成可以参照有关绝缘层106的形成的记载,所以省略其详细说明。

[0402] 在形成绝缘层206之前也可以对半导体层208的表面进行等离子体处理。通过该等离子体处理,可以降低吸附在半导体层208的表面的水等杂质。因此,可以减少半导体层208与绝缘层206的界面中的杂质,所以可以实现可靠性高的晶体管。尤其是,从半导体层208的形成到绝缘层206的形成之间半导体层208的表面暴露于大气的情况下,进行等离子体处理是优选的。关于该等离子体处理可以参照上述记载,所以省略详细说明。

[0403] (导电层204的形成)

接着,在绝缘层206上形成将成为导电层204的导电膜,加工该导电膜,由此形成被用作晶体管200的栅电极的岛状的导电层204(图30B1及图30B2)。

[0404] 通过上述工序,可以制造晶体管200。

[0405] (绝缘层195的形成)

接着,在晶体管200上形成绝缘层195(图1C)。绝缘层195可以适当地利用PECVD法形成。

[0406] 通过上述工序,可以制造半导体装置10。

[0407] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0408] (实施方式2)

在本实施方式中,说明可以使用本发明的一个方式的半导体装置的显示装置的结构例子。

[0409] 图31A示出本发明的一个方式的显示装置50的立体图。显示装置50具有贴合衬底152与衬底102的结构。在图31A中,以虚线表示衬底152。

[0410] 显示装置50包括显示部235、连接部140、第一驱动电路部231、第二驱动电路部232及布线165等。图31A示出显示装置50安装有IC173及FPC172的例子。因此,也可以将图31A所示的结构称为包括显示装置50、IC(集成电路)及FPC的显示模块。

[0411] 连接部140设置在显示部235的外侧。连接部140可以沿着显示部235的一个边或多

个边设置。连接部140也可以为一个或多个。图31A示出以围绕显示部235的四个边的方式设置连接部140的例子。在连接部140中,发光器件的公共电极与导电层电连接,可以对公共电极供电。

[0412] 布线165具有对显示部235、第一驱动电路部231及第二驱动电路部232供应信号及电力的功能。该信号及电力从外部经由FPC172输入到布线165或者从IC173输入到布线165。

[0413] 图31A示出通过COG(Chip On Glass:玻璃覆晶封装)方式或COF(Chip On Film:薄膜覆晶封装)方式等在衬底102上设置IC173的例子。IC173例如也可以包括扫描线驱动电路或信号线驱动电路等。注意,显示装置50及显示模块不一定必须设置有IC。另外,也可以将IC利用COF方式等安装于FPC。

[0414] 显示部235包括配置为矩阵状的多个像素230。作为像素230,例如可以使用像素230a、像素230b及像素230c的三种像素。像素230a、像素230b及像素230c都包括显示器件(也称为显示元件)。作为显示器件例如可以举出液晶器件(也称为液晶元件)及发光器件。作为发光器件,例如优选使用OLED(Organic Light Emitting Diode:有机发光二极管)、QLED(Quantum-dot Light Emitting Diode:量子点发光二极管)。作为发光器件含有的发光物质,例如可以举出发射荧光的物质(荧光材料)、发射磷光的物质(磷光材料)、呈现热活化延迟荧光的物质(热活化延迟荧光(Thermally Activated Delayed Fluorescence:TADF)材料)及无机化合物(量子点材料等)。此外,作为发光器件,也可以使用Micro LED(Light Emitting Diode)等LED。

[0415] 像素230a、像素230b及像素230c具有呈现互不相同的光的功能。例如,像素230a、像素230b和像素230c也可以分别具有呈现红色(R)光的功能、呈现绿色(G)光的功能和呈现蓝色(B)光的功能。或者,例如,像素230a、像素230b和像素230c也可以分别具有呈现黄色(Y)光的功能、呈现青色(C)光的功能和呈现品红色(M)光的功能。

[0416] 通过使用一个像素230a、一个像素230b及一个像素230c构成一个像素240,可以实现全彩色显示。因此,像素230被用作子像素。另外,在图31A所示的显示装置50中,示出以条纹排列配置用作子像素的像素230的例子。构成一个像素240的子像素的数量不局限于三个,也可以为四个以上。例如,也可以包括呈现R、G、B、白色(W)的光的四个子像素。或者,也可以包括呈现R、G、B、Y的四种光的四个子像素。

[0417] 图31B是说明显示装置50的方框图。显示装置50包括显示部235、第一驱动电路部231及第二驱动电路部232。显示部235包括配置为矩阵状的多个像素230。

[0418] 第一驱动电路部231所包括的电路例如被用作扫描线驱动电路。第二驱动电路部232所包括的电路例如被用作信号线驱动电路。注意,在隔着显示部235与第一驱动电路部231相对的位置也可以设置某个电路。在隔着显示部235与第二驱动电路部232相对的位置也可以设置某个电路。注意,有时将第一驱动电路部231及第二驱动电路部232所包括的电路总称为外围驱动电路。

[0419] 作为外围驱动电路233,可以使用移位寄存器电路、电平转换器电路、反相器电路、锁存电路、模拟开关电路、解复用电路、逻辑电路等各种电路。在外围驱动电路233中,可以使用晶体管及电容器等。外围驱动电路233中的晶体管也可以使用与像素230中的晶体管相同的工序形成。

[0420] 另外,显示装置50包括:彼此大致平行地配置且其电位被第一驱动电路部231中的

电路控制的 m 个(m 为1以上的整数)布线236;以及彼此大致平行地配置且其电位被第二驱动电路部232中的电路控制的 n 个(n 为1以上的整数)布线237。

[0421] 在图31B中,示出布线236和布线237连接到像素230的例子。但是,布线236和布线237是一个例子,连接到像素230的布线不局限于布线236和布线237。

[0422] <外围驱动电路的结构例子>

作为可用于外围驱动电路的电路,以锁存电路为例说明结构例子。

[0423] 图32A是示出锁存电路LAT的结构例子的电路图。图32A所示的锁存电路LAT包括晶体管Tr31、晶体管Tr33、晶体管Tr35、晶体管Tr36、电容器C31及反相电路INV。在图32A中,将电连接晶体管Tr33的源极和漏极中的一个、晶体管Tr35的栅极及电容器C31的一个电极的节点称为节点N。

[0424] 在图32A所示的锁存电路LAT中,当向端子SMP输入高电位信号时,晶体管Tr33变为开启状态。因此,节点N的电位变为与端子ROUT的电位对应的电位,与从端子ROUT输入到锁存电路LAT的信号对应的数据被写入到锁存电路LAT。在向锁存电路LAT写入数据之后,通过使端子SMP的电位变为低电位,晶体管Tr33变为关闭状态。因此,节点N的电位被保持,写入到锁存电路LAT的数据被保持。具体而言,例如在节点N的电位为低电位的情况下,锁存电路LAT可以保持“0”的数据,在节点N的电位为高电位的情况下,锁存电路LAT可以保持“1”的数据。

[0425] 晶体管Tr33优选使用关态电流较小的晶体管。晶体管Tr33可以适当地使用0S晶体管。因此,锁存电路LAT可以长期间保持数据。因此,可以减少将数据再次写入到锁存电路LAT的频率。

[0426] 在本说明书等中,有时将“向锁存电路LAT写入使从端子SP2输入的信号输出到端子LIN的数据”简称为“向锁存电路LAT写入数据”。就是说,例如有时将“向锁存电路LAT写入“1”的数据”简称为“向锁存电路LAT写入数据”。

[0427] 作为锁存电路LAT,可以适当地使用根据本发明的一个方式的半导体装置。例如,作为锁存电路LAT的晶体管Tr31及晶体管Tr36可以使用图1B等所示的半导体装置10。晶体管Tr31相当于图1B等所示的晶体管100,晶体管Tr36相当于晶体管200。例如,作为锁存电路LAT的晶体管Tr35及晶体管Tr33可以使用图13B等所示的半导体装置20。晶体管Tr35相当于图13B等所示的晶体管100A,晶体管Tr33相当于晶体管200A。

[0428] 图32B示出反相器电路INV的结构例子。反相器电路INV包括晶体管Tr41、晶体管Tr43、晶体管Tr45、晶体管Tr47及电容器C41。

[0429] 当锁存电路LAT具有图32A所示的结构且反相器电路INV具有图32B所示的结构时,作为锁存电路LAT中的晶体管都采用极性同一的晶体管,例如为 n 沟道型晶体管。由此,例如,除了晶体管Tr33以外,晶体管Tr31、晶体管Tr35、晶体管Tr36、晶体管Tr41、晶体管Tr43、晶体管Tr45及晶体管Tr47也可以为0S晶体管。因此,可以通过同一工序制造锁存电路LAT中的所有晶体管。

[0430] 作为反相器电路INV,可以适当地使用根据本发明的一个方式的半导体装置。例如,作为反相器电路INV的晶体管Tr41及晶体管Tr43可以采用图1B等所示的半导体装置10。晶体管Tr41相当于图1B等所示的晶体管100,晶体管Tr43相当于晶体管200。例如,作为反相器电路INV的晶体管Tr45及晶体管Tr47可以使用图1B等所示的半导体装置10。晶体管Tr45

相当于图1B等所示的晶体管100,晶体管Tr47相当于晶体管200。

[0431] <像素电路的结构例子>

图33A示出像素230的结构例子。像素230包括像素电路51及发光器件61。

[0432] 图33A所示的像素电路51是包括晶体管52A、晶体管52B及电容器53的2Tr1C型像素电路。

[0433] 在晶体管52A中,源极和漏极中的一个与晶体管52B的栅极及电容器53的一个端子电连接,源极和漏极中的另一个与布线SL电连接。晶体管52A的栅极与布线GL电连接。晶体管52B的源极和漏极中的一个及电容器53的另一个端子与发光器件61的阳极电连接。晶体管52B的源极和漏极中的另一个与布线AN0电连接。发光器件61的阴极与布线VCOM电连接。

[0434] 布线GL相当于布线236,布线SL相当于布线237。布线VCOM是供应用来给发光器件61提供电流的电位的布线。晶体管52A具有根据布线GL的电位控制布线SL和晶体管52B的栅极之间的导通状态或非导通状态的功能。例如,将VDD供应到布线AN0,将VSS供应到布线VCOM。

[0435] 晶体管52B具有控制流过发光器件61的电流量的功能。电容器53具有保持晶体管52B的栅极电位的功能。发光器件61所发射的光的强度根据供应到晶体管52B的栅极的图像信号被控制。

[0436] 在图33A所示的像素电路51中,作为晶体管52A及晶体管52B使用n沟道型晶体管。但是,作为晶体管52B也可以使用p沟道型晶体管。当作为晶体管52B使用p沟道型晶体管时,使电容器53的另一个端子与晶体管52B的源极和漏极中的另一个电连接即可。注意,对可用于本发明的一个方式的像素电路没有特别的限制。

[0437] 像素电路51例如可以采用实施方式1所示的半导体装置20。晶体管52A相当于图13B等所示的晶体管200A,晶体管52B相当于晶体管100A。

[0438] 图33B示出像素电路51的结构例子。图33B是像素电路51的截面图。

[0439] 晶体管52A及晶体管52B可以参照有关图13B等所示的晶体管200A及晶体管100A的记载,因此省略详细说明。图33B示出用作晶体管52A的源电极和漏电极中的一个的及晶体管52B的栅电极的导电层104与用作晶体管52B的源电极和漏电极中的一个的导电层112b之间夹有绝缘层106而形成电容器53的例子,但是对电容器53的结构没有特别的限制。

[0440] 优选的是,与用作控制像素230的选择状态的选择晶体管的晶体管52A相比,用作控制流过发光器件61的电流的驱动晶体管的晶体管52B的通态电流更大。优选作为晶体管52B的半导体层使用铟的含有率比晶体管52A的半导体层高的金属氧化物。通过采用这样的结构,可以实现亮度高的显示装置。

[0441] 作为用作驱动晶体管的晶体管52B的半导体层也可以使用铟的含有率比晶体管52A的半导体层低的金属氧化物。通过作为晶体管52B的半导体层使用铟的含有率低的金属氧化物,晶体管52B的饱和性变高,因此可以实现可靠性高的显示装置。

[0442] 或者,也可以使晶体管52A的半导体层与晶体管52B的半导体层的元素M(例如,镓)的含有率不同。因为用作驱动晶体管的晶体管52B的栅极被施加正电位,因此优选采用PBTS测试中的阈值电压的变动量小的晶体管。另一方面,晶体管52A优选采用NBTIS测试中的阈值电压的变动量小的晶体管。优选作为晶体管52B的半导体层使用不包含镓或镓的含有率比晶体管52A的半导体层低的金属氧化物。作为晶体管52A的半导体层优选使用镓的含有率

比晶体管52B高的金属氧化物。通过采用这样的结构,可以实现可靠性高的显示装置。

[0443] 以覆盖晶体管52A、晶体管52B及电容器53的方式设置有绝缘层195,以覆盖绝缘层195的方式设置有绝缘层197。在绝缘层197上可以设置发光器件61。图33B示出用作发光器件61的一个电极的像素电极111。绝缘层195可以参照上述记载,因此省略详细说明。绝缘层197具有减小起因于晶体管52A、晶体管52B及电容器53的凹凸来使发光器件61的被形成面更平坦的功能。注意,在本说明书等中,有时将绝缘层197记载为平坦化层。

[0444] 作为绝缘层197,可以适当地使用包含有机材料的绝缘层。作为有机材料,优选使用感光性有机树脂,例如优选使用包括丙烯酸树脂的感光性的树脂组成物。注意,在本说明书等中,丙烯酸树脂不是仅指聚甲基丙烯酸酯或甲基丙烯酸树脂,有时也指广义上的丙烯酸类聚合物整体。

[0445] 作为绝缘层197也可以使用丙烯酸树脂、聚酰亚胺树脂、环氧树脂、酰亚胺树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅酮树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及上述树脂的前体等。另外,作为绝缘层197,也可以使用聚乙烯醇(PVA)、聚乙烯醇缩丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普鲁兰、水溶性纤维素或者醇可溶性聚酰胺树脂等有机材料。另外,作为感光性有机树脂也可以使用光致抗蚀剂。作为感光性有机树脂,可以使用正型材料或负型材料。

[0446] 绝缘层197也可以具有有机绝缘层及无机绝缘层的叠层结构。例如,绝缘层197可以具有有机绝缘层及该有机绝缘层上的无机绝缘层的叠层结构。通过在绝缘层197的最表面上设置无机绝缘层,可以被用作蚀刻保护层。由此,可以抑制在形成像素电极111时绝缘层197的一部分被蚀刻而绝缘层197的平坦性下降。

[0447] 像素电极111通过设置在绝缘层197、绝缘层195、绝缘层206、绝缘层210及绝缘层106中的开口与导电层112b电连接。

[0448] 本发明的一个方式的显示装置也可以采用如下结构中的任意个:向与形成有发光器件的衬底相反的方向发射光的顶部发射(top emission)型、向形成有发光器件的衬底一侧发射光的底部发射(bottom emission)型、向双面发射光的双面发射(dual emission)型。

[0449] <显示装置的结构例子>

图34示出截断显示装置50的包括FPC172的区域的一部分、外围驱动电路233的一部分、显示部235的一部分、连接部140的一部分及包括端部的区域的一部分的截面的一个例子。

[0450] 在显示装置50中,衬底102上设置有晶体管,晶体管上设置有绝缘层,绝缘层上设置有发光器件130R、发光器件130G及发光器件130B,以覆盖这些发光器件的方式设置保护层131。在保护层131上由粘合层142贴合衬底152。

[0451] 注意,在说明发光器件130R、发光器件130G和发光器件130B之间共同的内容时,有时省略区别它们的字母而记载为发光器件130。同样地,在说明用字母进行区别的其他的构成要素之间共同的内容时,有时用省略字母的符号进行说明。

[0452] 在显示部235中可以设置控制发光器件130R、发光器件130G及发光器件130B的晶体管。图34示出控制发光器件130R的晶体管205R及控制发光器件130G的晶体管205G。另外,图34示出设置在外围驱动电路233中的晶体管201。晶体管205R、晶体管205G及晶体管201都

可以适当地使用实施方式1所示的晶体管。注意,在图34中省略晶体管间的电连接。

[0453] 有时设置在外围驱动电路233中的晶体管被要求具有比设置在显示部235中的晶体管大的通态电流。与设置在显示部235中的晶体管的半导体层(例如,晶体管205R的半导体层108)相比,设置在外围驱动电路233中的晶体管的半导体层(例如,晶体管201的半导体层208)可以适当地使用相对于所有的含有金属元素的原子数之和的铟的原子数的比率高的金属氧化物。例如,半导体层108和半导体层208分别可以适当地使用In-Ga-Zn氧化物和相对于所有的含有金属元素的原子数之和的铟的原子数的比率高于半导体层108的In-Zn氧化物。

[0454] 可以采用发光器件130R、发光器件130G和发光器件130B分别发射红色(R)光、绿色(G)光和蓝色(B)光的结构。

[0455] 在发光器件所包括的一对电极中,一方的电极被用作阳极且另一方的电极被用作阴极。下面有时以像素电极被用作阳极且公共电极被用作阴极的情况为例进行说明。

[0456] 发光器件130R包括像素电极111R、像素电极111R上的岛状层113R、岛状层113R上的公共层114以及公共层114上的公共电极115。在发光器件130R中,可以将层113R及公共层114统称为EL层。

[0457] 发光器件130G包括像素电极111G、像素电极111G上的岛状层113G、岛状层113G上的公共层114以及公共层114上的公共电极115。在发光器件130G中,可以将层113G及公共层114统称为EL层。

[0458] 发光器件130B包括像素电极111B、像素电极111B上的岛状层113B、岛状层113B上的公共层114以及公共层114上的公共电极115。在发光器件130B中,可以将层113B及公共层114统称为EL层。

[0459] 在本说明书等中,将发光器件所包括的EL层中的对各发光器件设置的岛状层记为层113R、层113G或层113B且将多个发光器件共用的层记为公共层114。另外,在本说明书等中,有时将不包括公共层114的层113R、层113G及层113B称为岛状的EL层、形成为岛状的EL层等。

[0460] 层113R、层113G及层113B彼此分离。通过在各发光器件中设置岛状的EL层,可以抑制相邻的发光器件间的泄漏电流。因此,可以抑制起因于串扰的非意图性的发光,从而可以实现对比度非常高的显示装置。尤其是,可以实现在低亮度下电流效率高的显示装置。

[0461] 在图34中,在像素电极111R与层113R间没有设置覆盖像素电极111R的顶面端部的绝缘层(也被称为分堤坝、隔壁、堤(bank)、间隔物等)。另外,在像素电极111G与层113G间没有设置覆盖像素电极111G的顶面端部的绝缘层。因此,可以使相邻的发光器件间的间隔极小。由此,可以实现高清晰或高分辨率的显示装置。另外,也不需要用来形成该绝缘层的掩模,由此可以减少显示装置的制造成本。另外,通过采用没有设置覆盖像素电极的端部的绝缘层的结构,可以高效地提取来自EL层的发光。因此,本发明的一个方式的显示装置可以使视角依赖性极小。

[0462] 层113R、层113G及层113B至少包括发光层。优选的是,层113R、层113G及层113B分别包括发射红色光的发光层、发射绿色光的发光层及发射蓝色光的发光层。换言之,层113R、层113G及层113B分别包含发射红色光的发光材料、发射绿色光的发光材料及发射蓝色光的发光材料。此外,层113R、层113G以及层113B也可以包括空穴注入层、空穴传输层、空

穴阻挡层、电荷产生层、电子阻挡层、电子传输层和电子注入层中的一个以上。

[0463] 如图34所示,层113G的端部优选位于像素电极111G的端部的外侧。注意,这里虽然以像素电极111G及层113G为例进行说明,但是像素电极111R及层113R以及像素电极111B及层113B也是同样的。

[0464] 在图34中,层113G以覆盖像素电极111G的端部的方式形成。通过采用该结构,可以将像素电极的整个顶面用作发光区域,与岛状的EL层的端部位于像素电极的端部的内侧的结构相比,可以容易提高开口率。

[0465] 通过使用EL层覆盖像素电极111的侧面可以抑制像素电极111与公共电极115接触,由此可以抑制发光器件的短路。另外,可以增大EL层的发光区域(即,与像素电极重叠的区域)与EL层的端部间的距离。EL层的端部有可能因加工而受到损伤,所以通过将离EL层的端部较远的区域用作发光区域,有时可以提高发光器件的可靠性。

[0466] 注意,在图34中,以相同厚度示出层113R、层113G及层113B的厚度,但本发明的一个方式不局限于此。层113R、层113G及层113B的各厚度也可以不同。例如,优选设定厚度以便获得层113R、层113G及层113B所发射的光增强的光程。由此,可以实现微腔结构来提高各发光器件中的色纯度。

[0467] 公共层114例如包括电子注入层或空穴注入层。或者,公共层114既可以具有电子传输层与电子注入层的叠层,又可以具有空穴传输层与空穴注入层的叠层。发光器件130R、发光器件130G及发光器件130B共同包括公共层114。

[0468] 发光器件130R、发光器件130G及发光器件130B共用公共电极115。多个发光器件共用的公共电极115与设置在连接部140中的导电层123电连接。导电层123可以通过与像素电极111R、像素电极111G及像素电极111B相同的工序形成。

[0469] 图34所示的显示装置50采用顶部发射型。发光器件将光发射到衬底152一侧。衬底152优选使用对可见光的透过性高的材料。像素电极111包含反射可见光的材料,公共电极115包含使可见光透过的材料。在图34中,以虚线箭头分别表示从发光器件130R、发光器件130G及发光器件130B射出到衬底152一侧的光R、光G及光B。

[0470] 发光器件130R、发光器件130G及发光器件130B上设置有保护层131。保护层131和衬底152由粘合层142粘合。衬底152设置有遮光层117。作为发光器件的密封可以采用固体密封结构或中空密封结构等。在图34中,衬底152和衬底102之间的空间被粘合层142填充,即采用固体密封结构。或者,也可以采用使用惰性气体(氮或氩等)填充该空间的中空密封结构。此时,粘合层142也可以以不与发光器件重叠的方式设置。另外,也可以使用与设置为框状的粘合层142不同的树脂填充该空间。

[0471] 优选在发光器件130R、发光器件130G、发光器件130B上设置保护层131。通过设置保护层131,可以抑制公共电极115被氧化以及杂质(水及氧等)侵入发光器件。因此,发光器件的劣化得到抑制,而可以提高显示装置的可靠性。保护层131既可以具有单层结构,又可以具有两层以上的叠层结构。对保护层131的导电性没有限制。作为保护层131,可以使用绝缘层、半导体层和导电层中的至少一种。

[0472] 保护层131可以使用无机物。保护层131例如可以使用氧化物、氧氮化物、氮氧化物和氮化物中的一个或多个。具体而言,可以举出氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝及氧化镓。尤其是,保护层131优选包括氮化物或氮氧化物,更优选包括氮化

物。

[0473] 保护层131也可以使用包含In-Sn氧化物(ITO)、In-Zn氧化物、Ga-Zn氧化物、Al-Zn氧化物或In-Ga-Zn氧化物(IGZO)的层。该层优选具有高电阻,具体而言,该层优选具有比公共电极115高的电阻。该层还可以包含氮。

[0474] 在经过保护层131提取发光器件130的发光的情况下,保护层131的可见光透过性优选高。例如,In-Sn氧化物、In-Ga-Zn氧化物以及氧化铝都具有高可见光透过性,所以是优选的。

[0475] 并且,保护层131也可以包括有机膜。例如,保护层131也可以包括有机膜和无机膜的双方。

[0476] 作为保护层131的沉积方法,可以举出真空蒸镀法、溅射法、CVD法及ALD法。保护层131也可以具有使用不同沉积方法形成的叠层结构。

[0477] 保护层131至少设置在显示部235中,优选以覆盖显示部235整体的方式设置。保护层131优选以除了显示部235以外还覆盖连接部140及外围驱动电路233的方式设置。另外,保护层131优选以延伸至显示装置50的端部的方式设置。

[0478] 图35A示出发光器件130G、晶体管205G及其附近的放大图。

[0479] 发光器件130G所包括的像素电极111G具有导电层124G、导电层124G上的导电层126G以及导电层126G上的导电层129G的叠层结构。

[0480] 导电层124G通过设置在绝缘层106、绝缘层210、绝缘层206、绝缘层195、绝缘层197及绝缘层239中的开口与晶体管205G的导电层112b电连接。此外,导电层124G也可以通过设置在绝缘层110、绝缘层106、绝缘层210、绝缘层206、绝缘层195、绝缘层197及绝缘层239中的开口与晶体管205G的导电层112a电连接。

[0481] 导电层124G的端部位于导电层126G的端部的外侧。导电层126G的端部位于导电层129G的端部的内侧。导电层124G的端部位于导电层129G的端部的内侧。也就是说,导电层126G的端部位于导电层124G上。此外,导电层129G的端部位于导电层124G上。导电层126G的顶面及侧面被导电层129G覆盖。

[0482] 对导电层124G的对于可见光的透过性及反射性没有特别的限制。导电层124G可以使用对可见光具有透过性的导电层或对可见光具有反射性的导电层。作为对可见光具有透过性的导电层,例如可以使用包括氧化物导电体的导电层(也称为氧化物导电层)。具体而言,作为导电层124G可以适当地使用In-Si-Sn氧化物(也称为ITSO)。作为对可见光具有反射性的导电层,例如可以使用铝、钛、铬、镍、铜、钇、锆、锡、锌、银、铂、金、钼、钽或钨等金属或以这些元素为主要成分的合金(例如,银和钯和铜的合金(APC:Ag-Pd-Cu))。导电层124G也可以具有对可见光具有透过性的导电层及该导电层上的具有反射性的导电层的叠层结构。导电层124G优选适当地使用与导电层124G的被形成面(这里,绝缘层239)的密接性高的材料。由此,可以抑制导电层124G的膜剥离。

[0483] 导电层126G可以使用对可见光具有反射性的导电层。导电层126G也可以具有对可见光具有透过性的导电层及该导电层上的具有反射性的导电层的叠层结构。导电层126G可以使用可用于导电层124G的材料。具体而言,导电层126G可以适当地使用In-Si-Sn氧化物(ITSO)、In-Si-Sn氧化物(ITSO)上的银和钯和铜的合金(APC)的叠层结构。

[0484] 导电层129G可以使用可用于导电层124G的材料。导电层129G例如可以使用对可见

光具有透过性的导电层。具体而言,导电层129G可以使用In-Si-Sn氧化物(ITSO)。

[0485] 在导电层126G使用容易氧化的材料时,导电层129G使用不容易氧化的材料且由导电层129G覆盖导电层126G,因此可以抑制导电层126G被氧化。此外,可以抑制包含在导电层126G中的金属成分析出。例如,在导电层126G使用包含银的材料时,导电层129G可以适当地使用In-Si-Sn氧化物(ITSO)。由此,可以抑制导电层126G被氧化且可以抑制银的析出。

[0486] 导电层129G、导电层126G及导电层124G的端部也可以对齐或大致对齐。层113G也可以与导电层129G的侧面、导电层126G的侧面及导电层124G的侧面接触。

[0487] 例如,在沉积将成为导电层124G的第一导电膜、层128、将成为导电层126G的第二导电膜以及将成为导电层129G的第三导电膜之后,在第三导电膜上形成抗蚀剂掩模,使用该抗蚀剂掩模加工第一导电膜、第二导电膜及第三导电膜,由此可以形成导电层124G、导电层126G及导电层129G。通过同一工序加工第一导电膜、第二导电膜及第三导电膜来形成导电层124G、导电层126G及导电层129G,由此可以简化工序。

[0488] 或者,导电层124G的侧面及导电层126G的顶面及侧面也可以被导电层129G覆盖。层113G也可以包括与导电层129G的顶面及侧面接触的区域而不包括与导电层124G及导电层126G接触的区域。

[0489] 例如,在沉积将成为导电层124G的第一导电膜及将成为导电层126G的第二导电膜之后,在第二导电膜上形成抗蚀剂掩模,使用该抗蚀剂掩模加工第一导电膜及第二导电膜,由此形成导电层124G及导电层126G。然后,以覆盖导电层124G及导电层126G的方式沉积将成为导电层129G的第三导电膜并加工第三导电膜,由此可以形成导电层129G。通过同一工序加工第一导电膜及第二导电膜来形成导电层124G及导电层126G,由此可以简化工序。另外,即使将银等容易扩散的材料用于导电层124G或导电层126G,也通过使用导电层129G覆盖导电层124G及导电层126G的顶面及侧面,可以抑制该材料的扩散。

[0490] 发光器件130R中的像素电极111R以及发光器件130B中的像素电极111B也可以具有与像素电极111G同样的结构。

[0491] 导电层124R、导电层124G及导电层124B中以覆盖设置在绝缘层106、绝缘层210、绝缘层206、绝缘层195、绝缘层197及绝缘层239中的开口的方式形成有凹部。该凹部嵌入有层128。

[0492] 层128具有使导电层124R、导电层124G及导电层124B的凹部平坦化的功能。导电层124R、导电层124G及导电层124B及层128上设置有与导电层124R、导电层124G及导电层124B电连接的导电层126R、导电层126G及导电层126B。因此,与导电层124R、导电层124G及导电层124B的凹部重叠的区域也可以被用作发光区域,由此可以提高像素的开口率。

[0493] 层128具有使导电层124R、导电层124G及导电层124B中的凹部平坦的功能。通过设置层128,可以提高层113R、层113G及层113B的被形成面的像素电极111R、像素电极111G及像素电极111B的顶面的平坦性。

[0494] 层128可以为绝缘层或导电层。层128可以适当地使用各种无机绝缘材料、有机绝缘材料及导电材料。

[0495] 作为绝缘层128,可以适当地使用包含有机材料的绝缘层。作为有机材料,优选使用感光性有机树脂,例如优选使用包括丙烯酸树脂的感光性树脂组成物。注意,在本说明书等中,丙烯酸树脂不是仅指聚甲基丙烯酸酯或甲基丙烯酸树脂,有时也指广义上的丙烯酸

类聚合物整体。

[0496] 作为层128也可以使用丙烯酸树脂、聚酰亚胺树脂、环氧树脂、酰亚胺树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅酮树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及上述树脂的前体等。另外,作为绝缘层127,也可以使用聚乙烯醇(PVA)、聚乙烯醇缩丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普鲁兰、水溶性纤维素或者醇可溶性聚酰胺树脂等有机材料。另外,作为感光性有机树脂也可以使用光致抗蚀剂。作为感光性有机树脂,可以使用正型材料或负型材料。

[0497] 注意,在层128为导电层时,层128也可以被用作像素电极的一部分。层128例如可以使用分散有金属粒子的有机树脂。

[0498] 在图35A等中,示出在从截面看时层128的顶面具有中央及其附近凸出的形状,即具有凸曲面的形状,但是对层128的形状没有特别的限制。在从截面看时层128的顶面可以具有如下形状:中央及其附近凹陷的形状,即具有凹曲面的形状。另外,层128的顶面也可以具有凸曲面和凹曲面中的一方或双方。另外,层128的顶面所具有的凸曲面及凹曲面的个数都没有限制,可以为一个或多个。

[0499] 层128的顶面的高度与导电层124G的顶面的高度既可以一致或大致一致,也可以互不相同。例如,层128的顶面的高度可以低于或高于导电层124G的顶面的高度。

[0500] 图35B示出连接部140的放大图。导电层123例如可以具有导电层124p、导电层124p上的导电层126p及导电层126p上的导电层129p的叠层结构。导电层124p可以在与导电层124R、导电层124G及导电层124B相同的工序中形成。导电层126p可以在与导电层126R、导电层126G及导电层126B相同的工序中形成。导电层129p可以在与导电层129R、导电层129G及导电层129B相同的工序中形成。

[0501] 图35B等示出在连接部140中没有设置公共层114而导电层123上设置有公共电极115的例子。注意,也可以采用在导电层123上设置公共层114且导电层123与公共电极115通过公共层114电连接的结构。例如,通过使用用来规定沉积范围的掩模(为了与高精细金属掩模区别,也称为范围掩模或粗金属掩模等),可以使沉积公共层114的区域与沉积公共电极115的区域不同。

[0502] 在衬底102的与衬底152不重叠的区域中设置有连接部214。在连接部214中,布线165通过导电层166及连接层242与FPC172电连接。在连接部214的顶面上露出导电层166。因此,通过连接层242可以使连接部214与FPC172电连接。在图34等中,示出布线165被用作晶体管201的源电极或漏电极的结构。另外,晶体管201的导电层212a也可以通过导电层166及连接层242与FPC172电连接。

[0503] 作为连接层242,例如可以使用各向异性导电膜(ACF:Anisotropic Conductive Film)或各向异性导电膏(ACP:Anisotropic Conductive Paste)等。

[0504] 注意,为了使FPC172与导电层166电连接,连接部214中不设置有保护层131的部分。例如,通过在将保护层131沉积在显示装置50的整个表面上之后使用掩模去除保护层131的与导电层166重叠的区域,可以使导电层166露出。

[0505] 图35C示出连接部214的放大图。导电层166例如可以具有导电层124q、导电层124q上的导电层126q及导电层126q上的导电层129q的叠层结构。导电层124q可以在与导电层124R、导电层124G及导电层124B相同的工序中形成。导电层126q可以在与导电层126R、导电

层126G及导电层126B相同的工序中形成。导电层129q可以在与导电层129R、导电层129G及导电层129B相同的工序中形成。

[0506] 图34等示出导电层129p及导电层129q的厚度与导电层129R、导电层129G及导电层129B的厚度不同的结构。也可以根据用于导电层129p、导电层129q、导电层129R、导电层129G及导电层129B的材料的电阻率而使这些层的厚度不同。在使厚度不同时,导电层129p及导电层129q也可以在与导电层129R、导电层129G及导电层129B不同的工序中形成。或者,形成导电层129p及导电层129q的工序与形成导电层129R、导电层129G及导电层129B的工序的一部分也可以相同。此外,也可以使导电层129p和导电层129q的厚度不同。

[0507] 注意,图34等所示的像素电极111R、像素电极111G、像素电极111B、导电层123及导电层166也可以用于其他结构例子。

[0508] 相邻的发光器件之间的区域设置有绝缘层125及绝缘层125上的绝缘层127。图34示出多个绝缘层125及多个绝缘层127的截面,但是在俯视显示装置50时,可以将绝缘层125及绝缘层127分别形成为连续的一层。换言之,显示装置50例如可以包括一个绝缘层125及一个绝缘层127。另外,显示装置50也可以包括彼此分离的多个绝缘层125,也可以包括彼此分离的多个绝缘层127。

[0509] 掩模层118R及掩模层119R位于层113R上,掩模层118G及掩模层119G位于层113G上,掩模层118B及掩模层119B位于层113B上。掩模层118R、掩模层119R、掩模层118G、掩模层119G、掩模层118B及掩模层119B在与发光区域重叠的部分中包括开口。掩模层118R及掩模层119R是在加工层113R时以与层113R的顶面接触的方式设置的掩模层的残留部分。同样地,掩模层118G及掩模层119G以及掩模层118B及掩模层119B分别是在形成层113G及层113B时设置的掩模层的残留部分。如此,本发明的一个方式的显示装置也可以残留有制造时用来保护EL层的掩模层的一部分。另外,掩模层118R、掩模层118G及掩模层118B中的任意两个或全部可以使用相同材料,也可以使用彼此不同的材料。另外,掩模层119R、掩模层119G及掩模层119B中的任意两个或全部可以使用相同材料,也可以使用彼此不同的材料。注意,以下有时将掩模层118R、掩模层118G及掩模层118B统称为掩模层118,将掩模层119R、掩模层119G及掩模层119B统称为掩模层119。

[0510] 作为掩模层118及掩模层119,例如可以使用金属膜、合金膜、金属氧化物膜、半导体膜、有机绝缘膜和无机绝缘膜等中的一种或多种。

[0511] 作为掩模层118及掩模层119例如各自可以使用金、银、铂、镁、镍、钨、铬、钼、铁、钴、铜、钡、钛、铝、钇、锆及钽等金属材料或者包含该金属材料的合金材料。尤其优选使用铝或银等低熔点材料。通过作为掩模层118和掩模层119中的一方或双方使用能够遮蔽紫外线的金属材料,可以抑制层113被照射紫外线,由此可以抑制层113的劣化。

[0512] 掩模层118及掩模层119分别可以使用金属氧化物。作为金属氧化物,可以举出In-Ga-Zn氧化物、氧化铟、In-Zn氧化物、In-Sn氧化物、铟钛氧化物(In-Ti氧化物)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物)、包含硅的铟锡氧化物等。

[0513] 掩模层118和掩模层119也可以使用互不相同的材料。另外,也可以采用没有设置掩模层119的结构。

[0514] 如图34所示,掩模层118R及掩模层119R的一个端部(与发光区域侧相反一侧的端

部、外侧的端部)与层113R的端部对齐或大致对齐,掩模层118R及掩模层119R的另一个端部位于层113R上。在此,掩模层118R及掩模层119R的另一个端部(发光区域侧的端部、内侧的端部)优选与层113R及像素电极111R重叠。在此情况下,掩模层118R及掩模层119R的另一个端部容易形成在层113R的大致平坦的面上。掩模层118G、掩模层119G、掩模层118B及掩模层119B也是同样的。另外,掩模层118掩模层119例如残留在加工为岛状的EL层(层113R、层113G或层113B)的顶面与绝缘层125间。

[0515] 在端部对齐或大致对齐的情况以及顶面形状一致或大致一致的情况下,可以说在俯视时至少其边缘的一部分在层叠的各层间彼此重叠。例如,包括上层与下层由同一掩模图案或其一部分相同的掩模图案加工而成的情况。但是,实际上有边缘不重叠的情况,有时上层位于下层的内侧或者上层位于下层的外侧,这种情况也可以说“端部大致对齐”或“顶面形状大致一致”。

[0516] 层113R、层113G及层113B的各侧面被绝缘层125覆盖。绝缘层127隔着绝缘层125与层113R、层113G及层113B的各侧面重叠。

[0517] 通过由绝缘层125、绝缘层127、掩模层118和掩模层119中的至少一个覆盖层113R、层113G及层113B的顶面的一部分及侧面,可以抑制公共层114(或公共电极115)与像素电极111R、像素电极111G、像素电极111B、层113R、层113G及层113B的侧面接触,由此可以抑制发光器件的短路。由此,可以提高发光器件的可靠性。

[0518] 绝缘层125优选与层113R、层113G及层113B的各侧面接触。通过采用绝缘层125与层113R、层113G及层113B接触的结构,可以防止层113R、层113G及层113B的膜剥离。在绝缘层125与层113B、层113G或层113R密接时,产生相邻的层113B等由绝缘层固定或粘合的效果。由此,可以提高发光器件的可靠性。另外,可以提高发光器件的制造成品率。

[0519] 另外,绝缘层125及绝缘层127也可以覆盖层113R、层113G及层113B的顶面的一部分和侧面的双方。通过采用这样的结构,可以进一步防止EL层的膜剥离,由此可以提高发光器件的可靠性。另外,可以进一步提高发光器件的制造成品率。

[0520] 绝缘层127以填充形成在绝缘层125中的凹部的方式设置在绝缘层125上。绝缘层127可以隔着绝缘层125与层113R、层113G及层113B的各顶面的一部分及侧面重叠。绝缘层127优选覆盖绝缘层125的侧面的至少一部分。

[0521] 通过设置绝缘层125及绝缘层127可以填埋相邻的岛状层之间,所以可以减少设置在岛状层上的层(例如载流子注入层及公共电极等)的被形成面的高低差很大的凹凸而进一步实现平坦化。因此,可以提高载流子注入层及公共电极等的覆盖性。

[0522] 公共层114及公共电极115设置在层113R、层113G、层113B、掩模层118、掩模层119、绝缘层125及绝缘层127上。在设置绝缘层125及绝缘层127之前,产生起因于设置有像素电极及岛状EL层的区域及不设置像素电极及岛状EL层的区域(发光器件间的区域)的台阶。本发明的一个方式的显示装置通过包括绝缘层125及绝缘层127而可以使该台阶平坦化,由此可以提高公共层114及公共电极115的覆盖性。因此,可以抑制断开导致的连接不良。或者,可以抑制因台阶导致公共电极115的厚度局部变薄而使电阻上升。

[0523] 虽然绝缘层127的顶面优选具有平坦性更高的形状,但是也可以具有凸部、凸曲面、凹曲面或凹部。例如,绝缘层127的顶面优选具有曲率半径大的凸曲面形状。

[0524] 绝缘层125可以为包含无机材料的绝缘层。绝缘层125例如可以使用氧化物、氮化

物、氧氮化物和氮氧化物等。绝缘层125可以为单层结构,也可以为叠层结构。作为氧化物,可以举出氧化硅、氧化铝、氧化镁、铟镓锌氧化物、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐及氧化铈等。作为氮化物,可以举出氮化硅及氮化铝等。作为氧氮化物,可以举出氧氮化硅及氧氮化铝。作为氮氧化物,可以举出氮氧化硅及氮氧化铝等。尤其是氧化铝在蚀刻中与EL层的选择比高,在后述的绝缘层127的形成中具有保护EL层的功能,因此是优选的。尤其是,通过将利用原子层沉积(ALD)法形成的氧化铝膜、氧化钪膜或氧化硅膜等用于绝缘层125,可以形成针孔较少且保护EL层的功能良好的绝缘层125。另外,绝缘层125也可以采用利用ALD法形成的膜与利用溅射法形成的膜的叠层结构。绝缘层125例如可以采用利用ALD法形成的氧化铝膜与利用溅射法形成的氮化硅膜的叠层结构。

[0525] 绝缘层125优选具有相对于水和氧中的至少一方的阻挡绝缘层的功能。另外,绝缘层125优选具有抑制水和氧中的至少一方的扩散的功能。另外,绝缘层125优选具有俘获或固定(也被称为吸杂)水和氧中的至少一方的功能。

[0526] 在本说明书等中,阻挡绝缘层是指具有阻挡性的绝缘层。此外,在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)。或者,是指俘获或固定所对应的物质(也称为吸杂)的功能。

[0527] 在绝缘层125被用作阻挡绝缘层或者具有吸杂功能的绝缘层时,可以具有抑制可能会从外部扩散到各发光器件的杂质(典型的是,水和氧中的至少一方)的进入的结构。通过采用该结构,可以提供一种可靠性高的发光器件,并且可以提供一种可靠性高的显示装置。

[0528] 绝缘层125的杂质浓度优选低。由此,可以抑制杂质从绝缘层125混入到EL层而EL层劣化。另外,通过降低绝缘层125中的杂质浓度,可以提高对水和氧中的至少一方的阻挡性。例如,优选的是,绝缘层125中的氢浓度和碳浓度中的一方充分低,优选为氢浓度和碳浓度中的双方优选充分低。

[0529] 设置在绝缘层125上的绝缘层127具有使形成在相邻的发光器件间的绝缘层125的高低差很大的凹凸平坦化的功能。换言之,通过包括绝缘层127,发挥提高形成公共电极115的面的平坦性的效果。

[0530] 作为绝缘层127,可以使用可用于层128的材料。

[0531] 作为绝缘层127也可以使用吸收可见光的材料。通过绝缘层127吸收来自发光器件的发光,可以抑制光从发光器件经过绝缘层127泄漏到相邻的发光器件(杂散光)。因此,能够提高显示装置的显示品质。另外,即使在显示装置中不使用偏振片也可以提高显示品质,所以可以实现显示装置的轻量化及薄型化。

[0532] 作为吸收可见光的材料,可以举出包括黑色等的颜料的材料、包括染料的材料、具有光吸收性的树脂材料(例如,聚酰亚胺等)以及可用于滤色片的树脂材料(滤色片材料)。尤其是,在使用层叠或混合两种颜色或三种以上的颜色的滤色片材料而成的树脂材料时可以提高遮蔽可见光的效果,所以是优选的。尤其是,通过混合三种以上的颜色的滤色片材料,可以实现黑色或近似于黑色的树脂层。

[0533] 绝缘层239设置在绝缘层197上,并可以被用作形成层113、掩模层118及掩模层119时的蚀刻保护膜。通过设置绝缘层239,可以防止在形成层113、掩模层118及掩模层119时绝缘层197的一部分被蚀刻而在绝缘层197中形成凹凸。就是说,可以减小绝缘层125的被形成

面的台阶而提高绝缘层125覆盖性。因此,层113的侧面被绝缘层125覆盖,可以防止层113的膜剥离。

[0534] 绝缘层239可以为包含无机材料的绝缘层。绝缘层239例如可以使用氧化物、氮化物、氧氮化物和氮氧化物等。绝缘层239可以为单层结构,也可以为叠层结构。作为氧化物,可以举出氧化硅、氧化铝、氧化镁、铟镓锌氧化物、氧化镓、氧化锗、氧化钇、氧化锆、氧化镧、氧化钕、氧化钐及氧化铈等。作为氮化物,可以举出氮化硅及氮化铝。作为氧氮化物,可以举出氧氮化硅及氧氮化铝等。作为氮氧化物,可以举出氮氧化硅及氮氧化铝等。绝缘层239例如可以适当地使用氧化硅或氧氮化硅。

[0535] 作为绝缘层239,优选选择在进行将成为层113、掩模层118及掩模层119的膜的蚀刻时与该膜的蚀刻速率之比大(也可以说选择比大)的材料。

[0536] 在此,在发光器件130的被形成面的平坦性低时,例如,有时因公共电极115的断开导致连接不良或公共电极115的厚度局部减薄而电阻上升。此外,有时形成在该被形成面上的层的加工精度降低。

[0537] 在本发明的一个方式的显示装置中,通过设置绝缘层239,可以使发光器件130的被形成面更平坦。因此,设置在绝缘层239上的发光器件130等的加工精度得到提高,因此可以实现清晰度高的显示装置。此外,可以防止因公共电极115的断开导致连接不良以及公共电极115的厚度局部减薄而电阻上升,因此可以实现显示品质高的显示装置。

[0538] 在不与层113R、层113G和层113B重叠的区域中,绝缘层239的一部分也可以被去除。不与层113R、层113G和层113B重叠的区域的绝缘层239的厚度也可以小于与层113R、层113G或层113B重叠的区域的绝缘层239的厚度。

[0539] 在图34等中,绝缘层239具有单层结构,但是本发明的一个方式不局限于此。绝缘层239也可以具有叠层结构。此外,也可以采用不设置绝缘层239的结构。

[0540] 注意,绝缘层239也可以用于其他结构例子。

[0541] 图36示出底发射型显示装置的结构例子。在图36所示的显示装置50A中,发光器件130所发射的光射出到衬底102一侧。衬底102优选使用对可见光具有高透过性的材料。另一方面,对用于衬底152的材料的透光性没有限制。

[0542] 优选在衬底102与晶体管201、晶体管205R及晶体管205G之间形成遮光层117。图36示出衬底102上设置有遮光层117,遮光层117上设置有绝缘层153,绝缘层153上设置有晶体管201、晶体管205R及晶体管205G的例子。

[0543] 作为构成像素电极111的层各自使用对可见光具有高透过性的材料。作为公共电极115优选使用反射可见光的材料。

[0544] <像素布局>

使用图37A至图37G及图38A至图38K主要说明与图31A不同的像素布局。子像素的排列没有特别的限制,可以采用各种像素布局。作为子像素的排列,例如可以举出条纹排列、S条纹排列、矩阵排列、Delta排列、拜耳排列及Pentile排列。

[0545] 注意,图31A、图37A至图37G及图38A至图38K所示的子像素的顶面形状相当于发光器件的发光区域的顶面形状。

[0546] 另外,作为子像素的顶面形状,例如可以举出三角形、四角形(包括矩形、正方形)、五角形等多角形、角部圆的上述多角形形状、椭圆形及圆形。

[0547] 子像素(像素230)所包括的像素电路51既可以与发光区域重叠配置,又可以配置在发光区域的外侧。

[0548] 图37A所示的像素240采用S条纹排列。在图37A所示的像素240中将像素230a、像素230b、像素230c用作子像素。

[0549] 图37B所示的像素240包括具有角部呈圆形的近似梯形或近似三角形的顶面形状的像素230a、具有角部呈圆形的近似梯形或近似三角形的顶面形状的像素230b以及具有角部呈圆形的近似四角形或近似六角形的顶面形状的像素230c。另外,像素230b的发光面积大于像素230a。如此,各子像素的形状及尺寸可以分别独立决定。例如,包括可靠性高的发光器件的子像素的尺寸可以更小。

[0550] 图37C所示的像素240A及像素240B采用Pentile排列。图37C示出交替配置包括像素230a及像素230b的像素240A及包括像素230b及像素230c的像素240B的例子。

[0551] 图37D至图37F所示的像素240A及像素240B采用Delta排列。像素240A在上面的行(第一行)包括两个子像素(像素230a及像素230b),在下面的行(第二行)包括一个子像素(像素230c)。像素240B在上面的行(第一行)包括一个子像素(像素230c),在下面的行(第二行)包括两个子像素(像素230a及像素230b)。

[0552] 图37D是各子像素具有带圆角的近似四角形的顶面形状的例子,图37E是各子像素具有圆形顶面形状的例子,图37F是各子像素具有带圆角的近似六角形的顶面形状的例子。

[0553] 在图37F中,各子像素配置在排列为最紧密的六角形区域的内侧。各子像素以在着眼于其中一个子像素时被六个子像素围绕的方式配置。此外,以呈现相同颜色的光的子像素不相邻的方式设置。例如,各子像素以在着眼于像素230a时交替地配置的三个像素230b和三个像素230c围绕像素230a的方式设置。

[0554] 图37G示出各颜色的子像素配置为锯齿形状的例子。具体而言,在俯视时,在行方向上排列的两个子像素(例如,像素230a与像素230b或者像素230b与像素230c)的上边的位置错开。

[0555] 在图37A至图37G所示的各像素中,例如优选的是,像素230a为发射红色光的子像素R,像素230b为发射绿色光的子像素G,并且像素230c为发射蓝色光的子像素B。注意,子像素的结构不局限于此,可以适当地决定子像素所发射的颜色及排列顺序。例如,像素230b也可以为发射红色光的子像素R,像素230a也可以为发射绿色光的子像素G。

[0556] 在光刻法中,被加工的图案越微细越不能忽视光的衍射所带来的影响,所以在通过曝光转移光掩模的图案时其保真度下降,难以将抗蚀剂掩模加工为所希望的形状。因此,即使光掩模的图案为矩形,也易于形成带圆角的图案。因此,子像素的顶面形状有时呈带圆角的多角形状、椭圆形或圆形等。

[0557] 在使用抗蚀剂掩模将EL层加工为岛状时,形成在EL层上的抗蚀剂膜需要以低于EL层的耐热温度的温度固化。因此,根据EL层的材料的耐热温度及抗蚀剂材料的固化温度而有时抗蚀剂膜的固化不充分。固化不充分的抗蚀剂膜在被加工时有时呈远离所希望的形状的形状。其结果是,EL层的顶面形状有时呈带圆角的多角形状、椭圆形或圆形等。例如,当要形成顶面形状为正方形的抗蚀剂掩模时,有时形成圆形顶面形状的抗蚀剂掩模而EL层的顶面形状呈圆形。

[0558] 为了使EL层的顶面形状呈所希望的形状,也可以利用以设计图案与转移图案一致

的方式预先校正掩模图案的技术 (OPC (Optical Proximity Correction: 光学邻近效应修正) 技术)。具体而言, 在 OPC 技术中, 对掩模图案上的图形角部等追加校正用图案。

[0559] 如图38A至图38I所示, 像素可以包括四种子像素。

[0560] 图38A至图38C所示的像素240采用条纹排列。

[0561] 图38A是各子像素具有矩形顶面形状的例子, 图38B是各子像素具有连接两个半圆与矩形的顶面形状的例子, 图38C是各子像素具有椭圆形顶面形状的例子。

[0562] 图38D至图38F所示的像素240采用矩阵排列。

[0563] 图38D是各子像素具有正方形的顶面形状的例子, 图38E是各子像素具有角部呈圆形的近似正方形的顶面形状的例子, 图38F是各子像素具有圆形顶面形状的例子。

[0564] 图38G及图38H示出一个像素240使用配置为两行三列的子像素构成的例子。

[0565] 图38G所示的像素240在像素240的上面的行 (第一行) 包括三个子像素 (像素230a、像素230b、像素230c) 且在下面的行 (第二行) 包括一个子像素 (像素230d)。换言之, 像素240在左列 (第一列) 包括像素230a, 在中间列 (第二列) 包括像素230b, 在右列 (第三列) 包括像素230c, 并包括横跨这三个列的像素230d。

[0566] 图38H所示的像素240在上面的行 (第一行) 包括三个子像素 (像素230a、像素230b、像素230c) 且在下面的行 (第二行) 包括三个像素230d。换言之, 像素240在像素240的左列 (第一列) 包括像素230a及像素230d, 在中间列 (第二列) 包括像素230b及像素230d, 在右列 (第三列) 包括像素230c及像素230d。如图38H所示, 通过采用上面的行和下面的行的子像素的配置对齐的结构, 可以高效地去除制造工艺中可能产生的粉尘等。因此, 可以提供显示品质高的显示装置。

[0567] 图38I示出一个像素240使用配置为三行两列的子像素构成的例子。

[0568] 图38I所示的像素240在像素240的上面的行 (第一行) 包括像素230a, 在中间行 (第二行) 包括像素230b, 包括横跨第一行至第二行的像素230c, 在下面的行 (第三行) 包括一个子像素 (像素230d)。换言之, 像素240在像素240的左列 (第一列) 包括像素230a及像素230b, 在右列 (第二列) 包括像素230c, 并包括横跨这两个列的像素230d。

[0569] 图38A至图38I所示的像素240由像素230a、像素230b、像素230c、像素230d这四个子像素构成。

[0570] 像素230a、像素230b、像素230c、像素230d可以包括发光颜色彼此不同的发光器件。作为像素230a、像素230b、像素230c、像素230d, 可以举出: R、G、B、白色 (W) 的四种颜色的子像素; R、G、B、Y 的四种颜色的子像素; 以及 R、G、B、红外光 (IR) 的子像素。

[0571] 在图38A至图38I所示的各像素240中, 例如, 像素230a也可以为发射红色光的子像素R, 像素230b也可以为发射绿色光的子像素G, 像素230c也可以为发射蓝色光的子像素B, 像素230d也可以为发射白色光的子像素W、发射黄色光的子像素Y或发射近红外光的子像素IR。在采用上述结构时, 在图38G及图38H所示的像素240中, R、G、B的布局为条纹排列, 所以可以提高显示品质。另外, 在图38I所示的像素240中, R、G、B的布局为所谓的S条纹排列, 所以可以提高显示品质。

[0572] 另外, 像素240也可以包括具有受光器件的子像素。

[0573] 在图38A至图38I所示的各像素240中, 像素230a至像素230d中的任一个也可以为包括受光器件的子像素。

[0574] 在图38A至图38I所示的各像素240中,例如,像素230a也可以为发射红色光的子像素R,像素230b也可以为发射绿色光的子像素G,像素230c也可以为发射蓝色光的子像素B,像素230d也可以为包括受光器件的子像素S。在采用上述结构时,在图38G及图38H所示的像素240中,R、G、B的布局为条纹排列,所以可以提高显示品质。另外,在图38I所示的像素240中,R、G、B的布局为所谓的S条纹排列,所以可以提高显示品质。

[0575] 包括受光器件的子像素S所检测的光的波长没有特别的限制。子像素S可以检测可见光和红外光中的一方或双方。

[0576] 如图38J及图38K所示,一个像素240也可以包括五种子像素。

[0577] 图38J示出一个像素240使用配置为两行三列的子像素构成的例子。

[0578] 图38J所示的像素240在像素240的上面的行(第一行)包括三个子像素(像素230a、像素230b、像素230c)且在下面的行(第二行)包括两个子像素(像素230d、像素230e)。换言之,像素240在像素240的左列(第一列)包括像素230a、像素230d,在中间列(第二列)包括像素230b,在右列(第三列)包括子像素230c,并包括横跨第二列至第三列的像素230e。

[0579] 图38K示出一个像素240使用配置为三行两列的子像素构成的例子。

[0580] 图38K所示的像素240在像素240的上面的行(第一行)包括像素230a,在中间行(第二行)包括像素230b,包括横跨第一行至第二行的像素230c,在下面的行(第三行)包括两个子像素(像素230d、像素230e)。换言之,像素240在左列(第一列)包括像素230a、像素230b、像素230d,在右列(第二列)包括像素230c、像素230e。

[0581] 在图38J及图38K所示的各像素240中,例如优选的是,像素230a为发射红色光的子像素R,像素230b为发射绿色光的子像素G,像素230c为发射蓝色光的子像素B。在采用上述结构时,在图38J所示的像素240中,子像素的布局为条纹排列,所以可以提高显示品质。另外,在图38K所示的像素240中,子像素的布局为所谓的S条纹排列,所以可以提高显示品质。

[0582] 在图38J及图38K所示的各像素240中,例如作为像素230d和像素230e中的至少一方也可以使用包括受光器件的子像素S。当在像素230d和像素230e的双方中使用受光器件时,受光器件的结构也可以互不相同。例如,所检测的光的波长区域的至少一部分也可以彼此不同。具体而言,像素230d和像素230e中的一方可以包括主要检测可见光的受光器件,另一方可以包括主要检测红外光的受光器件。

[0583] 另外,在图38J及图38K所示的各像素240中,例如也可以作为像素230d和像素230e中的一方使用包括受光器件的子像素S且另一方使用包括可用作光源的发光器件的子像素。例如,也可以作为像素230d和像素230e中的一方使用发射红外光的子像素IR且另一方使用包括检测红外光的受光器件的子像素S。

[0584] 在包括子像素R、G、B、IR、S的像素中,可以使用子像素R、G、B显示图像并使用子像素IR作为光源而由子像素S检测子像素IR所发射的红外光的反射光。

[0585] 如上所述,在本发明的一个方式的显示装置中,作为像素240可以采用各种子像素(像素230)的布局。另外,也可以采用在像素240中包括发光器件和受光器件的双方的结构。在此情况下,也可以采用各种布局。

[0586] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0587] (实施方式3)

在本实施方式中,对可用作发光器件61的发光器件进行说明。

[0588] 如图39A所示,发光器件在一对电极(下部电极761及上部电极762)间包括EL层763。EL层763可以由层780、发光层771及层790等多个层构成。

[0589] 发光层771至少包含发光物质(也称为发光材料)。

[0590] 在下部电极761及上部电极762分别为阳极及阴极的情况下,层780包括含有空穴注入性高的物质的层(空穴注入层)、含有空穴传输性高的物质的层(空穴传输层)和含有电子阻挡性高的物质的层(电子阻挡层)中的一个或多个。另外,层790包括含有电子注入性高的物质的层(电子注入层)、含有电子传输性高的物质的层(电子传输层)和含有空穴阻挡性高的物质的层(空穴阻挡层)中的一个或多个。在下部电极761及上部电极762分别为阴极及阳极的情况下,层780和层790的结构与上述反转。

[0591] 包括设置在一对电极间的层780、发光层771及层790的结构可以被用作单一的发光单元,在本说明书中将图39A的结构称为单结构。

[0592] 图39B示出图39A所示的发光器件所包括的EL层763的变形例子。具体而言,图39B所示的发光器件包括下部电极761上的层781、层781上的层782、层782上的发光层771、发光层771上的层791、层791上的层792及层792上的上部电极762。

[0593] 在下部电极761及上部电极762分别为阳极及阴极的情况下,例如,层781、层782、层791及层792可以分别为空穴注入层、空穴传输层、电子传输层及电子注入层。另外,在下部电极761及上部电极762分别为阴极及阳极的情况下,层781、层782、层791及层792可以分别为电子注入层、电子传输层、空穴传输层及空穴注入层。通过采用上述层结构,可以将载流子高效地注入到发光层771,由此可以提高发光层771内的载流子的再结合的效率。

[0594] 此外,如图39C及图39D所示,层780与层790之间设置有多个发光层(发光层771、772、773)的结构也是单结构的变形例子。注意,虽然图39C及图39D示出包括三层发光层的例子,但具有单结构的发光器件中的发光层可以为两层,也可以为四层以上。另外,具有单结构的发光器件也可以在两个发光层之间包括缓冲层。缓冲层例如可以使用载流子传输层(空穴传输层及电子传输层)。

[0595] 另外,如图39E及图39F所示,在本说明书中多个发光单元(发光单元763a及发光单元763b)隔着电荷产生层785(也称为中间层)串联连接的结构被称为串联结构。另外,也可以将串联结构称为叠层结构。通过采用串联结构,可以实现能够以高亮度发光的发光器件。此外,串联结构由于与单结构相比可以降低为了得到相同的亮度的电流,所以可以提高可靠性。

[0596] 图39D及图39F示出显示装置包括重叠于发光器件的层764的例子。图39D示出层764重叠于图39C所示的发光器件的例子,图39F示出层764重叠于图39E所示的发光器件的例子。在图39D及图39F中,上部电极762使用透过可见光的导电膜以将光提取到上部电极762一侧。

[0597] 作为层764可以使用颜色转换层和滤色片(着色层)中的一方或双方。

[0598] 在图39C及图39D中,也可以将发射相同颜色的光的发光物质,甚至为相同发光物质用于发光层771、发光层772及发光层773。例如,也可以将发射蓝色光的发光物质用于发光层771、发光层772及发光层773。关于呈现蓝色光的子像素,可以提取发光器件所发射的蓝色光。另外,关于呈现红色光的子像素及呈现绿色光的子像素,通过作为图39D所示的层764设置颜色转换层,可以使发光器件所发射的蓝色光转换为更长波长的光而提取为红色

光或绿色光。另外,作为层764优选使用颜色转换层和着色层的双方。发光器件所发射的光的一部分有时不经颜色转换层的转换而透过。通过经由着色层提取透过颜色转换层的光,可以由着色层吸收所希望的颜色光之外的光而提高子像素所呈现的光的色纯度。

[0599] 在图39C及图39D中,也可以将发光颜色彼此不同的发光物质用于发光层771、发光层772及发光层773。由于发光层771、发光层772及发光层773各自所发射的光混合,可以得到白色发光。例如,具有单结构的发光器件优选包括含有发射蓝色光的发光物质的发光层以及含有发射比蓝色波长长的可见光的发光物质的发光层。

[0600] 作为图39D所示的层764,也可以设置滤色片。通过白色光透过滤色片,可以得到所希望的颜色光。

[0601] 例如,在具有单结构的发光器件包括三层发光层的情况下,优选包括含有发射红色(R)光的发光物质的发光层、含有发射绿色(G)光的发光物质的发光层以及发射蓝色(B)光的发光物质的发光层。作为发光层的叠层顺序,可以采用从阳极一侧依次层叠R、G、B的顺序或从阳极一侧依次层叠R、B、G的顺序等。此时,也可以在R与G或B之间设置缓冲层。

[0602] 例如在具有单结构的发光器件包括两层发光层的情况下,优选采用包括含有发射蓝色(B)光的发光物质的发光层以及含有发射黄色(Y)光的发光物质的发光层的结构。有时将该结构称为BY单结构。

[0603] 发射白色光的发光器件优选包含两种以上的发光物质。为了得到白色发光,以两种发光物质的各发光处于补色关系的方式选择发光物质即可。在包含三种以上的发光物质时,以由于它们分别发射的光混合而得到白色发光的方式选择发光物质即可。例如,通过使第一发光层的发光颜色与第二发光层的发光颜色处于补色关系,可以得到在发光器件整体上以白色发光的发光器件。此外,在包括三个以上的发光层的发光器件中,可以得到由于它们分别发射的光混合而以白色发光的发光器件。

[0604] 注意,图39C、图39D中的层780及层790也可以分别独立地采用图39B所示的由两层以上的层而成的叠层结构。

[0605] 在图39E及图39F中,也可以将发射相同颜色的光的发光物质,甚至为相同发光物质用于发光层771及发光层772。例如,在呈现各颜色的光的子像素所包括的发光器件中,也可以将发射蓝色光的发光物质用于发光层771及发光层772。关于呈现蓝色光的子像素,可以提取发光器件所发射的蓝色光。另外,关于呈现红色光的子像素及呈现绿色光的子像素,通过作为图39F所示的层764设置颜色转换层,可以使发光器件所发射的蓝色光转换为更长波长的光而提取为红色光或绿色光。另外,作为层764优选使用颜色转换层和着色层的双方。

[0606] 在将图39E或图39F所示的结构的发光器件用于呈现各颜色的子像素时,也可以根据子像素使用不同发光物质。具体而言,在呈现红色光的子像素所包括的发光器件中,也可以将发射红色光的发光物质用于发光层771及发光层772。同样地,在呈现绿色光的子像素所包括的发光器件中,也可以将发射绿色光的发光物质用于发光层771及发光层772。在呈现蓝色光的子像素所包括的发光器件中,也可以将发射蓝色光的发光物质用于发光层771及发光层772。可以说,具有这种结构的显示装置使用具有串联结构的发光器件并具有SBS结构。由此,具有串联结构及SBS结构的双方的优点。由此,可以实现高亮度发光而实现可靠性高的发光器件。

[0607] 另外,在图39E及图39F中,也可以将发光颜色彼此不同的发光物质用于发光层771及发光层772。在发光层771所发射的光和发光层772所发射的光处于补色关系时,可以得到白色发光。作为图39F所示的层764也可以设置滤色片。通过白色光透过滤色片,可以得到所希望的颜色光。

[0608] 注意,虽然图39E及图39F示出发光单元763a包括一层发光层771且发光单元763b包括一层发光层772的例子,但不局限于此。发光单元763a及发光单元763b各自也可以包括两层以上的发光层。

[0609] 虽然图39E及图39F例示出包括两个发光单元的发光器件,但不局限于此。发光器件也可以包括三个以上的发光单元。注意,也可以将包括两个发光单元的结构及包括三个发光单元的结构分别称为两级串联结构及三级串联结构。

[0610] 在图39E及图39F中,发光单元763a包括层780a、发光层771及层790a,发光单元763b包括层780b、发光层772及层790b。

[0611] 在下部电极761及上部电极762分别为阳极及阴极的情况下,层780a及层780b各自包括空穴注入层、空穴传输层和电子阻挡层中的一个或多个。另外,层790a及层790b各自包括电子注入层、电子传输层和空穴阻挡层中的一个或多个。在下部电极761及上部电极762分别为阴极及阳极的情况下,层780a和层790a的结构与上述反转,层780b和层790b的结构也与上述反转。

[0612] 在下部电极761及上部电极762分别为阳极及阴极的情况下,例如,层780a包括空穴注入层及空穴注入层上的空穴传输层,而且还可以包括空穴传输层上的电子阻挡层。另外,层790a包括电子传输层,而且还可以包括发光层771与电子传输层之间的空穴阻挡层。另外,层780b包括空穴传输层,而且还可以包括空穴传输层上的电子阻挡层。另外,层790b包括电子传输层及电子传输层上的电子注入层,而且还可以包括发光层772与电子传输层之间的空穴阻挡层。在下部电极761及上部电极762分别为阴极及阳极的情况下,例如,层780a包括电子注入层及电子注入层上的电子传输层,而且还可以包括电子传输层上的空穴阻挡层。另外,层790a包括空穴传输层,而且还可以包括发光层771与空穴传输层之间的电子阻挡层。另外,层780b包括电子传输层,而且还可以包括电子传输层上的空穴阻挡层。另外,层790b包括空穴传输层及空穴传输层上的空穴注入层,而且还可以包括发光层772与空穴传输层之间的电子阻挡层。

[0613] 当制造具有串联结构的发光器件时,两个发光单元隔着电荷产生层785层叠。电荷产生层785至少具有电荷产生区域。电荷产生层785具有在对一对电极间施加电压时向两个发光单元中的一方注入电子且向另一方注入空穴的功能。

[0614] 作为串联结构的发光器件的一个例子,可以举出图40A至图40C所示的结构。

[0615] 图40A示出包括三个发光单元的结构。在图40A中,多个发光单元(发光单元763a、发光单元763b及发光单元763c)隔着电荷产生层785彼此串联连接。另外,发光单元763a包括层780a、发光层771及层790a,发光单元763b包括层780b、发光层772及层790b,发光单元763c包括层780c、发光层773及层790c。注意,层780c可以采用可用于层780a及层780b的结构,层790c可以采用可用于层790a及层790b的结构。

[0616] 在图40A中,发光层771、发光层772及发光层773优选包含发射相同颜色的光的发光物质。具体而言,可以采用如下结构:发光层771、发光层772及发光层773都包含红色(R)

发光物质的结构(所谓R\R\R三级串联结构);发光层771、发光层772及发光层773都包含绿色(G)发光物质的结构(所谓G\G\G三级串联结构);或者发光层771、发光层772及发光层773都包含蓝色(B)发光物质的结构(所谓B\B\B三级串联结构)。注意,“a\b”表示包含发射a的光的发光物质的发光单元上隔着电荷产生层设置有包含发射b的光的发光物质的发光单元,a、b表示颜色。

[0617] 在图40A中,也可以将发光颜色彼此不同的发光物质用于发光层771、发光层772和发光层773中的一部分或全部。作为发光层771、发光层772和发光层773的发光颜色的组合,例如可以举出其中任两个为蓝色(B)且剩下一个为黄色(Y)的结构以及其中任一个为红色(R),另一个为绿色(G)且剩下一个为蓝色(B)的结构。

[0618] 注意,作为各自发射相同颜色的发光物质不局限于上述结构。例如,如图40B所示,也可以采用层叠包括多个发光层的发光单元的串联型发光器件。在图40B中,两个发光单元(发光单元763a及发光单元763b)隔着电荷产生层785串联连接。另外,发光单元763a包括层780a、发光层771a、发光层771b、发光层771c以及层790a,发光单元763b包括层780b、发光层772a、发光层772b、发光层772c以及层790b。

[0619] 在图40B中,关于发光层771a、发光层771b及发光层771c,以由于它们分别发射的光混合而得到白色的方式选择发光物质,来使发光单元763a具有能够实现白色发光(W)的结构。另外,关于发光层772a、发光层772b及发光层772c,也以它们分别发射的光混合而得到白色的方式选择发光物质,来使发光单元763b具有能够实现白色发光(W)的结构。也就是说,图40B所示的结构是W\W两级串联结构。注意,对得到白色的发光物质的叠层顺序没有特别的限制。实施者可以适当地选择最合适的叠层顺序。虽然未图示,但也可以采用W\W\W三级串联结构或四级以上的串联结构。

[0620] 另外,在使用具有串联结构的发光器件的情况下,可以举出:包括发射黄色(Y)光的发光单元及发射蓝色(B)光的发光单元的B\Y或Y\B两级串联结构;包括发射红色(R)光及绿色(G)光的发光单元及发射蓝色(B)光的发光单元的R·G\B或B\R·G两级串联结构;依次包括发射蓝色(B)光的发光单元、发射黄色(Y)光的发光单元及发射蓝色(B)光的发光单元的B\Y\B三级串联结构;依次包括发射蓝色(B)光的发光单元、发射黄绿色(YG)光的发光单元及发射蓝色(B)光的发光单元的B\YG\B三级串联结构;以及依次包括发射蓝色(B)光的发光单元、发射绿色(G)光的发光单元及发射蓝色(B)光的发光单元的B\G\B三级串联结构。注意,“a·b”表示一个发光单元包含发射a的光的发光物质及发射b的光的发光物质。

[0621] 如图40C所示,也可以组合包括一个发光层的发光单元和包括多个发光层的发光单元。

[0622] 具体而言,在图40C所示的结构中,多个发光单元(发光单元763a、发光单元763b及发光单元763c)隔着电荷产生层785彼此串联连接。另外,发光单元763a包括层780a、发光层771及层790a,发光单元763b包括层780b、发光层772a、发光层772b、发光层772c及层790b,发光单元763c包括层780c、发光层773及层790c。

[0623] 例如,在图40C所示的结构中可以采用B\R·G·YG\B三级串联结构,其中发光单元763a为发射蓝色(B)光的发光单元,发光单元763b为发射红色(R)光、绿色(G)光及黄绿色(YG)光的发光单元,并且发光单元763c为发射蓝色(B)光的发光单元。

[0624] 例如,作为发光单元的叠层数及颜色顺序,可以举出从阳极一侧层叠B和Y的两级

结构、层叠B和发光单元X的两级结构、层叠B、Y和B的三级结构、层叠B、X和B的三级结构,作为发光单元X中的发光层的叠层数及颜色顺序,可以采用从阳极一侧层叠R和Y的两层结构、层叠R和G的两层结构、层叠G和R的两层结构、层叠G、R和G的三层结构或层叠R、G和R的三层结构等。另外,也可以在两个发光层之间设置其他层。

[0625] 接着,说明可用于发光器件的材料。

[0626] 作为下部电极761和上部电极762中的提取光一侧的电极使用透过可见光的导电膜。另外,作为不提取光一侧的电极优选使用反射可见光的导电膜。另外,在显示装置包括发射红外光的发光器件时,优选作为提取光一侧的电极使用透过可见光及红外光的导电膜且作为不提取光一侧的电极使用反射可见光及红外光的导电膜。

[0627] 另外,不提取光一侧的电极也可以使用透过可见光的导电膜。在此情况下,优选在反射层与EL层763间配置该电极。换言之,EL层763的发光也可以被该反射层反射而从显示装置提取。

[0628] 作为形成发光器件的一对电极的材料,可以适当地使用金属、合金、导电化合物及它们的混合物等。作为该材料,具体地可以举出铝、镁、钛、铬、锰、铁、钴、镍、铜、镓、锌、铟、锡、钼、钽、钨、钼、金、铂、银、钇及铈等金属以及适当地组合它们的合金。另外,作为该材料,可以举出铟锡氧化物(也称为In-Sn氧化物、ITO)、In-Si-Sn氧化物(也称为ITSO)、铟锌氧化物(In-Zn氧化物)及In-W-Zn氧化物等。另外,作为该材料,可以举出铝、镍和镧的合金(Al-Ni-La)等含铝合金(铝合金)以及银和镁的合金及银、钯和铜的合金(Ag-Pd-Cu,也记作APC)等含银合金。作为该材料,可以举出以上没有列举的属于元素周期表中第1族或第2族的元素(例如,锂、铯、钙、锶)、镧、铈等稀土金属、适当地组合它们的合金以及石墨烯。

[0629] 发光器件优选采用光学微腔谐振器(微腔)结构。因此,发光器件所包括的一对电极中的一方优选为对可见光具有透过性及反射性的电极(半透过-半反射电极),另一方优选为对可见光具有反射性的电极(反射电极)。在发光器件具有微腔结构时,可以使从发光层得到的发光在两个电极间谐振,并且可以提高从发光器件发射的光。

[0630] 具有可见光透过性的电极的光透过率为40%以上。例如,在将具有可见光透过性的电极用于发光器件时,优选使用可见光(波长为400nm以上且小于750nm的光)的透过率为40%以上的电极。半透过-半反射电极的对可见光的反射率为10%以上且95%以下,优选为30%以上且80%以下。反射电极对可见光的反射率为40%以上且100%以下,优选为70%以上且100%以下。另外,这些电极的电阻率优选为 $1 \times 10^{-2} \Omega \text{cm}$ 以下。

[0631] 发光器件至少包括发光层。另外,作为发光层以外的层,发光器件还可以包括包含空穴注入性高的物质、空穴传输性高的物质、空穴阻挡材料、电子传输性高的物质、电子阻挡材料、电子注入性高的物质或双极性的材料(电子传输性及空穴传输性高的物质)等的层。例如,发光器件除了发光层以外还可以包括空穴注入层、空穴传输层、空穴阻挡层、电荷产生层、电子阻挡层、电子传输层和电子注入层中的一层以上。

[0632] 发光器件可以使用低分子化合物或高分子化合物,还可以包含无机化合物。构成发光器件的层可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法或涂敷法等方法形成。

[0633] 发光层包含一种或多种发光物质。作为发光物质,适当地使用呈现蓝色、紫色、蓝紫色、绿色、黄绿色、黄色、橙色或红色等发光颜色的物质。此外,作为发光物质,也可以使用

发射近红外光的物质。

[0634] 作为发光物质,可以举出荧光材料、磷光材料、TADF材料及量子点材料。

[0635] 作为荧光材料,例如可以举出茈萘生物、葱生物、三亚苯生物、茚生物、呋喃生物、二苯并噻吩生物、二苯并呋喃生物、二苯并噻唑生物、噻唑生物、吡啶生物、嘧啶生物、菲生物及萘生物。

[0636] 作为磷光材料,例如可以举出具有4H-三唑骨架、1H-三唑骨架、咪唑骨架、嘧啶骨架、吡嗪骨架、吡啶骨架的有机金属配合物(尤其是铱配合物)、以具有吸电子基团的苯基吡啶生物为配体的有机金属配合物(尤其是铱配合物)、铂配合物、稀土金属配合物。

[0637] 发光层除了发光物质(客体材料)以外还可以包含一种或多种有机化合物(主体材料、辅助材料等)。作为一种或多种有机化合物,可以使用空穴传输性高的物质(空穴传输材料)和电子传输性高的物质(电子传输材料)中的一方或双方。作为空穴传输材料,可以使用下述可用于空穴传输层的空穴传输性高的物质。作为电子传输材料,可以使用下述可用于电子传输层的电子传输性高的物质。此外,作为一种或多种有机化合物,也可以使用双极性材料或TADF材料。

[0638] 例如,发光层优选包含磷光材料、容易形成激基复合物的空穴传输材料及电子传输材料的组合。通过采用这样的结构,可以高效地得到利用从激基复合物到发光物质(磷光材料)的能量转移的ExTET(Exciplex-Triplet Energy Transfer:激基复合物-三重态能量转移)的发光。通过选择形成发射与发光物质的最低能量一侧的吸收带的波长重叠的光的激基复合物的组合,可以使能量转移变得顺利,从而高效地得到发光。通过采用上述结构,可以同时实现发光器件的高效率、低电压驱动以及长寿命。

[0639] 空穴注入层是将空穴从阳极注入到空穴传输层的包含空穴注入性高的物质的层。作为空穴注入性高的物质,可以举出芳香胺化合物以及包含空穴传输材料及受体材料(电子受体材料)的复合材料。

[0640] 作为空穴传输材料,可以使用下述可用于空穴传输层的空穴传输性高的物质。

[0641] 作为受体材料,例如可以使用属于元素周期表中的第4族至第8族的金属的氧化物。具体而言,可以举出氧化钼、氧化钒、氧化铌、氧化钽、氧化铬、氧化钨、氧化锰及氧化镱。特别优选使用氧化钼,因为其在大气中也稳定,吸湿性低,并且容易处理。另外,也可以使用含有氟的有机受体材料。除了上述以外,也可以使用醌二甲烷生物、四氯苯醌生物及六氮杂三亚苯生物等有机受体材料。

[0642] 例如,作为空穴注入性高的物质也可以使用包含空穴传输材料及上述属于元素周期表中第4族至第8族的金属的氧化物(典型的是氧化钼)的材料。

[0643] 空穴传输层是将从阳极通过空穴注入层注入的空穴传输到发光层的层。空穴传输层是包含空穴传输材料的层。作为空穴传输材料,优选采用空穴迁移率为 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 以上的物质。注意,只要空穴传输性比电子传输性高,就可以使用上述以外的物质。作为空穴传输材料,优选使用富 π 电子型杂芳族化合物(例如呋喃生物、噻吩生物、呋喃生物等)或者芳香胺(具有芳香胺骨架的化合物)等空穴传输性高的物质。

[0644] 电子阻挡层以接触于发光层的方式设置。电子阻挡层是具有空穴传输性并包含能够阻挡电子的材料的层。可以将上述空穴传输材料中的具有电子阻挡性的材料用于电子阻挡层。

[0645] 电子阻挡层具有空穴传输性,所以也可以被称为空穴传输层。另外,空穴传输层中的具有电子阻挡性的层也可以被称为电子阻挡层。

[0646] 电子传输层是将从阴极通过电子注入层注入的电子传输到发光层的层。电子传输层是包含电子传输材料的层。作为电子传输材料,优选采用电子迁移率为 $1 \times 10^{-6} \text{cm}^2/\text{Vs}$ 以上的物质。注意,只要电子传输性比空穴传输性高,就可以使用上述以外的物质。作为电子传输材料,可以使用具有喹啉骨架的金属配合物、具有苯并喹啉骨架的金属配合物、具有噻唑骨架的金属配合物或具有噻唑骨架的金属配合物等,还可以使用噻二唑衍生物、三唑衍生物、咪唑衍生物、噻唑衍生物、噻唑衍生物、菲咯啉衍生物、具有喹啉配体的喹啉衍生物、苯并喹啉衍生物、喹啉衍生物、二苯并喹啉衍生物、吡啶衍生物、联吡啶衍生物、嘧啶衍生物或含氮杂芳族化合物等缺 π 电子型杂芳族化合物等电子传输性高的物质。

[0647] 空穴阻挡层以接触于发光层的方式设置。空穴阻挡层是具有电子传输性并包含能够阻挡空穴的材料的层。可以将上述电子传输材料中的具有空穴阻挡性的材料用于空穴阻挡层。

[0648] 空穴阻挡层具有电子传输性,所以也可以被称为电子传输层。另外,电子传输层中的具有空穴阻挡性的层也可以被称为空穴阻挡层。

[0649] 电子注入层是将电子从阴极注入到电子传输层的包含电子注入性高的物质的层。作为电子注入性高的物质,可以使用碱金属、碱土金属或者它们的化合物。作为电子注入性高的物质,也可以使用包含电子传输材料及供体材料(电子给体材料)的复合材料。

[0650] 优选的是,电子注入性高的物质的最低未占有分子轨道(LUMO:Lowest Unoccupied Molecular Orbital)能级与用于阴极的材料的功函数值之差小(具体的是0.5eV以下)。

[0651] 电子注入层例如可以使用锂、铯、铷、氟化锂(LiF)、氟化铯(CsF)、氟化钙(CaF_x ,X为任意数)、8-(羟基喹啉)锂(简称:LiQ)、2-(2-吡啶基)苯酚锂(简称:LiPP)、2-(2-吡啶基)-3-羟基吡啶(pyridinolato)锂(简称:LiPPy)、4-苯基-2-(2-吡啶基)苯酚锂(简称:LiPPP)、锂氧化物(LiO_x)或碳酸铯等碱金属、碱土金属或它们的化合物。另外,电子注入层也可以具有两层以上的叠层结构。作为该叠层结构,例如可以举出作为第一层使用氟化锂且作为第二层设置铯的结构。

[0652] 电子注入层也可以包含电子传输材料。例如,可以将具有非共用电子对并具有缺电子型杂芳环的化合物用于电子传输材料。具体而言,可以使用具有吡啶环、二嗪环(嘧啶环、吡嗪环、哒嗪环)以及三嗪环中的至少一个的化合物。

[0653] 具有非共用电子对的有机化合物的LUMO能级优选为-3.6eV以上且-2.3eV以下。一般来说,可以使用CV(循环伏安法)、光电子能谱法、吸收光谱法或逆光电子能谱法等估计有机化合物的最高占据分子轨道(HOMO:Highest Occupied Molecular Orbital)能级及LUMO能级。

[0654] 例如,可以将4,7-二苯基-1,10-菲咯啉(简称:BPhen)、2,9-二(萘-2-基)-4,7-二苯基-1,10-菲咯啉(简称:NBPhen)、二噻喔啉并[2,3-a:2',3'-c]吩嗪(简称:HATNA)、2,4,6-三[3'-(吡啶-3-基)联苯-3-基]-1,3,5-三嗪(简称:TmPPPyTz)等用于具有非共用电子对的有机化合物。此外,与BPhen相比,NBPhen具有高玻璃化转变点(Tg),从而具有高耐热性。

[0655] 如上所述,电荷产生层至少具有电荷产生区域。电荷产生区域优选包括受体材料,

例如优选包括可应用于上述空穴注入层的空穴传输材料及受体材料。

[0656] 电荷产生层优选包括含有电子注入性高的物质的层。该层也可以被称为电子注入缓冲层。电子注入缓冲层优选设置在电荷产生区域与电子传输层间。通过设置电子注入缓冲层,可以缓和电荷产生区域与电子传输层间的注入势垒,所以将产生在电荷产生区域中的电子容易注入到电子传输层中。

[0657] 电子注入缓冲层优选包含碱金属或碱土金属,例如可以包含碱金属的化合物或碱土金属的化合物。具体而言,电子注入缓冲层优选包含含有碱金属和氧的无机化合物或者含有碱土金属和氧的无机化合物,更优选包含含有锂和氧的无机化合物(氧化锂(Li_2O)等)。除此之外,作为电子注入缓冲层可以适当地使用可应用于上述电子注入层的材料。

[0658] 电荷产生层优选包括含有电子传输性高的物质的层。该层也可以被称为电子中继层。电子中继层优选设置在电荷产生区域与电子注入缓冲层间。在电荷产生层不包括电子注入缓冲层时,电子中继层优选设置在电荷产生区域与电子传输层间。电子中继层具有防止电荷产生区域与电子注入缓冲层(或电子传输层)的相互作用并顺利地传递电子的功能。

[0659] 作为电子中继层,优选使用酞菁铜(II)(简称:CuPc)等酞菁类材料或者具有金属-氧键合和芳香配体的金属配合物。

[0660] 注意,有时根据截面形状或特性等不能明确地区别上述电荷产生区域、电子注入缓冲层及电子中继层。

[0661] 另外,电荷产生层也可以包括供体材料代替受体材料。例如,作为电荷产生层也可以包括含有可应用于上述电子注入层的电子传输材料和供体材料的层。

[0662] 在层叠发光单元时,通过在两个发光单元间设置电荷产生层,可以抑制驱动电压的上升。

[0663] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0664] (实施方式4)

在本实施方式中,说明在显示装置50中实现全彩色显示的发光器件61的结构例子。

[0665] 设置在显示装置50的显示部235中的多个发光器件61可以利用光刻法形成而不使用金属掩模等荫罩。因此,可以实现目前难以实现的具有高清晰度和高开口率的显示装置。并且,相邻的EL层间的泄漏电流得到减少,因此可以实现非常鲜明、对比度高且显示品质高的显示装置。

[0666] 例如,在利用金属掩模的形成方法中,难以实现小于 $10\mu\text{m}$ 的相邻的发光器件61间的距离,但是通过利用光刻法,可以将该距离缩小到 $8\mu\text{m}$ 以下、 $3\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下或 $1\mu\text{m}$ 以下。在此,相邻的发光器件61间的距离可以根据相邻的两个像素电极的端部至端部的距离规定。或者,相邻的发光器件61间的距离可以根据相邻的两个EL层的端部至端部的距离规定。

[0667] 在本说明书等中,有时将使用金属掩模或FMM(Fine Metal Mask,高精度金属掩模)制造的显示装置称为具有MM(Metal Mask)结构的显示装置。此外,在本说明书等中,有时将不使用金属掩模或FMM制造的显示装置称为具有MML(Metal Mask Less)结构的显示装置。

[0668] 通过如此缩小相邻的发光器件61间的距离,可以大幅度地减小有可能存在于两个发光器件间的非发光区域的面积,而可以使开口率接近于100%。例如,也可以实现50%以

上、60%以上、70%以上、80%以上、甚至为90%以上且低于100%的开口率。

[0669] 另外,关于EL层本身的图案(也称为加工尺寸)也可以与使用金属掩模的情况相比显著地减少。另外,例如在使用金属掩模分别形成EL层的情况下,EL层的中央及端部的厚度不同,所以相对于EL层的面积的能够被用作发光区域的有效面积变小。另一方面,在上述制造方法中通过对沉积为均匀厚度的膜进行加工来形成EL层,所以可以使EL层的厚度均匀,即使采用微细图案也可以使其几乎所有区域用作发光区域。因此,通过上述制造方法,可以兼具有高清晰度和高开口率。

[0670] 利用FMM(Fine Metal Mask)形成的有机膜大多为越靠近端部厚度越小的锥角极小(例如大于0度且小于30度)的膜。因此,利用FMM形成的有机膜的侧面与顶面连续地连接,而难以明确地确认出侧面。另一方面,本发明的一个方式包括不利用FMM加工而成的EL层,所以具有明确的侧面。尤其是,在本发明的一个方式中,优选具有EL层的锥角为30度以上且120度以下的部分,优选具有60度以上且120度以下的部分。

[0671] 注意,在本说明书等中,对象物的端部为锥形形状是指在其端部的区域中侧面(表面)与被形成面(底面)所成的角度大于0度且小于90度且具有从端部厚度连续增加的截面形状。另外,锥角是指对象物的端部的底面(被形成面)与侧面(表面)所成的角。

[0672] 以下说明更具体的结构例子。

[0673] 图41A示出显示装置50所包括的显示部235的一部分的顶面示意图。显示装置50在包括半导体电路的衬底101上包括多个呈现红色光的发光器件61R、多个呈现绿色光的发光器件61G、多个呈现蓝色光的发光器件61B。在图41A中,为了简单地区别各发光器件,对各发光器件的发光区域内附上R、G、B的符号。衬底101是形成有上述实施方式所示的半导体装置的衬底,其详细内容可以参照上述实施方式的记载。注意,在图41中省略设置在衬底101上的半导体装置的记载。

[0674] 发光器件61R、发光器件61G、发光器件61B都以条纹状排列。图41A示出两个元件在一个方向上交替排列的结构。注意,发光器件的排列方法不局限于此,可以使用S条纹排列、Delta排列、拜耳排列或锯齿形(zigzag)排列等排列方法,也可以使用Pentile排列或Diamond排列等。

[0675] 图41A示出与公共电极313电连接的连接电极311C。连接电极311C被供应用来对公共电极313供应的电位(例如,阳极电位或阴极电位)。连接电极311C设置在发光器件61R等排列的显示区域的外侧。另外,在图41A中,以虚线表示公共电极313。

[0676] 连接电极311C可以沿着显示区域的外周设置。例如,既可以沿着显示区域的外周的一个边设置,又可以横跨显示区域的外周的两个以上的边设置。就是说,在显示区域的顶面形状为矩形的情况下,连接电极311C的顶面形状可以为带状、L字状、“门”字状(方括号状)或四角形等。

[0677] 图41B是与图41A中的点划线A1-A2及点划线C1-C2对应的截面示意图。图41B是发光器件61B、发光器件61R、发光器件61G及连接电极311C的截面示意图。

[0678] 发光器件61B包括像素电极311、有机层312B、有机层314及公共电极313。发光器件61R包括像素电极311、有机层312R、有机层314及公共电极313。发光器件61G包括像素电极311、有机层312G、有机层314及公共电极313。有机层314和公共电极313在发光器件61B、发光器件61R及发光器件61G中共同设置。有机层314也可以说是公共层。在各发光器件之间以

及发光器件和受光器件之间彼此离开地设置有像素电极311。

[0679] 有机层312R、有机层312G及有机层312B相当于上述实施方式的EL层763。

[0680] 有机层312R包含至少发射红色光的发光性有机化合物。有机层312G包含至少发射绿色光的发光性有机化合物。有机层312B包含至少发射蓝色光的发光性有机化合物。有机层312R、有机层312G及有机层312B也可以称作EL层。

[0681] 有机层312R、有机层312B及有机层312G还可以包括电子注入层、电子传输层、空穴注入层及空穴传输层中的一个以上。有机层314可以采用不包括发光层的结构。例如,有机层314包括电子注入层、电子传输层、空穴注入层及空穴传输层中的一个以上。

[0682] 在此,有机层312R、有机层312B及有机层312G的叠层结构中位于最上侧的层,即与有机层314接触的层,优选为发光层以外的层。例如,优选采用覆盖发光层设置电子注入层、电子传输层、空穴注入层、空穴传输层或这些之外的层并使该层与有机层314接触的结构。如此,在制造各发光器件时,使发光层的顶面处于被其他层保护的状态,由此可以提高发光器件的可靠性。

[0683] 通过利用光刻法加工各EL层,可以将各像素间的距离缩小到 $8\mu\text{m}$ 以下、 $3\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下或 $1\mu\text{m}$ 以下。在此,各像素间的距离例如可以根据有机层312B和有机层312R的彼此相对的端部之间的距离、有机层312B和有机层312G的彼此相对的端部之间的距离以及有机层312R和有机层312G的彼此相对的端部之间的距离规定。或者,可以根据相邻的同一颜色的EL层的彼此相对的端部之间的距离规定。或者,可以根据相邻的像素电极311的彼此相对的端部之间的距离规定。如此,通过缩小各像素间的距离,可以提供具有高清晰度及高开口率的显示装置。

[0684] 像素电极311分别设置在各元件中。另外,公共电极313及有机层314设置为各发光器件共通使用的一连续的层。各像素电极和公共电极313的任一方使用对可见光具有透光性的导电膜且另一方使用具有反射性的导电膜。通过使各像素电极具有透光性且使公共电极313具有反射性,可以实现底面发射型(底部发射结构)显示装置。相对于此,通过使各像素电极具有反射性且使公共电极313具有透光性,可以实现顶面发射型(顶部发射结构)显示装置。另外,通过使各像素电极及公共电极313的双方具有透光性,可以实现双面发射型(双面发射结构)显示装置。

[0685] 像素电极311与设置在衬底101的半导体电路中的晶体管电连接。如上述实施方式所示,设置在衬底101的晶体管的沟道长度得到缩小而微型化。因此,即使如上所述地进行显示装置的高清晰化而缩小像素面积,也可以将像素电路容纳在缩小的像素面积内。

[0686] 覆盖像素电极311的端部设置有绝缘层331。绝缘层331的端部优选具有锥形形状。注意,在本说明书等中,“对象物的端部具有锥形形状”是指具有如下截面形状:在其端部的区域中表面与被形成面所形成的角度大于0度且小于90度;并且其厚度从端部逐渐地增加。

[0687] 通过在绝缘层331中使用有机树脂,可以使其表面具有平缓的曲面。因此,可以提高形成在绝缘层331上的膜的覆盖性。

[0688] 作为能够用于绝缘层331的材料,例如可以使用丙烯酸树脂、聚酰亚胺树脂、环氧树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及这些树脂的前体。

[0689] 或者,绝缘层331也可以使用无机绝缘材料。作为能够用于绝缘层331的无机绝缘

材料,例如可以使用氧化硅、氧氮化硅、氮氧化硅、氮化硅、氧化铝、氧氮化铝、氧化镓等的氧化物、氧氮化物、氮氧化物或氮化物。另外,也可以使用氧化钇、氧化锆、氧化镓、氧化钽、氧化镁、氧化镧、氧化铈及氧化钕等。

[0690] 如图41B所示,在发光颜色不同的发光器件之间以及发光器件和受光器件之间离开地设置两个有机层,它们之间设置有间隙。如此,优选以互不接触的方式设置有有机层312R、有机层312B及有机层312G。由此,可以适合防止电流通过相邻的两个有机层流过而产生非意图的发光。由此,可以提高对比度,而可以实现显示品质较高的显示装置。

[0691] 优选有机层312R、有机层312B及有机层312G的锥角为30度以上。优选有机层312R、有机层312G及有机层312B端部的侧面(表面)与底面(被形成面)的角度为30度以上且120度以下,更优选为45度以上且120度以下,进一步优选为60度以上且120度。或者,优选有机层312R、有机层312G及有机层312B的锥角分别为90度或其附近(例如80度以上且100度以下)。

[0692] 公共电极313上设置有保护层321。保护层321具有防止水等杂质从上方向各发光器件扩散的功能。

[0693] 保护层321例如可以具有至少包括无机绝缘膜的单层结构或叠层结构。作为无机绝缘膜,例如可以举出氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氧氮化铝膜、氧化镓膜等的氧化物膜及氮化物膜。或者,作为保护层321也可以使用铟镓氧化物、铟镓锌氧化物等半导体材料。

[0694] 作为保护层321也可以使用无机绝缘膜与有机绝缘膜的叠层膜。例如,优选在一对无机绝缘膜间夹持有机绝缘膜。另外,有机绝缘膜优选被用作平坦化层。因此,可以使有机绝缘膜的顶面平坦,所以其上的无机绝缘膜的覆盖性提高,由此可以提高阻挡性。另外,保护层321的顶面变平坦,所以当在保护层321的上方设置结构体(例如,滤色片、触摸传感器的电极或透镜阵列等)时可以减少起因于下方结构的凹凸形状的影响,所以是优选的。

[0695] 在连接部330中,连接电极311C上设置有与其接触的公共电极313,覆盖公共电极313设置有保护层321。另外,覆盖连接电极311C的端部设置有绝缘层331。

[0696] 以下对与图41B部分结构不同的显示装置的结构例子进行说明。具体而言,示出不设置绝缘层331时的例子。

[0697] 图42A至图42C示出像素电极311的侧面与有机层312R、有机层312B或有机层312G的侧面大致一致时的例子。

[0698] 在图42A中,覆盖有机层312R、有机层312B及有机层312G的顶面及侧面设置有有机层314。有机层314可以防止像素电极311与公共电极313相互接触而导致电短路。

[0699] 图42B示出包括以与有机层312R、有机层312B、有机层312G以及像素电极311的侧面接触的方式设置的绝缘层325的例子。绝缘层325可以有效地防止像素电极311与公共电极313发生电短路及其之间的泄漏电流。

[0700] 绝缘层325可以为包含无机材料的绝缘层。作为绝缘层325,例如可以使用氧化物、氮化物、氧氮化物及氮氧化物等。绝缘层325可以具有单层结构,也可以具有叠层结构。作为氧化物,可以举出氧化硅、氧化铝、氧化镁、铟镓锌氧化物、氧化镓、氧化锆、氧化钇、氧化钆、氧化镧、氧化铈、氧化钕及氧化钽。作为氮化物,可以举出氮化硅及氮化铝。作为氧氮化物,可以举出氧氮化硅及氧氮化铝。作为氮氧化物,可以举出氮氧化硅及氮氧化铝。尤其是,通过将利用ALD法形成的氧化铝膜、氧化镓膜及氧化硅膜等用于绝缘层325,可以形成针孔较

少且保护有机层功能优异的绝缘层325。

[0701] 绝缘层325可以利用溅射法、CVD法、PLD法、ALD法等形成。优选的是,绝缘层325利用覆盖性优异的ALD法形成。

[0702] 在图42C中,在相邻的两个发光器件之间或发光器件和受光器件之间,以填充对置的两个像素电极的缝隙及对置的两个有机层的缝隙的方式设置树脂层326。树脂层326可以使有机层314、公共电极313等的被形成面平坦化,可以防止因相邻的发光器件间的台阶的覆盖不良导致公共电极313断开。

[0703] 作为树脂层326,可以适合使用包含有机材料的绝缘层。例如,作为树脂层326可以使用丙烯酸树脂、聚酰亚胺树脂、环氧树脂、酰亚胺树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅酮树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及上述树脂的前体等。另外,作为树脂层326,也可以使用聚乙烯醇(PVA)、聚乙烯醇缩丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普鲁兰、水溶性纤维素或者醇可溶性聚酰胺等有机材料。另外,作为树脂层326,也可以使用感光性树脂。作为感光性树脂也可以使用光致抗蚀剂。作为感光性树脂也可以使用正型材料或负型材料。

[0704] 也可以通过作为树脂层326使用被着色的材料(例如,包含黑色颜料的材料等)来附加遮蔽来自相邻的像素的杂散光而抑制混色的功能。

[0705] 在图42D中,设置有绝缘层325及绝缘层325上的树脂层326。由于绝缘层325,有机层312R等与树脂层326不接触,可以防止树脂层326中的杂质(例如,水)扩散到有机层312R等中,由此可以提供可靠性高的显示装置。

[0706] 另外,也可以设置如下机构,即通过在绝缘层325与树脂层326之间设置反射膜(例如,包含选自银、钼、铜、钛和铝等中的一个或多个的金属膜)来使该反射膜反射发光层所发射的光而提高光提取效率的机构。

[0707] 图43A至图43C示出像素电极311的宽度比有机层312R、有机层312B或有机层312G的宽度大时的例子。有机层312R等位于像素电极311的端部的内侧。

[0708] 图43A示出包括绝缘层325时的例子。绝缘层325以覆盖发光器件或受光器件所包括的有机层的侧面、像素电极311的顶面的一部分及侧面的方式设置。

[0709] 图43B示出包括树脂层326时的例子。树脂层326位于相邻的两个发光器件之间或发光器件和受光器件之间,以覆盖有机层的侧面及像素电极311的顶面及侧面的方式设置。

[0710] 图43C示出包括绝缘层325和树脂层326的双方时的例子。有机层312R等与树脂层326间设置有绝缘层325。

[0711] 图44A至图44D示出像素电极311的宽度比有机层312R、有机层312B或有机层312G的宽度小时的例子。有机层312R等超过像素电极311的端部延伸到外侧。

[0712] 图44B示出包括绝缘层325的例子。绝缘层325以接触于相邻的两个发光器件的有机层的侧面的方式设置。另外,绝缘层325不仅可以覆盖有机层312R等的侧面还可以以覆盖其顶面的一部分的方式设置。

[0713] 图44C示出包括树脂层326的例子。树脂层326位于相邻的两个发光器件之间,以覆盖有机层312R等的侧面及顶面的一部分的方式设置。另外,树脂层326也可以采用与有机层312R等的侧面接触而不覆盖顶面的结构。

[0714] 图44D示出包括绝缘层325和树脂层326的双方时的例子。有机层312R等与树脂层

326之间设置有绝缘层325。

[0715] 在此,对上述树脂层326的结构例子进行说明。

[0716] 树脂层326的顶面越平坦越好,但是有时因树脂层326的被形成面的凹凸形状、树脂层326的形成条件等树脂层326的表面为凹状或凸状形状。

[0717] 图45A至图46F是发光器件61R所包括的像素电极311R的端部、发光器件61G所包括的像素电极311G的端部及其附近的放大图。

[0718] 图45A、图45B及图45C示出树脂层326的顶面平坦时的树脂层326及其附近的放大图。图45A示出与像素电极311相比有机层312R等的宽度大时的例子。图45B示出像素电极311和有机层312R等的宽度大致一致时的例子。图45C示出与像素电极311相比有机层312R等的宽度小时的例子。

[0719] 如图45A所示,由于有机层312R等覆盖像素电极311的端部设置,所以优选像素电极311的端部为锥形形状。由此,可以提高有机层312R等的台阶覆盖性,从而可以提供可靠性高的显示装置。

[0720] 图45D、图45E及图45F示出树脂层326的顶面为凹状时的例子。在此,图45D、图45E及图45F分别对应于图45A、图45B及图45C。此时,有机层314、公共电极313及保护层321的顶面形成有反映了树脂层326的凹状顶面的凹状部分。

[0721] 图46A、图46B及图46C示出树脂层326的顶面为凸状时的例子。在此,图46A、图46B及图46C分别对应于图45A、图45B及图45C。此时,有机层314、公共电极313及保护层321的顶面形成有反映了树脂层326的凸状顶面的凸状部分。

[0722] 图46D、图46E及图46F示出树脂层326的一部分覆盖有机层312R的上端部及顶面的一部分以及有机层312G的上端部及顶面的一部分时的例子。在此,图46D、图46E及图46F分别对应于图45A、图45B及图45C。此时,树脂层326与有机层312R或有机层312G的顶面间设置有绝缘层325。

[0723] 另外,图46D、图46E及图46F示出树脂层326的顶面的一部分为凹状时的例子。此时,有机层314、公共电极313及保护层321形成有反映了树脂层326的形状的凹凸形状。

[0724] 以上是树脂层的结构例子的说明。

[0725] 本实施方式所示的结构可以与其他实施方式所示的结构适当地组合而使用。

[0726] (实施方式5)

在本实施方式中,对可以适用本发明的一个方式的半导体装置的电子设备进行说明。

[0727] 可以将本发明的一个方式的半导体装置用于电子设备的显示部。由此,可以实现显示品质高的电子设备。或者,可以实现极高精密度的电子设备。或者,可以实现可靠性高的电子设备。

[0728] 作为使用根据本发明的一个方式的半导体装置等的电子设备,可以举出电视机、显示器等显示装置、照明装置、台式或笔记本型个人计算机、文字处理机、再现储存在DVD (Digital Versatile Disc:数字通用光盘) 等记录介质中的静态图像或动态图像的图像再现装置、便携式CD播放器、收音机、磁带录音机、头戴式耳机立体音响、立体音响、台钟、挂钟、无绳电话子机、无线电收发机、车载电话、移动电话、便携式信息终端、平板终端、便携式游戏机、弹珠机等固定型游戏机、计算器、电子笔记本、电子书阅读器终端、电子翻译器、声

音输入器、摄像机、数字静态照相机、电动刮刀、微波炉等高频加热装置、电饭煲、电动洗衣机、电动吸尘器、热水器、电扇、电吹风、空调设备诸如空调器、加湿器、除湿器等、餐具洗涤机、餐具干燥机、干衣机、烘被机、电冰箱、电冷冻箱、电冷冻冷藏箱、DNA保存用冰冻器、手电筒、链锯等工具、烟探测器及透析装置等医疗设备。再者,还可以举出工业设备诸如引导灯、信号机、传送带、电梯、自动扶梯、工业机器人、蓄电系统、用于电力均匀化、智能电网的蓄电装置等。另外,通过使用燃料的发动机或利用来自蓄电体的电力的电动机推进的移动体等也有时包括在电子设备的范畴内。作为上述移动体,例如可以举出电动汽车(EV)、兼具内燃机和电动机的混合动力汽车(HV)、插电式混合动力汽车(PHV)、使用履带代替这些的车轮的履带式车辆、包括电动辅助自行车的带有发动机的自行车、摩托车、电动轮椅、高尔夫球车、小型或大型船舶、潜水艇、直升机、飞机、火箭、人造卫星、太空探测器、行星探测器及宇宙飞船。

[0729] 根据本发明的一个方式的电子设备也可以包括二次电池(电池),优选通过非接触电力传送对该二次电池充电。

[0730] 作为二次电池,例如,可以举出锂离子二次电池、镍氢电池、镍镉电池、有机自由基电池、铅蓄电池、空气二次电池、镍锌电池及银锌电池。

[0731] 根据本发明的一个方式的电子设备也可以包括天线。通过用天线接收信号,可以在显示部上显示图像及数据等。另外,在电子设备包括天线及二次电池时,可以将天线用于非接触电力传送。

[0732] 根据本发明的一个方式的电子设备也可以包括传感器(该传感器具有测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0733] 根据本发明的一个方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。

[0734] 此外,包括多个显示部的电子设备可以具有在显示部的一部分主要显示图像信息而在显示部的其他部分主要显示文本信息的功能,或者具有通过将考虑了视差的图像显示于多个显示部上来显示三维图像的功能等。并且,具有图像接收部的电子设备可以具有如下功能:拍摄静态图像;拍摄动态图像;对所拍摄的图像进行自动或手工校正;将所拍摄的图像存储在记录介质(外部或内置于电子设备中)中;将所拍摄的图像显示在显示部上;等。另外,本发明的一个方式的电子设备所具有的功能不局限于此,该电子设备可以具有各种功能。

[0735] 根据本发明的一个方式的半导体装置可以显示高清晰的图像。由此,尤其可以适当地用于便携式电子设备、穿戴式电子设备以及电子书阅读器等。例如,可以适当地用于VR设备或AR设备等xR设备。

[0736] 图47A是安装有取景器8100的照相机8000的外观图。

[0737] 照相机8000包括框体8001、显示部8002、操作按钮8003、快门按钮8004等。另外,照相机8000安装有可装卸的镜头8006。在照相机8000中,镜头8006和框体也可以被形成为一体。

[0738] 照相机8000通过按下快门按钮8004或者触摸用作触摸面板的显示部8002,可以进行摄像。

[0739] 框体8001包括具有电极的嵌入器,除了可以与取景器8100连接以外,还可以与闪光灯装置等连接。

[0740] 取景器8100包括框体8101、显示部8102以及按钮8103等。

[0741] 框体8101通过嵌合到照相机8000的嵌入器装到照相机8000。取景器8100可以将从照相机8000接收的影像等显示到显示部8102上。

[0742] 按钮8103被用作电源按钮等。

[0743] 根据本发明的一个方式的半导体装置可以用于照相机8000的显示部8002及取景器8100的显示部8102。此外,也可以在照相机8000中内置有取景器8100。

[0744] 图47B是头戴显示器8200的外观图。

[0745] 头戴显示器8200包括安装部8201、透镜8202、主体8203、显示部8204以及电缆8205等。此外,在安装部8201中内置有电池8206。

[0746] 通过电缆8205,将电力从电池8206供应到主体8203。主体8203具备无线接收器等,能够将所接收的影像信息显示到显示部8204上。此外,主体8203具有照相机,由此可以作为输入方法利用使用者的眼球或眼睑的动作的信息。

[0747] 此外,也可以对安装部8201的被使用者接触的位置设置多个电极,以检测出根据使用者的眼球的动作而流过电极的电流,由此实现识别使用者的视线的功能。此外,还可以具有根据流过该电极的电流监视使用者的脉搏的功能。安装部8201也可以具有温度传感器、压力传感器、加速度传感器等各种传感器,也可以具有将使用者的生物信息显示在显示部8204上的功能或与使用者的头部的动作同步地使显示在显示部8204上的影像变化的功能等。

[0748] 可以将根据本发明的一个方式的半导体装置用于显示部8204。

[0749] 图47C至图47E是头戴显示器8300的外观图。头戴显示器8300包括框体8301、显示部8302、带状固定工具8304以及一对透镜8305。

[0750] 使用者可以通过透镜8305看到显示部8302上的显示。优选的是,弯曲配置显示部8302。因为使用者可以感受高真实感。此外,通过透镜8305分别看到显示在显示部8302的不同区域上的图像,从而可以进行利用视差的三维显示等。此外,本发明的一个方式不局限于设置有一个显示部8302的结构,也可以设置两个显示部8302以对使用者的一对眼睛分别配置一个显示部。

[0751] 可以将根据本发明的一个方式的半导体装置用于显示部8302。根据本发明的一个方式的半导体装置还可以实现极高的清晰度。例如,如图47E所示,即使使用透镜8305对显示进行放大观看,像素也不容易被使用者看到。就是说,可以利用显示部8302使使用者看到现实感更高的影像。

[0752] 图47F是护目镜型头戴显示器8400的外观图。头戴显示器8400包括一对框体8401、安装部8402及缓冲构件8403。一对框体8401内各自设置有显示部8404及透镜8405。通过使一对显示部8404显示互不相同的图像,可以进行利用视差的三维显示。

[0753] 使用者可以通过透镜8405看到显示部8404上的显示。透镜8405具有焦点调整机构,该焦点调整机构可以根据使用者的视力调整透镜8405的位置。显示部8404优选为正方

形或横向长的矩形。由此,可以提高真实感。

[0754] 安装部8402优选具有塑性及弹性以可以根据使用者的脸尺寸调整并没有掉下来。另外,安装部8402的一部分优选具有被用作骨传导耳机的振动机构。由此,只要安装就可以享受影像及声音,而不需耳机、扬声器等音响设备。此外,也可以具有通过无线通信将声音数据输出到框体8401内的功能。

[0755] 安装部8402及缓冲构件8403是与使用者的脸(额头、脸颊等)接触的部分。通过使缓冲构件8403与使用者的脸密接,可以防止漏光,从而可以进一步提高沉浸感。缓冲构件8403优选使用柔软的材料以在使用者装上头戴显示器8400时与使用者的脸密接。例如,可以使用橡胶、硅酮橡胶、聚氨酯、海绵等材料。另外,当使用用布或皮革(天然皮革或合成皮革)等覆盖海绵等的表面的构件时,在使用者的脸和缓冲构件8403之间不容易产生空隙,从而可以适当地防止漏光。另外,在使用这种材料时,不仅让使用者感觉亲肤,而且当在较冷的季节等装上的情况下不让使用者感到寒意,所以是优选的。在缓冲构件8403或安装部8402等接触使用者的皮肤的构件采用可拆卸的结构时,容易进行清洗及交换,所以是优选的。

[0756] 图48A示出电视装置的一个例子。在电视装置7100中,框体7101中组装有显示部7000。在此示出利用支架7103支撑框体7101的结构。

[0757] 可以对显示部7000应用本发明的一个方式的半导体装置。

[0758] 可以通过利用框体7101所具备的操作开关及另外提供的遥控操作机7111进行图48A所示的电视装置7100的操作。或者,也可以在显示部7000中具备触摸传感器,也可以通过用指头等触摸显示部7000进行电视装置7100的操作。此外,也可以在遥控操作机7111中具备显示从该遥控操作机7111输出的信息的显示部。通过利用遥控操作机7111所具备的操作键或触摸面板,可以进行频道及音量的操作,并可以对显示在显示部7000上的影像进行操作。

[0759] 此外,电视装置7100具备接收机及调制解调器等。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的信息通信。

[0760] 图48B示出笔记本型个人计算机的一个例子。笔记本型个人计算机7200包括框体7211、键盘7212、指向装置7213、外部连接端口7214等。在框体7211中组装有显示部7000。

[0761] 可以对显示部7000应用本发明的一个方式的半导体装置。

[0762] 图48C和图48D示出数字标牌的一个例子。

[0763] 图48C所示的数字标牌7300包括框体7301、显示部7000及扬声器7303等。此外,还可以包括LED灯、操作键(包括电源开关或操作开关)、连接端子、各种传感器、麦克风等。

[0764] 图48D示出设置于圆柱状柱子7401上的数字标牌7400。数字标牌7400包括沿着柱子7401的曲面设置的显示部7000。

[0765] 在图48C和图48D中,可以对显示部7000应用本发明的一个方式的半导体装置。

[0766] 显示部7000越大,一次能够提供的信息量越多。显示部7000越大,越容易吸引人的注意,例如可以提高广告宣传效果。

[0767] 通过将触摸面板用于显示部7000,不仅可以在显示部7000上显示静态图像或动态图像,使用者还能够直觉性地进行操作,所以是优选的。此外,在用于提供线路信息或交通

信息等信息的用途时,可以通过直觉性的操作提高易用性。

[0768] 如图48C和图48D所示,数字标牌7300或数字标牌7400优选可以通过无线通信与使用者所携带的智能手机等信息终端设备7311或信息终端设备7411联动。例如,显示在显示部7000上的广告信息可以显示在信息终端设备7311或信息终端设备7411的屏幕上。此外,通过操作信息终端设备7311或信息终端设备7411,可以切换显示部7000的显示。

[0769] 此外,也可以在数字标牌7300或数字标牌7400上以信息终端设备7311或信息终端设备7411的屏幕为操作单元(控制器)执行游戏。由此,不特定多个使用者可以同时参加游戏,享受游戏的乐趣。

[0770] 图48E所示的信息终端7550包括框体7551、显示部7552、麦克风7557、扬声器部7554、摄像头7553及操作开关7555等。可以将根据本发明的一个方式的半导体装置用于显示部7552。显示部7552被用作触摸面板。另外,信息终端7550在框体7551的内侧具有天线、电池等。信息终端7550例如可以被用作智能手机、移动电话、平板信息终端、平板电脑或电子书阅读器终端等。

[0771] 图48F示出手表型信息终端的一个例子。信息终端7660包括框体7661、显示部7662、表带7663、带扣7664、操作开关7665、输入输出端子7666等。另外,信息终端7660在框体7661的内侧具有天线、电池等。信息终端7660可以执行移动电话、电子邮件、文章的阅读及编写、音乐播放、网络通信、电脑游戏等各种应用程序。

[0772] 显示部7662具备触摸传感器,可以用指头或触屏笔等触摸屏幕来进行操作。例如,通过触摸显示于显示部7662的图标7667,可以启动应用程序。操作开关7665除了时刻设定之外,还可以具有电源开关、无线通讯的开关、静音模式的设置及取消、省电模式的设置及取消等各种功能。例如,通过利用组装在信息终端7660中的操作系统,也可以设定操作开关7665的功能。

[0773] 便携式信息终端7660可以执行被通信标准化的近距离无线通信。例如,通过与可无线通讯的耳麦通信,可以进行免提通话。此外,信息终端7660具备输入输出端子7666,可以通过输入输出端子7666与其他信息终端发送和接收数据。另外,也可以通过输入输出端子7666进行充电。另外,充电操作也可以利用无线供电进行,而不通过输出输入端子7666。

[0774] 本实施方式所示的结构可以与其他实施方式及实施例等所示的结构适当地组合而实施。

[实施例]

[0775] 在本实施例中制造本发明的一个方式的晶体管且对其电特性进行评价。

[0776] 在本实施例中,作为样品制造图15A等所示的半导体装置30以及图19A等所示的半导体装置40。在半导体装置30之间使并联连接的晶体管100的个数(p)不同。在半导体装置40之间使串联连接的晶体管100的个数(q)不同。另外,还制造串并联连接晶体管而成的半导体装置。

[0777] 串联连接、并联连接或串并联连接的各晶体管100的开口141及开口143的顶面形状呈圆形。开口143的宽度D143大约为2 μ m。

[0778] <样品的制造>

首先,利用溅射法在衬底102上形成厚度大约为100nm的钛膜以及钛膜上的厚度大约为50nm的In-Sn-Si氧化物(ITSO)膜,对其进行加工而形成导电层112a。作为衬底102使用

玻璃衬底。

[0779] 接着,作为绝缘膜110af形成厚度大约为150nm的氮化硅膜,作为绝缘膜110bf形成厚度大约为500nm的氧氮化硅膜。

[0780] 接着,在绝缘膜110bf上作为金属氧化物层149形成厚度大约为20nm的金属氧化物层。该金属氧化物层利用使用金属元素的原子数比为In:Ga:Zn=1:1:1的IGZO溅射靶材的溅射法形成。

[0781] 接着,在干燥空气气氛中以250℃进行1小时的加热处理。在加热处理中使用烘箱装置。

[0782] 接着,去除金属氧化物层149。金属氧化物层149的去除利用湿蚀刻法。

[0783] 接着,在绝缘膜110bf上作为绝缘膜110cf形成厚度大约为170nm的氮化硅膜。

[0784] 接着,利用溅射法在绝缘膜110bf上作为导电膜112f形成厚度大约为100nm的In-Sn-Si氧化物(ITSO)膜。

[0785] 接着,加工导电膜112f得到导电层112B。

[0786] 接着,在去除与导电层112a重叠的区域的导电层112B且形成包括开口143的导电层112b的同时,去除与导电层112a重叠的区域的绝缘膜110af、绝缘膜110bf及绝缘膜110cf,形成包括开口141的绝缘层110。导电层112B的去除利用湿蚀刻法。绝缘膜110af、绝缘膜110bf及绝缘膜110cf的去除利用干蚀刻法。

[0787] 接着,以覆盖开口141及开口143的方式作为金属氧化物膜108f形成厚度大约为20nm的金属氧化物膜。金属氧化物膜利用使用金属元素的原子数比为In:Ga:Zn=1:1:1的IGZO溅射靶材的溅射法形成。

[0788] 接着,在干燥空气气氛中以350℃进行1小时的加热处理。加热处理中利用烘箱装置。

[0789] 接着,加工金属氧化物膜108f得到半导体层108。

[0790] 接着,作为绝缘层106利用等离子体CVD法沉积厚度大约为50nm的氧氮化硅膜。

[0791] 接着,利用溅射法沉积厚度大约为50nm的钛膜、厚度大约为200nm的铝膜及厚度大约为50nm的钛膜。然后,加工各导电膜得到导电层104。

[0792] 由此,形成晶体管。

[0793] 接着,作为晶体管的保护层利用等离子体CVD法形成厚度大约为300nm的氮氧化硅膜。

[0794] 接着,在干燥空气气氛中以300℃进行1小时的加热处理。加热处理中利用烘箱装置。

[0795] 接着,形成厚度大约为1.5μm的聚酰亚胺膜。

[0796] 接着,在氮气氛中以250℃进行1小时的加热处理。加热处理中利用烘箱装置。

[0797] 通过上述工序得到样品。

[0798] <晶体管的电特性1>

接着,测量上面制造的样品的晶体管的Id-Vg特性。

[0799] 晶体管的Id-Vg特性在如下条件下测量:施加到栅电极的电压(以下也称为栅极电压(Vg))以从-3V到+3V每隔0.1V的方式施加。此外,将施加到源电极的电压(以下也称为源极电压(Vs))设定为0V(comm)。将施加到漏电极的电压(以下也称为漏极电压(Vd))设定为

1V、2V、3V、5V、10V及15V。漏极电流 (I_d) 的测量下限大约为 $1 \times 10^{-13} \text{A}$ 。

[0800] 图49A示出并联连接的个数(以下,记载为并联级数)为1、使串联连接的个数(以下,记载为串联级数)不同且栅极电压 (V_g) 为0V时的漏极电流 (I_d) (以下,记载为 I_{cut})。在图49A中,横轴表示串联级数,纵轴表示 I_{cut} 。在图49A中,以虚线表示测量下限。如图49A所示,可以确认到在串联级数为2级以上时 I_{cut} 变小。另外,可以确认到即使设定高漏极电压 (V_d) 即为15V, I_{cut} 也是测量下限的 $1 \times 10^{-13} \text{A}$ 左右。

[0801] 图49B示出并联级数为10且使串联级数不同时的 I_{cut} 。在图49B中,横轴表示串联级数,纵轴表示 I_{cut} 。如图49B所示,可以确认到即使增加并联级数,也通过将串联级数设定为2级以上, I_{cut} 变小。另外,可以确认到即使设定高漏极电压 (V_d) 即为15V, I_{cut} 也是测量下限的 $1 \times 10^{-13} \text{A}$ 左右。

[0802] <晶体管的电特性2>

对上述样品的施加高漏极电压 (V_d) 前后的 I_d - V_g 特性的变化进行评价。具体而言,首先对第一次 I_d - V_g 特性进行测量,然后将栅极电压 (V_g) 设定为0V,将漏极电压 (V_d) 从0V扫描到15V,然后对第二次 I_d - V_g 特性进行测量。在 I_d - V_g 特性的测量中,以从-3V到+3V每隔0.1V的方式施加栅极电压 (V_g)。另外,将源极电压 (V_s) 设定为0V(comm),将漏极电压 (V_d) 设定为0.1V及1.2V。

[0803] 图50A示出串联级数为1且并联级数为1时的 I_d - V_g 特性。图50B示出串联级数为2且并联级数为1时的 I_d - V_g 特性。在图50A及图50B中,横轴表示栅极电压 (V_g),纵轴表示漏极电流 (I_d)。另外,以实线表示第一次 I_d - V_g 特性,以虚线表示第二次 I_d - V_g 特性。

[0804] 如图50A所示,确认到在串联级数为1时 I_d - V_g 特性发生变化。可认为:如上所述,串联级数为1的情况下的 I_{cut} 比串联级数为2的情况高,因此在栅极电压 (V_g) 为0V的状态下施加高漏极电压 (V_d) 时,产生热载流子退化而 I_d - V_g 特性发生变化。另一方面,如图50B所示,可以确认到在串联级数为2时 I_d - V_g 特性几乎没有发生变化。可认为:如上所述,在串联级数为2时 I_{cut} 较低,因此热载流子退化被抑制,呈现高可靠性。

[0805] <晶体管的电特性3>

对上述样品进行晶体管的 I_d - V_g 特性的测量,评价通态电流。

[0806] 在晶体管的 I_d - V_g 特性的测量中,以从-3V到+3V每隔0.1V的方式施加栅极电压 (V_g)。另外,将源极电压 (V_s) 设定为0V(comm),将漏极电压 (V_d) 设定为1.2V。

[0807] 图51A示出栅极电压 (V_g) 为3V时的漏极电流 (I_d)。在图51A中,横轴表示串联级数,纵轴表示漏极电流 (I_d)。另外,图51B示出串联级数与漏极电流 (I_d) 的倒数之间的相关。在图51B中,横轴表示串联级数,纵轴表示漏极电流 (I_d) 的倒数。

[0808] 如图51A及图51B所示,可以确认到串联级数越多通态电流越小,且通态电流的倒数与串联级数成正比。另外,可以确认到通过增加并联级数,通态电流变大。

[0809] 如上所述,在本实施例中,可以确认到通过使串联连接、并联连接或串并联连接的晶体管的连接级数不同,使电特性及可靠性不同。由此可以确认到,可以根据晶体管被要求的电特性及可靠性,选择连接方法及连接级数。

[符号说明]

[0810] ANO:布线、C31:电容器、C41:电容器、GL:布线、INV:反相器电路、LAT:锁存电路、LIN:端子、ROUT:端子、SL:布线、SMP:端子、Tr31:晶体管、Tr33:晶体管、Tr35:晶体管、Tr36:

晶体管、Tr41:晶体管、Tr43:晶体管、Tr45:晶体管、Tr47:晶体管、VCOM:布线、10A:半导体装置、10B:半导体装置、10C:半导体装置、10:半导体装置、20:半导体装置、30:半导体装置、40:半导体装置、50A:显示装置、50:显示装置、51:像素电路、52A:晶体管、52B:晶体管、53:电容器、61B:发光器件、61G:发光器件、61R:发光器件、61:发光器件、100_1:晶体管、100_2:晶体管、100_3:晶体管、100_4:晶体管、100_p:晶体管、100_q:晶体管、100A:晶体管、100:晶体管、101:衬底、102:衬底、104:导电层、106:绝缘层、108_1:半导体层、108_2:半导体层、108_3:半导体层、108_4:半导体层、108f:金属氧化物膜、108:半导体层、110a:绝缘层、110af:绝缘膜、110b:绝缘层、110bf:绝缘膜、110c:绝缘层、110cf:绝缘膜、110f:绝缘膜、110:绝缘层、111B:像素电极、111G:像素电极、111R:像素电极、111:像素电极、112a:导电层、112a_1:导电层、112a_2:导电层、112a_2A:导电层、112B:导电层、112b:导电层、112c:导电层、112f:导电膜、113B:层、113G:层、113R:层、113:层、114:公共层、115:公共电极、117:遮光层、118B:掩模层、118G:掩模层、118R:掩模层、118:掩模层、119B:掩模层、119G:掩模层、119R:掩模层、119:掩模层、123:导电层、124B:导电层、124G:导电层、124p:导电层、124q:导电层、124R:导电层、125:绝缘层、126B:导电层、126G:导电层、126p:导电层、126q:导电层、126R:导电层、127:绝缘层、128:层、129B:导电层、129G:导电层、129p:导电层、129q:导电层、129R:导电层、130B:发光器件、130G:发光器件、130R:发光器件、130:发光器件、131:保护层、140:连接部、141_1:开口、141_2:开口、141_3:开口、141_4:开口、141:开口、142:粘合层、143_1:开口、143_2:开口、143_3:开口、143_4:开口、143:开口、145_1:开口、145_2:开口、145_3:开口、145_4:开口、145:开口、149:金属氧化物层、152:衬底、153:绝缘层、165:布线、166:导电层、172:FPC、173:IC、195:绝缘层、197:绝缘层、200A:晶体管、200:晶体管、201:晶体管、204:导电层、205G:晶体管、205R:晶体管、206:绝缘层、208f:金属氧化物膜、208:半导体层、210a:绝缘层、210af:绝缘膜、210b:绝缘层、210bf:绝缘膜、210c:绝缘层、210cf:绝缘膜、210f:绝缘膜、210:绝缘层、212a:导电层、212a_1:导电层、212a_2:导电层、212B:导电层、212b:导电层、212f:导电膜、214:连接部、230a:像素、230b:像素、230c:像素、230d:像素、230e:像素、230:像素、231:第一驱动电路部、232:第二驱动电路部、233:外围驱动电路、235:显示部、236:布线、237:布线、239:绝缘层、240A:像素、240B:像素、240:像素、241:开口、242:连接层、243:开口、249:金属氧化物层、311C:连接电极、311G:像素电极、311R:像素电极、311:像素电极、312B:有机层、312G:有机层、312R:有机层、313:公共电极、314:有机层、321:保护层、325:绝缘层、326:树脂层、330:连接部、331:绝缘层、761:下部电极、762:上部电极、763a:发光单元、763b:发光单元、763c:发光单元、763:EL层、764:层、771a:发光层、771b:发光层、771c:发光层、771:发光层、772a:发光层、772b:发光层、772c:发光层、772:发光层、773:发光层、780a:层、780b:层、780c:层、780:层、781:层、782:层、785:电荷产生层、790a:层、790b:层、790c:层、790:层、791:层、792:层、7000:显示部、7100:电视装置、7101:外壳、7103:支架、7111:遥控操作机、7200:笔记型个人计算机、7211:外壳、7212:键盘、7213:指向装置、7214:外部连接端口、7300:数字标牌、7301:外壳、7303:扬声器、7311:信息终端设备、7400:数字标牌、7401:柱子、7411:信息终端设备、7550:信息终端、7551:框体、7552:显示部、7553:摄像头、7554:扬声器部、7555:操作开关、7557:麦克风、7660:信息终端、7661:框体、7662:显示部、7663:表带、7664:带扣、7665:操作开关、7666:输入输出端子、7667:图标、8000:照相机、8001:框体、8002:显示部、8003:操作按钮、

8004:快门按钮、8006:镜头、8100:取景器、8101:框体、8102:显示部、8103:按钮、8200:头戴显示器、8201:安装部、8202:透镜、8203:主体、8204:显示部、8205:电缆、8206:电池、8300:头戴显示器、8301:框体、8302:显示部、8304:固定工具、8305:透镜、8400:头戴显示器、8401:框体、8402:安装部、8403:缓冲构件、8404:显示部、8405:透镜

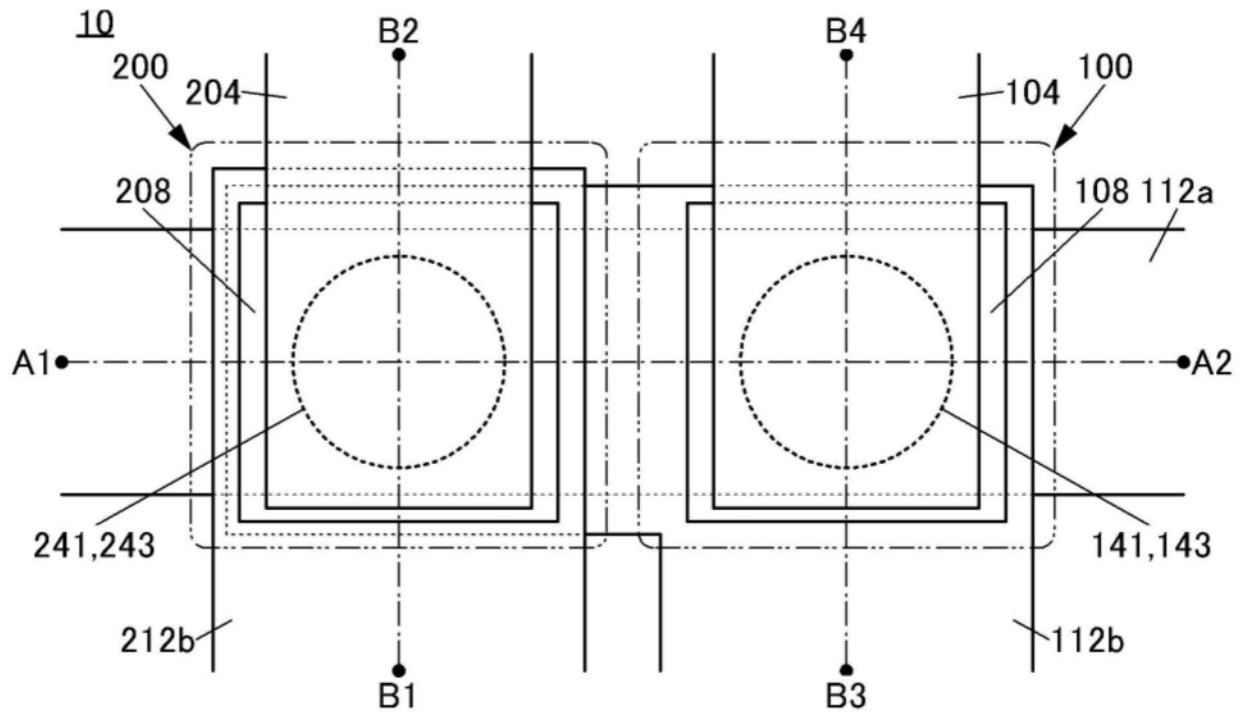


图1A

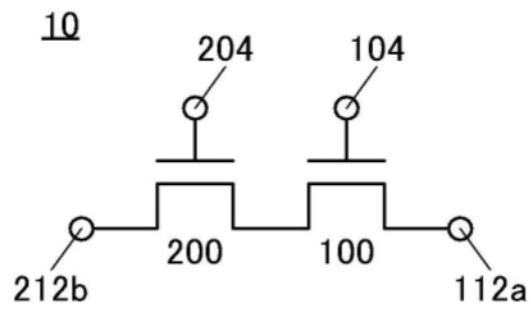


图1B

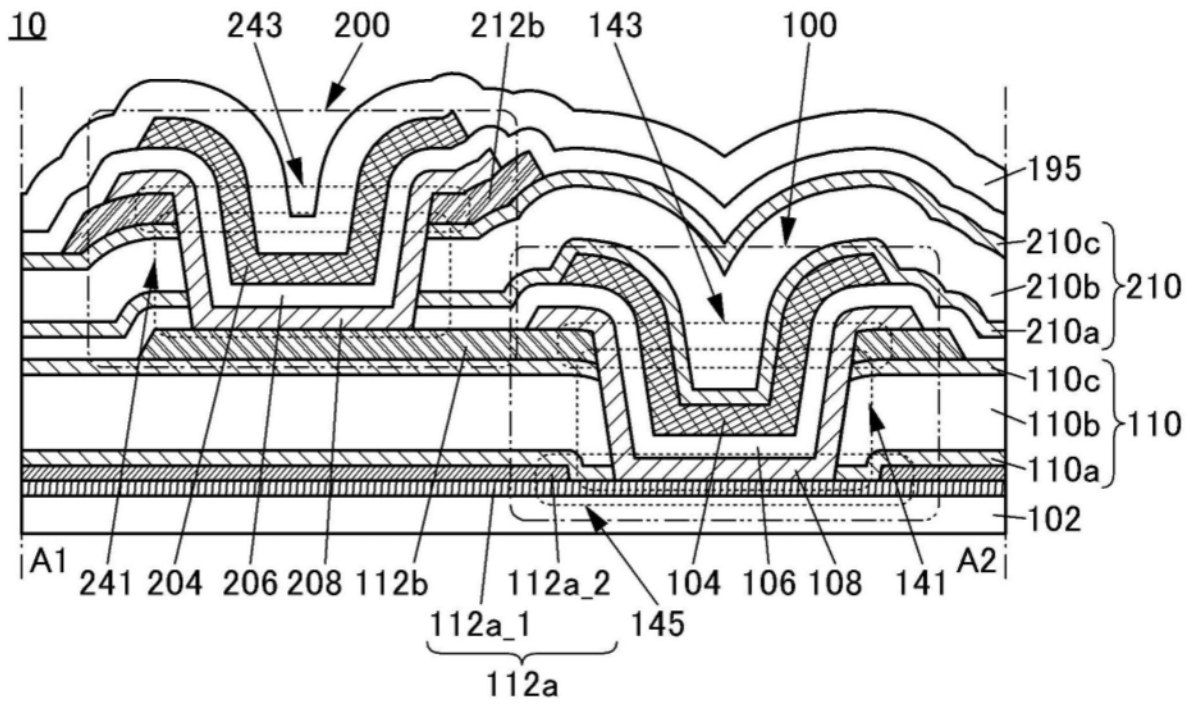


图1C

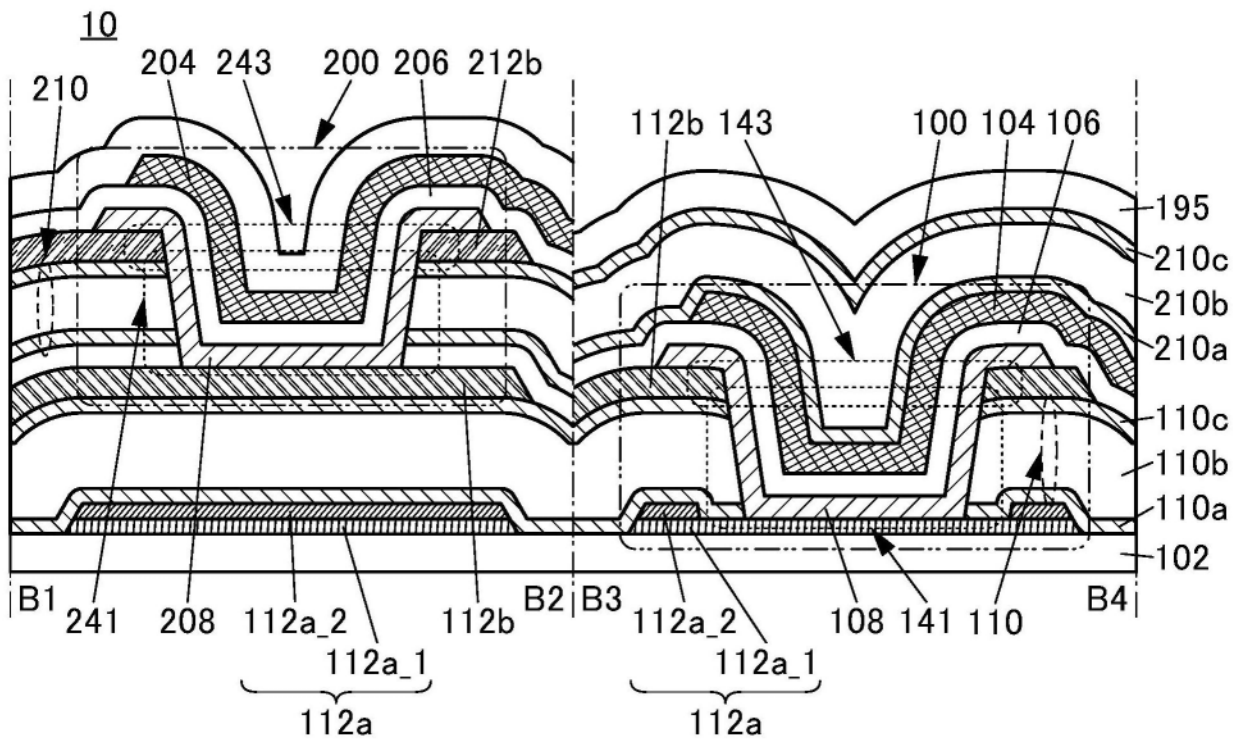


图2A

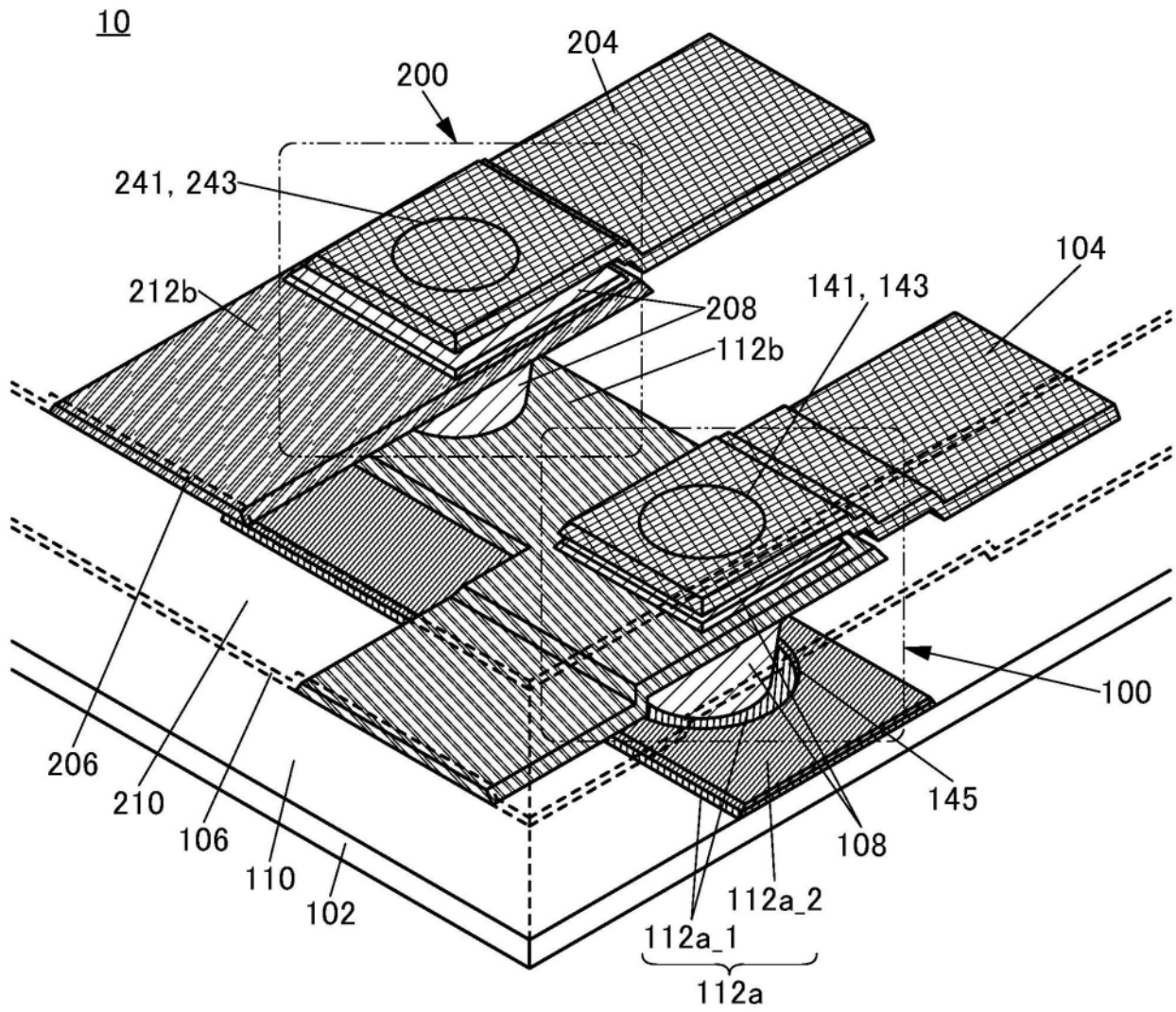


图2B

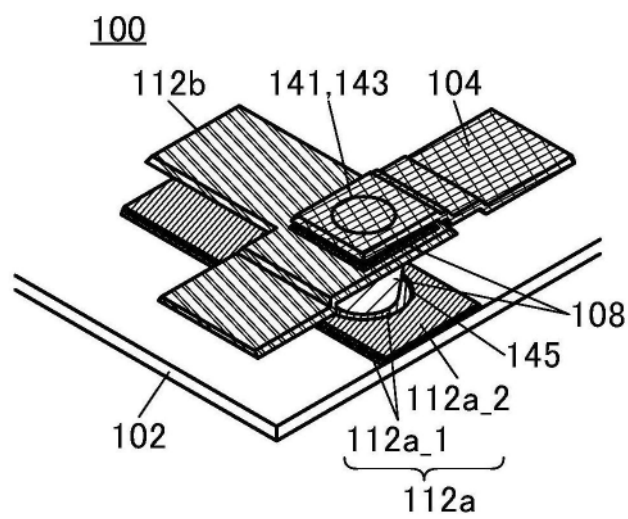


图3A

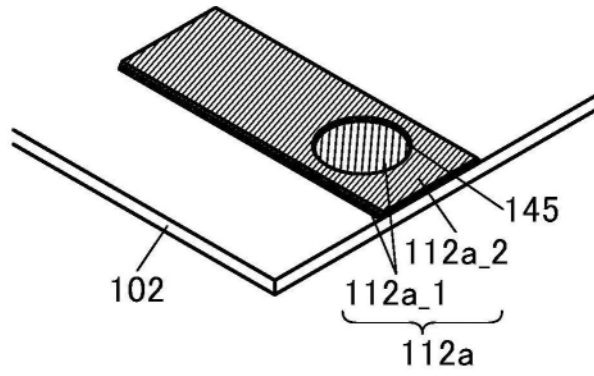


图3B

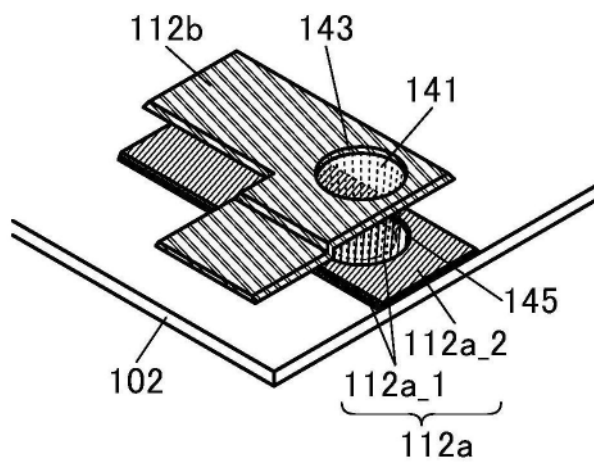


图3C

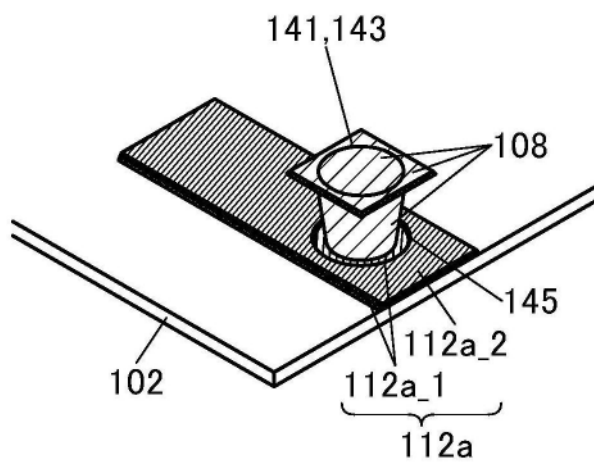


图3D

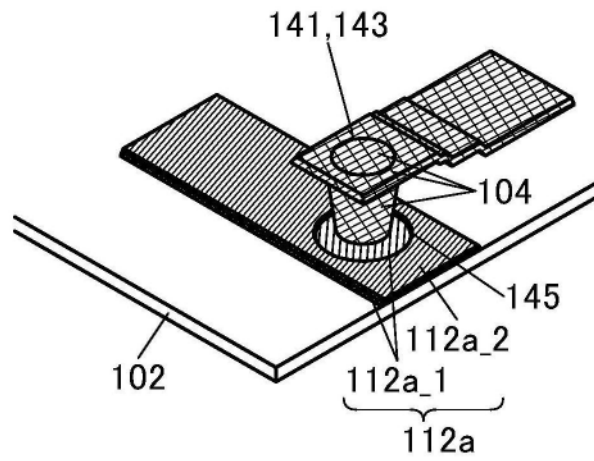


图3E

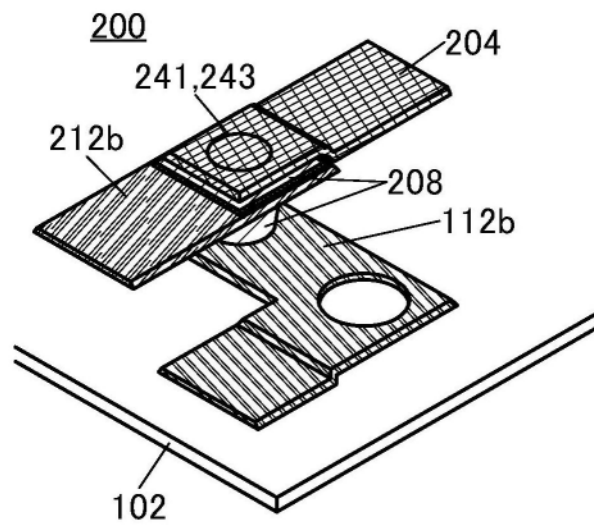


图4A

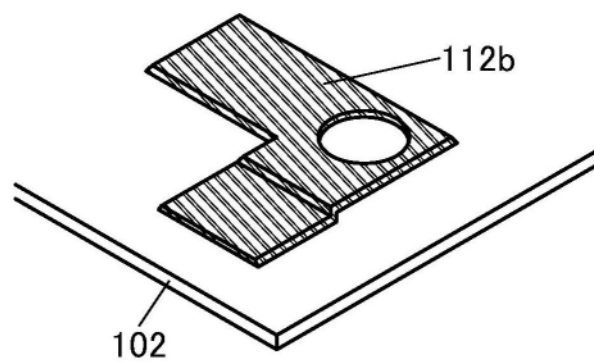


图4B

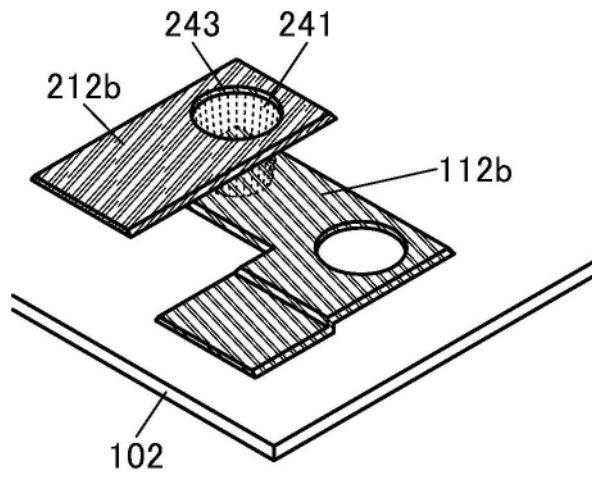


图4C

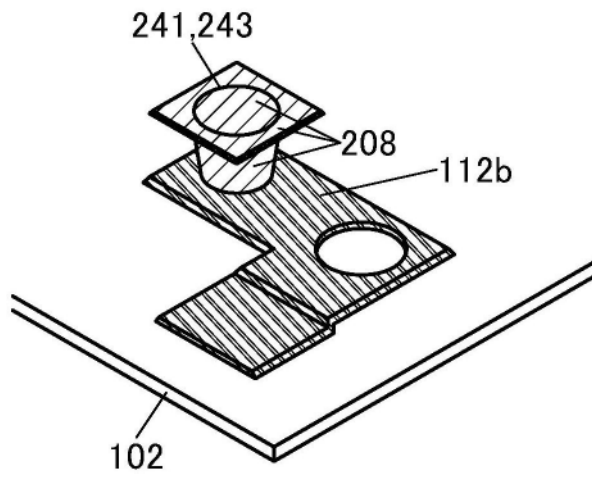


图4D

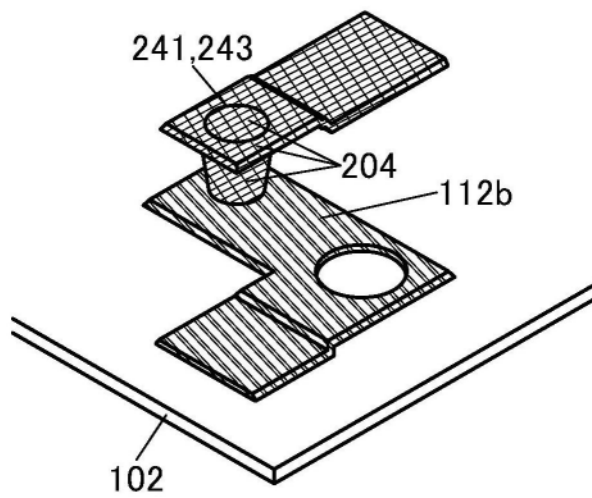


图4E

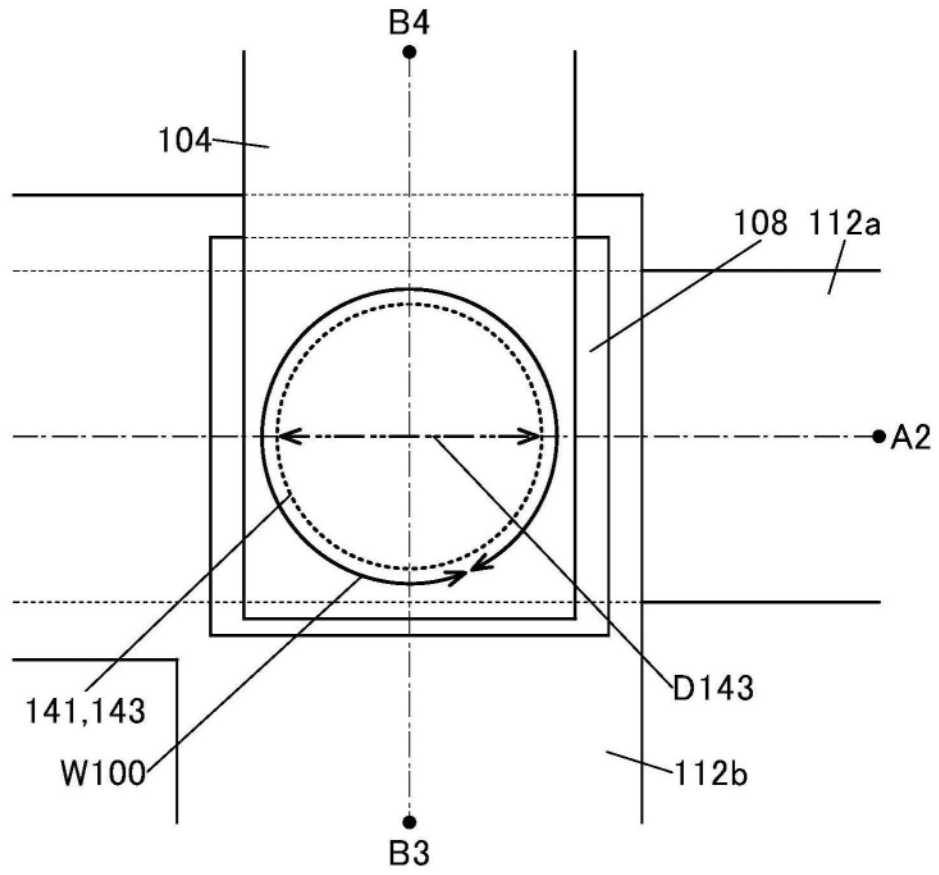
100

图5A

100

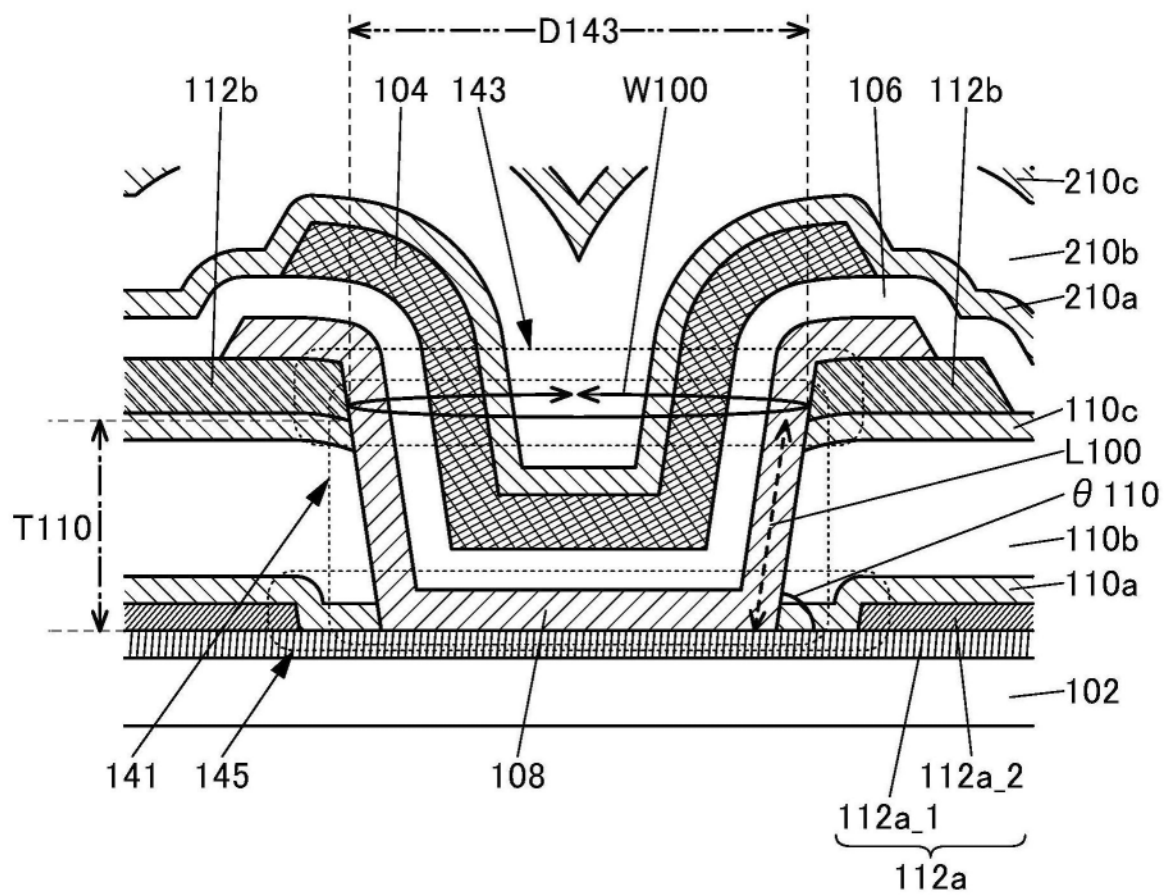


图5B

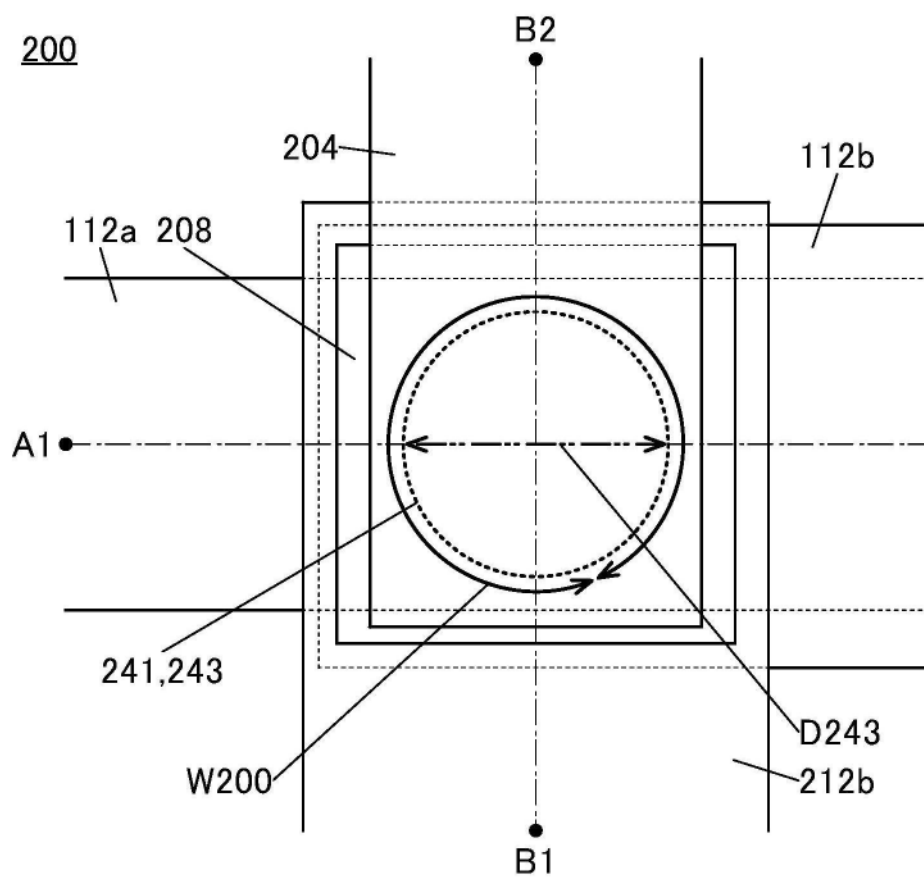


图6A

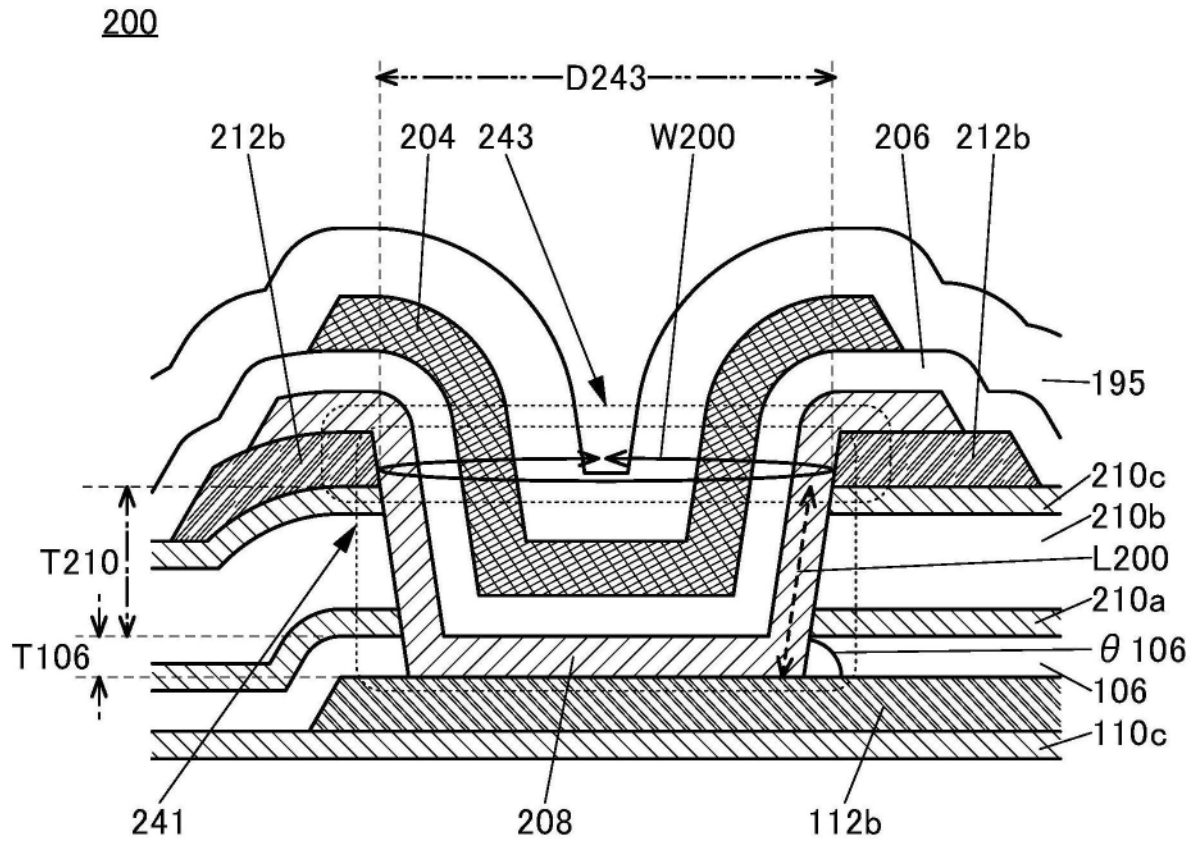


图6B

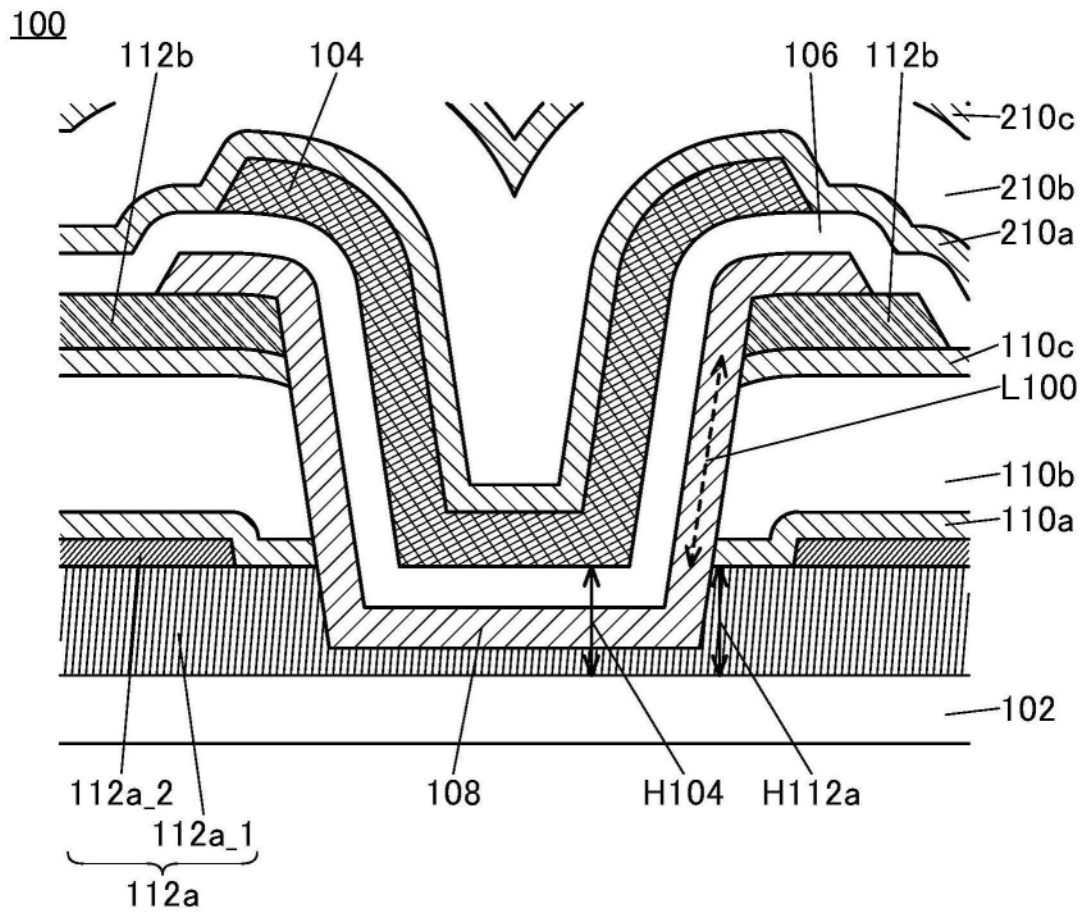


图7A

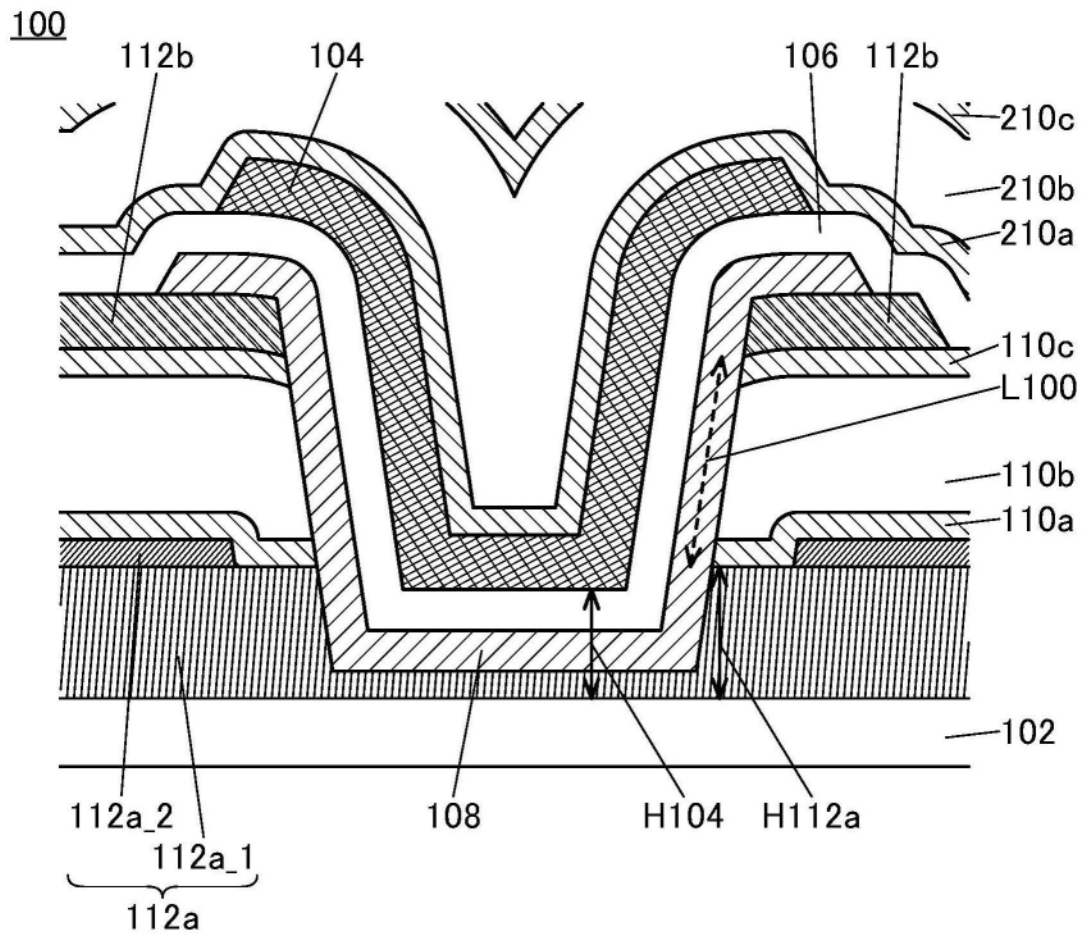


图7B

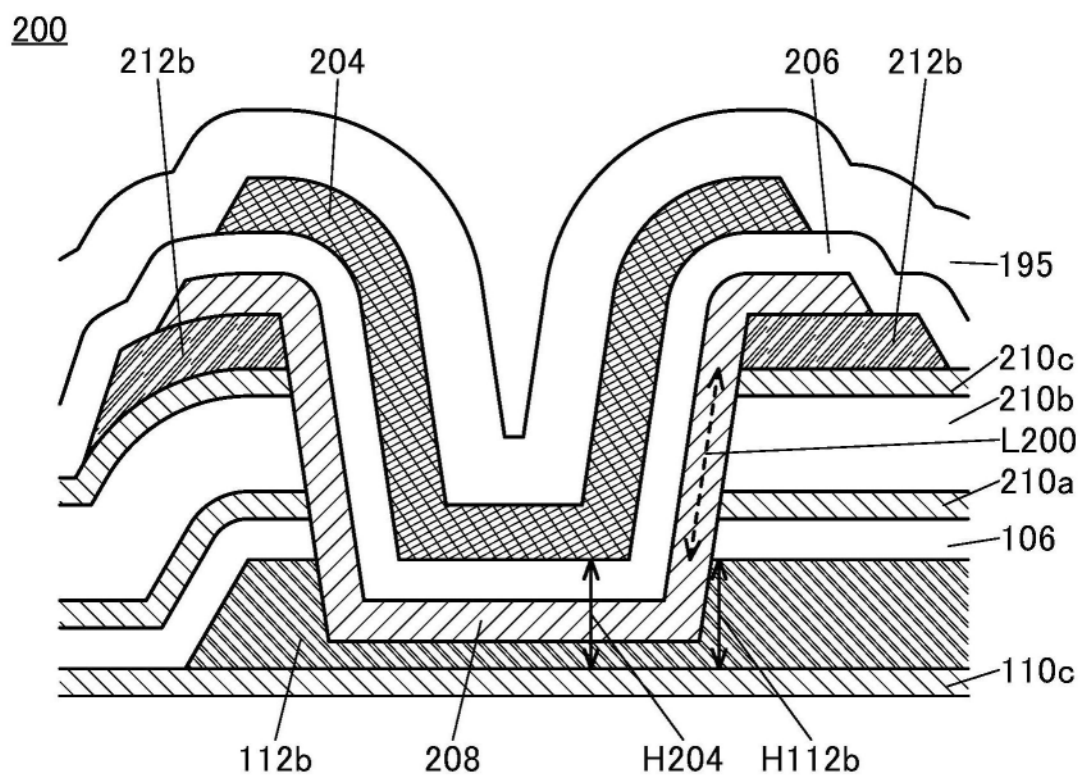


图8A

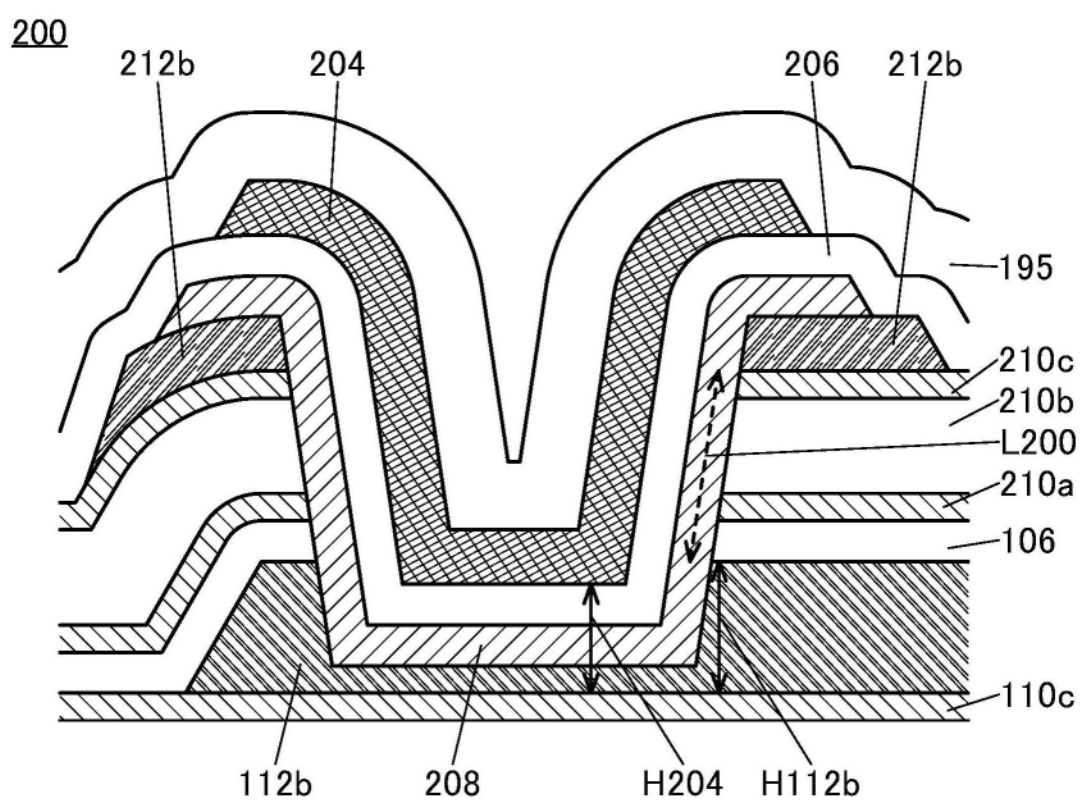


图8B

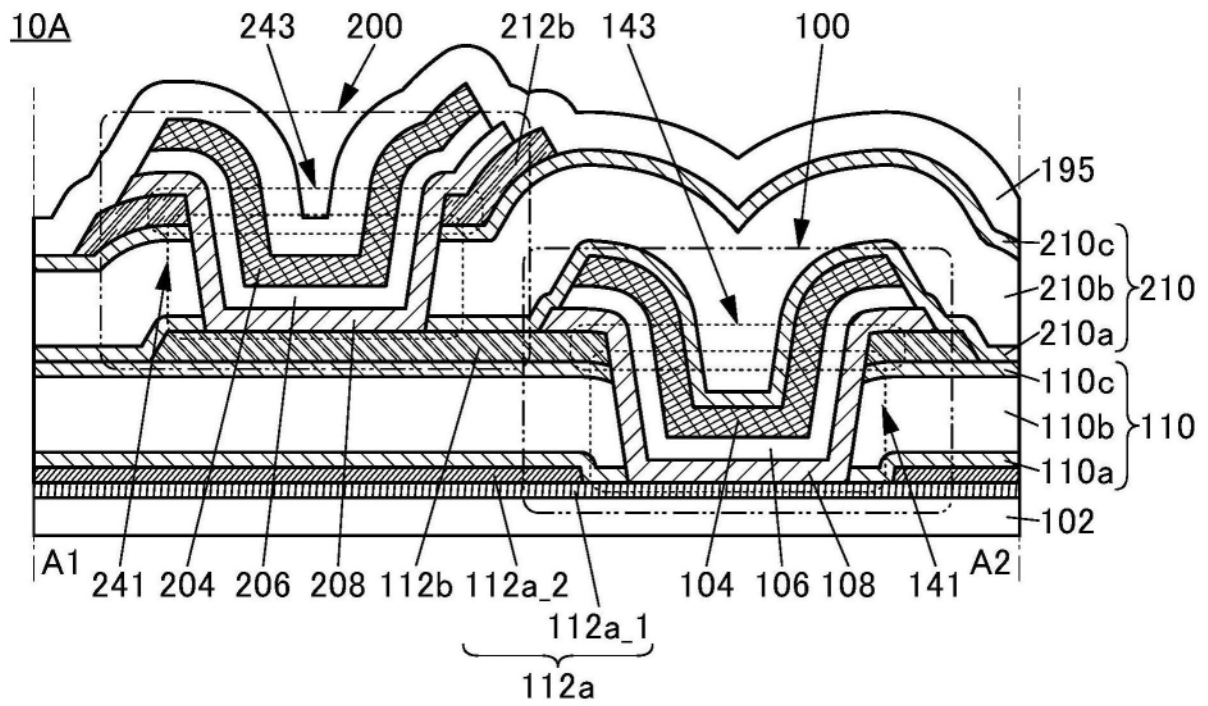


图9A

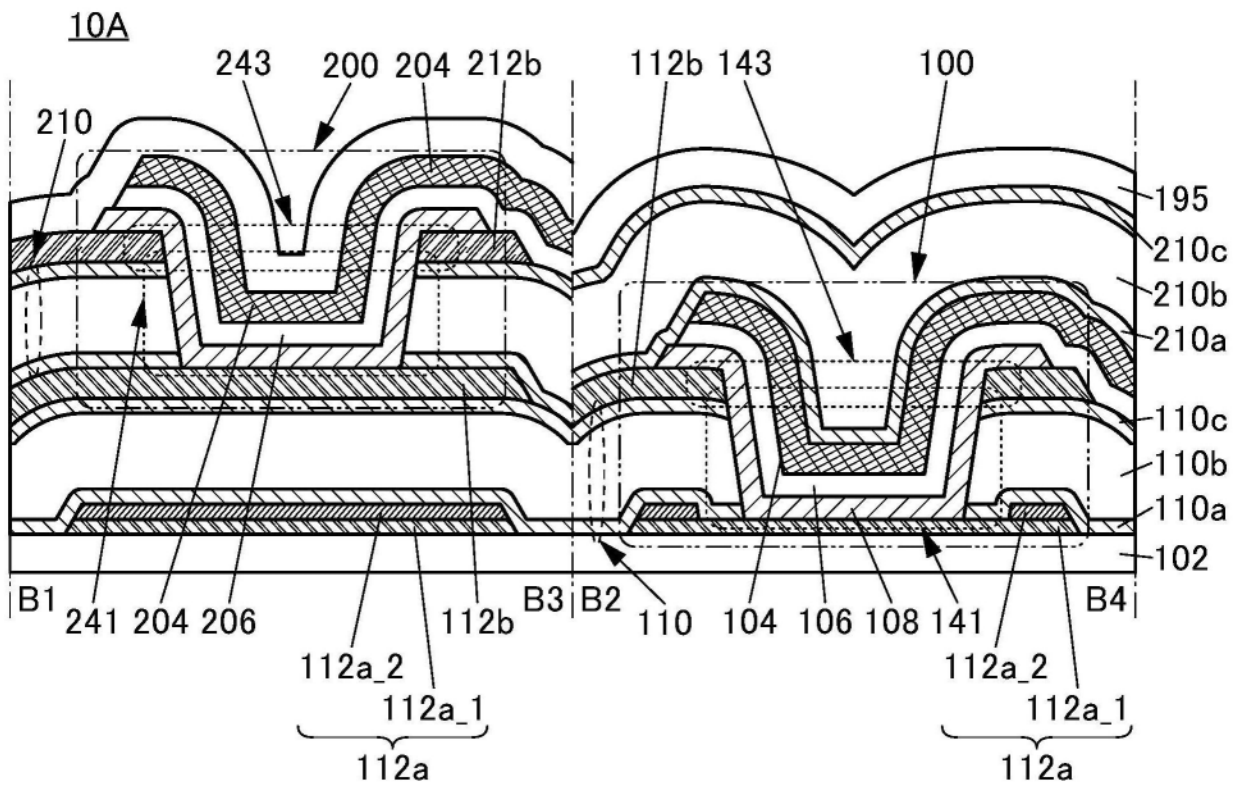


图9B

200

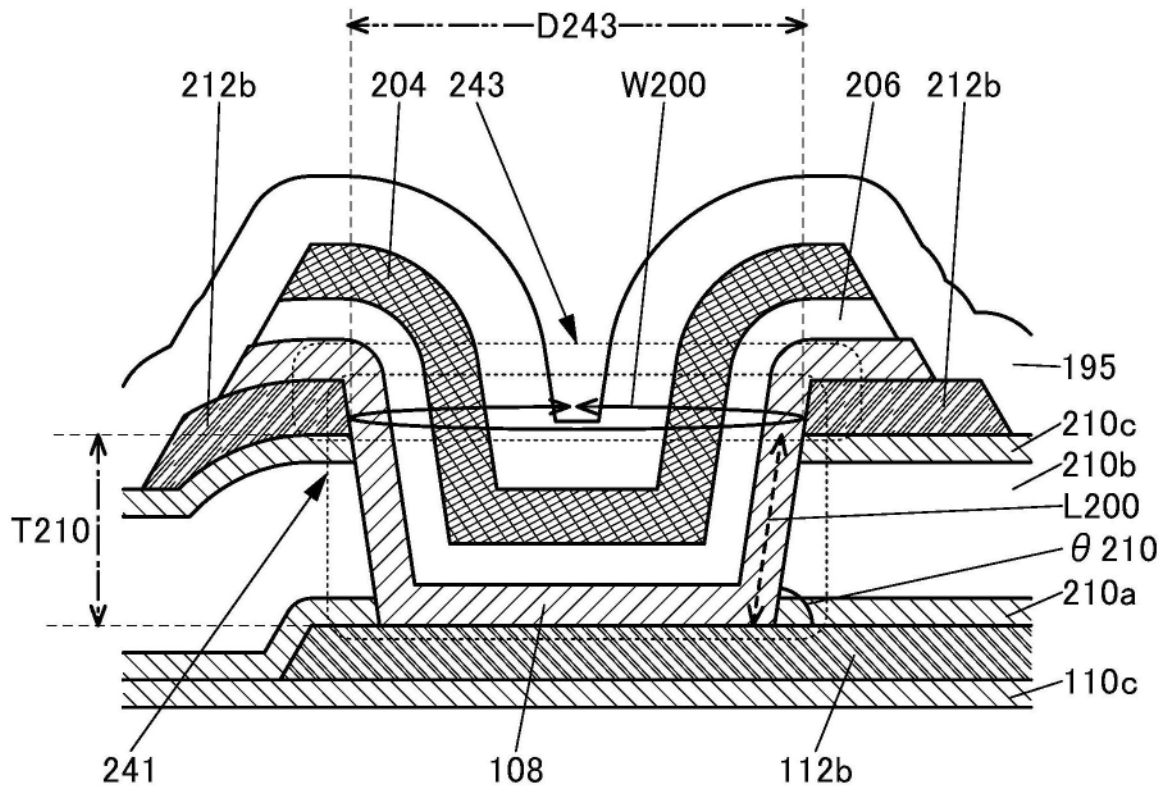


图10

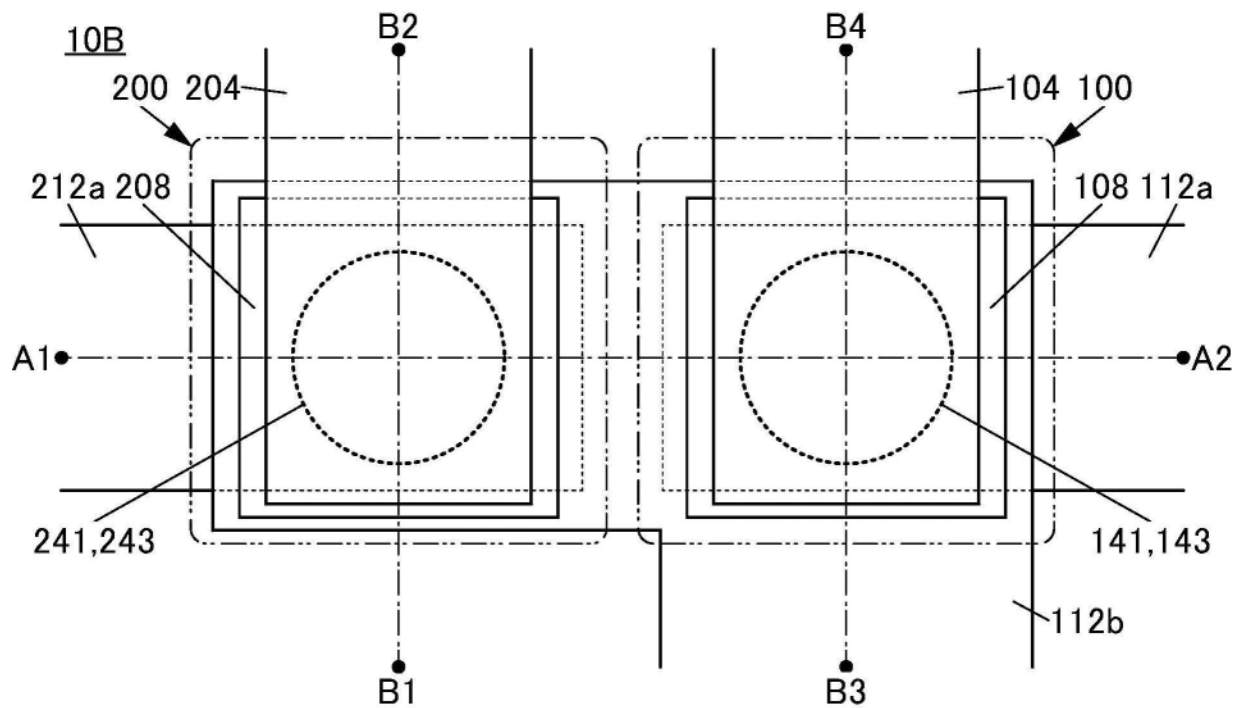


图11A

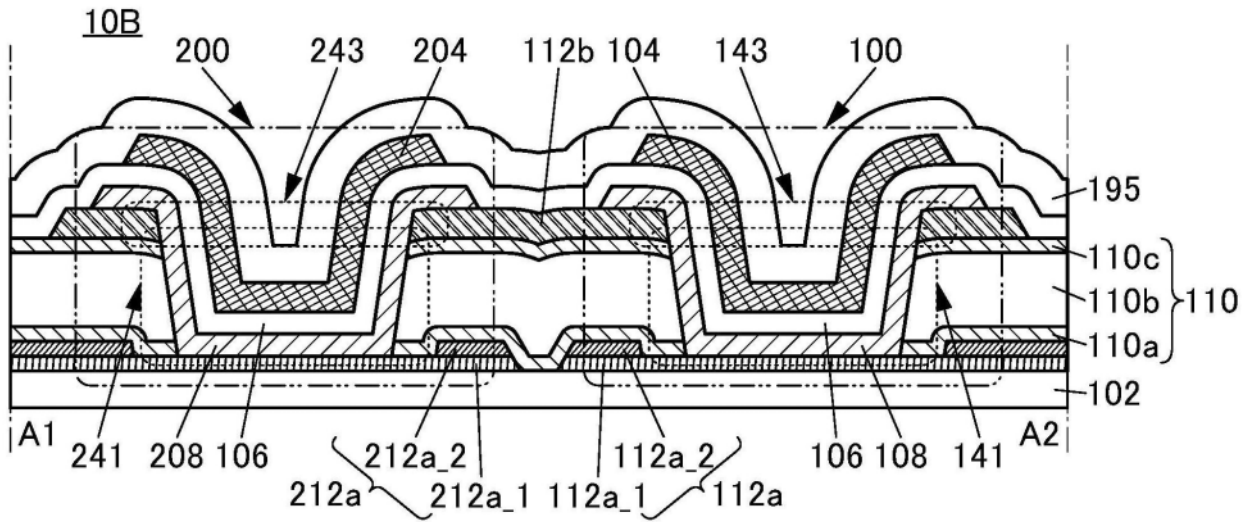


图11B

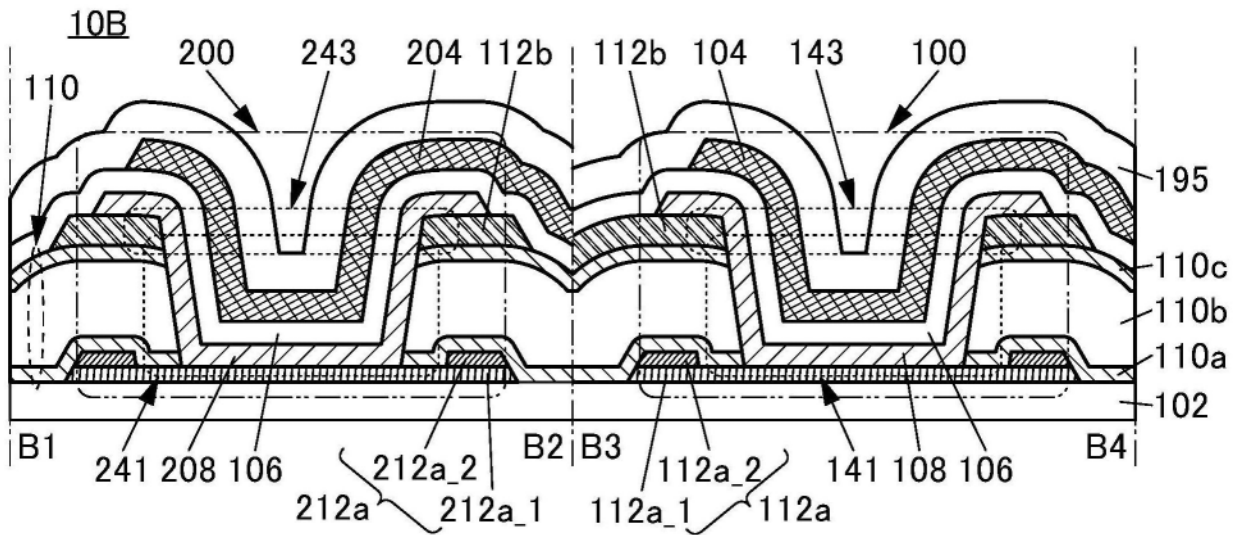


图11C

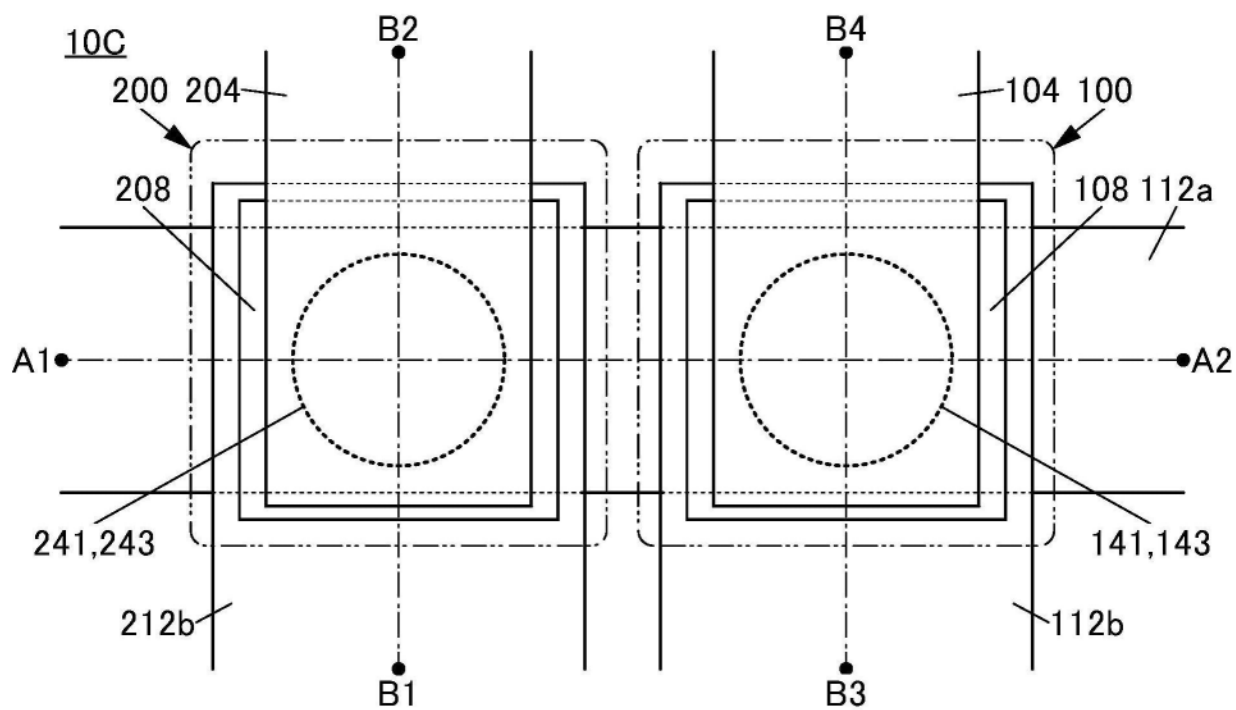


图12A

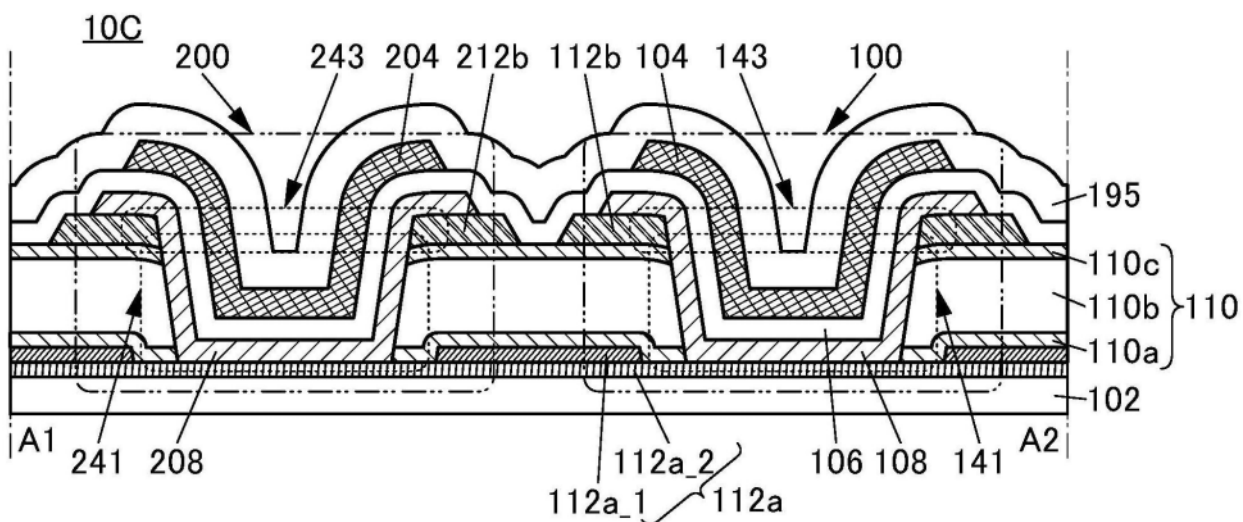


图12B

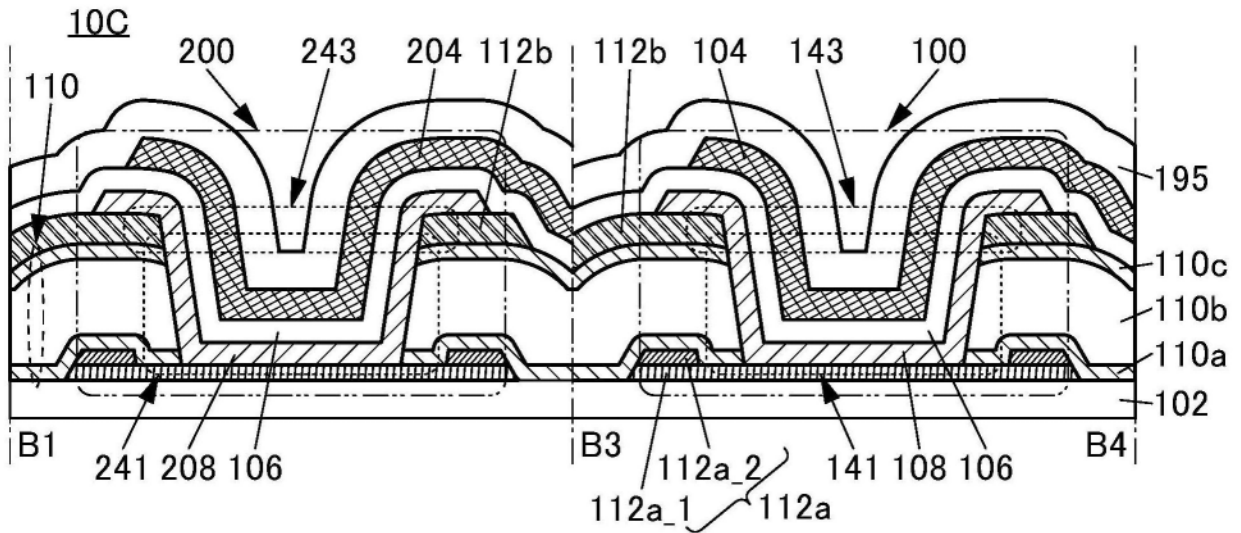


图12C

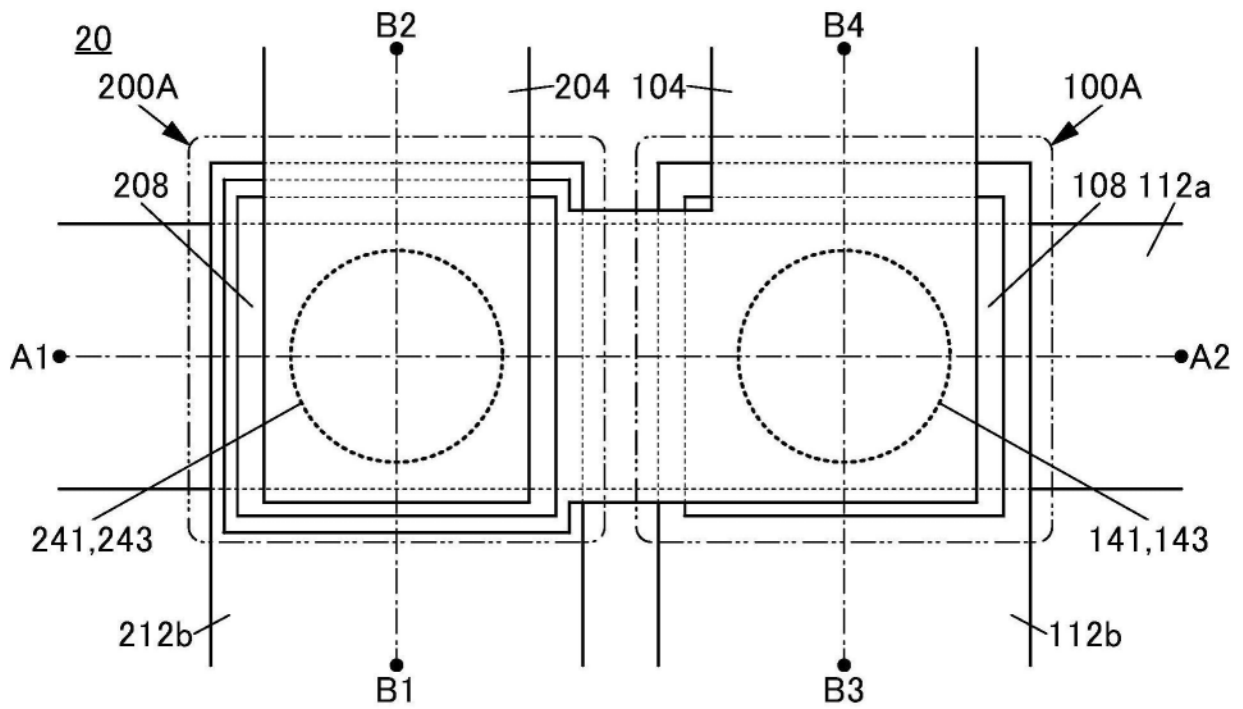


图13A

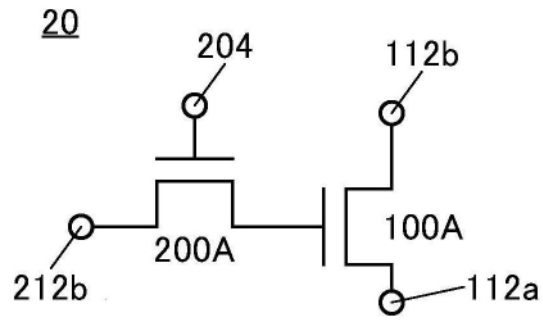


图13B

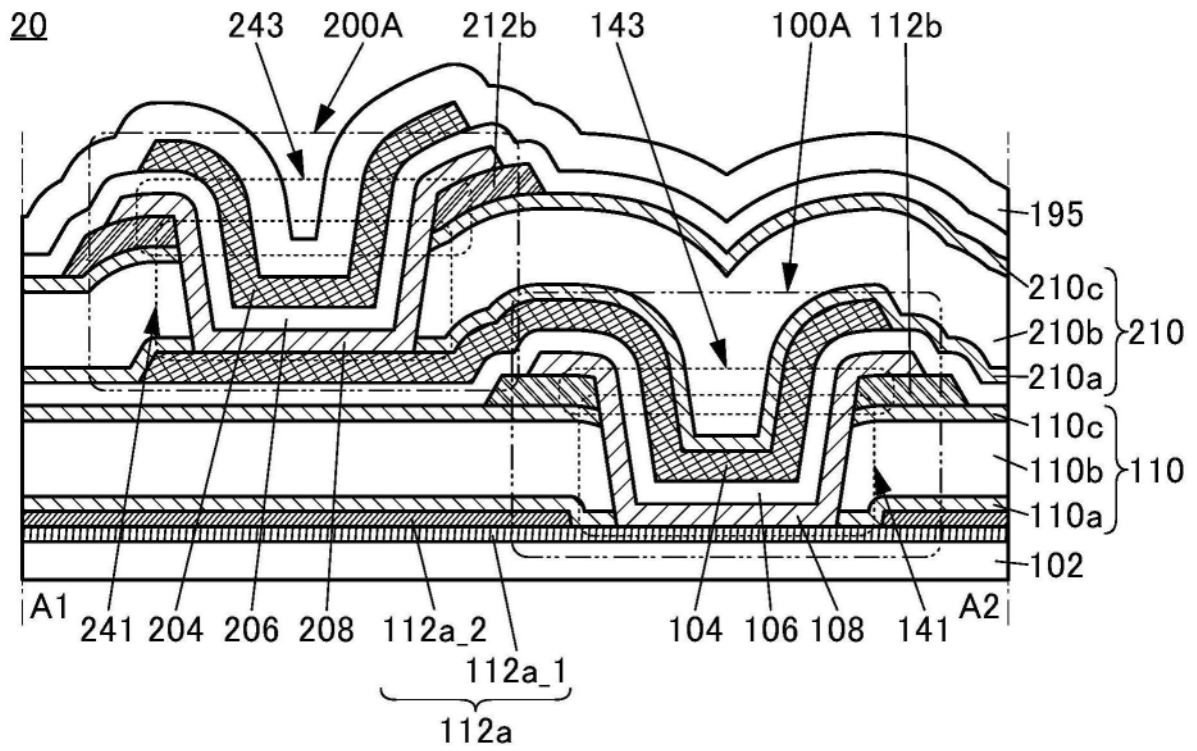


图13C

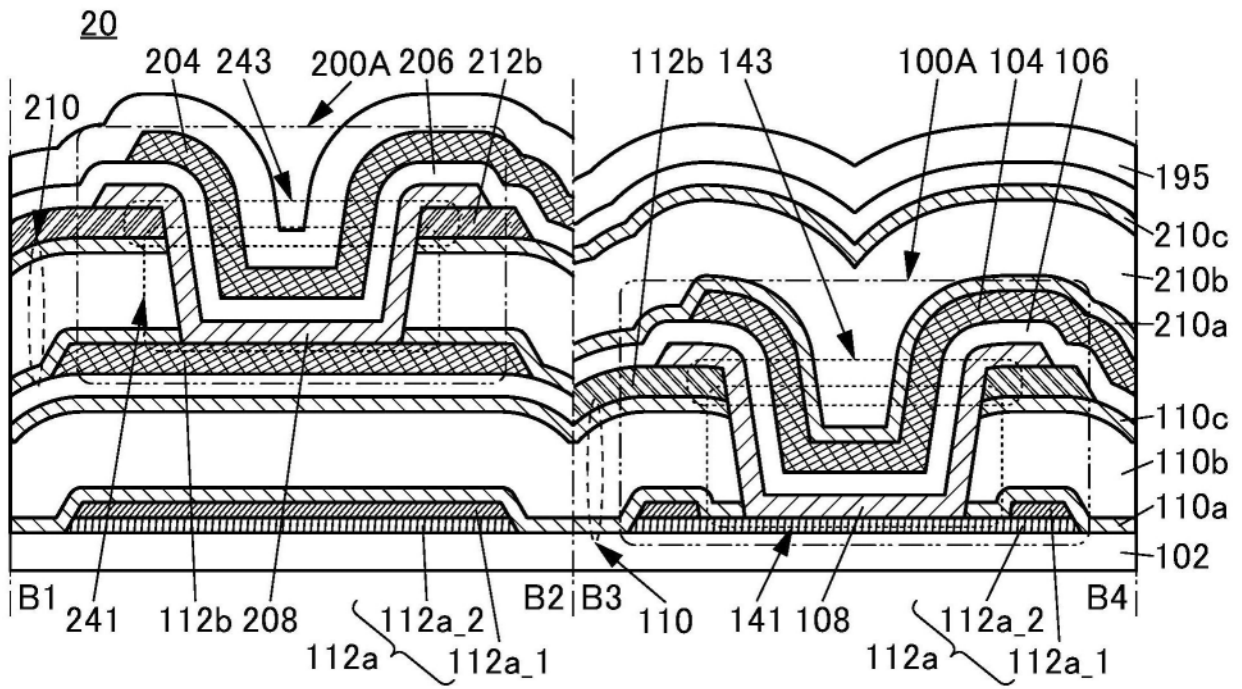


图14

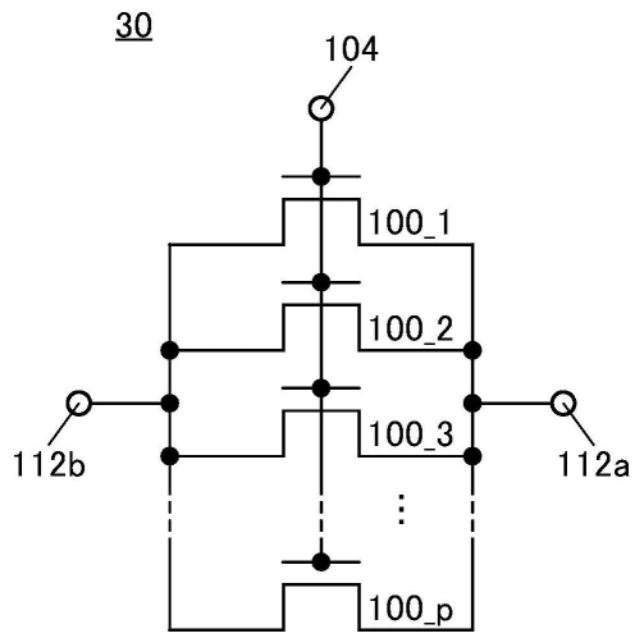


图15A

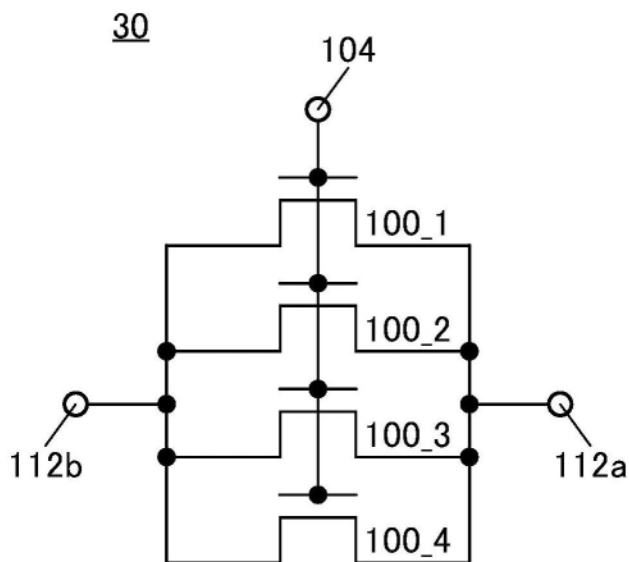


图15B

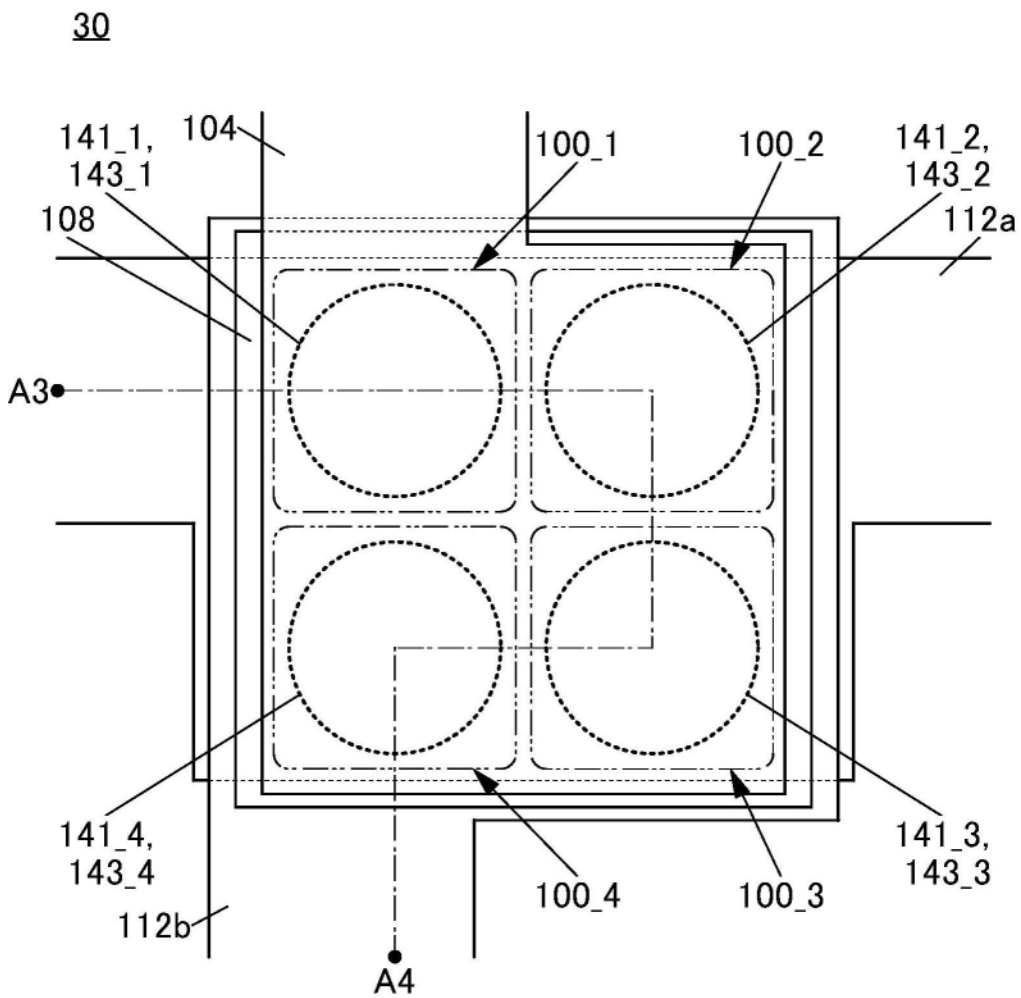


图15C

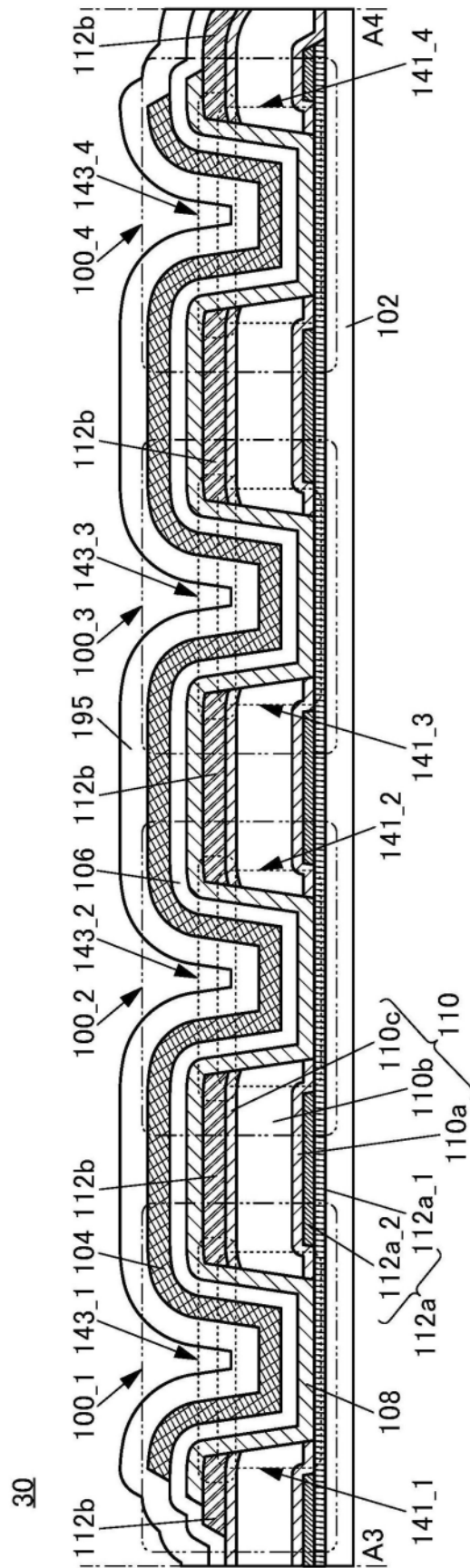


图16

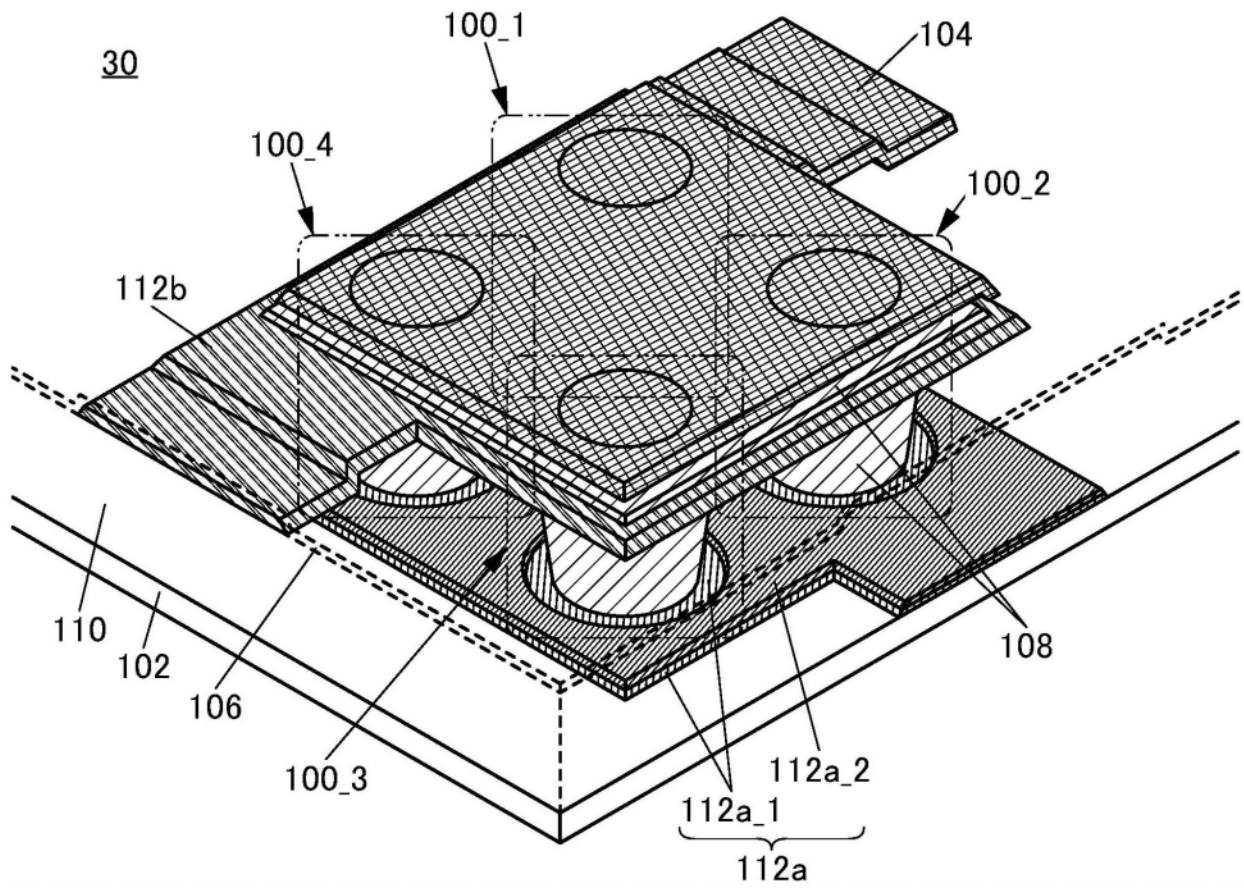


图17

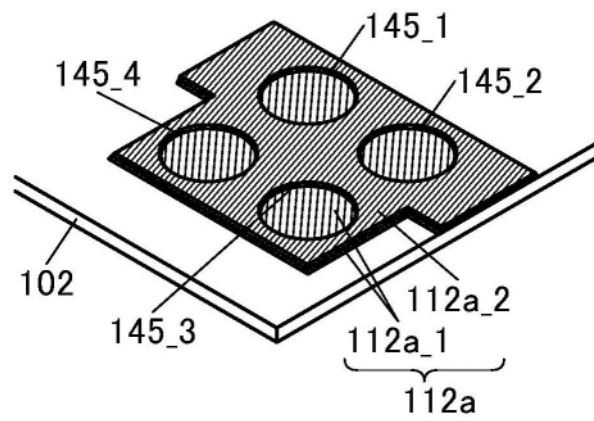


图18A

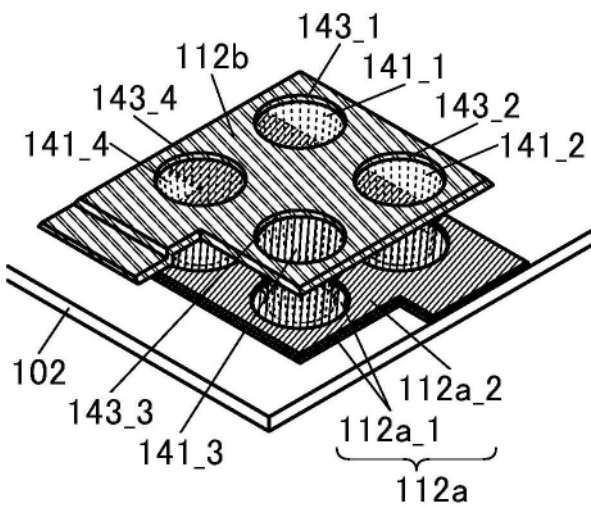


图18B

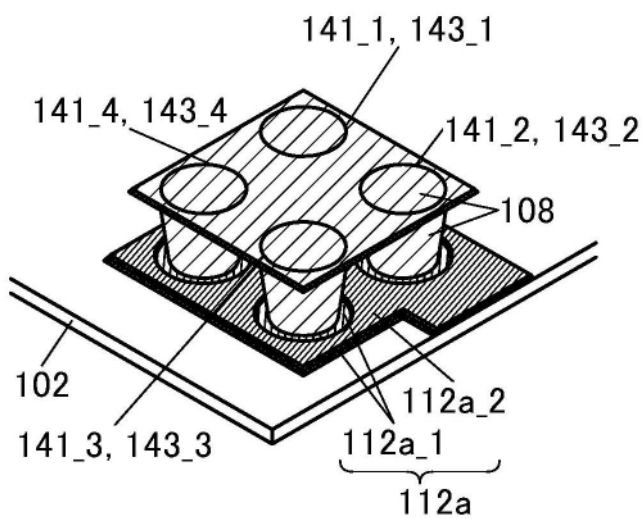


图18C

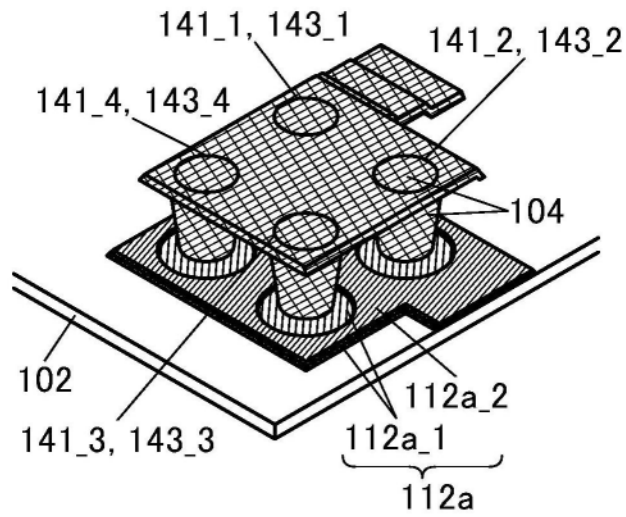


图18D

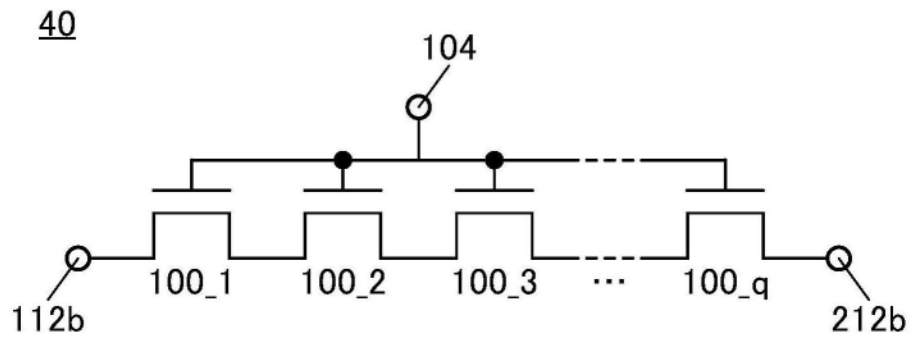


图19A

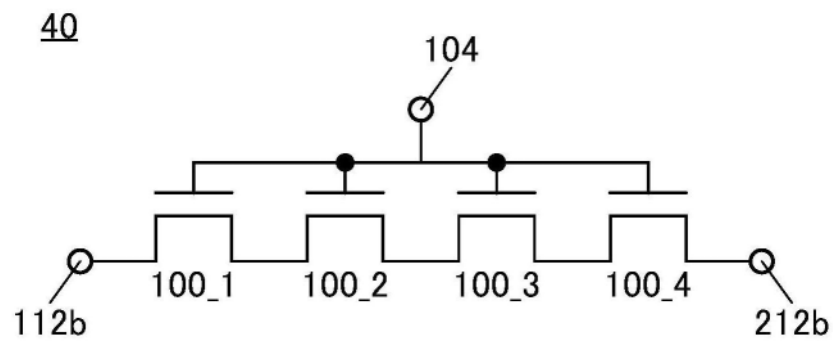


图19B

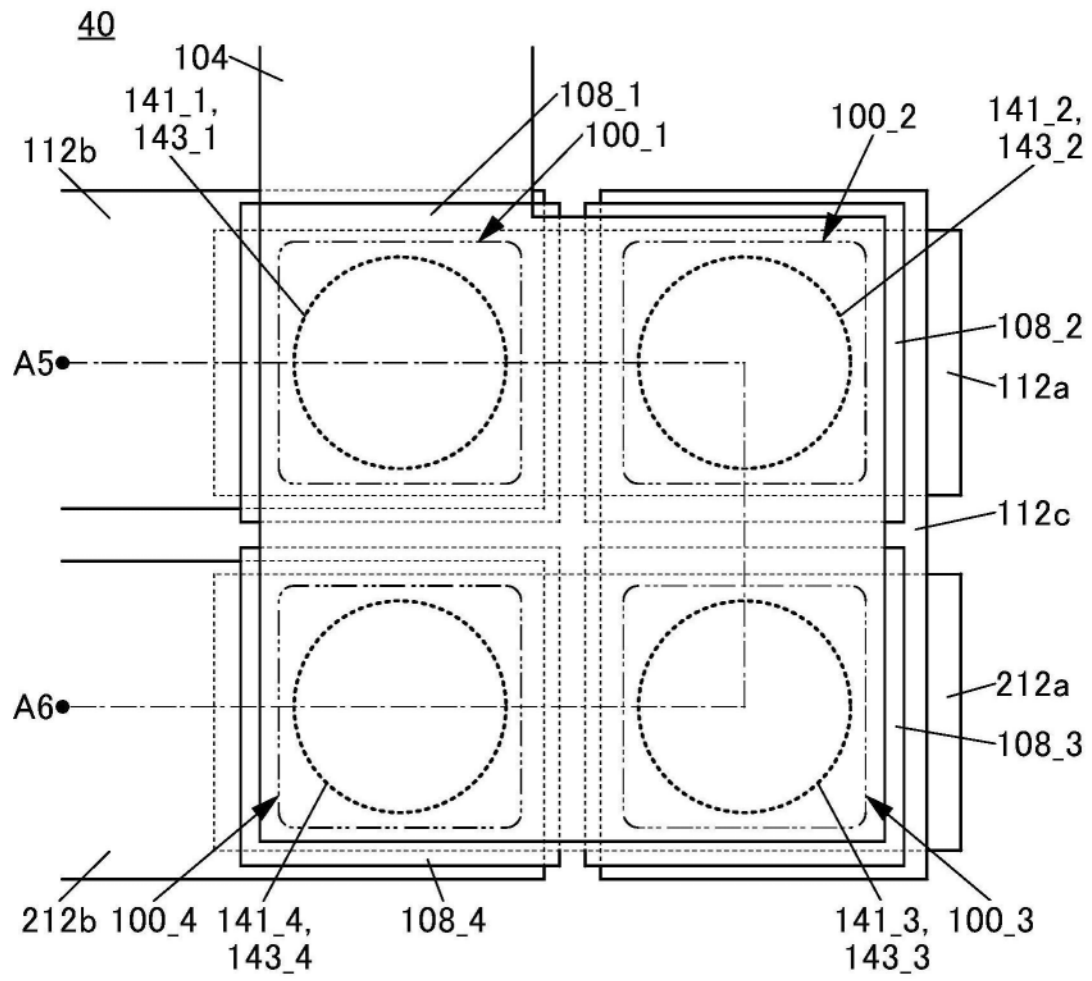


图19C

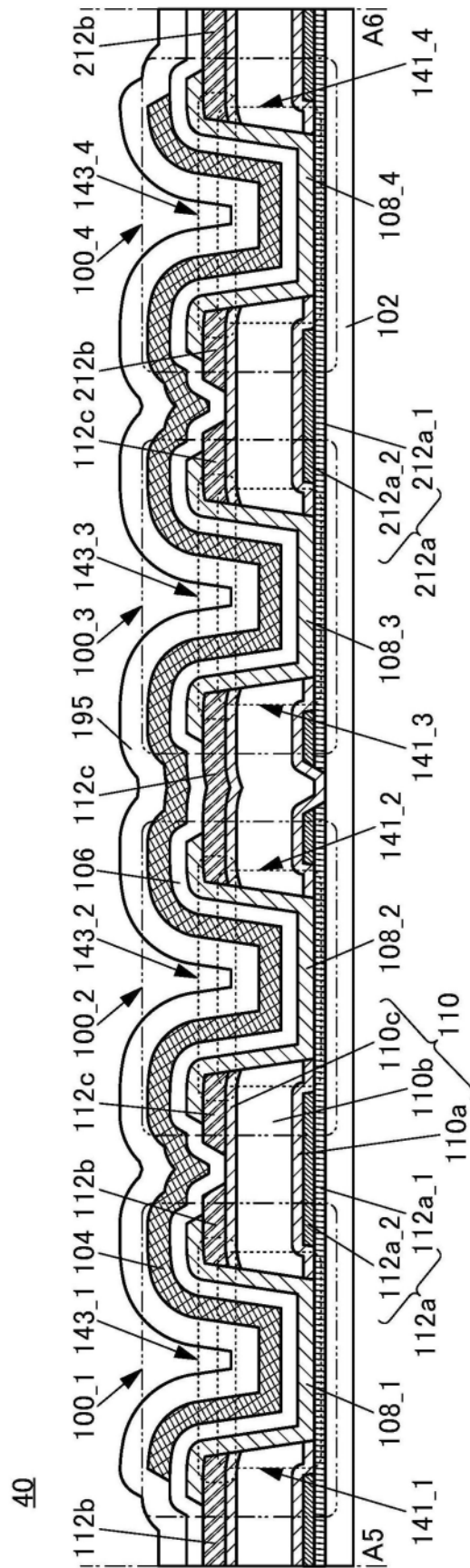


图20

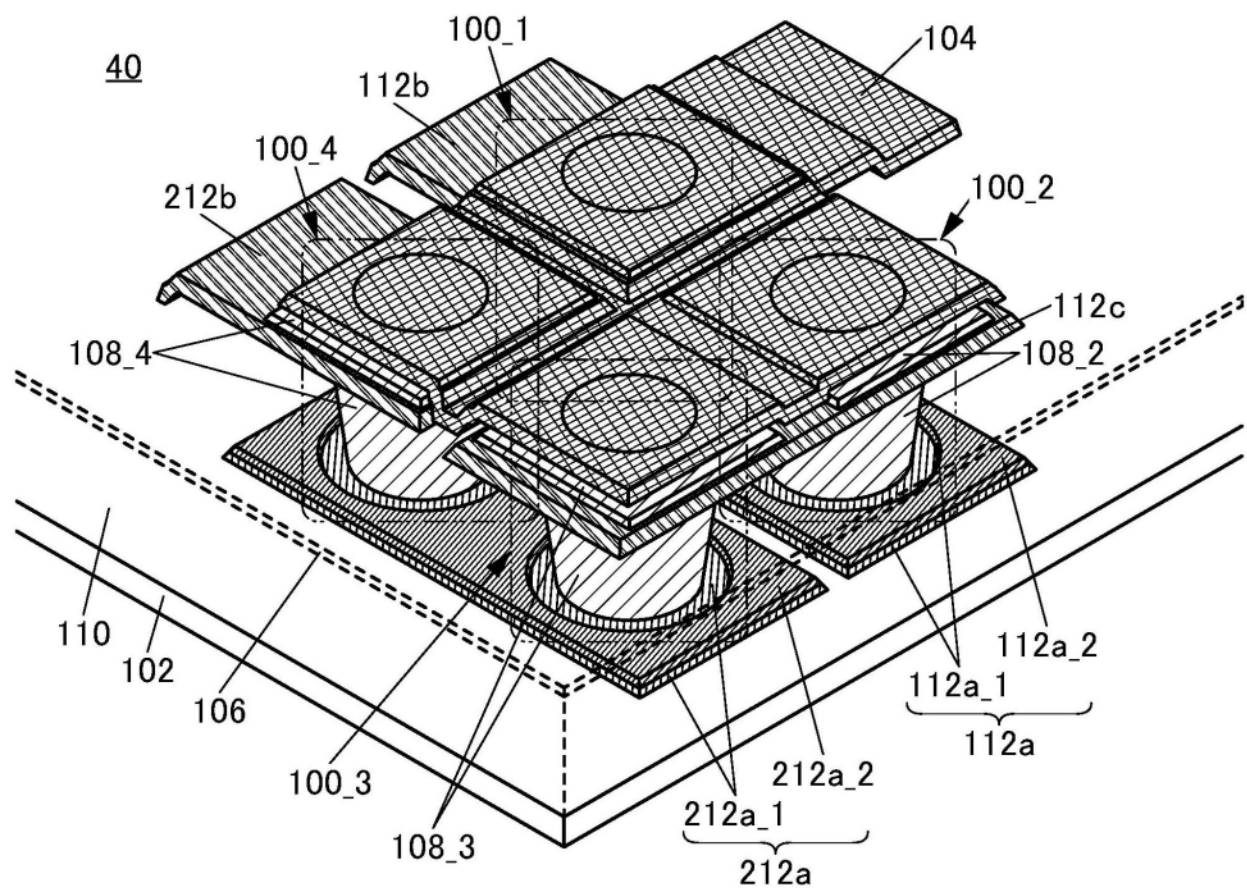


图21

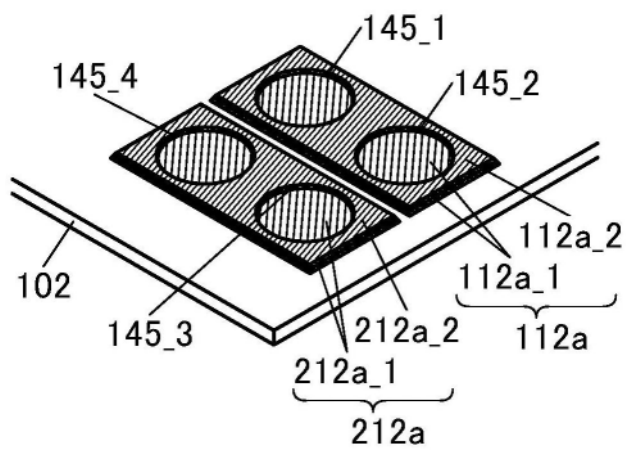


图22A

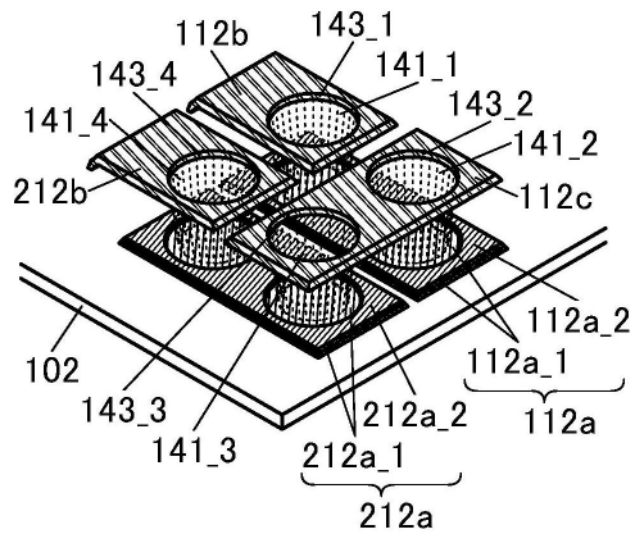


图22B

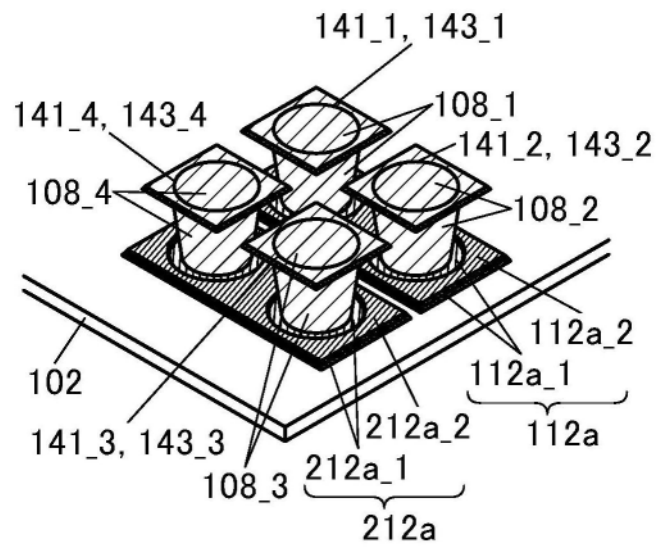


图22C

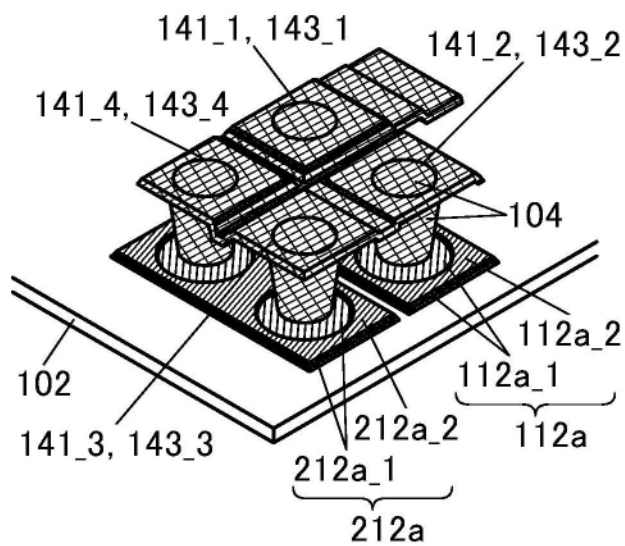


图22D

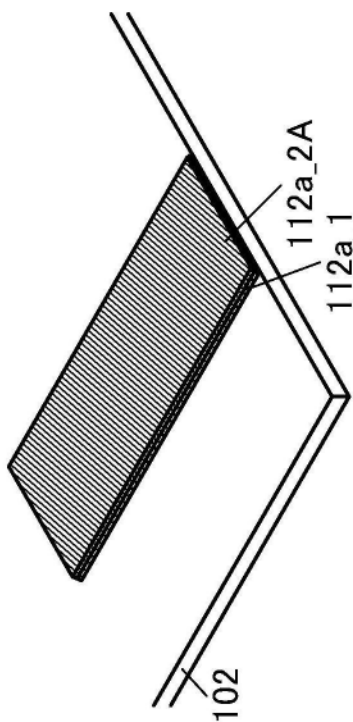


图23A1

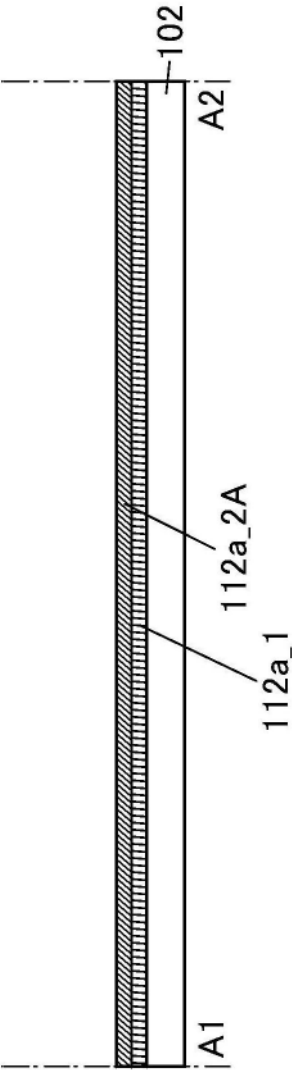


图23A2

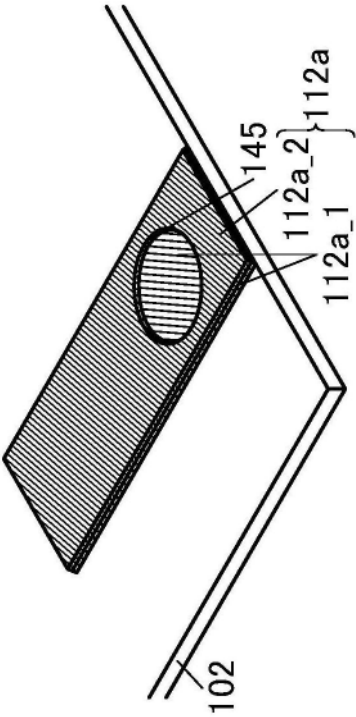


图23B1

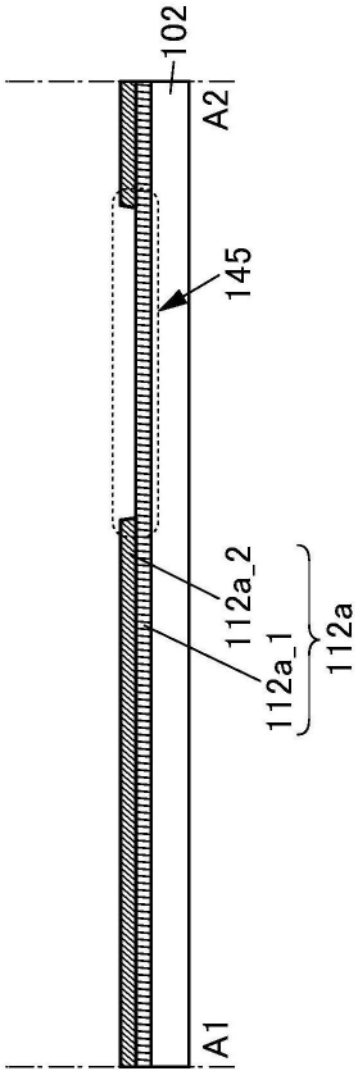


图23B2

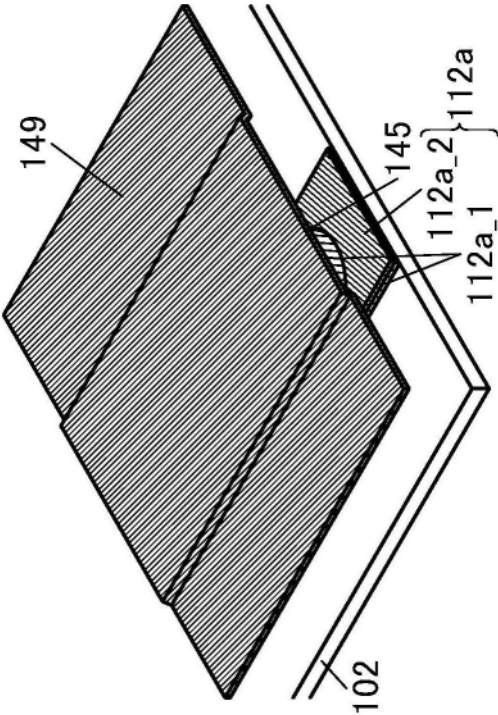


图24A1

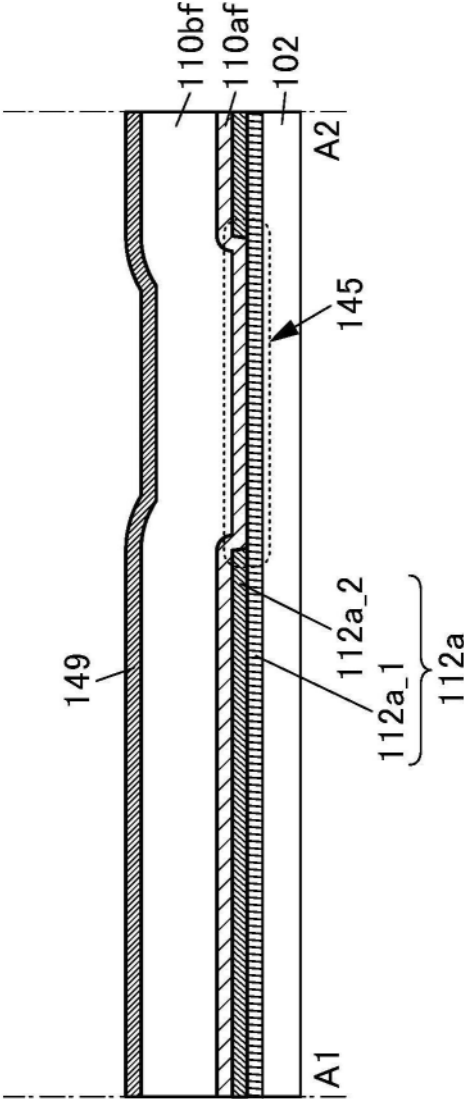


图24A2

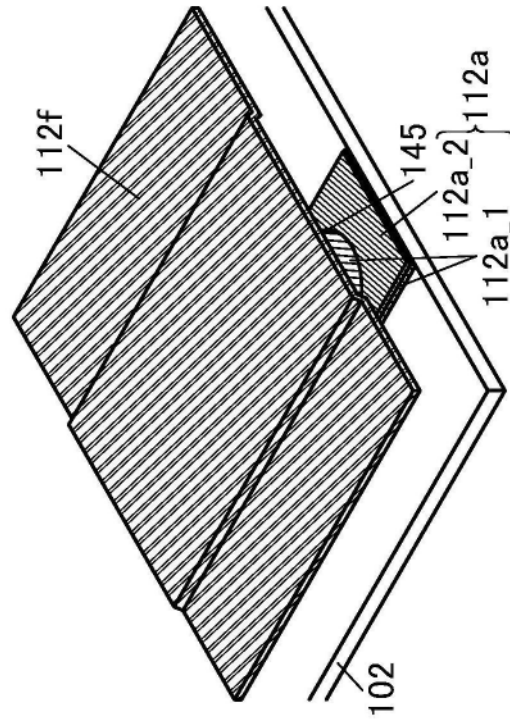


图24B1

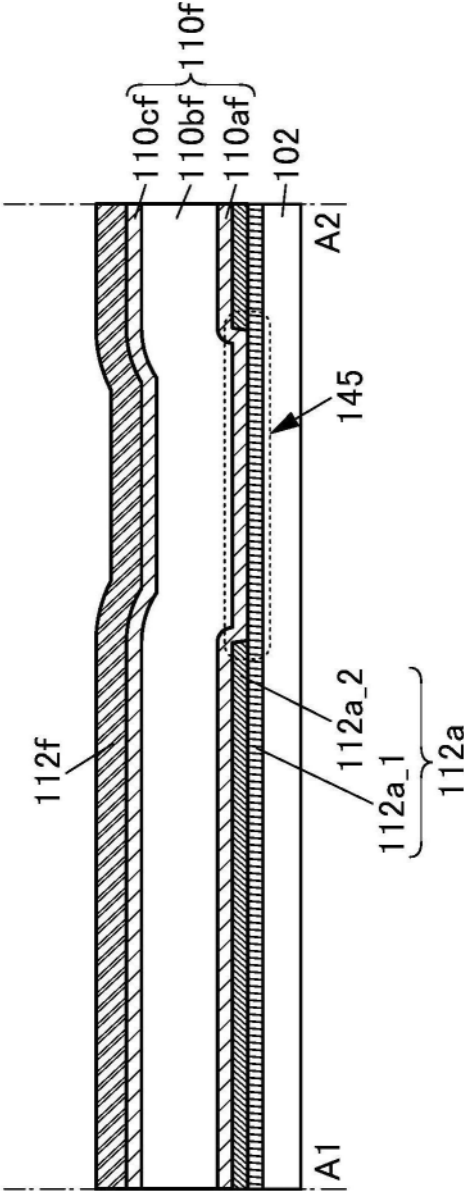


图24B2

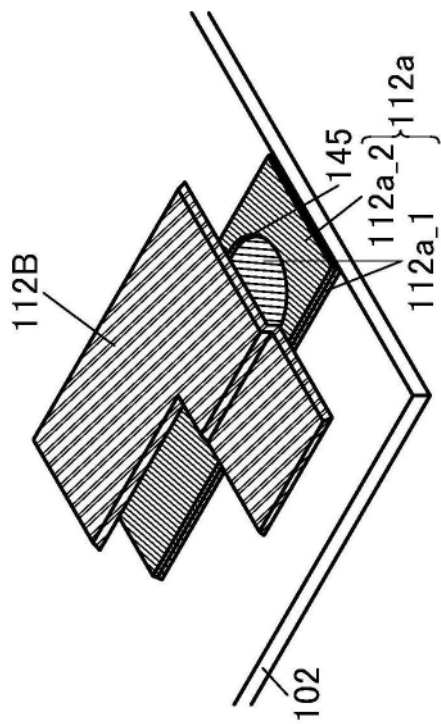


图25A1

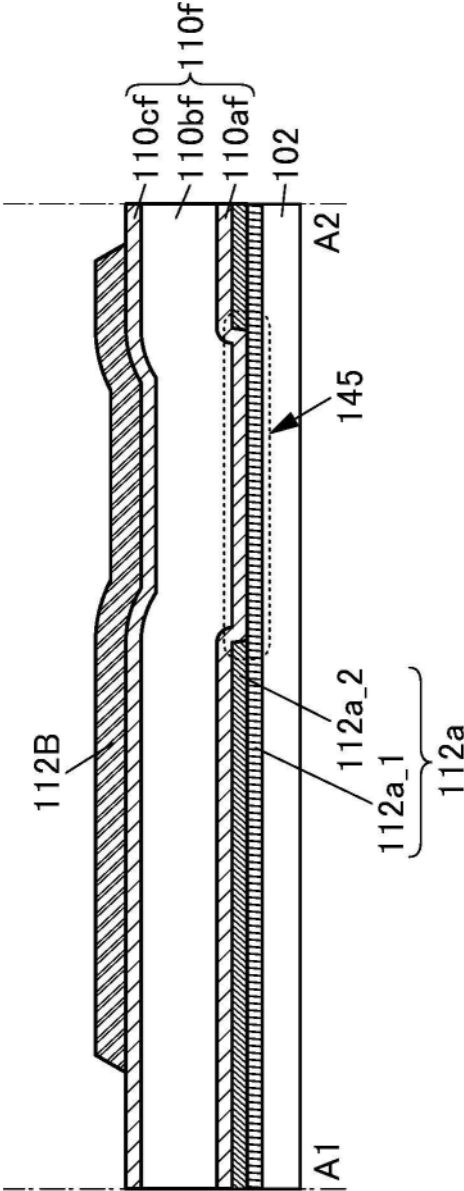


图25A2

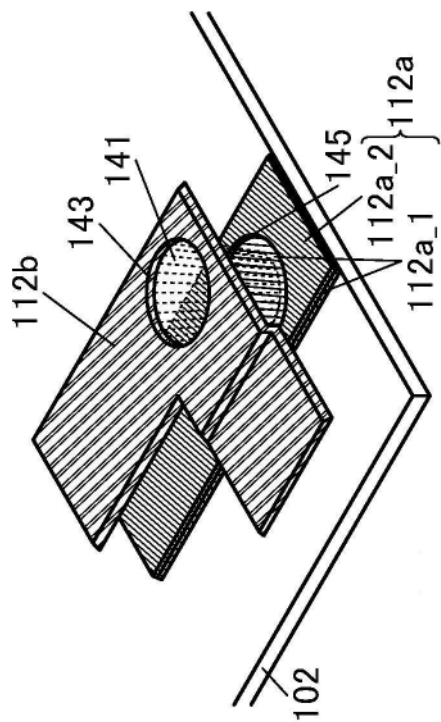


图25B1

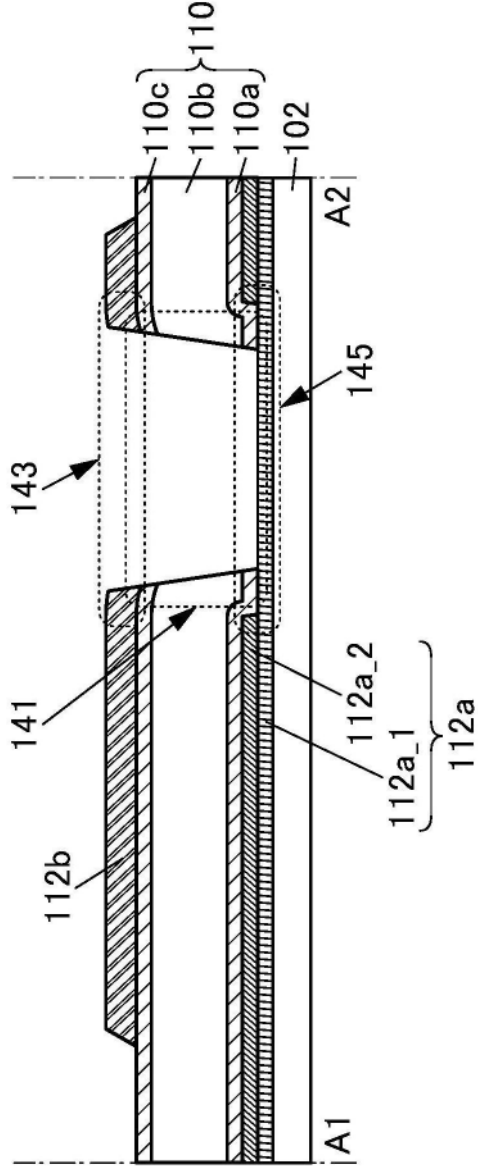


图25B2

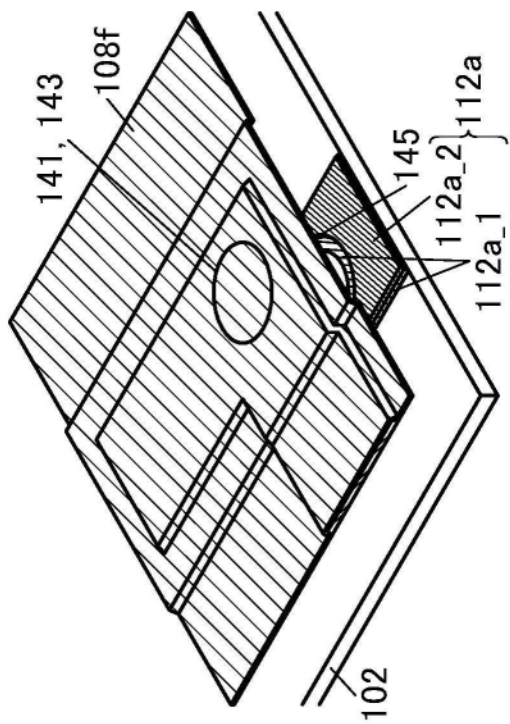


图26A1

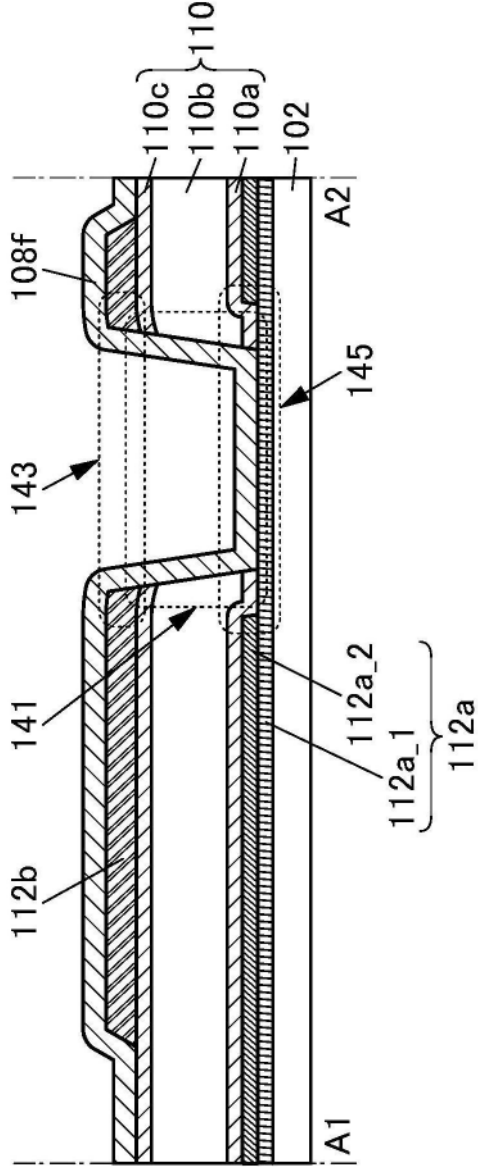


图26A2

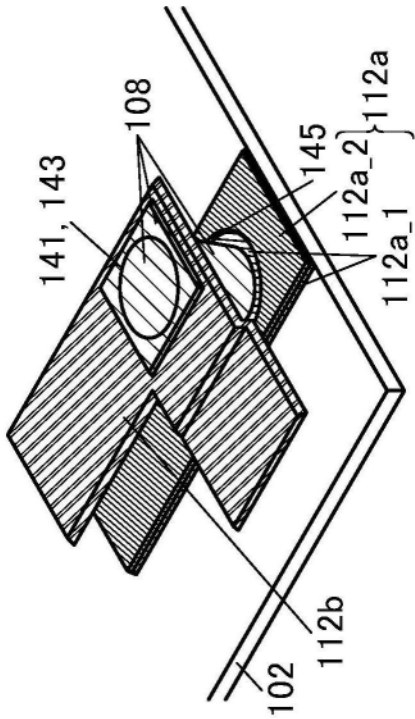


图26B1

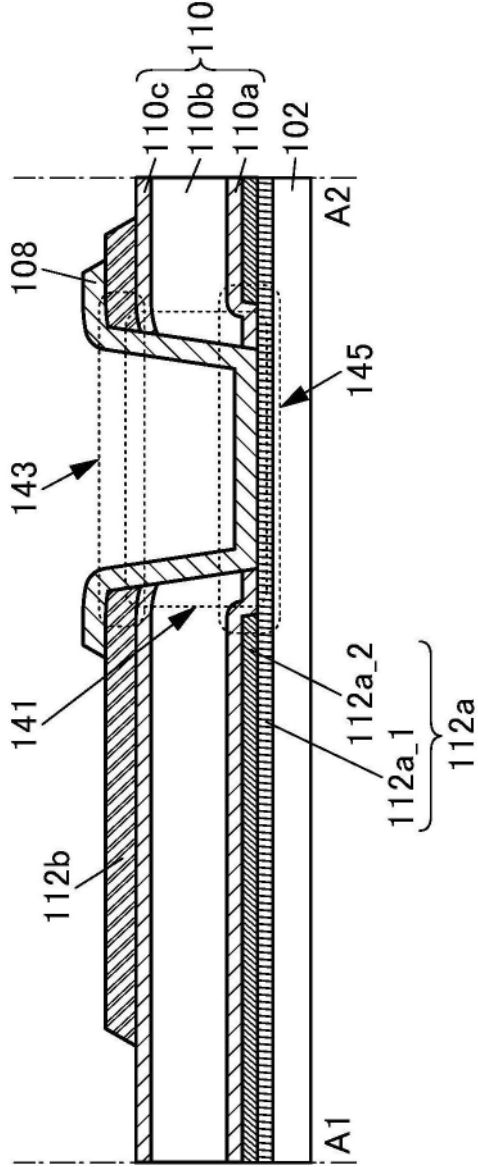


图26B2

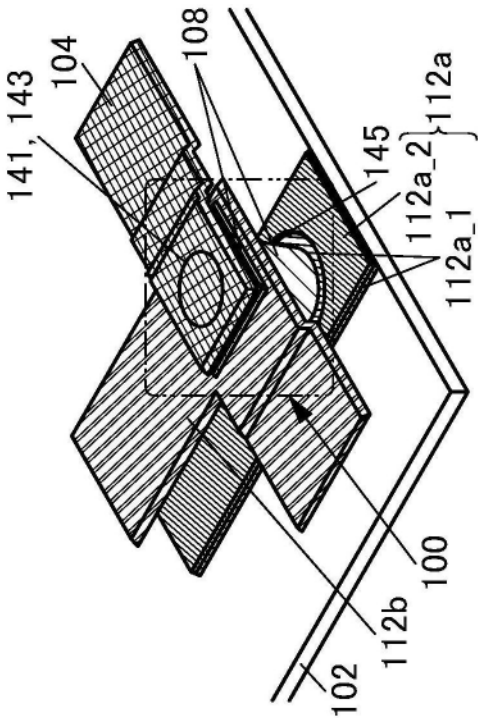


图27A1

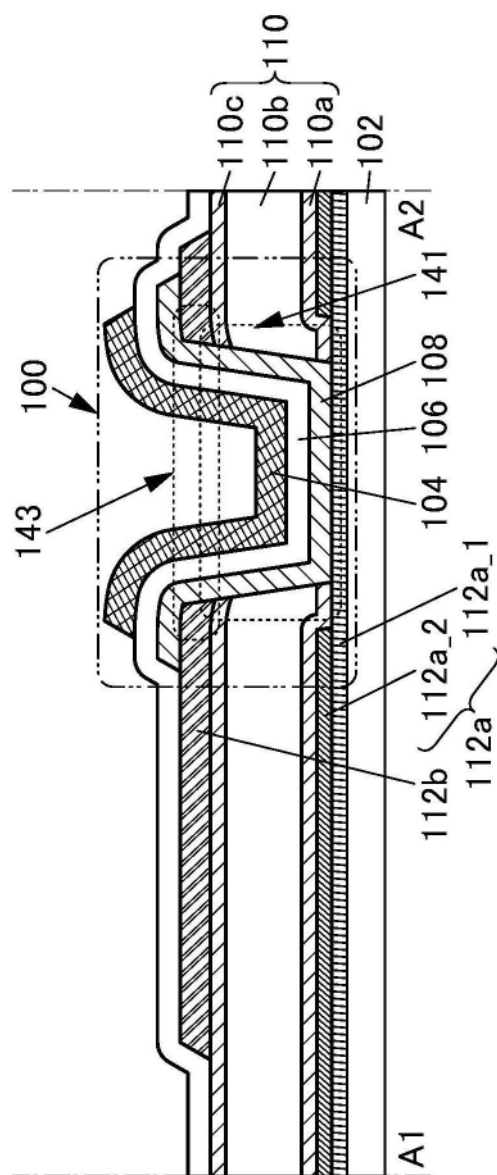


图27A2

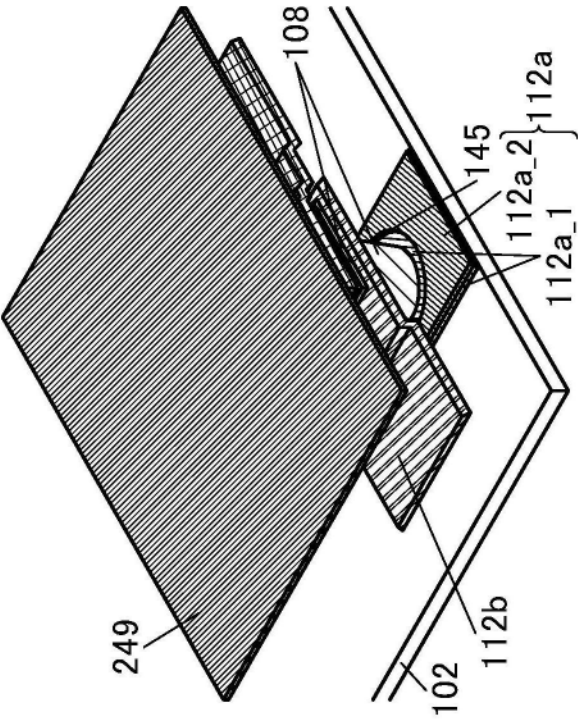


图27B1

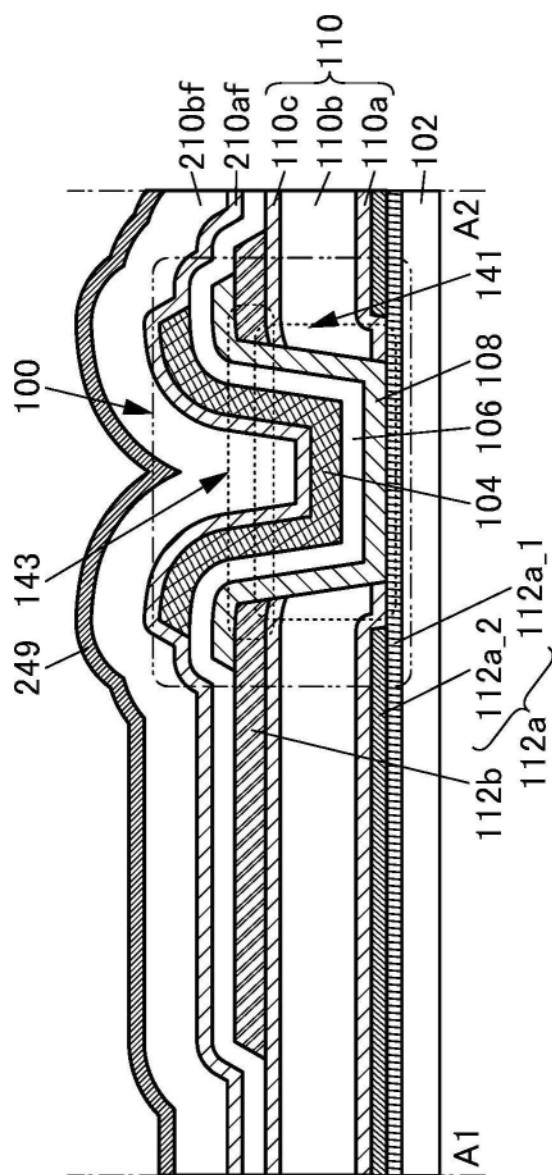


图27B2

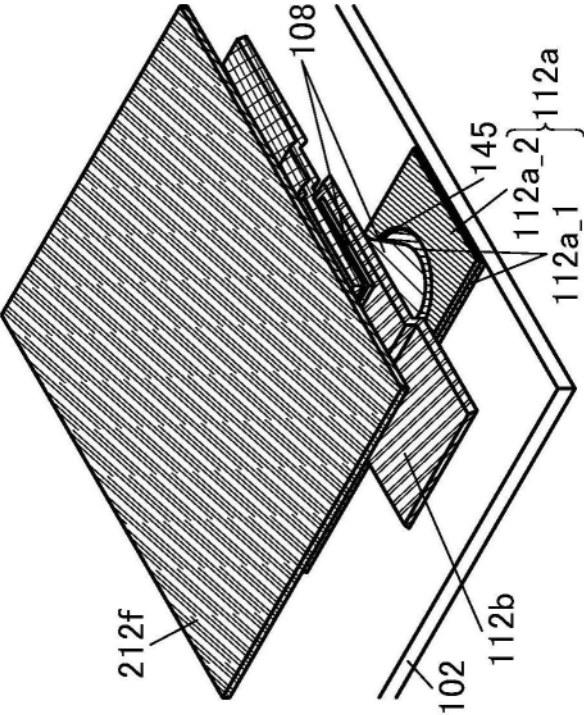


图28A1

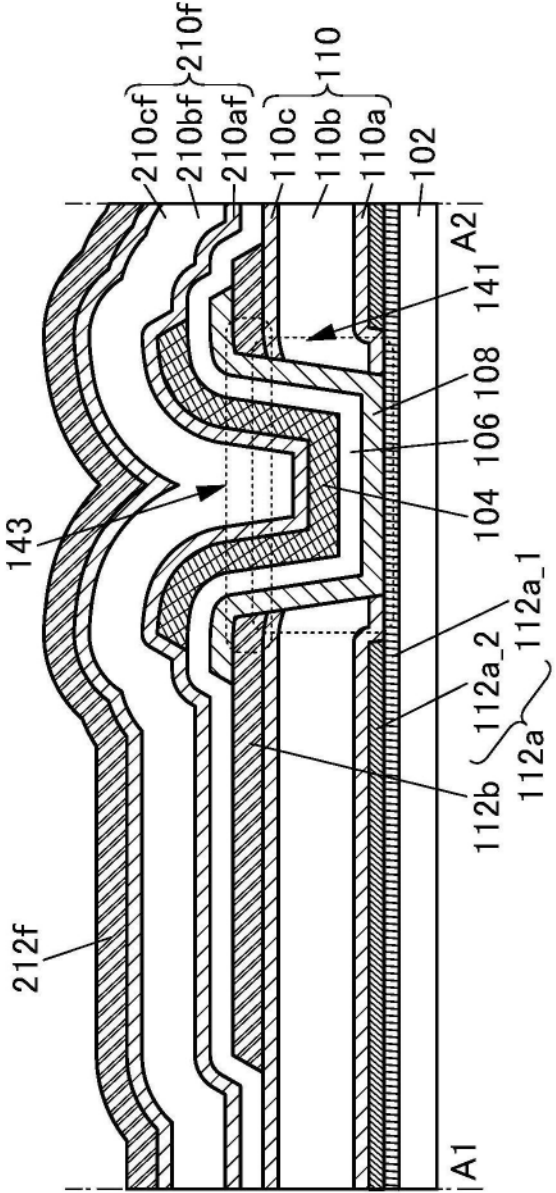


图28A2

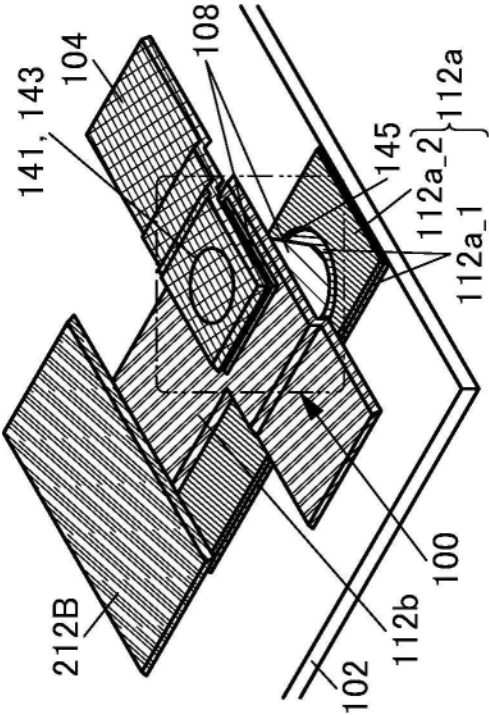


图28B1

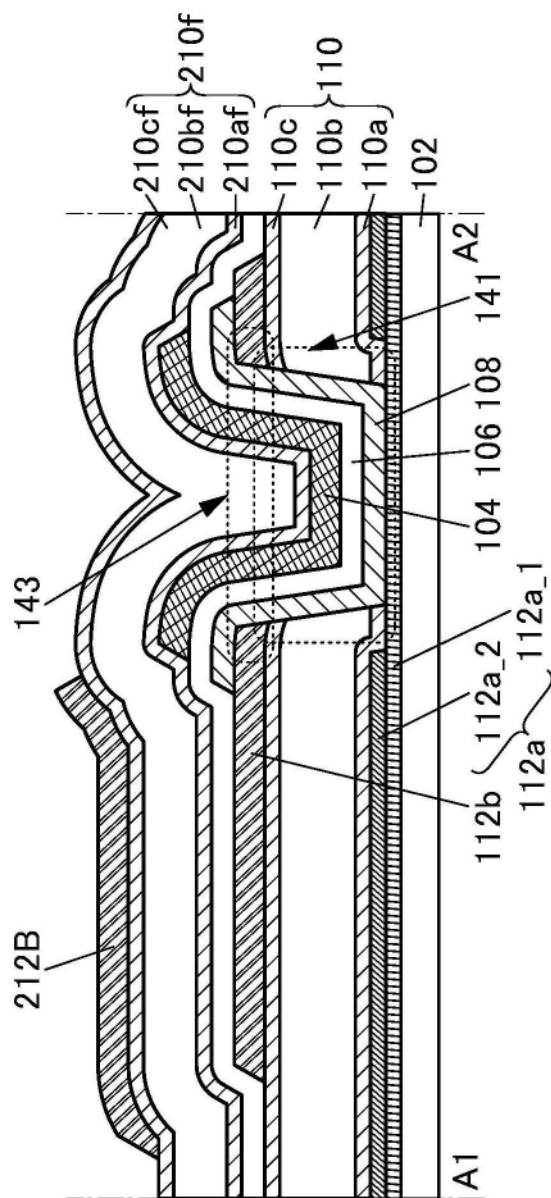


图28B2

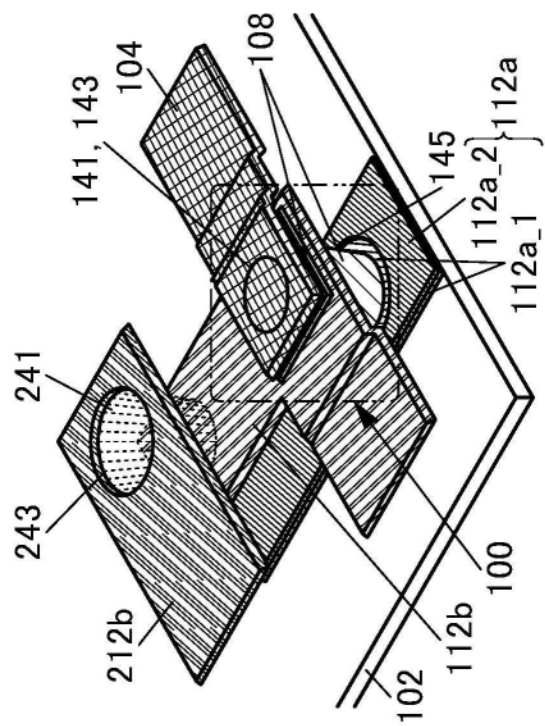


图29A1

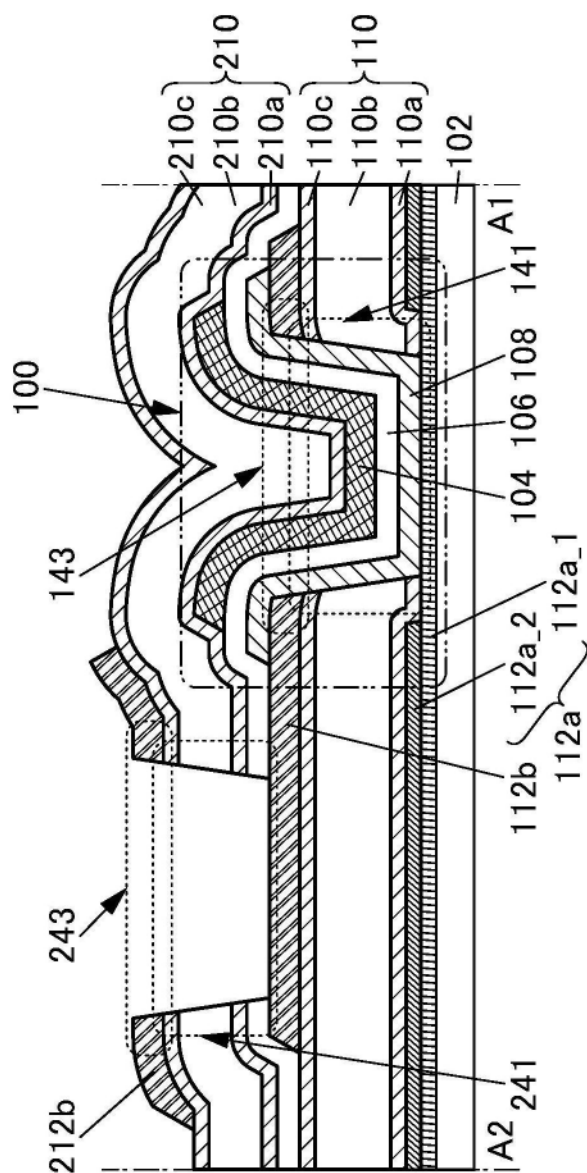


图29A2

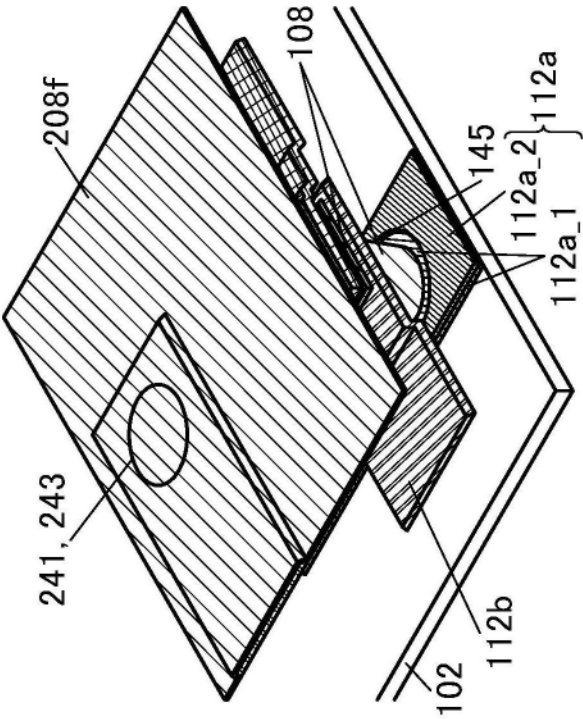


图29B1

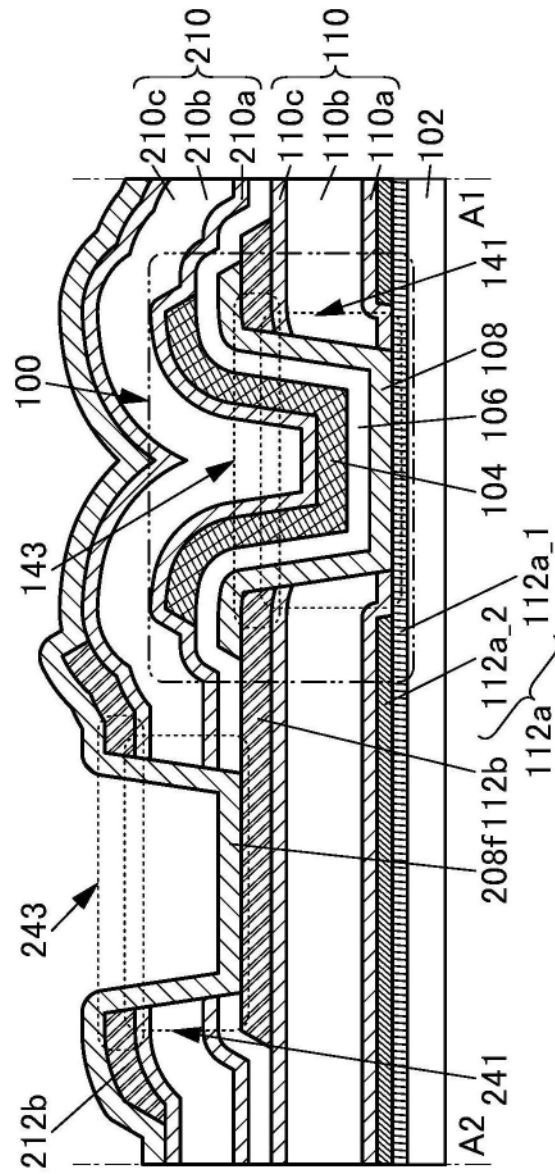


图29B2

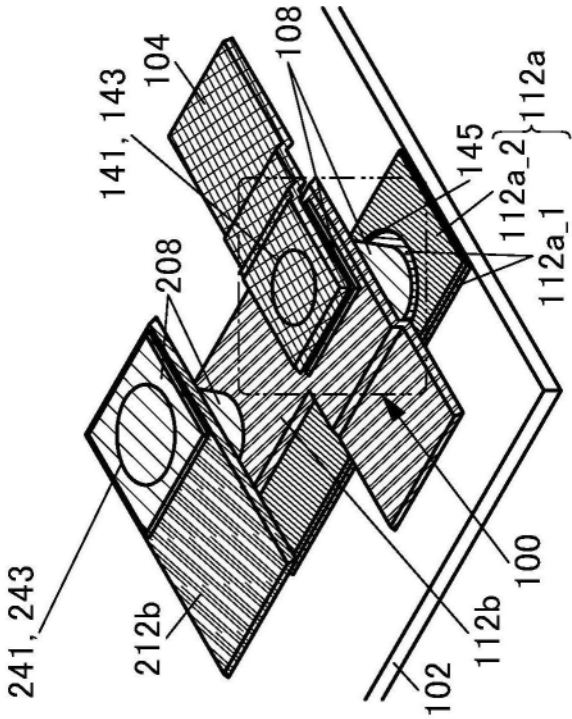


图30A1

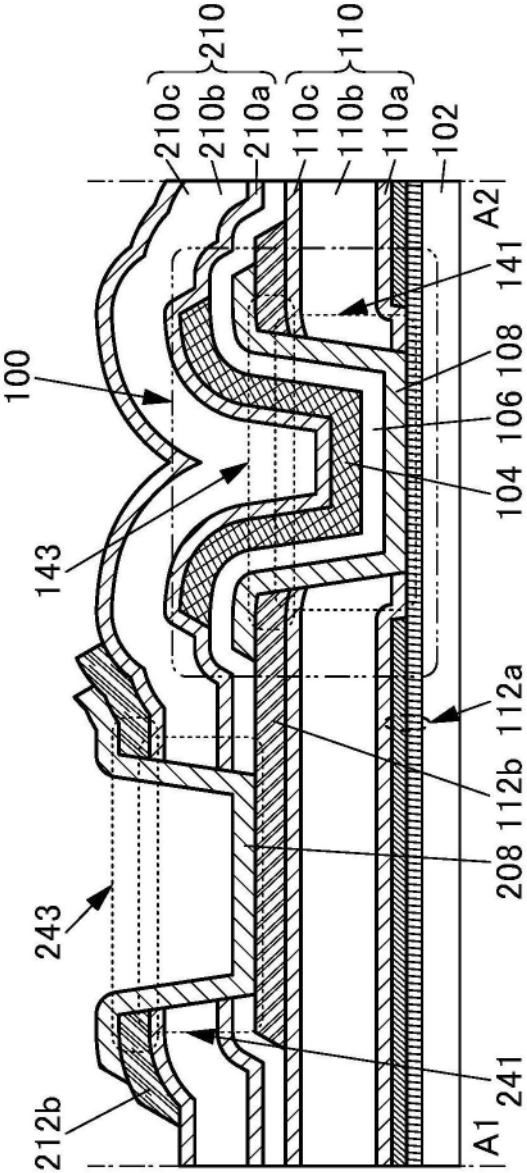


图30A2

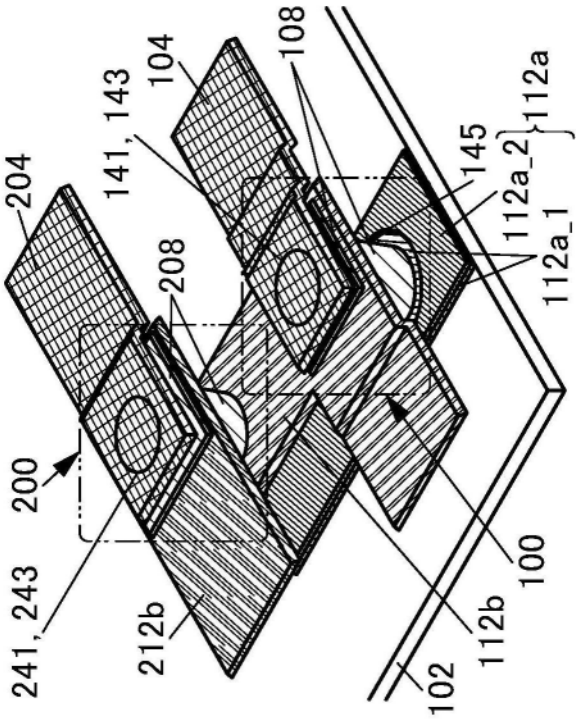


图30B1

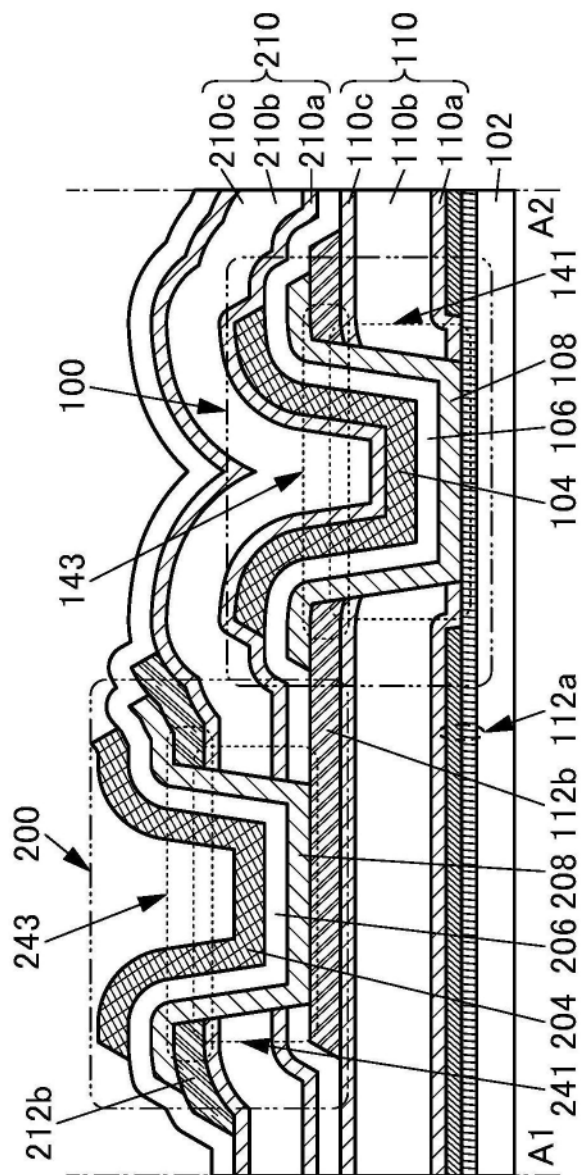


图30B2

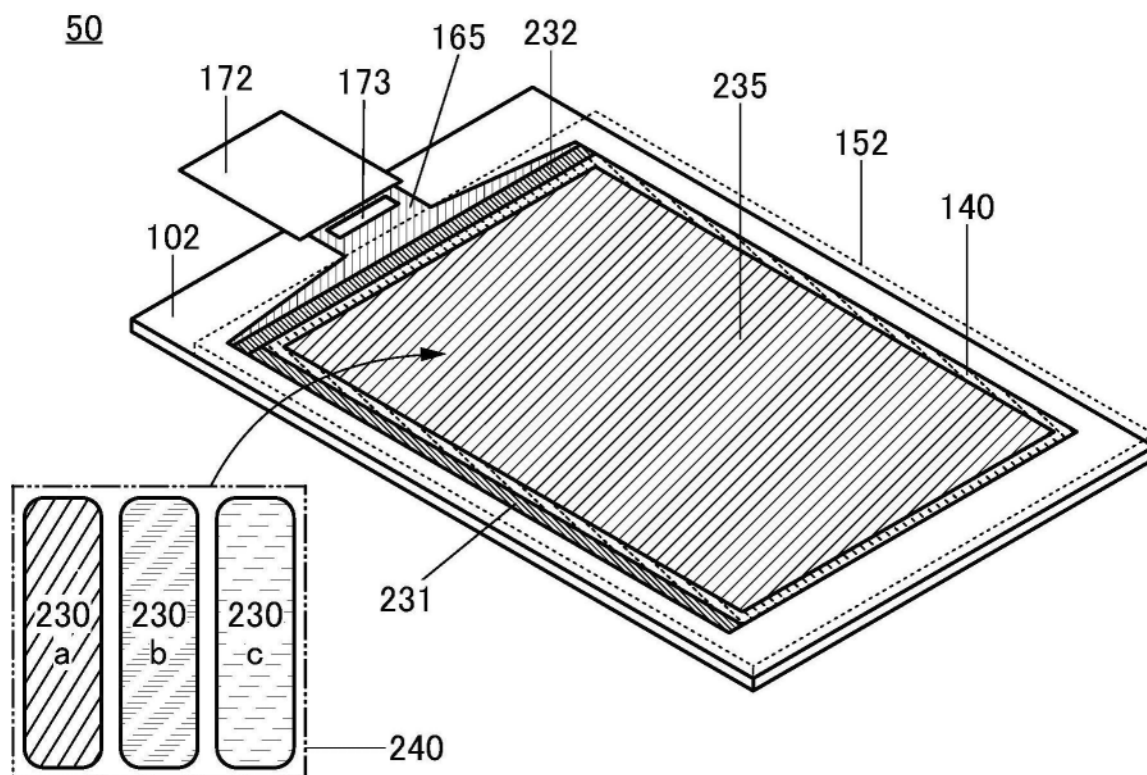


图31A

50

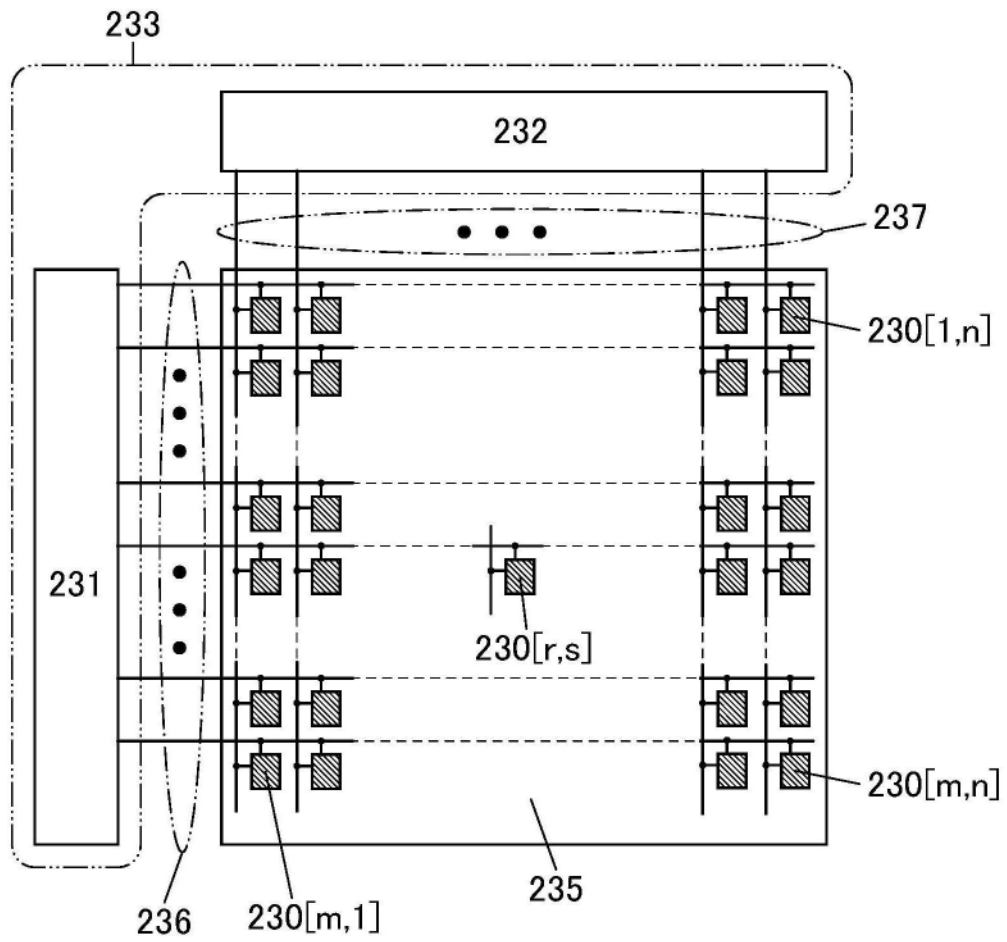


图31B

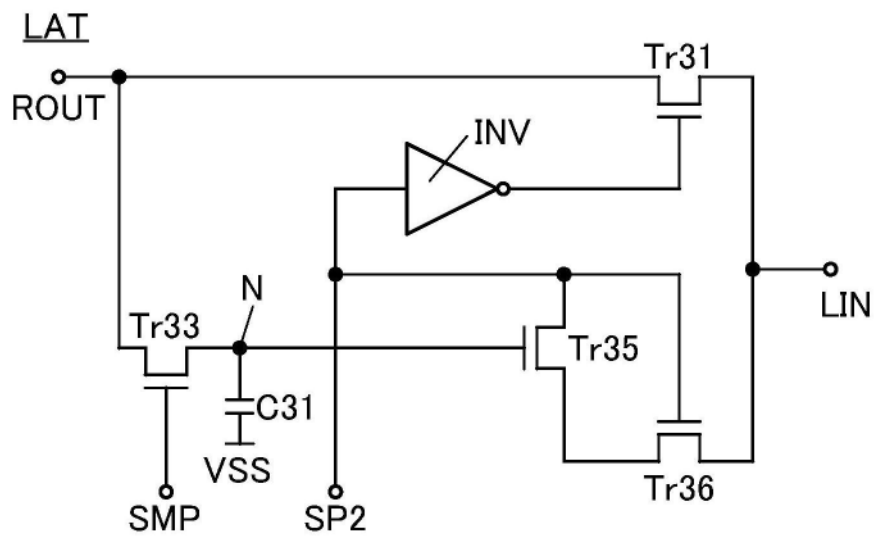


图32A

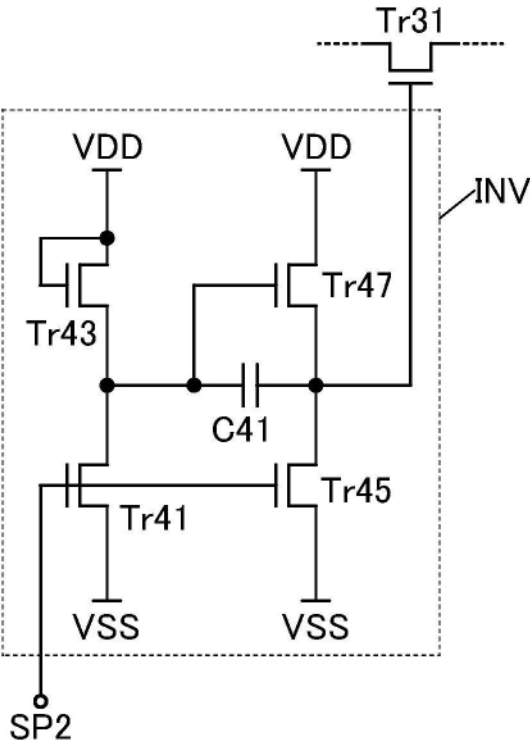


图32B

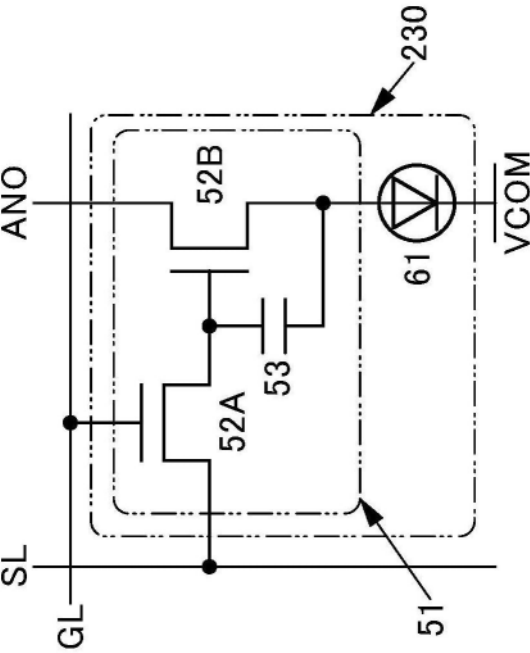


图33A

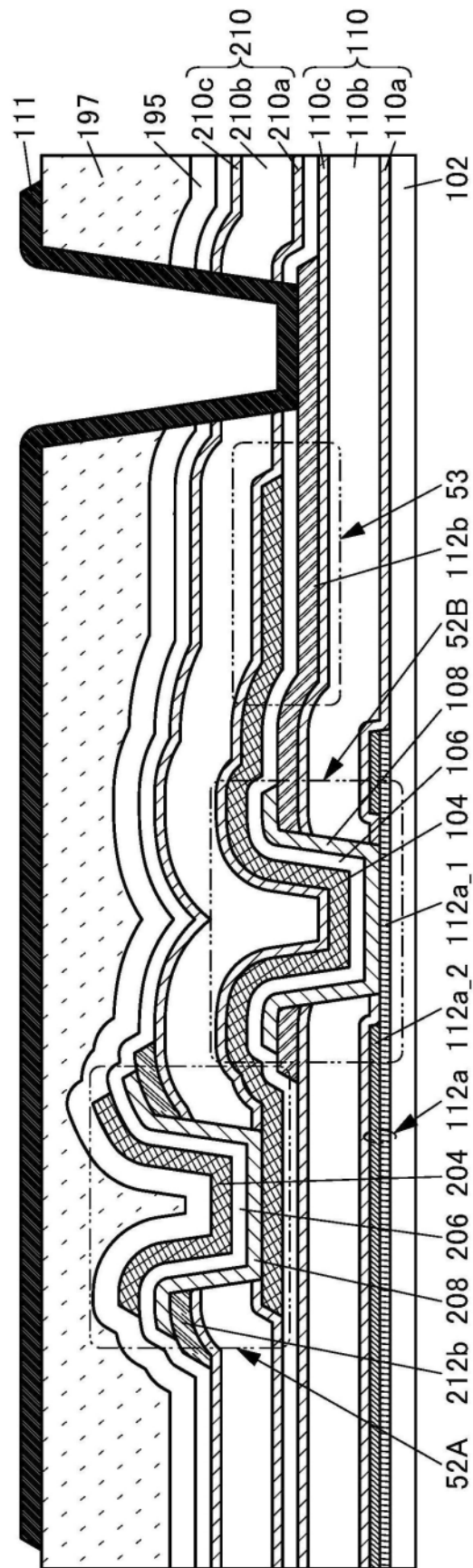


图33B

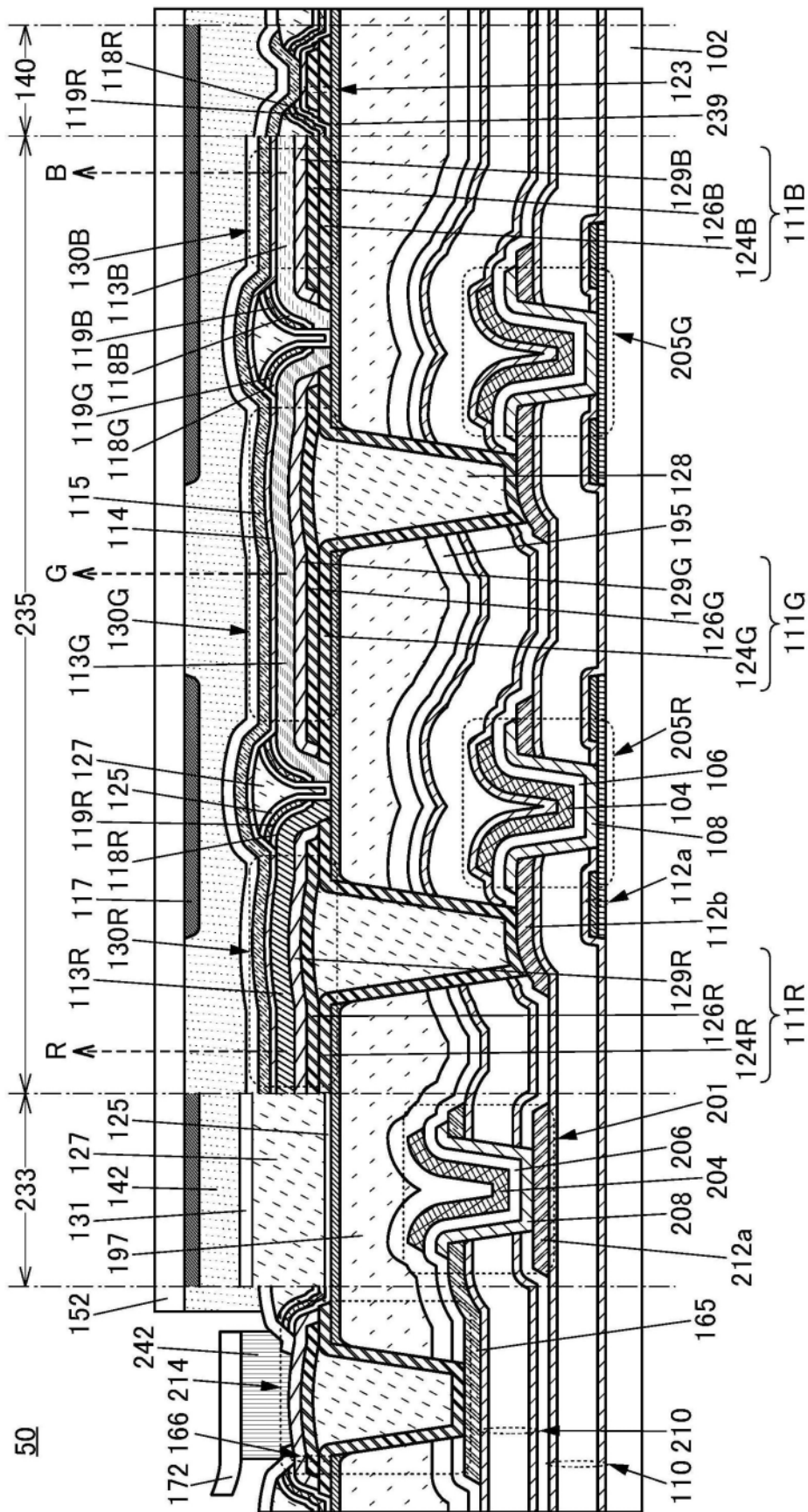


图34

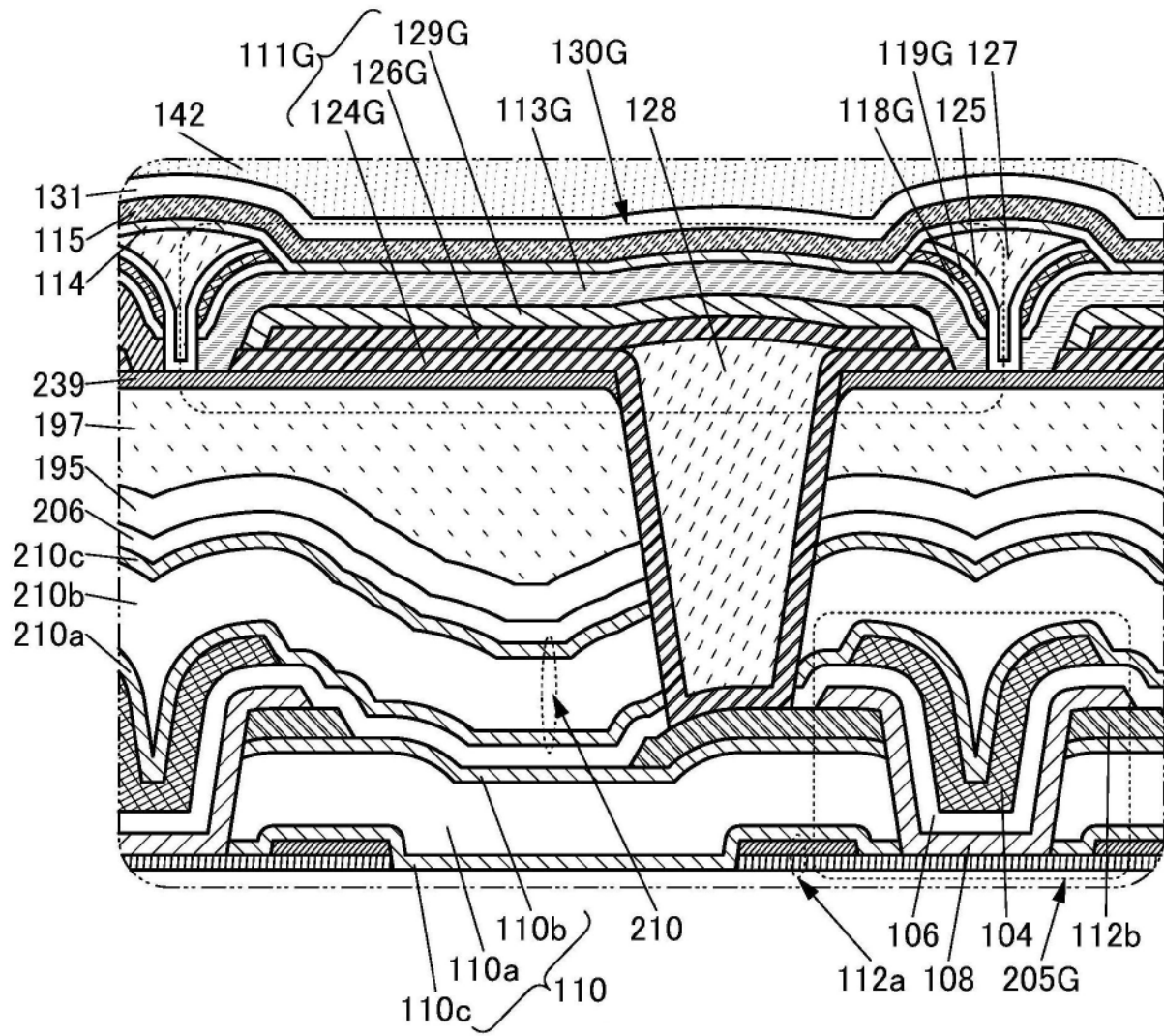


图35A

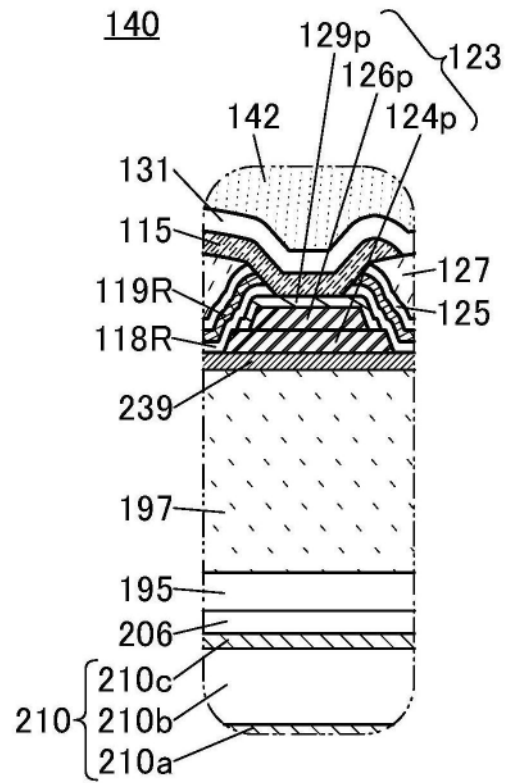


图35B

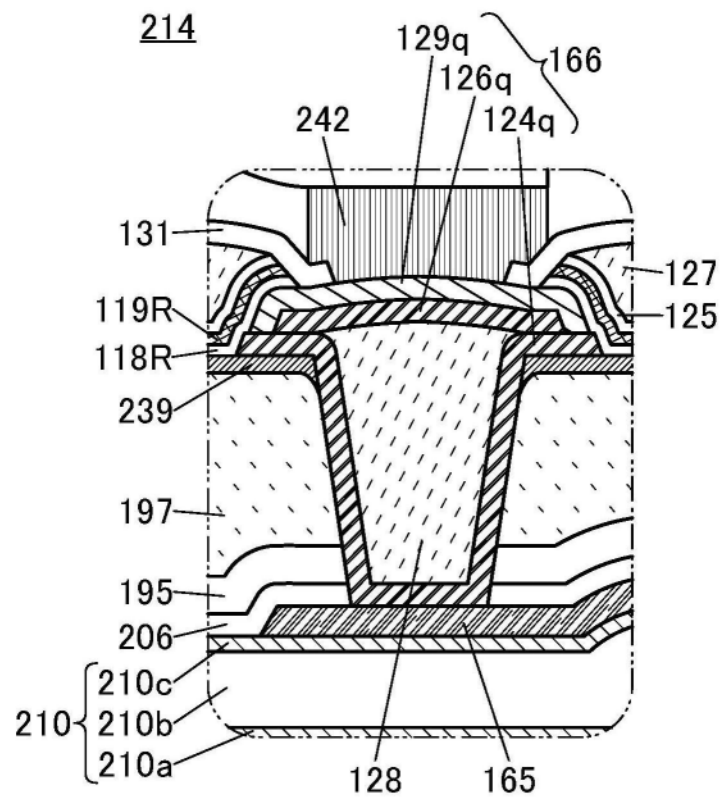


图35C

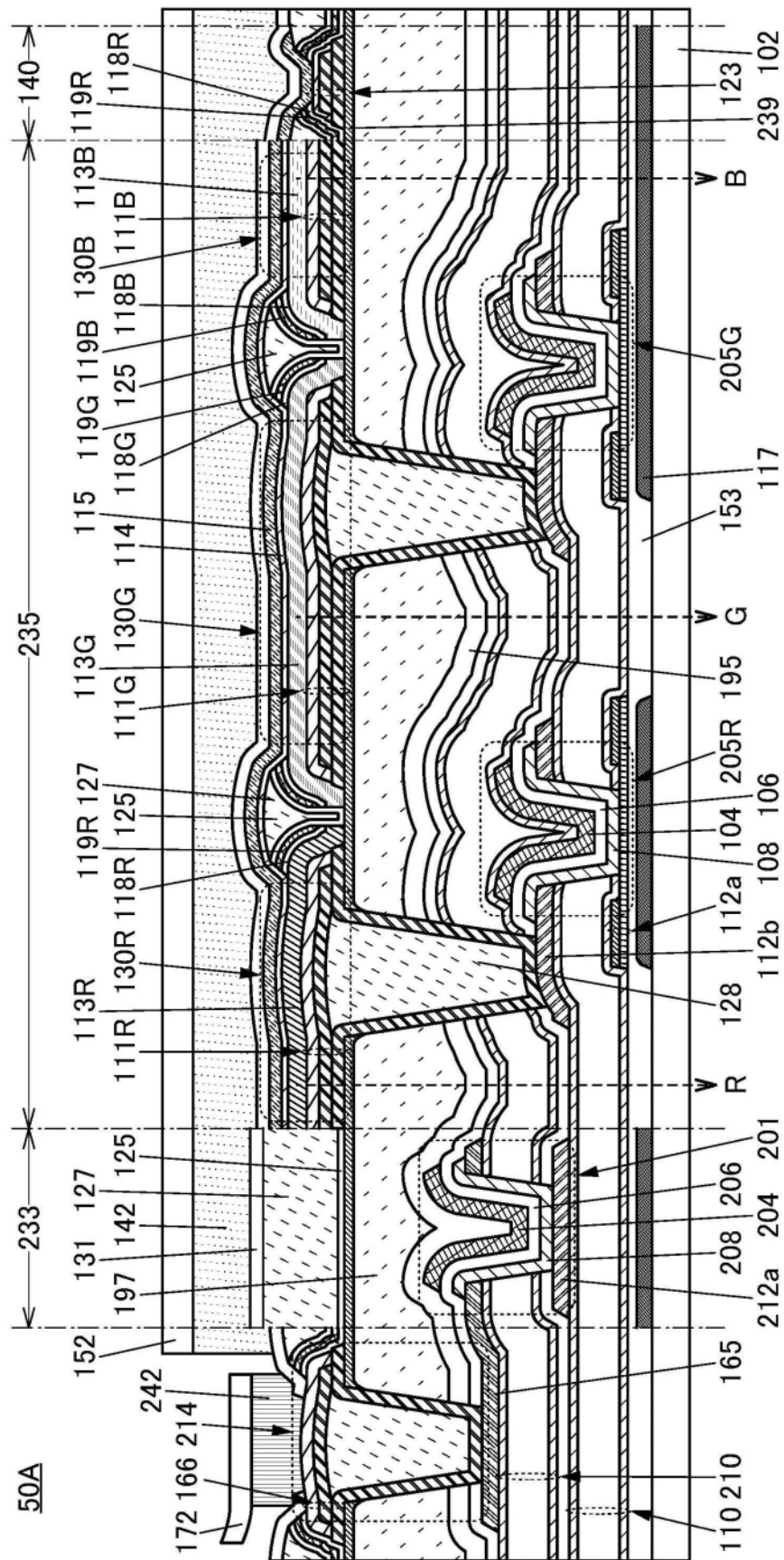


图36

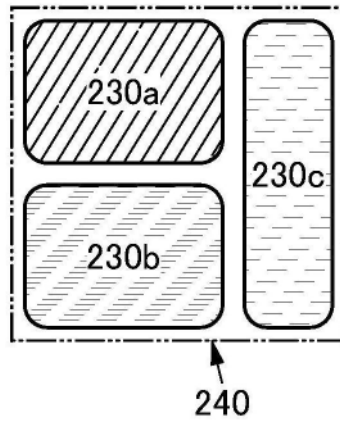


图37A

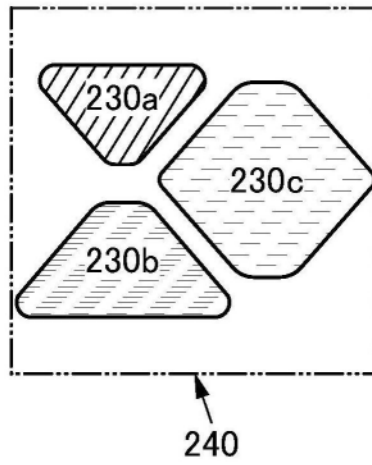


图37B

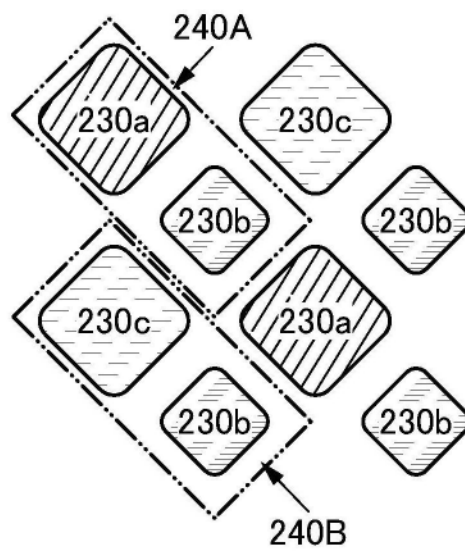


图37C

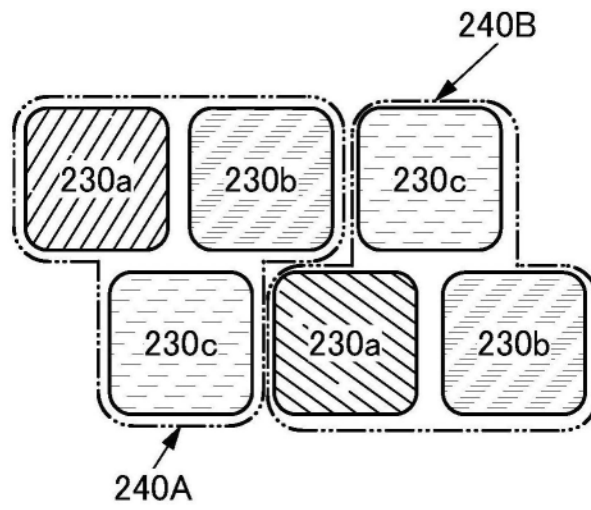


图37D

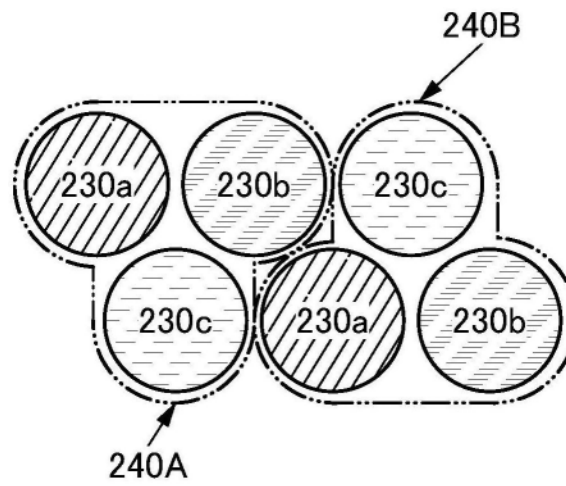


图37E

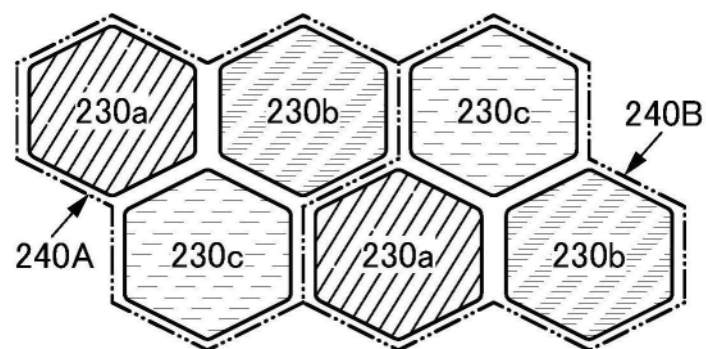


图37F

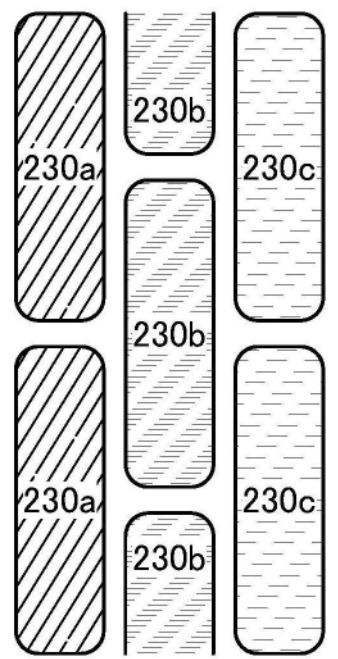


图37G

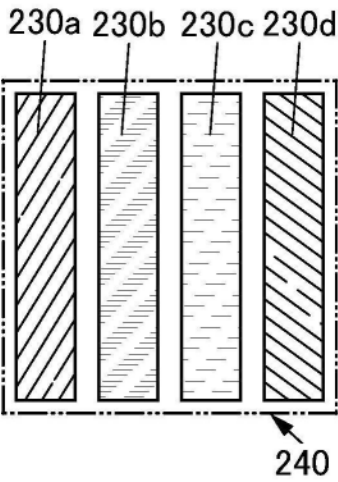


图38A

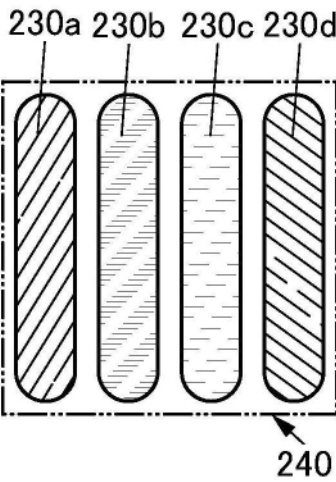


图38B

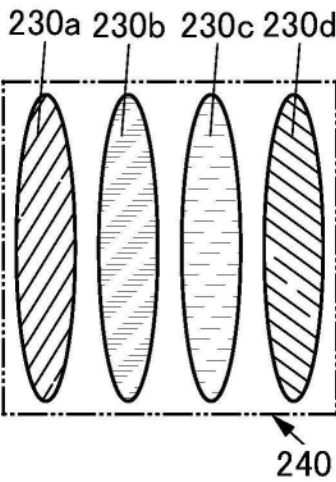


图38C

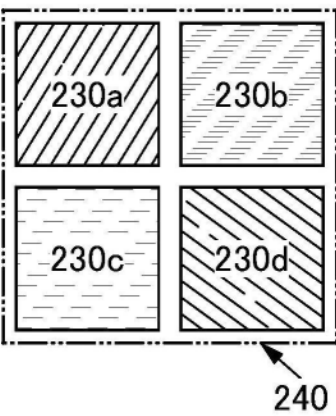


图38D

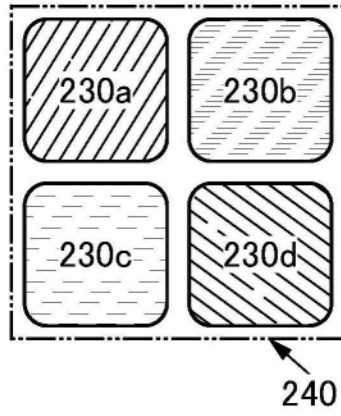


图38E

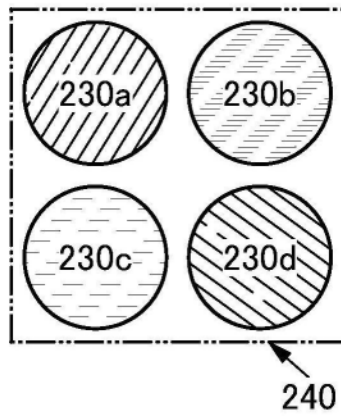


图38F

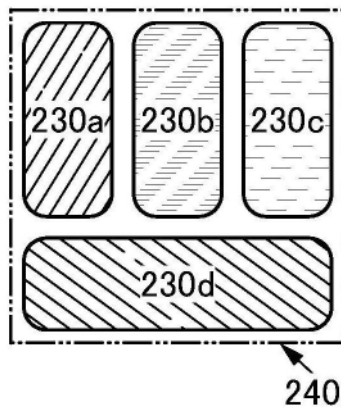


图38G

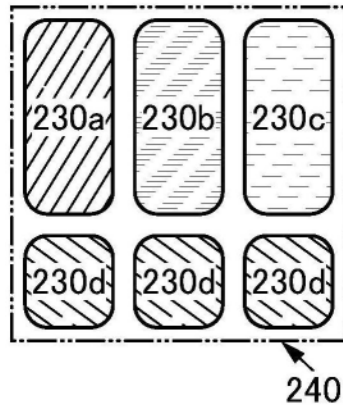


图38H

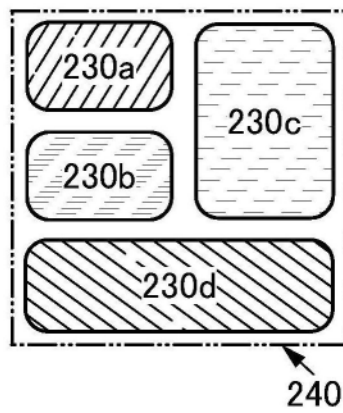


图38I

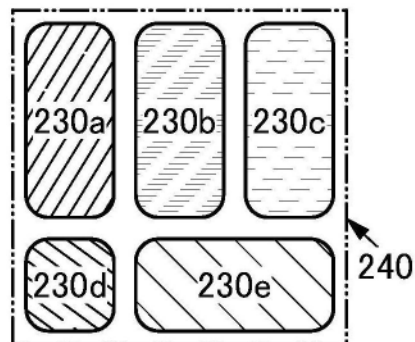


图38J

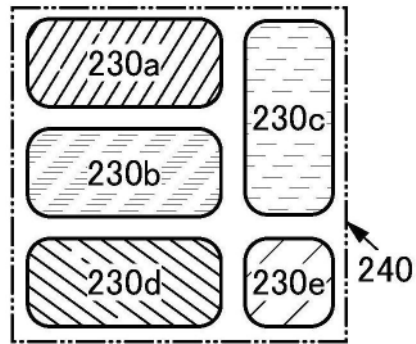


图38K

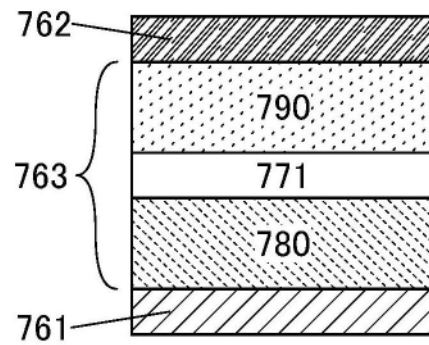


图39A

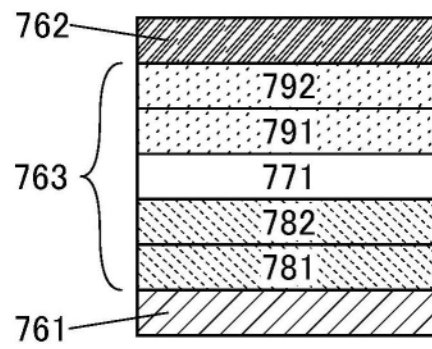


图39B

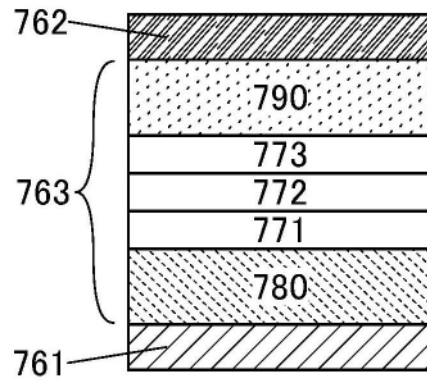


图39C

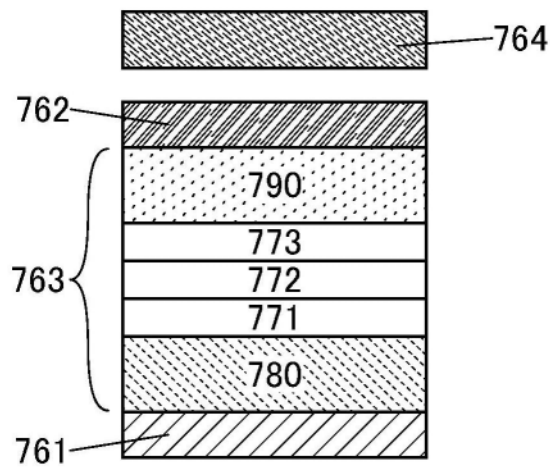


图39D

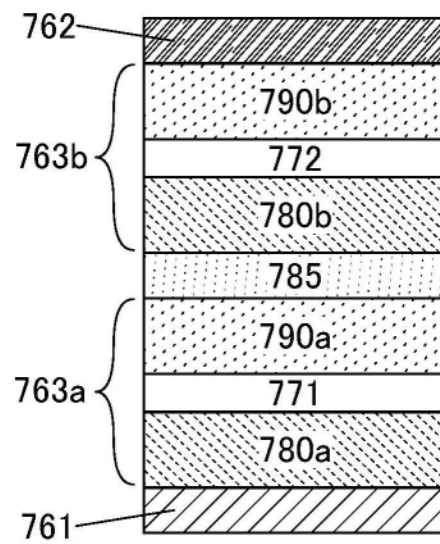


图39E

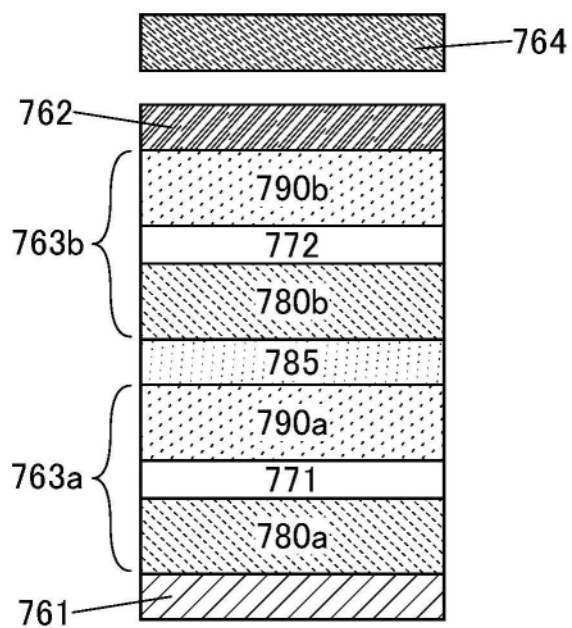


图39F

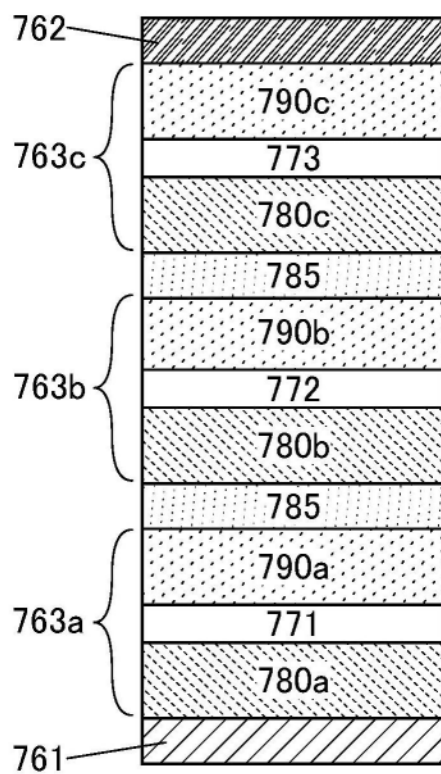


图40A

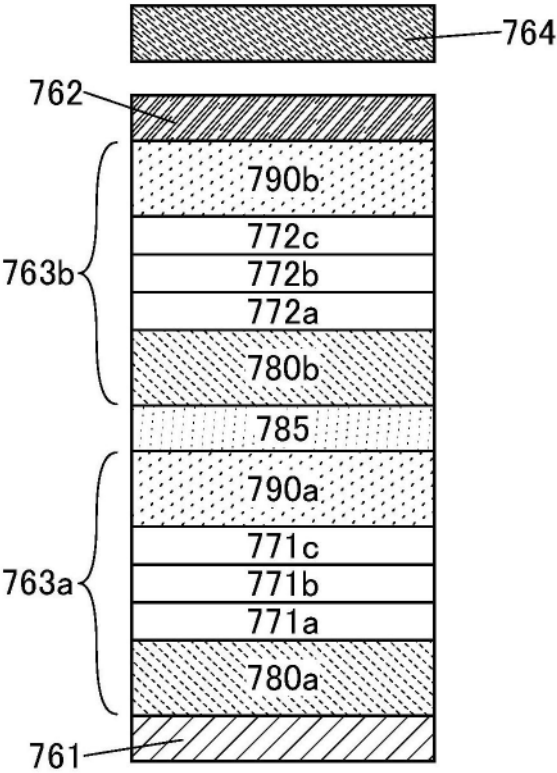


图40B

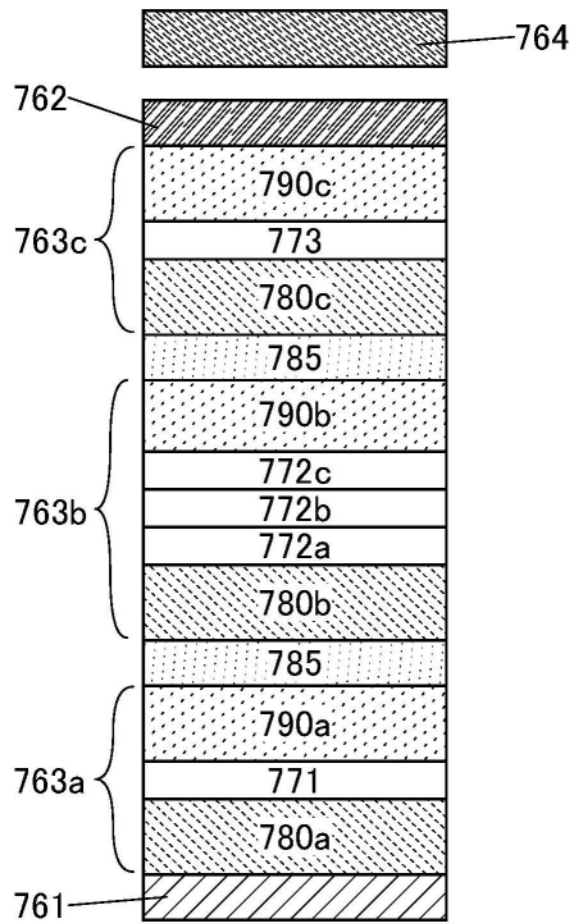


图40C

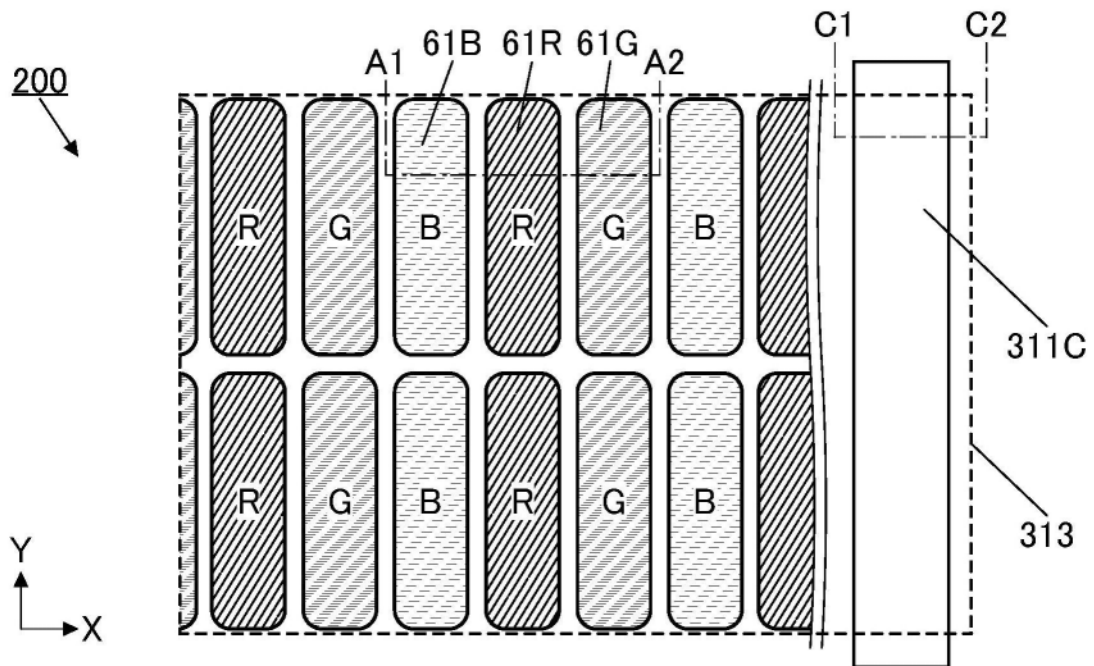


图41A

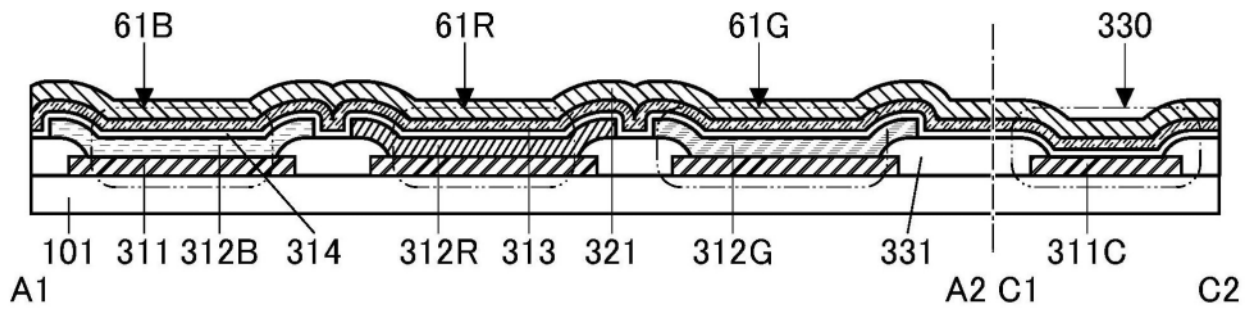


图41B

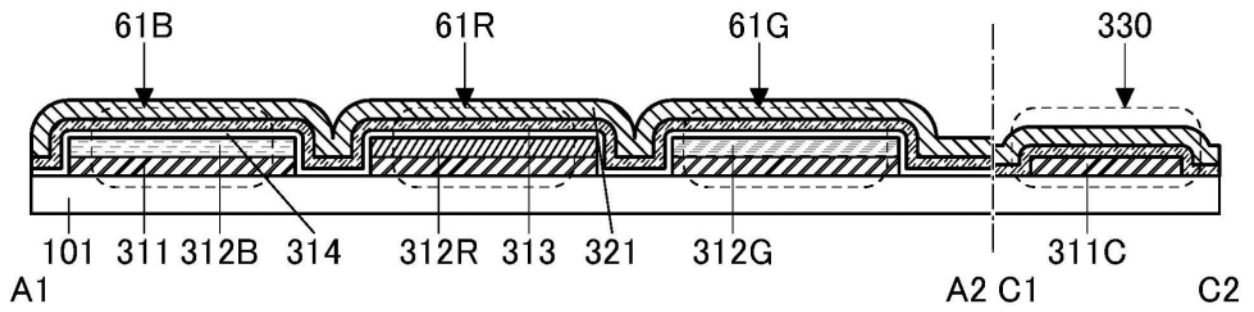


图42A

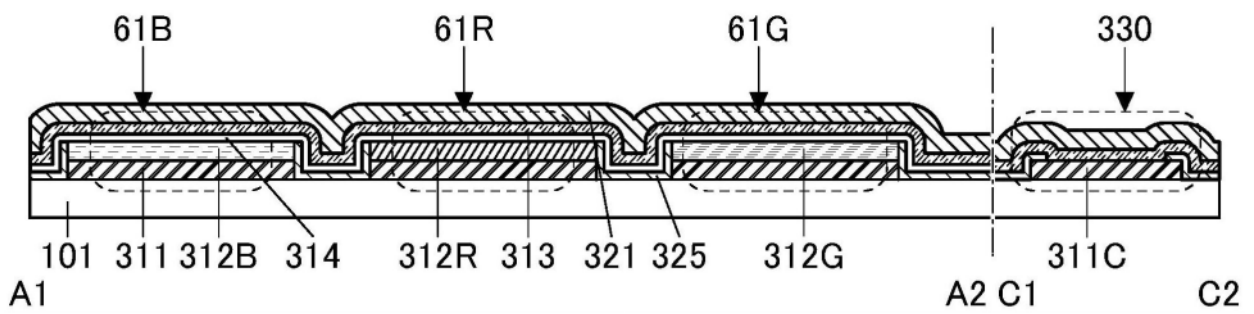


图42B

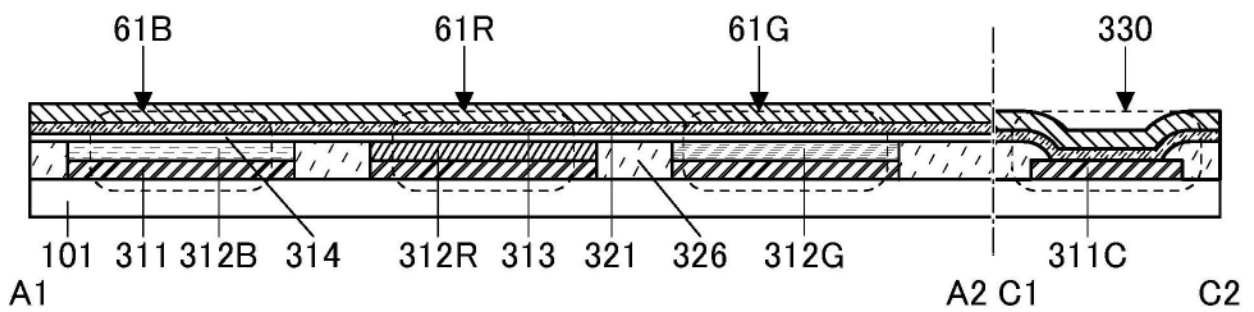


图42C

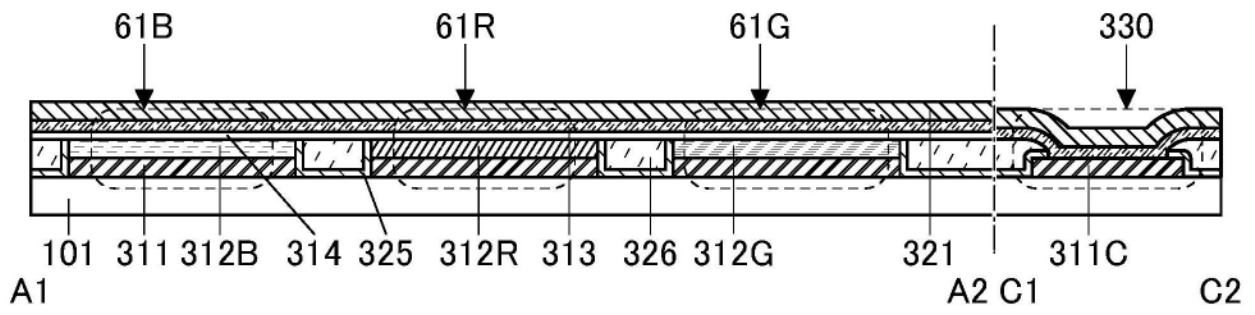


图42D

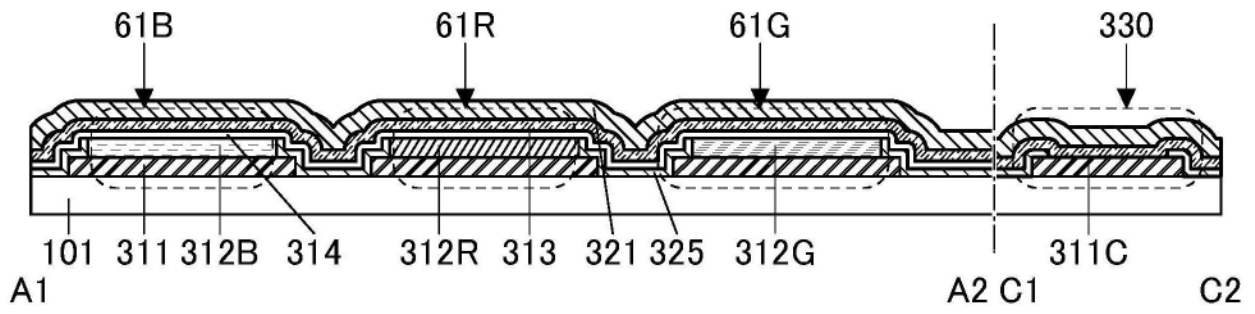


图43A

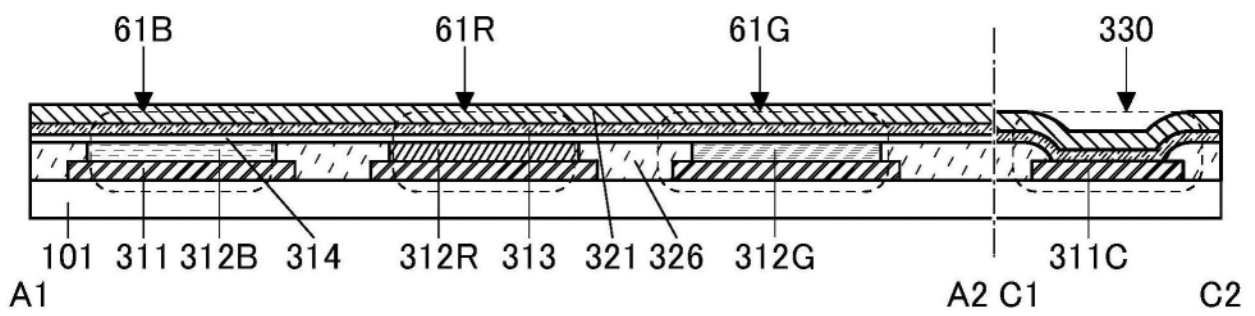


图43B

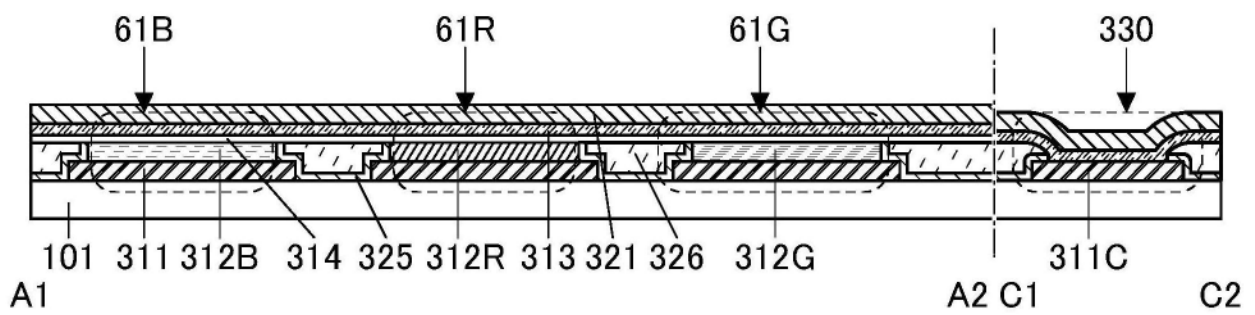


图43C

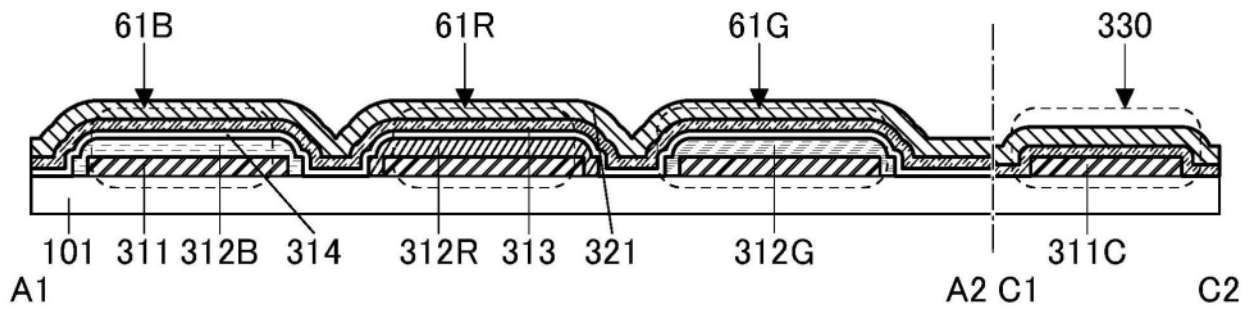


图44A

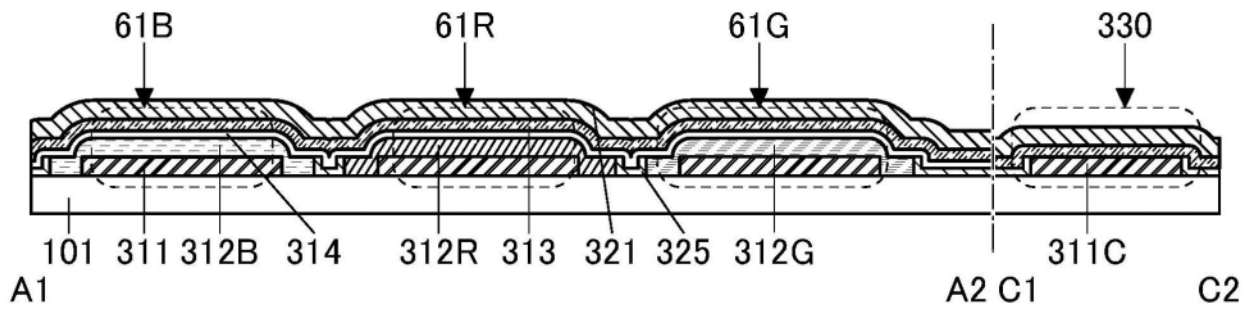


图44B

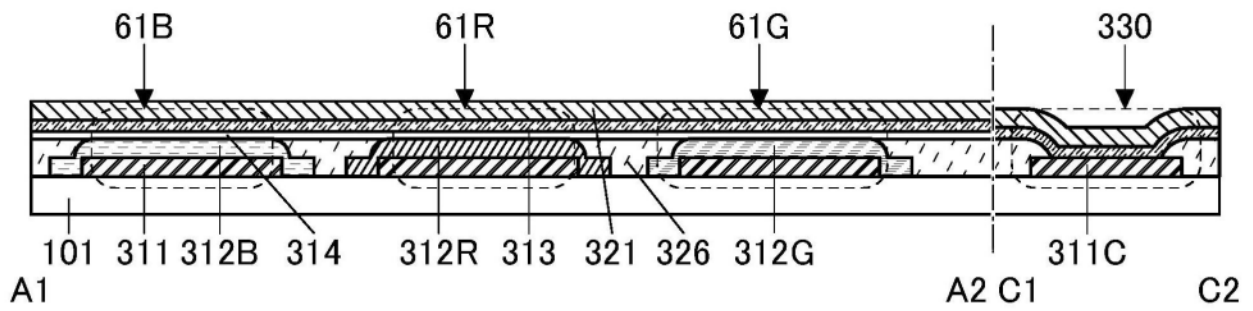


图44C

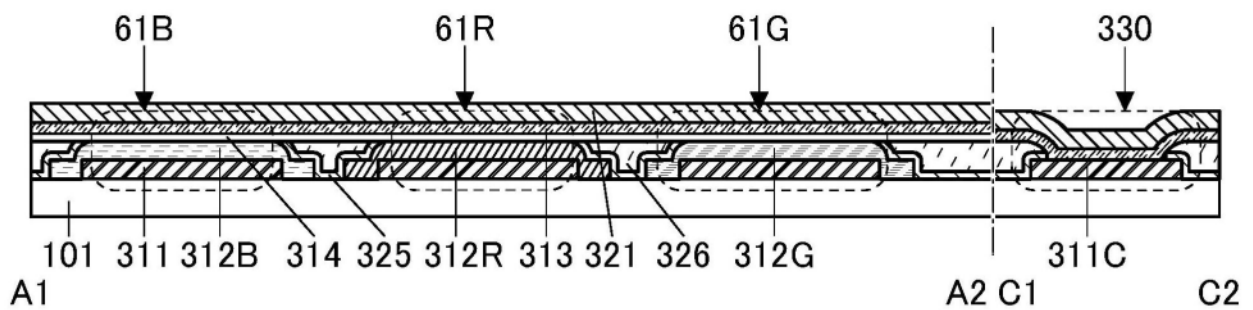


图44D

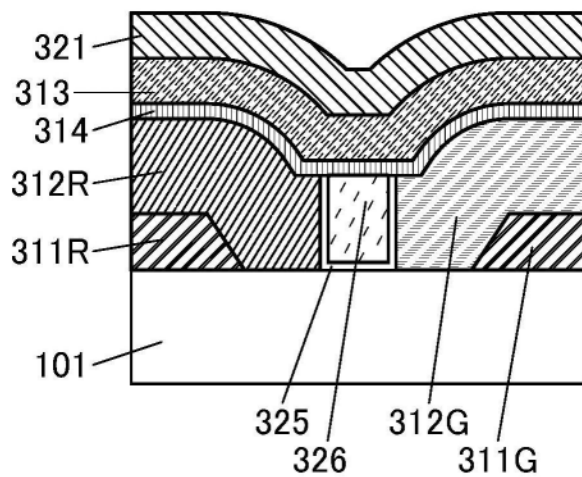


图45A

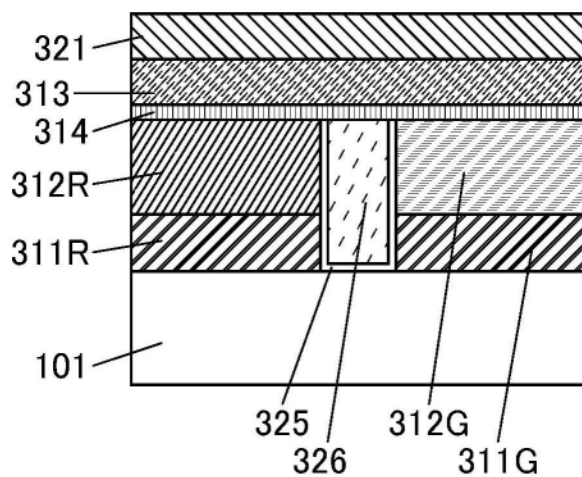


图45B

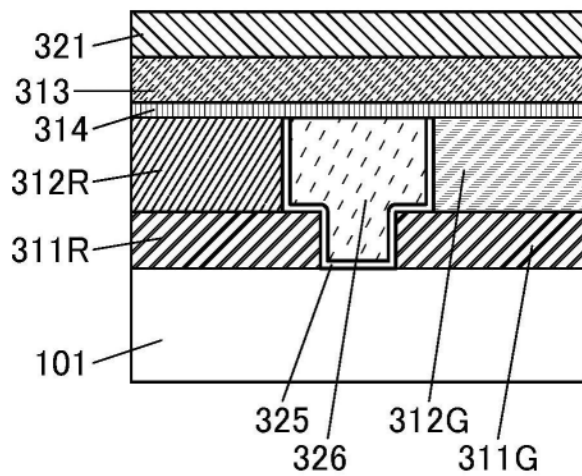


图45C

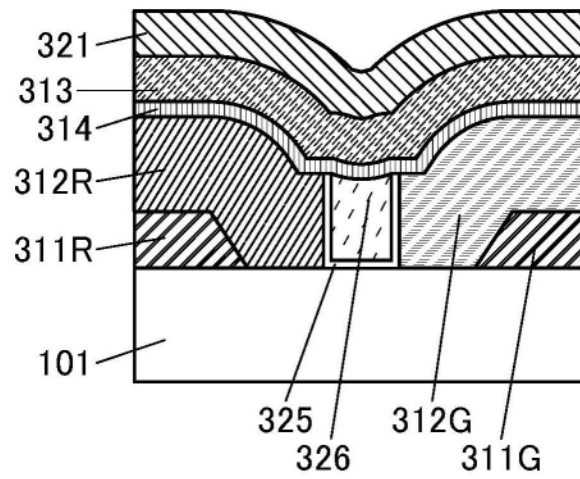


图45D

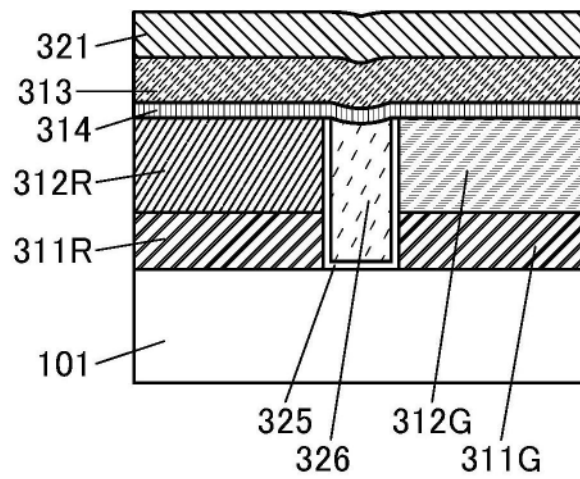


图45E

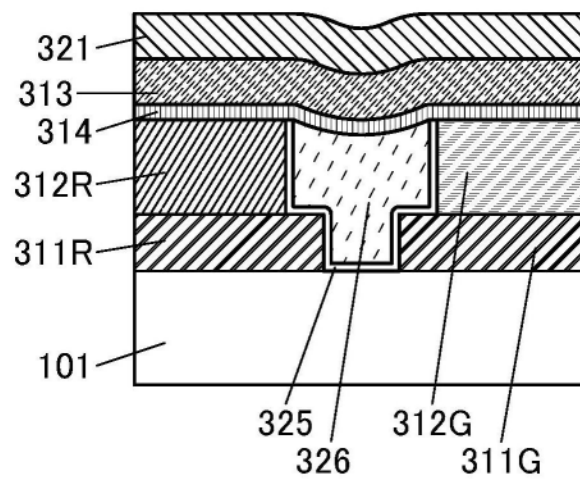


图45F

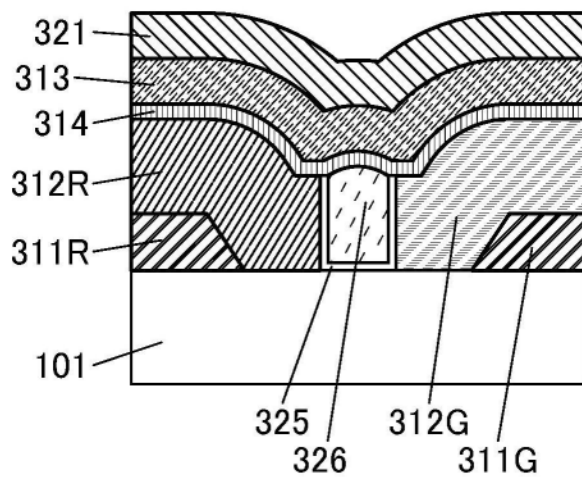


图46A

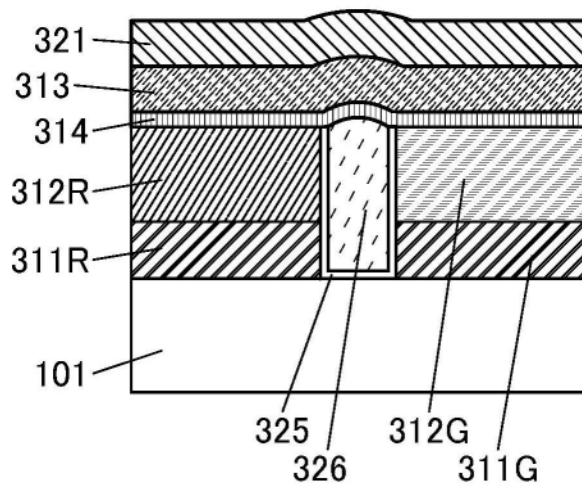


图46B

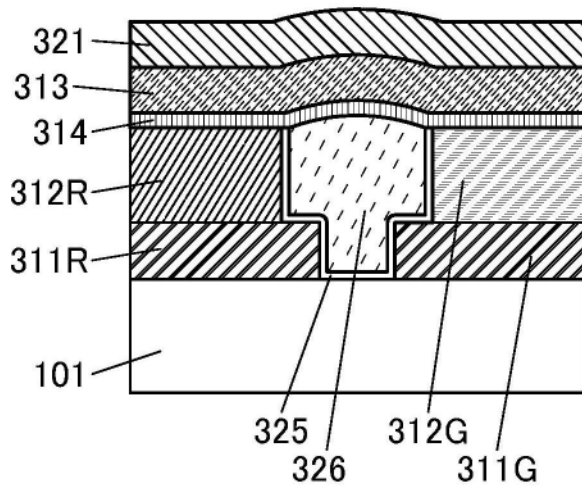


图46C

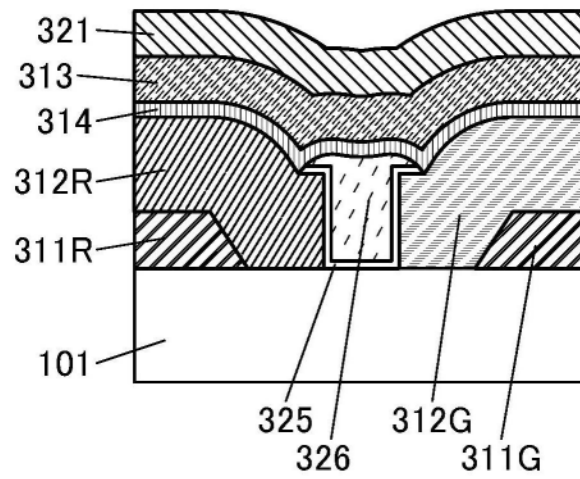


图46D

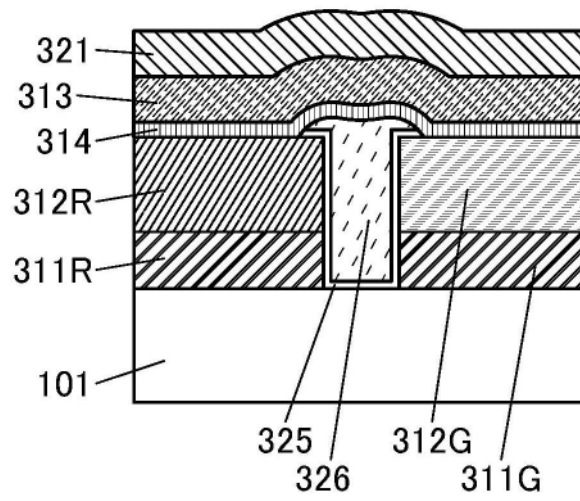


图46E

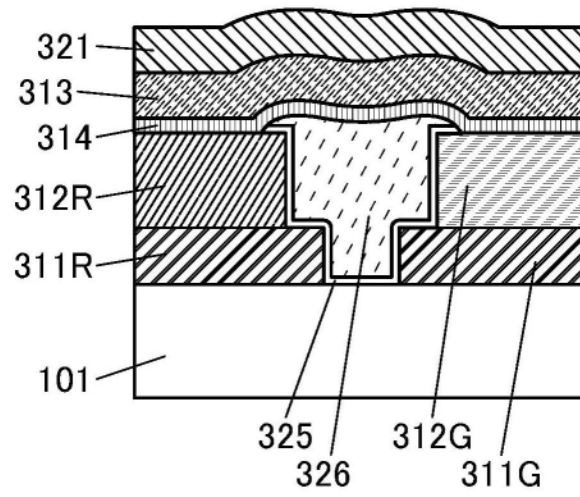


图46F

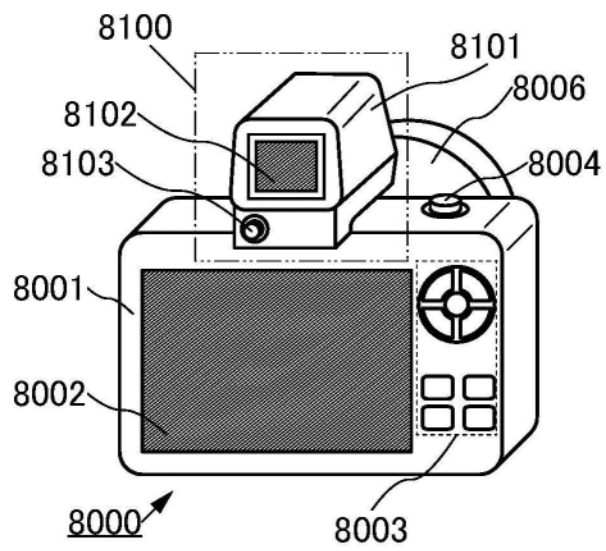


图47A

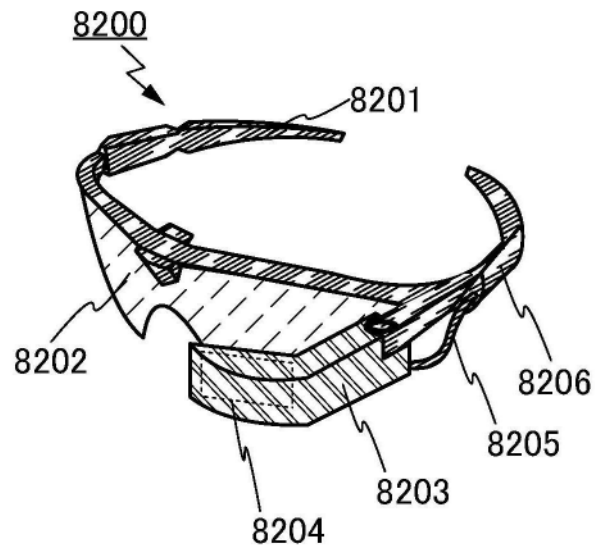


图47B

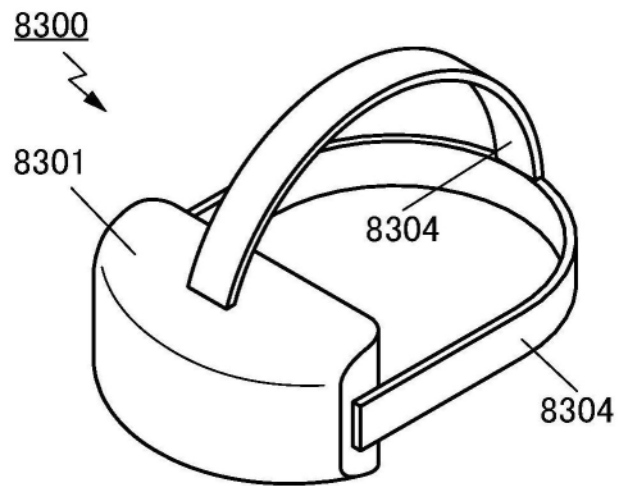


图47C

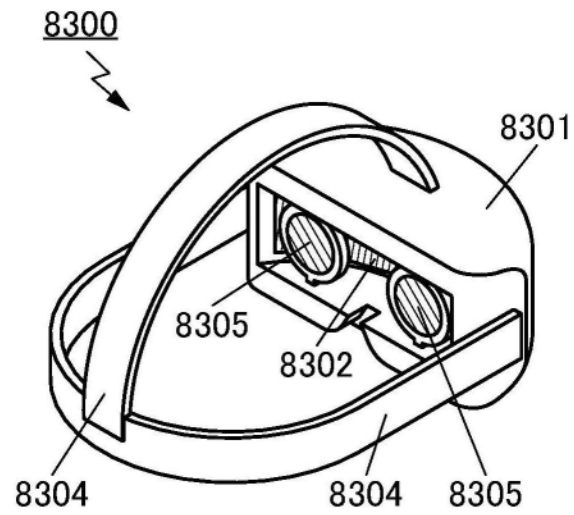


图47D

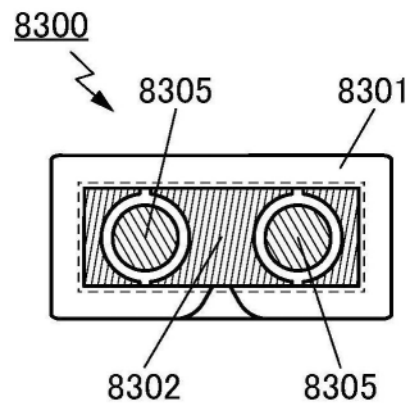


图47E

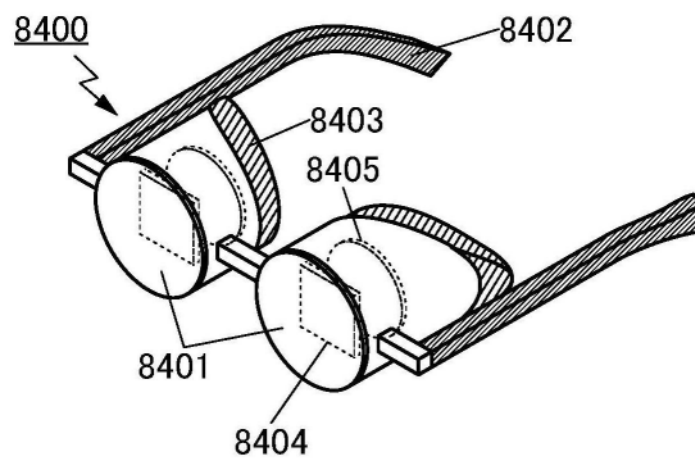


图47F

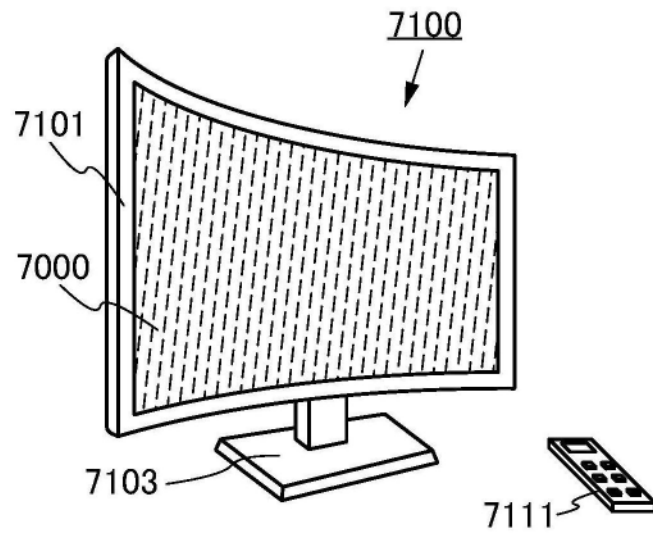


图48A

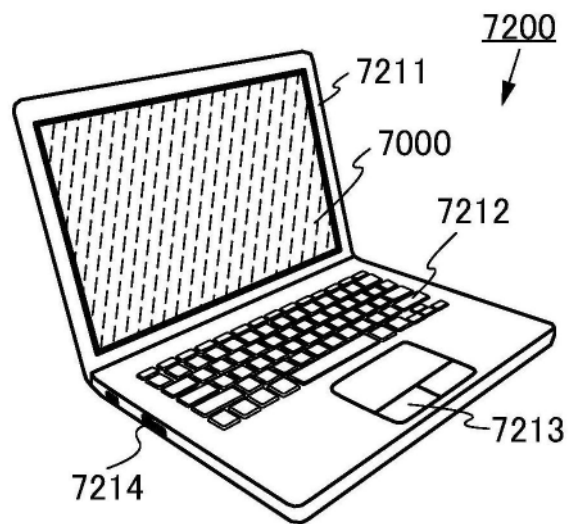


图48B

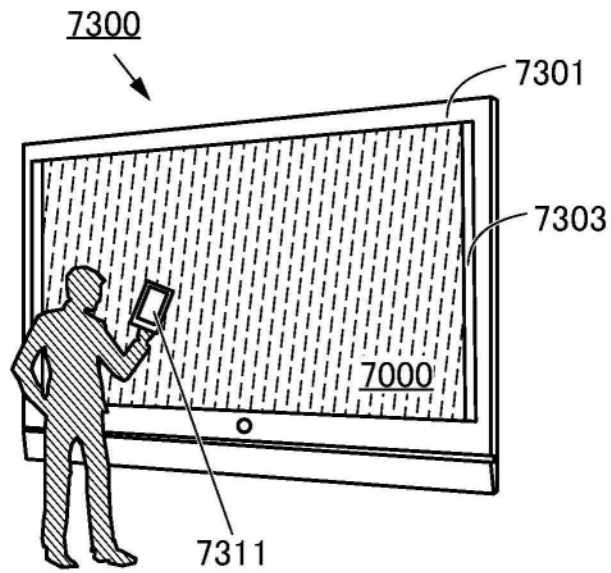


图48C

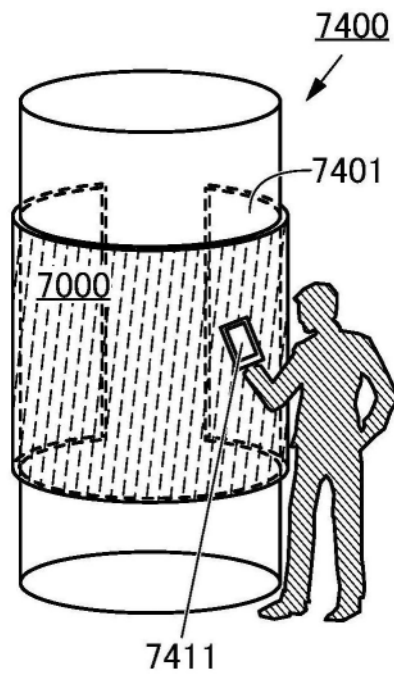


图48D

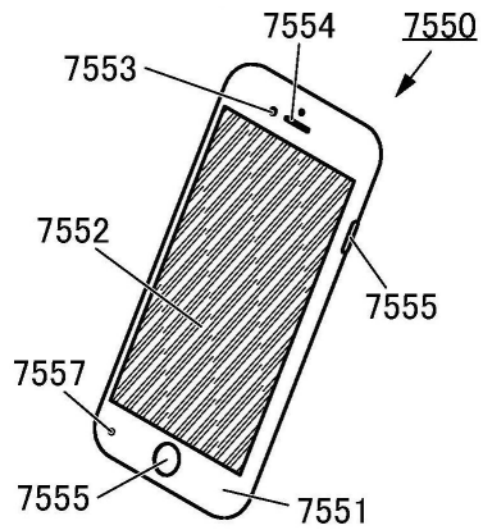


图48E

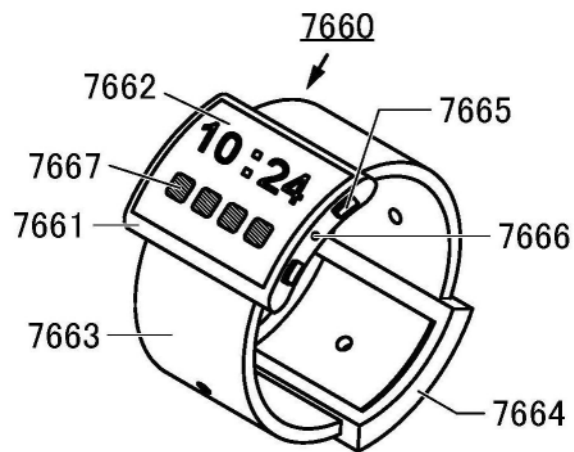


图48F

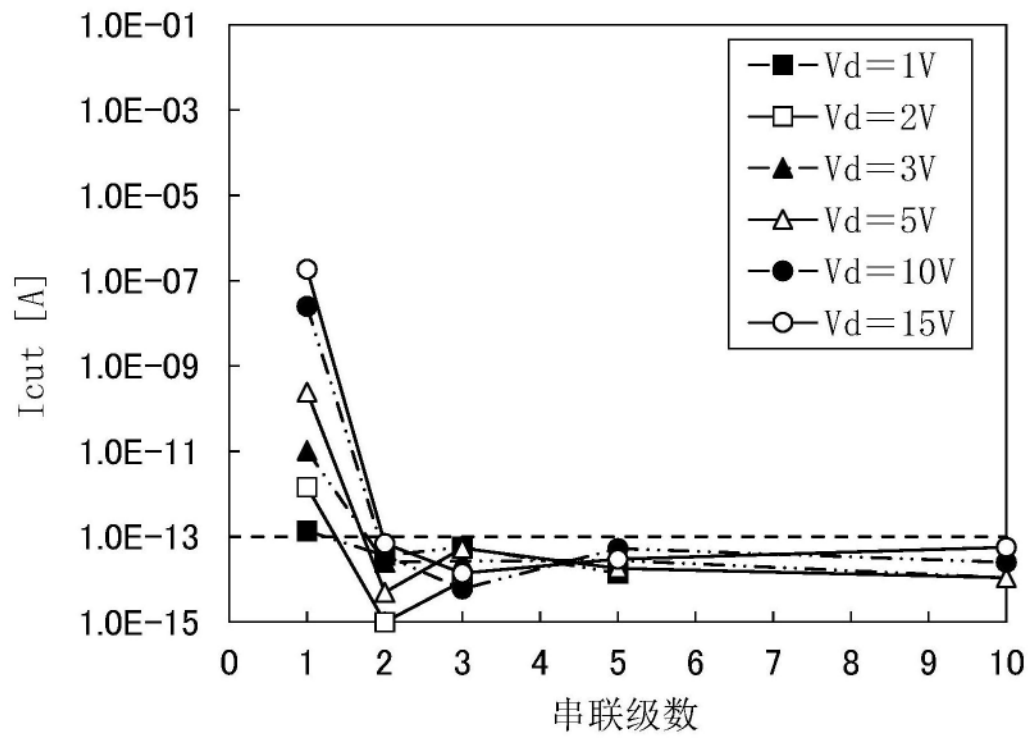


图49A

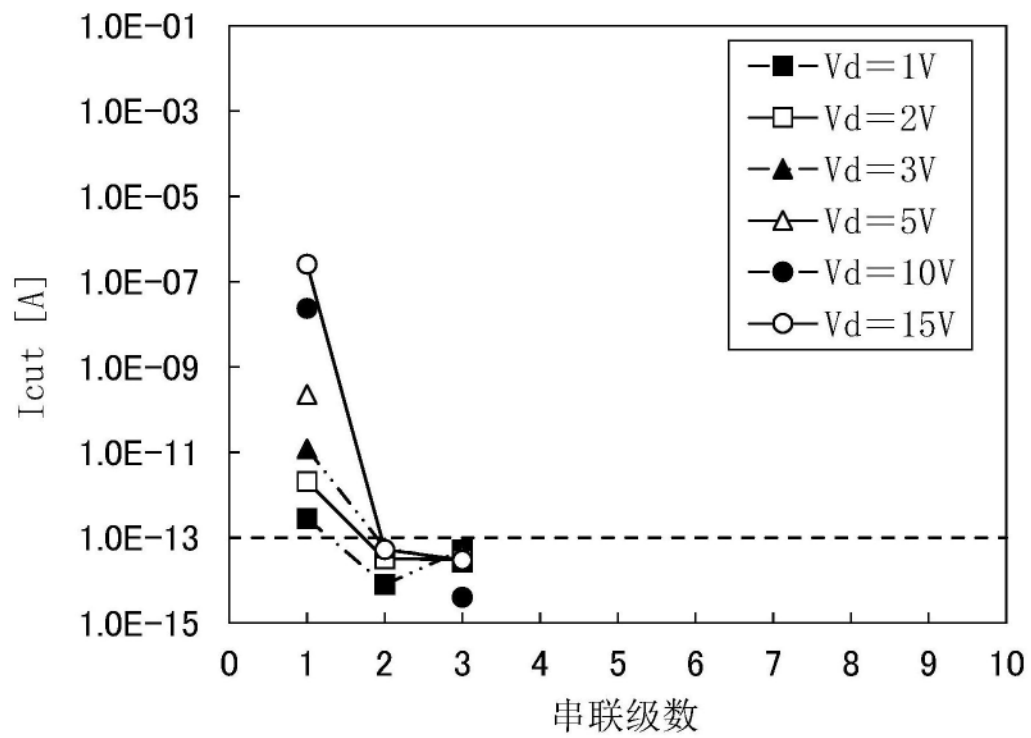


图49B

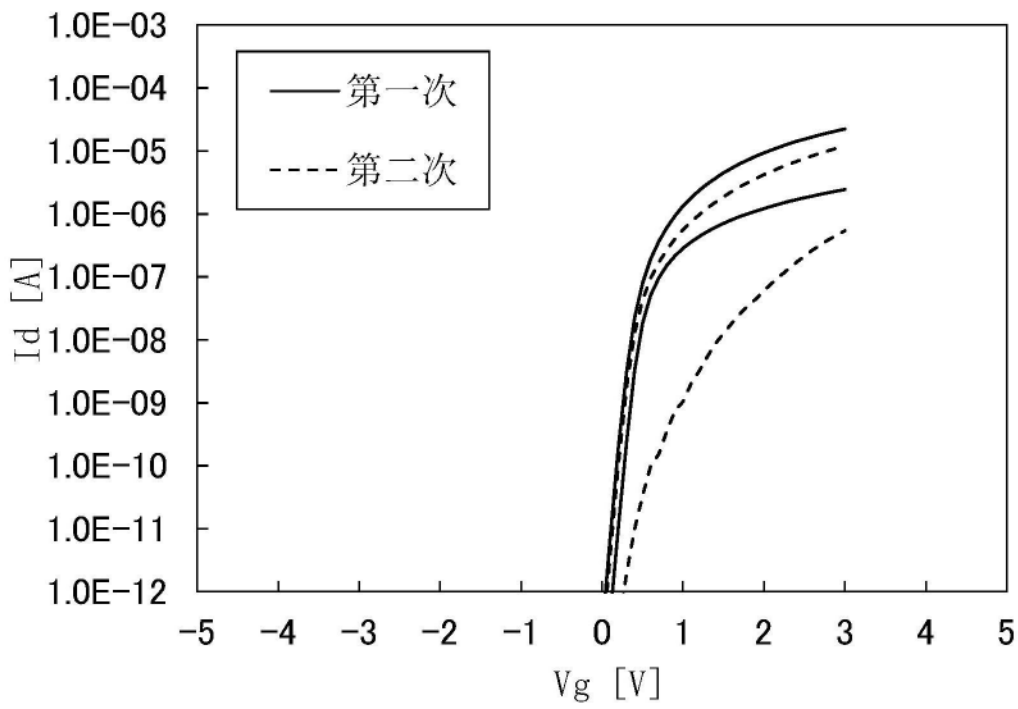


图50A

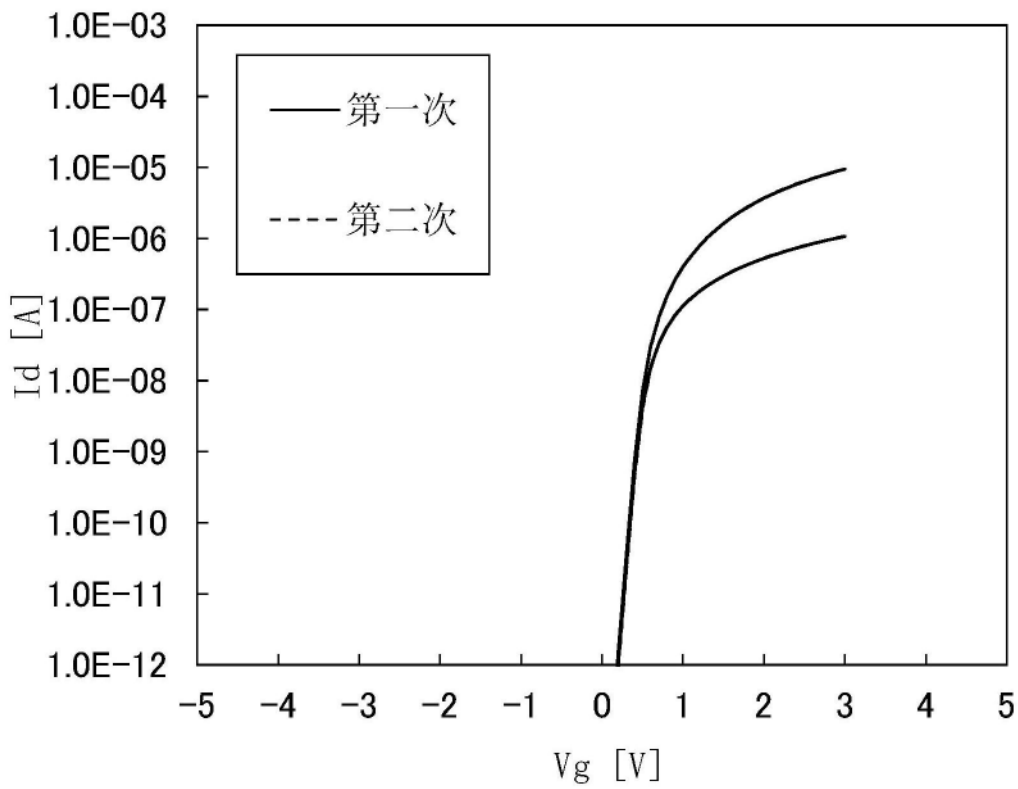


图50B

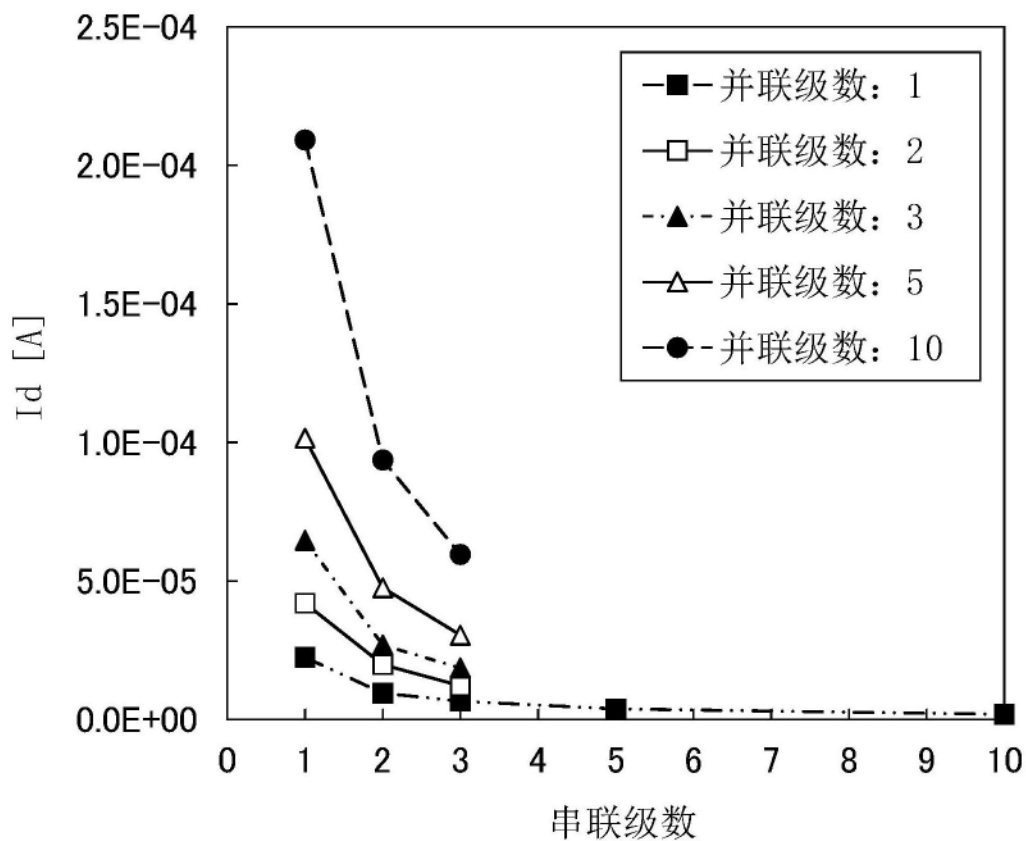


图51A

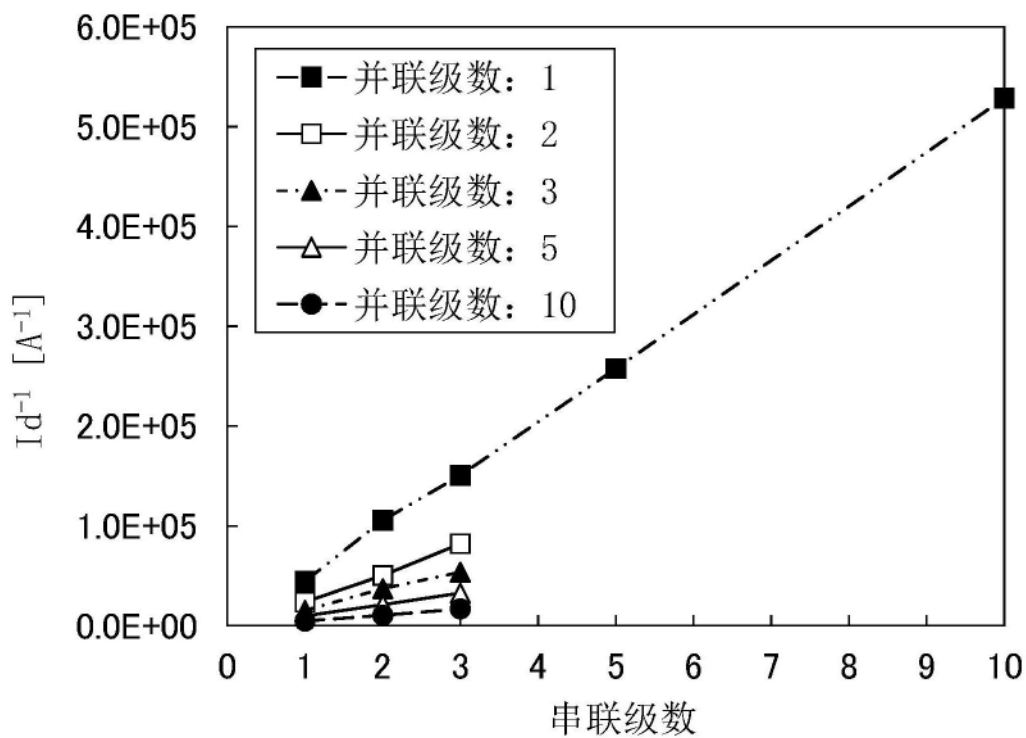


图51B